

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-181975
(P2005-181975A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 624B	
	G09G 3/20 641D	
	G09G 3/20 642A	
審査請求 有 請求項の数 12 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2004-226364 (P2004-226364)
 (22) 出願日 平成16年8月3日 (2004.8.3)
 (31) 優先権主張番号 特願2003-390678 (P2003-390678)
 (32) 優先日 平成15年11月20日 (2003.11.20)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2003-395609 (P2003-395609)
 (32) 優先日 平成15年11月26日 (2003.11.26)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2003-395610 (P2003-395610)
 (32) 優先日 平成15年11月26日 (2003.11.26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107076
 弁理士 藤網 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 堀内 浩
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 城 宏明
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

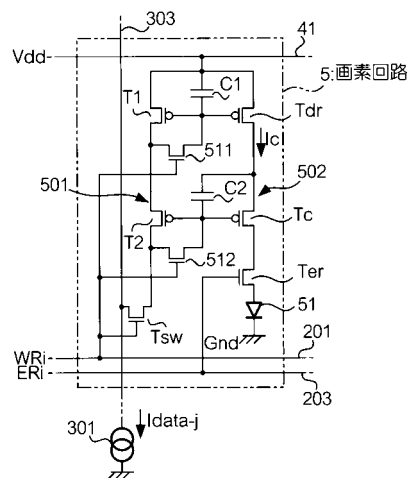
(54) 【発明の名称】 画素回路、電気光学装置および電子機器

(57) 【要約】

【課題】 所期の階調を正確に表示する。

【解決手段】 電源線41から定電流回路301に至る第1の経路501には、第1のトランジスタT1と第2のトランジスタT2とが介挿されている。電源線41からOLED素子51に至る第2の経路502には、駆動トランジスタTdrと電流供給トランジスタTcとが介挿されている。駆動トランジスタTdrのゲートに接続された容量C1および電流供給トランジスタTcのゲートに接続された容量C2は第1の経路501に流れるデータ電流Idata-jに応じた電圧を保持する。駆動トランジスタTdrは第2の経路502に流れる駆動電流を容量C1に保持された電圧に応じて制御する。電流供給トランジスタTcは第2の経路502に流れる駆動電流を容量C2に保持された電圧に応じて制御する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

電源から電流源に至る第 1 の経路と、
 前記電源から電気光学素子に至る第 2 の経路と、
 前記第 1 の経路に介挿されてダイオード接続された第 1 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 1 のトランジスタのゲートに接続された駆動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、
 前記データ電流と前記駆動電流との比を前記電気光学素子の電圧に拘わらず略一定に維持する維持手段と
 を具備する画素回路。 10

【請求項 2】

電源から電流源に至る第 1 の経路と、
 前記電源から電気光学素子に至る第 2 の経路と、
 前記第 1 の経路に介挿されてダイオード接続された第 1 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 1 のトランジスタのゲートに接続された駆動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、
 前記第 1 の経路に介挿されてダイオード接続された第 2 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 2 のトランジスタのゲートに接続された電流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと
 を具備する画素回路。 20

【請求項 3】

電源から電流源に至る第 1 の経路と、
 前記電源から電気光学素子に至る第 2 の経路と、
 前記第 1 の経路に介挿された第 1 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、
 前記第 2 の経路に介挿されるとともにダイオード接続されてゲートが前記第 1 のトランジスタのゲートに接続された駆動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 1 の経路に接続された電流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと
 を具備する画素回路。 30 40

【請求項 4】

電源から電流源に至る第 1 の経路と、
 前記電源から電気光学素子に至る第 2 の経路と、
 前記第 1 の経路に介挿された第 1 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、
 前記第 2 の経路に介挿されるとともにダイオード接続されてゲートが前記第 1 のトランジスタのゲートに接続された駆動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、 50

前記第 1 の経路に介挿されてダイオード接続された第 2 のトランジスタと、
 前記第 2 の経路に介挿されてゲートが前記第 2 のトランジスタのゲートに接続された電
 流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記
 第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと
 を具備する画素回路。

【請求項 5】

電源から電流源に至る第 1 の経路と、
 前記電源から電気光学素子に至る第 2 の経路と、
 前記第 1 の経路に介挿された第 1 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、 10
 前記第 2 の経路に介挿されてゲートが前記第 1 のトランジスタのゲートに接続された駆
 動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1
 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、
 前記第 1 の経路に介挿されてドレインが前記第 1 のトランジスタのゲートに接続された
 第 2 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 2 のトランジスタのゲートに接続された電
 流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記
 第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと、
 前記電流供給トランジスタのゲートにバイアス電圧を印加するためのバイアス回路と 20
 を具備する画素回路。

【請求項 6】

電源から電流源に至る第 1 の経路と、
 前記電源から電気光学素子に至る第 2 の経路と、
 前記第 1 の経路に介挿されてダイオード接続された第 1 のトランジスタと、
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 1 のトランジスタのゲートに接続された駆
 動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1
 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、
 前記第 1 の経路に介挿された第 2 のトランジスタと、 30
 前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、
 前記第 2 の経路に介挿されてゲートが前記第 2 のトランジスタのゲートに接続された電
 流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記
 第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと、
 前記電流供給トランジスタのゲートにバイアス電圧を印加するためのバイアス回路と
 を具備する画素回路。

【請求項 7】

前記バイアス回路は、電源間に設けられた第 3 の経路に介挿されてダイオード接続され
 たトランジスタであってゲートが前記電流供給トランジスタのゲートに接続されたバイア
 ス用トランジスタを具備する 40
 請求項 5 または請求項 6 に記載の画素回路。

【請求項 8】

前記駆動トランジスタのゲートをフローティング状態とする手段と、
 前記電流供給トランジスタのゲートをフローティング状態とする手段と
 を具備する請求項 2 から請求項 7 の何れかに記載の画素回路。

【請求項 9】

請求項 1 から請求項 8 の何れかに記載の複数の画素回路を面状に配列してなる電気光学
 装置。

【請求項 10】

面状に配列された複数の画素回路と、

前記複数の画素回路について共用されて当該各画素回路にバイアス電圧を供給するバイアス回路と

を具備し、前記複数の画素回路の各々は、

電源から電流源に至る第 1 の経路と、

前記電源から電気光学素子に至る第 2 の経路と、

前記第 1 の経路に介挿された第 1 のトランジスタと、

前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、

前記第 2 の経路に介挿されてゲートが前記第 1 のトランジスタのゲートに接続された駆動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、

前記第 1 の経路に介挿されてドレインが前記第 1 のトランジスタのゲートに接続された第 2 のトランジスタと、

前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、

前記第 2 の経路に介挿されてゲートが前記第 2 のトランジスタのゲートに接続された電流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと

を有する電気光学装置。

【請求項 1 1】

面状に配列された複数の画素回路と、

前記複数の画素回路について共用されて当該各画素回路にバイアス電圧を供給するバイアス回路と

を具備し、前記複数の画素回路の各々は、

電源から電流源に至る第 1 の経路と、

前記電源から電気光学素子に至る第 2 の経路と、

前記第 1 の経路に介挿されてダイオード接続された第 1 のトランジスタと、

前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 1 の電圧保持素子と、

前記第 2 の経路に介挿されてゲートが前記第 1 のトランジスタのゲートに接続された駆動トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 1 の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、

前記第 1 の経路に介挿された第 2 のトランジスタと、

前記第 1 の経路に流れるデータ電流に応じた電圧を保持する第 2 の電圧保持素子と、

前記第 2 の経路に介挿されてゲートが前記第 2 のトランジスタのゲートに接続された電流供給トランジスタであって当該第 2 の経路に流れる駆動電流をゲートに接続された前記第 2 の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタと

を有する電気光学装置。

【請求項 1 2】

請求項 9 から請求項 1 1 の何れかに記載の電気光学装置を表示装置として備える電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、例えば有機発光ダイオード（以下「OLED (Organic Light Emitting Diode)」という）素子などの電気光学素子を用いて画像を表示する技術に関する。

【背景技術】

【0 0 0 2】

電気光学素子を用いて画像を表示する電気光学装置の構成として、電気光学素子に供給される電流を制御するための薄膜トランジスタが画素ごとに設けられたアクティブマトリクス方式の装置が提案されている。この種の装置においては、薄膜トランジスタの特性（例えば閾値電圧など）のばらつきに起因した表示ムラが特に問題となる。

【0 0 0 3】

10

20

30

40

50

この問題を解消するための構成として、例えば特許文献1には図16に示される画素回路が開示されている。同図に示されるように、この画素回路8のうち電源の高位側電圧 V_{dd} が印加される電源線80からOLED素子81に至る経路上には、OLED素子81に供給される電流(以下「駆動電流」という) I_c を制御する駆動トランジスタ82と、OLED素子81が発光する期間を制御するための点灯制御トランジスタ83とが設けられる。さらに、画素回路8は、駆動トランジスタ82のゲートとドレインとをダイオード接続させるためのトランジスタ85と、駆動トランジスタ82から定電流源86に至る経路に介挿されたトランジスタ87と、駆動トランジスタ82のゲートに一端が接続された容量88とを有する。この構成のもと、第1に、トランジスタ85が電圧 V_P の印加によりオン状態とされて駆動トランジスタ82がダイオード接続され、電源線80から駆動トランジスタ82とオン状態になったトランジスタ87とを介して定電流源86に至る経路に所望の階調に応じた電流(以下「データ電流」という) I_{data} が流れる。このとき容量88にはデータ電流 I_{data} に応じた駆動トランジスタ82のゲート電圧が保持される。第2に、トランジスタ85および87がオフ状態とされたうえで点灯制御トランジスタ83が電圧 V_R の印加によりオン状態とされることにより、その直前に容量88に保持された電圧に対応する駆動電流 I_c が駆動トランジスタ82と点灯制御トランジスタ83とを介してOLED素子81に流れる。

【0004】

【特許文献1】特開2003-22049号公報(図17)

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、図16に示す構成においてはOLED素子81に流れる駆動電流 I_c が所期の電流とは異なる場合が生じ得る。本願発明者は、このように駆動電流 I_c に誤差が生じる原因のひとつはデータ電流 I_{data} と駆動電流 I_c との比(以下「入出力電流比」という)が駆動トランジスタ82のドレイン電圧 V_d に依存することにあるという知見を得るに至った。図17は、図16に示される構成における駆動トランジスタ82のドレイン電圧 V_d と入出力電流比 $M(= \text{駆動電流 } I_c / \text{データ電流 } I_{data})$ との関係を示すグラフである。図17に示されるように、入出力電流比 M はチャンネル長変調効果(アーリー効果)の影響により駆動トランジスタ82のドレイン電圧 V_d に応じて変動する。したがって、駆動トランジスタ82のドレイン電圧 V_d が V_1 であるときにデータ電流 I_{data} と駆動電流 I_c とが等しい(すなわち入出力電流比 M が「1」である)としても、このドレイン電圧 V_d が V_1 よりも大きい V_2 に変化した場合には駆動電流 I_c がデータ電流 I_{data} よりも大きくなり、目標の輝度(OLED素子81にデータ電流 I_{data} が流れたと仮定したときの輝度)よりも高い輝度にてOLED素子81が発光することとなる。このように、従来の技術のもとでは、データ電流 I_{data} により指示される目標の輝度と実際のOLED素子81の発光輝度との間にズレが生じ、その結果として表示品位の低下を招くという問題があった。本発明はこのような事情に鑑みてなされたものであり、その目的は、所期の階調を正確に表示することにある。

【課題を解決するための手段】

【0006】

この課題を解決するために、本発明に係る画素回路の第1の特徴(図3および図4参照)は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿されてダイオード接続された第1のトランジスタと、第1の経路に流れるデータ電流に応じた電圧を保持する電圧保持素子と、第2の経路に介挿されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、データ電流と駆動電流との比を電気光学素子の電圧に拘わらず略一定に維持する維持手段とを具備することにある。この構成によれば、データ電流と駆動電流との比(入出力電流比 M)が電気光学素子の電圧に拘わらず略一定に維持されるから、デー

タ電流によって電気光学素子に指示される光学的作用（例えば特定の輝度による発光）と駆動電流に応じた実際の電気光学素子の光学的作用とを精度よく一致させることができる。したがって、所期の階調が正確に表示される。なお、電気光学素子とは、電流を輝度（発光量）や透過率といった光学的な作用に変換するための素子であり、典型的な例としては有機EL（Electro Luminescent）や発光ポリマーなどの有機発光ダイオード（OLED）素子が挙げられる。

【0007】

本発明に係る画素回路の第2の特徴（図3および図4参照）は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿されてダイオード接続された第1のトランジスタ（図3および図4におけるトランジスタT1に相当する）と、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子（図3および図4における容量C1に相当する）と、第2の経路に介挿されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタ（図3および図4における駆動トランジスタTdrに相当する）と、第1の経路に介挿されてダイオード接続された第2のトランジスタ（図3および図4におけるトランジスタT2に相当する）と、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子（図3および図4における容量C2に相当する）と、第2の経路に介挿されてゲートが第2のトランジスタのゲートに接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタ（図3および図4における電流供給トランジスタTcに相当する）とを具備することにある。この画素回路においては、いわゆるカスコード型のカレントミラー回路が構成される。

【0008】

この構成においては、第2の経路に介挿された駆動トランジスタと電流供給トランジスタとがカスコード接続されている。したがって、電流供給トランジスタのドレイン電圧（さらには電気光学素子の電圧）が変化しても駆動トランジスタのドレイン電流は略一定に維持され、駆動トランジスタから電流供給トランジスタに流れ込む電流（すなわち駆動電流）も略一定に維持される。換言すれば、電流供給トランジスタおよび駆動トランジスタを相互にカスコード接続することによって、第2の経路に駆動トランジスタのみが介挿されている構成と比較して、これらのトランジスタの両端間の抵抗値を実質的に増加させることができる。したがって、本発明によれば、チャンネル長変調効果の影響を低減して入出力電流比を略一定に維持することができる。この結果、データ電流によって電気光学素子に指示される光学的作用（例えば特定の輝度による発光）と駆動電流に応じた実際の電気光学素子の光学的作用とが精度よく一致することとなるから、所期の階調を正確に表示することができる。

【0009】

なお、ここではカスコード型のカレントミラー回路が採用された構成を例示したが、入出力電流比を電気光学素子の電圧に拘わらず略一定に維持するための手段はこれに限られない。例えば、ウィルソン型のカレントミラー回路や広振幅型のカレントミラー回路など各種の回路が入出力電流比を維持するための手段として採用される。以下に示される第3および第4の特徴に係る画素回路はウィルソン型のカレントミラー回路が適用されたものであり、第5および第6の特徴に係る画素回路は広振幅型のカレントミラー回路が適用されたものである。

【0010】

本発明に係る画素回路の第3の特徴（図5および図7参照）は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿された第1のトランジスタ（図5および図7におけるトランジスタT1に相当する）と、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子（図5および図7における容量C1に相当する）と、第2の経路に介挿されるとともにダイオード接続されてゲ-

10

20

30

40

50

トが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタ(図5および図7における駆動トランジスタ T_{dr} に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子(図5および図7における容量 C_2 に相当する)と、第2の経路に介挿されてゲートが第1の経路に接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタ(図5および図7における電流供給トランジスタ T_c に相当する)とを具備することにある。

【0011】

この構成においては、第2の経路に介挿された駆動トランジスタと電流供給トランジスタとがカスコード接続されている。したがって、電流供給トランジスタのドレイン電圧(さらには電気光学素子の電圧)が変化しても駆動トランジスタのドレイン電流は略一定に維持され、駆動トランジスタから電流供給トランジスタに流れ込む電流(すなわち駆動電流)も略一定に維持される。換言すれば、駆動トランジスタおよび電流供給トランジスタを相互にカスコード接続することによって、これらのトランジスタの両端間の抵抗値を駆動トランジスタがひとつである場合と比較して実質的に増加させることができる。したがって、本発明によれば、チャンネル長変調効果の影響を低減して入出力電流比を略一定に維持することができる。この結果、データ電流によって電気光学素子に指示される光学的作用(例えば特定の輝度による発光)と駆動電流に応じた実際の電気光学素子の光学的作用とが精度よく一致することとなるから、所期の階調を正確に表示することができる。

【0012】

本発明に係る画素回路の第4の特徴(図6および図8参照)は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿された第1のトランジスタ(図6および図8におけるトランジスタ T_1 に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子(図6および図8における容量 C_1 に相当する)と、第2の経路に介挿されるとともにダイオード接続されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタ(図6および図8における駆動トランジスタ T_{dr} に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子(図6および図8における容量 C_2 に相当する)と、第1の経路に介挿されてダイオード接続された第2のトランジスタ(図6および図8におけるトランジスタ T_2 に相当する)と、第2の経路に介挿されてゲートが第2のトランジスタのゲートに接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタ(図6および図8における電流供給トランジスタ T_c に相当する)とを具備することにある。この構成によっても、上記第3の特徴に係る画素回路と同様に、データ電流と駆動電流との比(入出力電流比 M)が電流供給トランジスタのドレイン電圧(すなわち電気光学素子の電圧)に拘わらず略一定に維持されるから、データ電流によって電気光学素子に指示される光学的作用(例えば特定の輝度による発光)と駆動電流に応じた実際の電気光学素子の光学的作用とを精度よく一致させることができる。したがって、所期の階調が正確に表示される。

【0013】

本発明に係る画素回路の第5の特徴(図9ないし図11参照)は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿された第1のトランジスタ(図9ないし図11におけるトランジスタ T_1 に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子(図9ないし図11における容量 C_1 に相当する)と、第2の経路に介挿されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタ

(図9ないし図11における駆動トランジスタ T_{dr} に相当する)と、第1の経路に介挿されてドレインが第1のトランジスタのゲートに接続された第2のトランジスタ(図9ないし図11におけるトランジスタ T_2 に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子(図9ないし図11における容量 C_2 に相当する)と、第2の経路に介挿されてゲートが第2のトランジスタのゲートに接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタ(図9ないし図11における電流供給トランジスタ T_c に相当する)と、電流供給トランジスタのゲートにバイアス電圧を印加するためのバイアス回路とを具備することにある。この画素回路における各トランジスタはカスコード型のカレントミラー回路(特に広振幅型のカレントミラー回路と称される場合もある)を構成する。

10

【0014】

この構成においては、第1ないし第4の特徴に係る画素回路と同様に、第2の経路に介挿された駆動トランジスタと電流供給トランジスタとがカスコード接続されている。したがって、電流供給トランジスタのドレイン電圧(さらには電気光学素子の電圧)が変化しても駆動トランジスタのドレイン電流は略一定に維持され、駆動トランジスタから電流供給トランジスタに流れ込む電流(すなわち駆動電流)も略一定に維持される。換言すれば、駆動トランジスタおよび電流供給トランジスタを相互にカスコード接続することによって、これらの駆動トランジスタの両端間の抵抗値を駆動トランジスタがひとつである場合と比較して実質的に増加させることができる。したがって、本発明によれば、チャンネル長変調効果の影響を低減して入出力電流比を略一定に維持することができる。この結果、データ電流によって電気光学素子に指示される光学的作用(例えば特定の輝度による発光)と駆動電流に応じた実際の電気光学素子の光学的作用とが精度よく一致することとなるから、所期の階調を正確に表示することができる。

20

【0015】

さらに、本発明に係る画素回路の第6の特徴(図12参照)は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿されてダイオード接続された第1のトランジスタ(図12におけるトランジスタ T_1 に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子(図12における容量 C_1 に相当する)と、第2の経路に介挿されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタ(図12における駆動トランジスタ T_{dr} に相当する)と、第1の経路に介挿された第2のトランジスタ(図12におけるトランジスタ T_2 に相当する)と、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子(図12における容量 C_2 に相当する)と、第2の経路に介挿されてゲートが第2のトランジスタのゲートに接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタ(図12における電流供給トランジスタ T_c に相当する)と、電流供給トランジスタのゲートにバイアス電圧を印加するためのバイアス回路とを具備することにある。この構成においても、第5の特徴に係る画素回路と同様に、各トランジスタによってカスコード型のカレントミラー回路(特に広振幅型のカレントミラー回路と称される場合もある)が構成される。したがって、電流供給トランジスタのドレイン電圧が変化しても駆動トランジスタのドレイン電流は略一定に維持され、駆動トランジスタから電流供給トランジスタに流れ込む電流(すなわち駆動電流)も略一定に維持される。

30

40

【0016】

ところで、第5および第6の特徴に係る画素回路のようなカスコード型のカレントミラー回路においては総てのトランジスタが飽和領域にて動作する。このため、これらの態様に係る画素回路においては高い電源電圧が必要となり、低消費電力化の要請に逆行する結果を招きかねない。この問題を解決するために、第5および第6の特徴に係る画素回路に

50

おいては、電流供給トランジスタのゲートにバイアス電圧を印加するバイアス回路が配置されている。このように電流供給トランジスタのゲートに対してバイアス電圧を印加すれば当該電流供給トランジスタのドレイン電圧を低下させることができるから、画素回路の駆動のために必要となる電源電圧を低減することが可能となる。

【0017】

より具体的には、バイアス回路は、電源間に設けられた第3の経路に介挿されてダイオード接続されたトランジスタであってゲートが電流供給トランジスタのゲートに接続されたバイアス用トランジスタ(図9ないし図12におけるバイアス用トランジスタTbに相当する)を有する。この構成によれば、バイアス用トランジスタのゲート電圧がバイアス電圧として電流供給トランジスタのゲートに印加される。

10

【0018】

以上に示した第1ないし第6の特徴に係る画素回路においては、駆動トランジスタのゲートをフローティング状態とする手段(例えば図3におけるトランジスタ511や図5におけるトランジスタ521や図9におけるトランジスタ532に相当する)と、電流供給トランジスタのゲートをフローティング状態とする手段(例えば図3におけるトランジスタ512や図5におけるトランジスタ522や図9におけるトランジスタ531に相当する)とが設けられる。この構成によれば、画素回路をカレントミラー回路(カスコード型またはウィルソン型)として動作させるか否かを、駆動トランジスタのゲートをフローティング状態とする手段と、電流供給トランジスタのゲートをフローティング状態とする手段とによって切り替えることができるから、例えば、データ電流に応じた電圧を第1および第2の電圧保持素子に保持する期間(実施形態における書込期間)においてのみカレントミラー回路を動作させることにより消費電力を低減することができる。

20

【0019】

本発明に係る電気光学装置は、上述した複数の画素回路を面状(例えばマトリクス状)に配列してなる。上述したように本発明に係る画素回路によれば所期の駆動電流を精度よく電気光学素子に流すことができるから、所期の階調特性を有する表示品位に優れた電気光学装置が得られる。本発明に係る電気光学装置は電子機器の表示装置として採用される。

【0020】

なお、本発明の第5および第6の特徴に係る画素回路を適用した電気光学装置においては、バイアス回路が画素回路ごとに設けられた構成のほか、バイアス回路が複数の画素回路にわたって共用される構成も採用され得る。さらに詳述すると、第5の特徴に係る画素回路を備えた電気光学装置は、面状に配列された複数の画素回路と、複数の画素回路について共用されて当該各画素回路にバイアス電圧を供給するバイアス回路とを具備し、複数の画素回路の各々は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿された第1のトランジスタと、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子と、第2の経路に介挿されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、第1の経路に介挿されてドレインが第1のトランジスタのゲートに接続された第2のトランジスタと、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子と、第2の経路に介挿されてゲートが第2のトランジスタのゲートに接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタとを有する。この構成によれば、バイアス回路が複数の画素回路の駆動のために共用されるから、画素回路ごとにバイアス回路が設けられた構成と比較して構成の簡略化や製造コストの低減が図られる。

30

40

【0021】

一方、第6の特徴に係る画素回路を備えた電気光学装置は、面状に配列された複数の画素回路と、複数の画素回路について共用されて当該各画素回路にバイアス電圧を供給する

50

バイアス回路とを具備し、複数の画素回路の各々は、電源から電流源に至る第1の経路と、電源から電気光学素子に至る第2の経路と、第1の経路に介挿されてダイオード接続された第1のトランジスタと、第1の経路に流れるデータ電流に応じた電圧を保持する第1の電圧保持素子と、第2の経路に介挿されてゲートが第1のトランジスタのゲートに接続された駆動トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第1の電圧保持素子に保持された電圧に応じて制御する駆動トランジスタと、第1の経路に介挿された第2のトランジスタと、第1の経路に流れるデータ電流に応じた電圧を保持する第2の電圧保持素子と、第2の経路に介挿されてゲートが第2のトランジスタのゲートに接続された電流供給トランジスタであって当該第2の経路に流れる駆動電流をゲートに接続された第2の電圧保持素子に保持された電圧に応じて制御する電流供給トランジスタとを有する。この構成によっても、バイアス回路が複数の画素回路の駆動のために共用されるから、画素回路ごとにバイアス回路が設けられた構成と比較して構成の簡略化や製造コストの低減が図られる。

10

【発明を実施するための最良の形態】

【0022】

以下では図面を参照しながら本発明の実施形態を説明する。以下の実施形態に係る電気光学装置は、電気光学素子たるOLED素子により複数の階調からなる画像を表示する装置である。

【0023】

< A : 電気光学装置の構成 >

20

まず、図1を参照して、本発明に係る電気光学装置の具体的な形態を説明する。同図に示されるように、電気光学装置100は、X方向に延在するm本の選択線201とY方向に延在するn本のデータ線303とを有する。選択線201とデータ線303との各交差には画素回路5が配置されている。したがって、画素回路5は、X方向およびY方向にわたってm行×n列のマトリクス状に配列する。これらの画素回路5には、電源の高位側電圧V_{dd}が印加された電源線41と電源の低位側電圧G_{nd}が印加された電源線(図示略)とが接続されている。

【0024】

電気光学装置100は、各選択線201と並行するようにX方向に延在するm本の点灯制御線203を有する。各選択線201とこれに隣接する点灯制御線203との組は、ひとつの行に属するn個の画素回路5を制御するために共用される。選択線201および点灯制御線203はYドライバ2に接続されている。このYドライバ2(走査線駆動回路)は、m本の選択線201の各々に供給される書込信号WR1、WR2、...、WR_mを水平走査期間(1H)ごとに順番にアクティブレベル(Hレベル)とする。さらに詳述すると、図2に示されるように、Yドライバ2は、各垂直走査期間(1V)の最初に供給されるパルス信号を1水平走査期間に相当する周期のクロック信号CLYに従って順次にシフトすることによって選択信号Y1、Y2、...、Y_mを生成するとともに、これらの選択信号Y1、Y2、...、Y_mとイネーブル信号ENBとの論理積を書込信号WR1、WR2、...、WR_mとして各選択線201に出力する。イネーブル信号ENBは、各水平走査期間の始点から所定の時間が経過した時点において立ち上がる一方、その水平走査期間の終点から所定の時間だけ手前の時点において立ち下がる信号である。さらに、Yドライバ2は、選択信号Y1、Y2、...、Y_mのレベルを反転した信号をそれぞれ点灯制御信号ER1、ER2、...、ER_mとして各点灯制御線203に出力する。

30

40

【0025】

一方、図1に示されるように各データ線303はXドライバ3に接続されている。このXドライバ3(データ線駆動回路)はデータ線303ごとに定電流回路301を有する。各定電流回路301は、各選択線201に供給される書込信号WR1、WR2、...、WR_mがアクティブレベルとなる期間(以下「書込期間」という)において、各画像の階調を指定する画像データに応じたデータ電流I_{data}を対応するデータ線303に流す回路である。例えば、図2に示されるように、j(jは1≦j≦nを満たす自然数)列目のデータ線

50

303に接続された定電流回路301は、 i (i は $1 \leq i \leq m$ を満たす自然数)行目の選択線201に供給される書込信号 WR_i がアクティブレベルとなる期間において、 i 行 j 列の画素回路5に対する画像データに応じたデータ電流 I_{data-j} を当該データ線303に流す。

【0026】

また、図1に示されるように、各データ線303には、データ線303ごとに設けられた n チャンネル型のトランジスタ431のドレインが接続されている。これらのトランジスタ431の各々は、ソースが電源線41に共通に接続される一方、ゲートがプリチャージ制御線43に共通に接続されている。このプリチャージ制御線43にはプリチャージ制御信号 PRC が供給される。図2に示されるように、プリチャージ制御信号 PRC は各水平走査期間のうち書込期間の直前にアクティブレベルとなる信号である。このプリチャージ制御信号 PRC によって総てのトランジスタ431がオン状態となる結果、総てのデータ線303が書込期間に先立って一斉に電圧 V_{dd} にプリチャージされる。

10

【0027】

< B : 画素回路の構成 >

次に、図1に示した電気光学装置100のうち画素回路5の具体的な回路構成を説明する。

【0028】

< B - 1 a : 第1実施形態 >

まず、図3を参照して、第1実施形態に係る画素回路5の構成を説明する。なお、同図においては i 行 j 列に位置するひとつの画素回路5のみが図示されているが、他の画素回路5も同様の構成である。同図に示されるように、画素回路5は、電気光学素子たるOLED素子51と、トランジスタ T_{dr} 、 T_c 、 T_{er} 、 T_{sw} 、 T_1 、 T_2 、511および512と、電圧保持素子として機能する容量 C_1 および C_2 とを有する。画素回路5に含まれる各トランジスタは、ポリシリコンプロセスにより形成された薄膜トランジスタである。このうちトランジスタ T_{dr} 、 T_c 、 T_1 および T_2 は p チャンネル型のトランジスタであり、トランジスタ T_{er} 、 T_{sw} 、511および512は n チャンネル型のトランジスタである。もっとも、画素回路5を構成する各トランジスタの導電型は適宜に変更され得る。また、トランジスタ T_{dr} 、 T_c 、 T_1 および T_2 のトランジスタサイズ(チャンネル幅およびチャンネル長)は略同一である。

20

30

【0029】

トランジスタ T_{er} は、OLED素子51が実際に点灯する期間を規定するためのトランジスタ(以下「点灯制御トランジスタ」という場合がある)であり、電源の高位側電圧 V_{dd} が印加される電源線41からOLED素子51に至る経路502(本発明における「第2の経路」に相当する)に介挿されている。より具体的には、点灯制御トランジスタ T_{er} は、ソースがOLED素子51の陽極に接続されるとともにゲートが点灯制御線203に接続されている。OLED素子51の陰極は電源の低位側電圧 G_{nd} に接地されている。また、経路502にはトランジスタ T_{dr} (以下では「駆動トランジスタ」という場合がある)およびトランジスタ T_c (以下「電流供給トランジスタ」という場合がある)が介挿されている。駆動トランジスタ T_{dr} および電流供給トランジスタ T_c は、OLED素子51に流れる駆動電流 I_c を制御するためのトランジスタである。このうち電流供給トランジスタ T_c は、ドレインが点灯制御トランジスタ T_{er} のドレインに接続されるとともにソースが駆動トランジスタ T_{dr} のドレインに接続されている。駆動トランジスタ T_{dr} のソースは電源線41に接続されている。このように、電源線41からOLED素子51に至る経路502には、駆動トランジスタ T_{dr} および電流供給トランジスタ T_c と点灯制御トランジスタ T_{er} とが電源線41からみてこの順番に介挿されている。

40

【0030】

一方、トランジスタ T_{sw} は電源線41からデータ線303に至る経路501(本発明における「第1の経路」に相当する)に介挿されたトランジスタ(以下「スイッチングトランジスタ」という場合がある)である。このスイッチングトランジスタ T_{sw} のドレインは

50

トランジスタT2のドレインに接続されている。トランジスタT2はゲートが電流供給トランジスタTcのゲートに接続されるとともにソースがトランジスタT1のドレインに接続されている。トランジスタT1は、ゲートが駆動トランジスタTdrのゲートに接続されるとともにソースが電源線41に接続されている。このように、電源線41からデータ線303（さらには定電流回路301）に至る経路501には、トランジスタT1およびT2とスイッチングトランジスタTswとが電源線41からみてこの順番に介挿されている。

【0031】

容量C1およびC2の各々は、電源線41から経路501およびデータ線303を介して定電流回路301に流れるデータ電流I_{data-j}に応じた電圧を保持するための素子である。このうち容量C1は、トランジスタT1のゲート電圧を保持する素子であり、一端がトランジスタT1のゲートと駆動トランジスタTdrのゲートとに接続され、他端が電源線41に接続されている。容量C2は、トランジスタT2のゲート電圧を保持する素子であり、一端がトランジスタT2のゲートと電流供給トランジスタTcのゲートとに接続され、他端が電流供給トランジスタTcのソースに接続されている。

10

【0032】

トランジスタ511は、トランジスタT1のゲートとドレインとの間の導通および非導通を書込信号WR_iに応じて切り替えるスイッチング素子である。同様に、トランジスタ512は、トランジスタT2のゲートとドレインとの間の導通および非導通を書込信号WR_iに応じて切り替えるスイッチング素子である。トランジスタ511および512のゲートは選択線201に接続されている。これらのトランジスタ511および512がオン状態になるとトランジスタT1およびT2がダイオード接続される。以上のように、画素回路5は、トランジスタT2および電流供給トランジスタTcのゲート同士が接続されてトランジスタT2がトランジスタ512を介してダイオード接続されたカレントミラー回路と、トランジスタT1および駆動トランジスタTdrのゲート同士が接続されてトランジスタT1がトランジスタ511を介してダイオード接続されたカレントミラー回路とがカスコード接続された構成（いわゆるカスコード型のカレントミラー回路）を有する。このうちトランジスタT2および電流供給トランジスタTcからなるカレントミラー回路は、電流供給トランジスタTcのドレイン電圧V_d（さらにはOLED素子51の両端間の電圧）に拘わらず入出力電流比Mを略一定に維持するための手段として機能する。

20

【0033】

以上の構成のもと、i番目の選択線201が選択される水平走査期間において書込信号WR_iがアクティブレベル（Hレベル）になると、スイッチングトランジスタTswがオン状態となって経路501がデータ線303と電氣的に導通するとともに、トランジスタ511および512がオン状態となってトランジスタT1およびT2がそれぞれダイオード接続される。したがって、定電流回路301により生成されたデータ電流I_{data-j}は、電源線41 トランジスタT1 トランジスタT2 スwitchングトランジスタTsw データ線303という経路501を流れる。このとき、トランジスタT1のゲート電圧はデータ電流I_{data-j}に応じた電圧となって容量C1に保持される。同様に、トランジスタT2のゲート電圧はデータ電流I_{data-j}に応じた電圧となって容量C2に保持される。

30

【0034】

次に、書込信号WR_iが非アクティブレベル（Lレベル）になると、スイッチングトランジスタTswがオフ状態となって経路501とデータ線303とが電氣的に絶縁される。一方、駆動トランジスタTdrおよび電流供給トランジスタTcのゲート電圧はそれぞれ容量C1およびC2によってデータ電流I_{data-j}に応じた電圧に維持されている。したがって、この状態において点灯制御信号ER_iがアクティブレベル（Hレベル）に遷移して点灯制御トランジスタTerがオン状態になると、今度はデータ電流I_{data-j}に応じた駆動電流I_cが、電源線41 駆動トランジスタTdr 電流供給トランジスタTc 点灯制御トランジスタTer OLED素子51という経路502を流れ、この結果としてOLED素子51が発光する。

40

【0035】

50

ここで、図14は、図3に示した構成における電流供給トランジスタTcのドレイン電圧Vdと入出力電流比M(=駆動電流Ic/データ電流Idata)との関係を示すグラフである。同図においては横軸に電流供給トランジスタTcのドレイン電圧Vdが示されるとともに縦軸に入出力電流比Mが示され、さらに図16および図17に示した従来の画素回路8の特性Pが比較対象として一点鎖線で示されている。図14に示されるように、電流供給トランジスタTcのドレイン電圧Vdが所定値以上であれば、入出力電流比Mは電流供給トランジスタTcのドレイン電圧Vdに拘わらず一定値「1」を維持する。すなわち、OLED素子51は、電流供給トランジスタTcのドレイン電圧Vdに拘わらず、データ電流Idataと略同一の駆動電流Icによって駆動されるのである。したがって、本実施形態によれば、データ電流Idataにより指示される目標の輝度と実際のOLED素子51の発光輝度とを精度よく一致させることができる。

10

【0036】

< B - 1 b : 第1実施形態の変形例 >

第1実施形態においては、トランジスタ511および512をそれぞれトランジスタT1およびT2のゲートとドレインとの間に介挿した構成を例示したが、これに代えて図4の構成も採用され得る。この構成においては、トランジスタ511がトランジスタT1とトランジスタT2との間に介挿されるとともに、トランジスタT1のゲートがトランジスタ511のドレインに接続されている。同様に、トランジスタ512はトランジスタT2とスイッチングトランジスタTswとの間に介挿されるとともに、トランジスタT2のゲートがトランジスタ512のドレインに接続されている。トランジスタ511および512のゲートが選択線201に接続されている点は上記実施形態と同様である。この構成によっても上記実施形態と同様の効果が得られる。本実施形態におけるトランジスタ511および512は駆動トランジスタTdrのゲートと電流供給トランジスタTcのゲートとをフローティング状態とする手段として機能する。

20

【0037】

< B - 2 a : 第2実施形態 >

次に、図5を参照して、第2実施形態に係る画素回路5の構成を説明する。なお、同図においてはi行j列に位置するひとつの画素回路5のみが図示されているが、他の画素回路5も同様の構成である。同図に示されるように、画素回路5は、電気光学素子たるOLED素子51と、トランジスタTdr、Tc、Ter、Tsw、T1、521および522と、電圧保持素子として機能する容量C1およびC2とを有する。画素回路5に含まれる各トランジスタは、ポリシリコンプロセスにより形成された薄膜トランジスタである。また、トランジスタTdr、TcおよびT1はpチャンネル型のトランジスタであり、トランジスタTer、Tsw、521および522はnチャンネル型のトランジスタである。もっとも、画素回路5を構成する各トランジスタの導電型は適宜に変更され得る。また、トランジスタTdr、TcおよびT1のトランジスタサイズ(チャンネル幅およびチャンネル長)は略同一である。

30

【0038】

第1実施形態と同様に、点灯制御トランジスタTerは、電源の高位側電圧Vddが印加される電源線41からOLED素子51に至る経路502に介挿されている。より具体的には、点灯制御トランジスタTerは、ソースがOLED素子51の陽極に接続されるとともにゲートが点灯制御線203に接続されている。OLED素子51の陰極は電源の低位側電圧Gndに接地されている。また、経路502には駆動トランジスタTdrおよび電流供給トランジスタTcが介挿されている。駆動トランジスタTdrおよび電流供給トランジスタTcは、OLED素子51に流れる駆動電流Icを制御するためのトランジスタである。このうち電流供給トランジスタTcは、ドレインが点灯制御トランジスタTerのドレインに接続されるとともにソースが駆動トランジスタTdrのドレインに接続されている。駆動トランジスタTdrのソースは電源線41に接続されている。このように、電源線41からOLED素子51に至る経路502には、駆動トランジスタTdrおよび電流供給トランジスタTcと点灯制御トランジスタTerとが電源線41からみてこの順番に介挿されている。

40

50

【0039】

一方、スイッチングトランジスタ T_{sw} は電源線41からデータ線303に至る経路501に介挿され、ソースがデータ線303に接続されるとともにゲートが選択線201に接続されている。一方、スイッチングトランジスタ T_{sw} のドレインはトランジスタ T_1 のドレインに接続されている。トランジスタ T_1 は、ゲートが駆動トランジスタ T_{dr} のゲートに接続されるとともにソースが電源線41に接続されている。このように、電源線41からデータ線303に至る経路501には、トランジスタ T_1 とスイッチングトランジスタ T_{sw} とが介挿されている。

【0040】

容量 C_1 および C_2 は、電源線41からデータ線303を介して定電流回路301に流れるデータ電流 I_{data-j} に応じた電圧を保持するための素子である。このうち容量 C_1 は、一端がトランジスタ T_1 のゲートと駆動トランジスタ T_{dr} のゲートとに対して共通に接続され、他端が駆動トランジスタ T_{dr} のソース(したがって電源線41)に接続されている。一方、容量 C_2 は、一端が電流供給トランジスタ T_c のゲートに接続され、他端が電流供給トランジスタ T_c のソースに接続されている。

10

【0041】

トランジスタ521は、駆動トランジスタ T_{dr} のゲートとドレインとの間の導通および非導通を書込信号 WR_i に応じて切り替えるスイッチング素子である。一方、容量 C_2 の一端が接続された電流供給トランジスタ T_c のゲートはトランジスタ522を介して経路501に接続されている。このトランジスタ522は電流供給トランジスタ T_c のゲートと経路501との間の導通および非導通を書込信号 WR_i に応じて切り替えるスイッチング素子である。トランジスタ521および522のゲートは選択線201に接続されている。

20

【0042】

以上の構成のもと、 i 番目の選択線201が選択される水平走査期間において書込信号 WR_i がアクティブレベル(Hレベル)に遷移してトランジスタ521および522がオン状態になると、駆動トランジスタ T_{dr} がダイオード接続されるとともに、容量 C_2 の一端と電流供給トランジスタ T_c のゲートとが経路501と導通することとなる。このとき、定電流回路301により生成されたデータ電流 I_{data-j} が経路501を介してデータ線303に流れる。したがって、トランジスタ T_1 のゲート電圧はデータ電流 I_{data-j} に応じた電圧となって容量 C_1 に保持される。一方、電流供給トランジスタ T_c のゲート電圧はデータ電流 I_{data-j} に応じた電圧となって容量 C_2 に保持される。

30

【0043】

次に、書込信号 WR_i が非アクティブレベル(Lレベル)に遷移すると、トランジスタ521および522がオフ状態になるが駆動トランジスタ T_{dr} および電流供給トランジスタ T_c のゲート電圧はそれぞれ容量 C_1 および C_2 によって維持される。この後、点灯制御信号 ER_i がアクティブレベルになると、点灯制御トランジスタ T_{er} がオン状態となる。したがって、今度はデータ電流 I_{data-j} に応じた駆動電流 I_c が経路502を介してOLED素子51に流れ、この結果としてOLED素子51が発光する。

【0044】

本実施形態においても、電流供給トランジスタ T_c のドレイン電圧 V_d と入出力電流比 M (=駆動電流 I_c /データ電流 I_{data})との関係は図14に実線で示す特性となる。同図に示されるように、電流供給トランジスタ T_c のドレイン電圧 V_d が所定値以上であれば、入出力電流比 M は電流供給トランジスタ T_c のドレイン電圧 V_d に拘わらず一定値「1」を維持する。すなわち、OLED素子51は、電流供給トランジスタ T_c のドレイン電圧 V_d に拘わらず、データ電流 I_{data} と略同一の駆動電流 I_c によって駆動されるのである。したがって、本実施形態によれば、データ電流 I_{data} により指示される目標の輝度と実際のOLED素子51の発光輝度とを精度よく一致させることができる。

40

【0045】

< B - 2 b : 第2実施形態の変形例 >

50

(1) 第1変形例

図6に示される画素回路5は、図5に示した画素回路5のトランジスタ522に代えて、pチャンネル型のトランジスタT2とnチャンネル型のトランジスタ523とを有する。このうちトランジスタT2のトランジスタサイズ(チャンネル幅およびチャンネル長)は、駆動トランジスタT_{dr}や電流供給トランジスタT_cやトランジスタT1のトランジスタサイズと略同一である。このトランジスタT2は経路501に介挿され、当該経路501に流れるデータ電流I_{data-j}に応じたゲート電圧を発生する。トランジスタT2のゲートは容量C2の一端が接続された電流供給トランジスタT_cのゲートに接続されている。一方、トランジスタ523は、トランジスタT2のゲートとドレインとの間の導通状態を書込信号WR_iに応じて切り替えるスイッチング素子であり、そのゲートが選択線201に接続されている。したがって、書込信号WR_iがアクティブレベルに遷移してトランジスタ523がオン状態になるとトランジスタT2はダイオード接続される。この画素回路5における電流供給トランジスタT_cのドレイン電圧V_dと入出力電流比Mとの関係は図14のグラフと同様になる。

10

【0046】

(2) 第2変形例

図5に示した第2実施形態の画素回路5においてはトランジスタ522を電流供給トランジスタT_cのゲートと経路501との間に介挿した構成を例示したが、これに代えて、図7の構成も採用され得る。同図に示される画素回路5においては、電流供給トランジスタT_cのゲートが経路501に対して直接に(すなわちトランジスタを介することなく)接続される。その代わりに、ゲートが選択線201に接続されたトランジスタ524が経路501に介挿されて、経路501の導通および非導通(換言すればデータ電流I_{data}の流れの有無)が書込信号WR_iに応じて切り替えられるようになっている。この画素回路5によっても、第2実施形態と同様の効果が得られる。

20

【0047】

(3) 第3変形例

図6に示した画素回路5においてはトランジスタ523がトランジスタT2のゲートとドレインとの間に介挿された構成を例示したが、この構成においても図7と同様にトランジスタ524を用いた構成が採用され得る。すなわち、図8に示される画素回路5においては、トランジスタT2のゲートと電流供給トランジスタT_cのゲートとが経路501に対して直接に接続される一方、ゲートが選択線201に接続されたトランジスタ524が経路501に介挿されて、経路501の導通および非導通(換言するとトランジスタT2がダイオード接続されるか否か)が書込信号WR_iに応じて切り替えられるようになっている。この画素回路5によっても第2実施形態と同様の効果が得られる。

30

【0048】

< B - 3 a : 第3実施形態 >

次に、図9を参照して、第3実施形態に係る画素回路5の構成を説明する。なお、同図においてはi行j列に位置するひとつの画素回路5のみが図示されているが、他の画素回路5も同様の構成である。同図に示されるように、画素回路5は、電気光学素子たるOLED素子51と、トランジスタT_{er}、T_{sw}、T_{dr}、T_c、T1、T2、531、532およびT_bと、電圧保持素子として機能する容量C1およびC2とを有する。画素回路5に含まれる各トランジスタは、ポリシリコンプロセスにより形成された薄膜トランジスタである。このうちトランジスタT_{dr}、T_c、T1、T2およびT_bはpチャンネル型のトランジスタであり、トランジスタT_{er}、T_{sw}、531および532はnチャンネル型のトランジスタである。もっとも、画素回路5を構成する各トランジスタの導電型は適宜に変更され得る。また、トランジスタT_{dr}、T_c、T1およびT2のトランジスタサイズ(チャンネル幅およびチャンネル長)は略同一である。

40

【0049】

点灯制御トランジスタT_{er}は、電源線41からOLED素子51に至る経路502に介挿されている。より具体的には、点灯制御トランジスタT_{er}は、ソースがOLED素子5

50

1の陽極に接続されるとともにゲートが点灯制御線203に接続されている。O L E D素子51の陰極は電源の低位側電圧G n dに接地されている。また、経路502には駆動トランジスタT drおよび電流供給トランジスタT cが介挿されている。駆動トランジスタT drおよび電流供給トランジスタT cは、O L E D素子51に流れる駆動電流I cを制御するためのトランジスタである。このうち電流供給トランジスタT cは、ドレインが点灯制御トランジスタT erのドレインに接続されるとともにソースが駆動トランジスタT drのドレインに接続されている。駆動トランジスタT drのソースは電源の電源線41に接続されている。このように、電源線41からO L E D素子51に至る経路には、駆動トランジスタT drおよび電流供給トランジスタT cと点灯制御トランジスタT erとが電源線41からみてこの順番に介挿されている。

10

【0050】

一方、スイッチングトランジスタT swは電源線41からデータ線303に至る経路501に介挿され、ソースがデータ線303に接続されるとともにゲートが選択線201に接続されている。一方、経路501にはトランジスタT 1およびT 2が介挿されている。このうちトランジスタT 2は、ドレインがスイッチングトランジスタT swのドレインに接続される一方、ソースがトランジスタT 1のドレインに接続されている。トランジスタT 1のソースは電源線41に接続されている。このように、電源線41からデータ線303に至る経路501には、トランジスタT 1およびT 2とスイッチングトランジスタT swとが電源線41からみてこの順番に介挿されている。

【0051】

電流供給トランジスタT cのゲートはトランジスタT 2のゲートに接続されている。同様に、駆動トランジスタT drのゲートはトランジスタT 1のゲートに接続されている。さらに、トランジスタT 1および駆動トランジスタT drのゲートはトランジスタ532を介して経路501に接続される。このトランジスタ532は、ゲートが選択線201に接続されており、トランジスタT 1のゲートと経路501との間の導通および非導通を書込信号W R iに応じて切り替えるスイッチング素子として機能する。

20

【0052】

容量C 1およびC 2は、電源線41から経路501およびデータ線303を介して定電流回路301に流れるデータ電流I data-jに応じた電圧を保持する素子である。このうち容量C 1は、一端が駆動トランジスタT drおよびトランジスタT 1のゲートに接続され、他端が駆動トランジスタT drのソース(したがって電源線41)に接続されている。一方、容量C 2は、一端が電流供給トランジスタT cおよびトランジスタT 2のゲートに接続され、他端が電流供給トランジスタT cのソースに接続されている。

30

【0053】

以上の構成のもと、i番目の選択線201が選択される水平走査期間において書込信号W R iがアクティブレベルに遷移してスイッチングトランジスタT swおよびトランジスタ532がオン状態になると、定電流回路301により生成されたデータ電流I data-jが経路501を介してデータ線303に流れる。このとき、トランジスタT 1およびT 2のゲート電圧はデータ電流I data-jに応じた電圧となり、それぞれ容量C 1およびC 2に保持される。次に、書込信号W R iが非アクティブレベル(Lレベル)に遷移すると、スイッチングトランジスタT swおよびトランジスタ532がオフ状態となって経路501とデータ線303とが電氣的に絶縁される。一方、駆動トランジスタT drおよび電流供給トランジスタT cのゲート電圧はそれぞれ容量C 1およびC 2によってデータ電流I data-jに応じた電圧に維持されている。したがって、この状態において点灯制御信号E R iがアクティブレベルに遷移して点灯制御トランジスタT erがオン状態になると、今度はデータ電流I data-jに応じた駆動電流I cが経路502を介してO L E D素子51に流れ、この結果としてO L E D素子51が発光する。このように画素回路5においては、経路501のデータ電流I data-jに応じた駆動電流I cが経路502に流れる。すなわち、データ電流I data-jが流れる期間と駆動電流I cが流れる期間とは異なるものの、実質的には駆動トランジスタT drおよび電流供給トランジスタT cとトランジスタT 1およびT 2とがカスコード型の

40

50

カレントミラー回路として機能すると捉えることができる。

【0054】

本実施形態においても、電流供給トランジスタ T_c のドレイン電圧 V_d と入出力電流比 M （＝駆動電流 I_c /データ電流 I_{data} ）との関係は図14に実線で示す特性となる。同図に示されるように、電流供給トランジスタ T_c のドレイン電圧 V_d が所定値以上であれば、入出力電流比 M は電流供給トランジスタ T_c のドレイン電圧 V_d に拘わらず一定値「1」を維持する。すなわち、OLED素子51は、電流供給トランジスタ T_c のドレイン電圧 V_d に拘わらず、データ電流 I_{data} と略同一の駆動電流 I_c によって駆動されるのである。したがって、本実施形態によれば、データ電流 I_{data} により指示される目標の輝度と実際のOLED素子51の発光輝度とを精度よく一致させることができる。

10

【0055】

ところで、駆動トランジスタ T_{dr} および電流供給トランジスタ T_c とトランジスタ T_1 および T_2 とがカレントミラー回路として機能するためにはこれらのトランジスタの総てを飽和領域において動作させる必要がある。このため、単純にカスコード型のカレントミラー回路を画素回路5に採用した場合には電源線41の電位（電源の高位側電圧 V_{dd} ）を比較的高い電位に設定することが必要となり、したがって電気光学装置100の消費電力の低減を妨げる一因ともなり得る。この問題を解消すべく、本実施形態に係る画素回路5は、図9に示されるようにトランジスタ531および T_b を備えている。これらのトランジスタ531および T_b はバイアス電圧を電流供給トランジスタ T_c のゲートに印加するための回路（本発明における「バイアス回路」に相当する）として機能する。詳述すると以下の通りである。

20

【0056】

トランジスタ T_b は電源線41から定電流源43に至る経路503（本発明における「第3の経路」に相当する）に介挿されたトランジスタ（以下「バイアス用トランジスタ」という場合がある）である。すなわち、バイアス用トランジスタ T_b は、ドレインが定電流源43に接続される一方、ソースが電源線41に接続されている。定電流源43は、予め定められた電流を経路503に流すための回路である（図1においては図示が省略されている）。この定電流源43は、Y方向に列をなす m 個の画素ごとに設けられ、各定電流源43が略同一の電流を生成する。バイアス用トランジスタ T_b はゲートとドレインとがダイオード接続されている。さらに、バイアス用トランジスタ T_b のゲートはトランジスタ531を介して電流供給トランジスタ T_c のゲート（トランジスタ T_2 のゲート）に接続されている。トランジスタ531は、バイアス用トランジスタ T_b のゲートと電流供給トランジスタ T_c のゲートとの導通および非導通を書込信号 WR_i に応じて切り替えるスイッチング素子であり、そのゲートが選択線201に接続されている。

30

【0057】

この構成において、バイアス用トランジスタ T_b のゲート電圧は経路503に流れる電流に応じた電圧となる。そして、書込信号 WR_i がアクティブレベルに遷移してトランジスタ531がオン状態になると、このバイアス用トランジスタ T_b のゲート電圧がバイアス電圧として電流供給トランジスタ T_c のゲートに印加される。この構成によれば、バイアス電圧を印加しない構成と比較して電流供給トランジスタ T_c のドレイン電圧を低下させることができるから、定電流源43とバイアス用トランジスタ T_b およびトランジスタ531とを設けない構成と比較して、必要となる電源電圧は低減される。したがって、本実施形態によれば電気光学装置100の消費電力を低減することができる。

40

【0058】

< B - 3 b : 第3実施形態の変形例 >

(1) 第1変形例

第3実施形態においてはバイアス用トランジスタ T_b のゲートと電流供給トランジスタ T_c のゲートとの間にトランジスタ531を介在させた構成を例示したが、これに代えて図10の構成も採用され得る。図10に示される画素回路5においては、トランジスタ531がトランジスタ T_2 のゲートと電流供給トランジスタ T_c のゲートとの間に介挿され、

50

トランジスタT2のゲートがバイアス用トランジスタTbのゲートに接続されている。この構成においても、トランジスタ531が書込信号WRiに応じてオン状態となった場合に限って(すなわち書込期間に限って)バイアス用トランジスタTbのゲートと電流供給トランジスタTcのゲートとが導通するから、第3実施形態と同様の効果が奏される。また、図9の構成に代えて、図11に示されるようにトランジスタ531がバイアス用トランジスタTbのゲートとドレインとの間に介挿された構成も採用され得る。図11に示される画素回路5によれば、トランジスタ531が書込信号WRiに応じてオン状態になった場合に限って(すなわち書込期間に限って)バイアス用トランジスタTbがダイオード接続されるから、上記実施形態と同様に書込期間においてのみバイアス電圧が電流供給トランジスタTcのゲートに印加される。これらの構成によっても第3実施形態と同様の効果が得られる。さらに、トランジスタ531を設けず、バイアス用トランジスタTbのゲートが電流供給トランジスタTcのゲートに対して直接に接続された構成も採用され得る。

10

【0059】

(2) 第2変形例

図9においてはトランジスタT1のゲートとトランジスタT2のドレインとの間にトランジスタ532を介在させた構成を例示したが、これに代えて図12の構成も採用され得る。図12に示される画素回路5においては、トランジスタT1のゲートとドレインとの間にトランジスタ532が介挿され、これがオン状態になるとトランジスタT1がダイオード接続されるようになっている。この構成によっても第3実施形態と同様の効果が得られる。

20

【0060】

(3) 第3変形例

第3実施形態においては画素回路5ごとにバイアス用トランジスタTbが設けられた構成を例示したが、複数の画素回路5にバイアス電圧を供給するためにひとつのバイアス用トランジスタTbが共用される構成も採用され得る。例えば図13に示されるように、電源線41から定電流源43に至る経路503に介挿されたバイアス用トランジスタTbのゲートから複数の画素回路5に至るように設けられた配線を介して、これらの画素回路5に対してバイアス用トランジスタTbのゲート電圧が共通のバイアス電圧として供給される構成としてもよい。なお、図13においては、選択線201やデータ線303などバイアス電圧の印加に関係のない要素については図示が省略されている。また、第3実施形態や図13に示される構成においては、バイアス電圧を生成するための手段として定電流源43とバイアス用トランジスタTbとを用いた構成を例示したが、バイアス電圧を生成するための構成は任意である。例えば、定電圧源により生成された電圧がバイアス電圧として各画素回路5に供給される構成も採用され得る。

30

【0061】

< C : その他の形態 >

以上に例示した各実施形態には種々の変形が加えられる。具体的な変形の態様を例示すれば以下の通りである。

【0062】

(1) 各実施形態においては、容量C1およびC2の一端が駆動トランジスタTdrのソース(すなわち電源線41)および電流供給トランジスタTcのソースにそれぞれ接続された構成を例示したが、これらの一端は他の箇所に接続されていてもよい。要するに、略一定の電圧が印加されている箇所に容量C1およびC2の一端が接続されており、その結果としてトランジスタT1(あるいは駆動トランジスタTdr)およびトランジスタT2(あるいは電流供給トランジスタTc)のゲート電圧がそれぞれ容量C1およびC2に保持される構成であれば足りる。

40

【0063】

(2) 各実施形態においてはOLED素子51が発光する期間を点灯制御信号ERiにより規定する構成を例示したが、点灯制御線203およびこれにより制御される点灯制御トランジスタTerは必須の要素ではない。例えば、電流供給トランジスタTcのドレインが

50

OLE D素子51の陽極に対して直接に接続された構成も採用され得る。この構成においては、書込期間内においてもOLE D素子51に駆動電流 I_c が流れて発光することとなる。

【0064】

(3)本発明はOLE D素子以外の電気光学素子を用いた電気光学装置にも適用され得る。例えば、発光ダイオード(LED(Light Emitting Diode))を電気光学素子として用いて画像を表示する電気光学装置にも本発明は適用され得る。本発明によれば電気光学素子の電圧に拘わらず入出力電流比Mを略一定に維持することができるから、電流により駆動される電気光学素子(いわゆる電流駆動型の電気光学素子)を用いた電気光学装置に本発明は特に好適である。

10

【0065】

< D : 電子機器 >

次に、本発明に係る電気光学装置を表示部として備える電子機器について説明する。図15は、本発明に係る電気光学装置を表示装置として備えた携帯電話機の構成を示す斜視図である。この図に示されるように、携帯電話機1100は、利用者により操作される複数の操作ボタン1102、他の端末装置から受信した音声を入力する受話口1104、および他の端末装置に送信される音声を入力する送話口1106のほかに、上記実施形態に係る電気光学装置100を有する。

【0066】

なお、本発明に係る電気光学装置が利用され得る電子機器としては、図15に示される携帯電話機のほかにも、ノート型パソコンや、液晶テレビ、ビューファインダ型(またはモニタ直視型)のビデオレコーダ、デジタルカメラ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。

20

【図面の簡単な説明】

【0067】

【図1】本発明の実施形態に係る電気光学装置の全体構成を示すブロック図である。

【図2】同電気光学装置における各信号の波形を示すタイミングチャートである。

【図3】本発明の第1実施形態に係る画素回路の構成を示す回路図である。

【図4】第1実施形態の変形例に係る画素回路の構成を示す回路図である。

30

【図5】本発明の第2実施形態に係る画素回路の構成を示す回路図である。

【図6】第2実施形態の変形例に係る画素回路の構成を示す回路図である。

【図7】第2実施形態に係る画素回路の他の例を示す回路図である。

【図8】第2実施形態に係る画素回路の他の例を示す回路図である。

【図9】本発明の第3実施形態に係る画素回路の構成を示す回路図である。

【図10】第3実施形態の変形例に係る画素回路の構成を示す回路図である。

【図11】第3実施形態の変形例に係る画素回路の構成を示す回路図である。

【図12】第3実施形態の変形例に係る画素回路の構成を示す回路図である。

【図13】第3実施形態の変形例に係る画素回路の構成を示す回路図である。

【図14】電流供給トランジスタのドレイン電圧と入出力電流比との関係を示すグラフである。

40

【図15】本発明に係る電子機器の一例たる携帯電話機の構成を示す斜視図である。

【図16】従来の画素回路の構成を示す回路図である。

【図17】従来の画素回路における駆動トランジスタのドレイン電圧と入出力電流比との関係を示すグラフである。

【符号の説明】

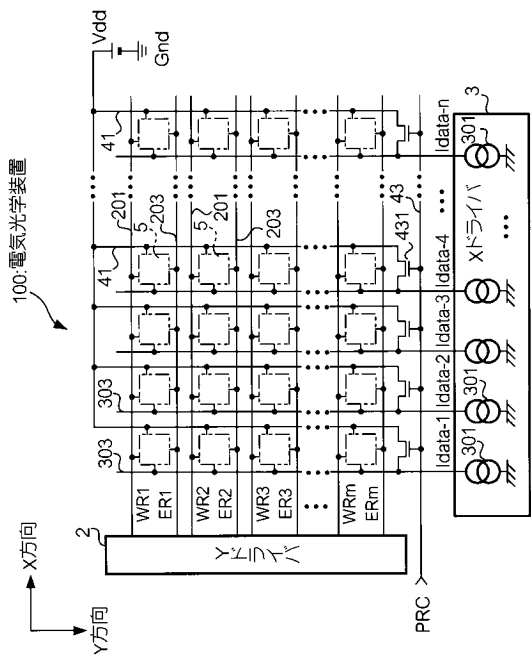
【0068】

100...電気光学装置、2...Yドライバ、201...選択線、203...点灯制御線、3...Xドライバ、301...定電流回路、303...データ線、41...電源線、43...定電流源、5...画素回路、501, 502, 503...電流経路、51...OLE D素子、Tdr...駆動トラ

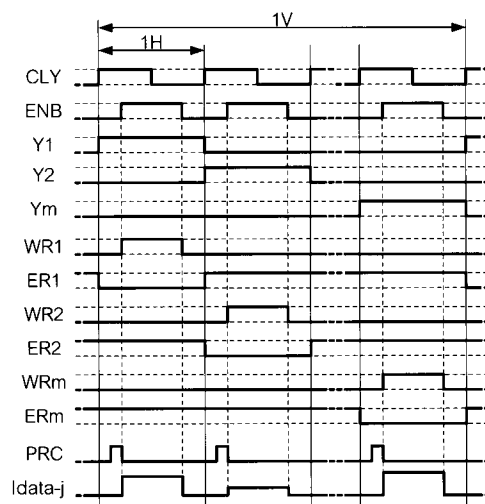
50

ンジスタ、 T_c ... 電流供給トランジスタ、 T_{er} ... 点灯制御トランジスタ、 T_{sw} ... スイッチングトランジスタ、 T_1 ... トランジスタ（第1のトランジスタ）、 T_2 ... トランジスタ（第2のトランジスタ）、 T_b ... バイアス用トランジスタ、 $511, 512, 521, 522, 523, 524, 531, 532$... トランジスタ、 C_1 ... 容量（第1の電圧保持素子）、 C_2 ... 容量（第2の電圧保持素子）、 Y_i ... 選択信号、 ENB ... イネーブル信号、 PRC ... プリチャージ制御信号、 WR_i ... 書込信号、 ER_i ... 点灯制御信号、 I_{data-j} ... データ電流、 I_c ... 駆動電流。

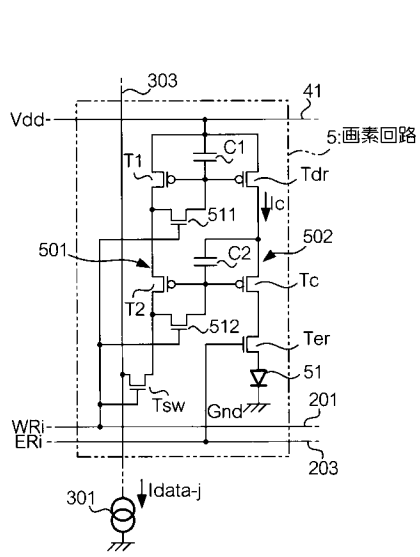
【 図 1 】



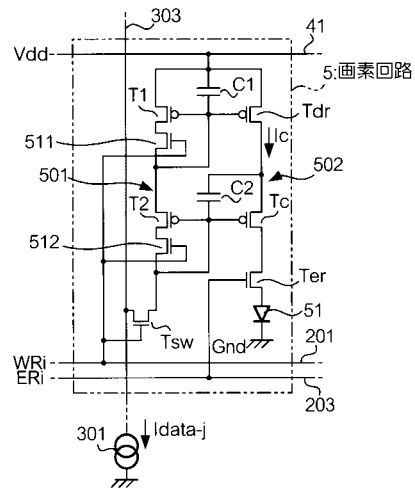
【 図 2 】



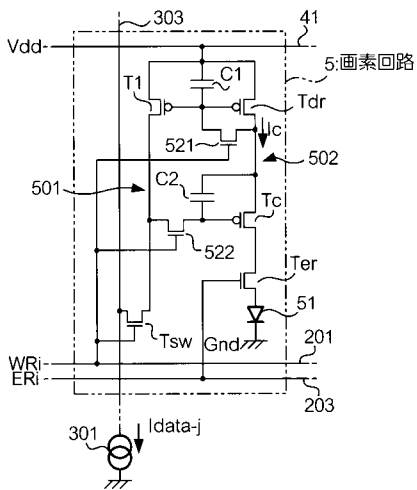
【 図 3 】



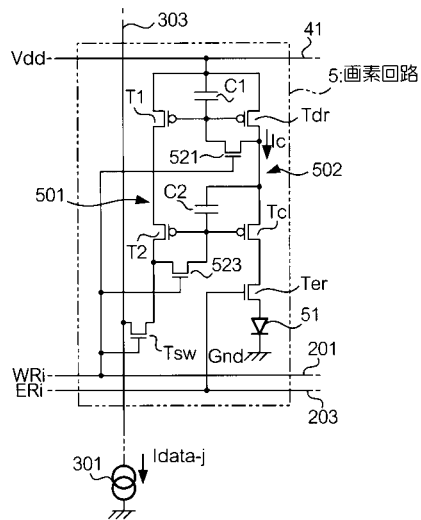
【 図 4 】



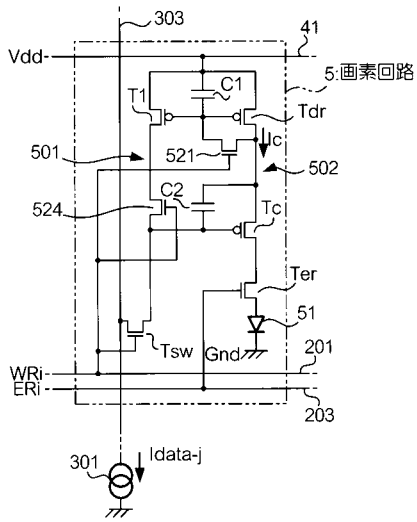
【 図 5 】



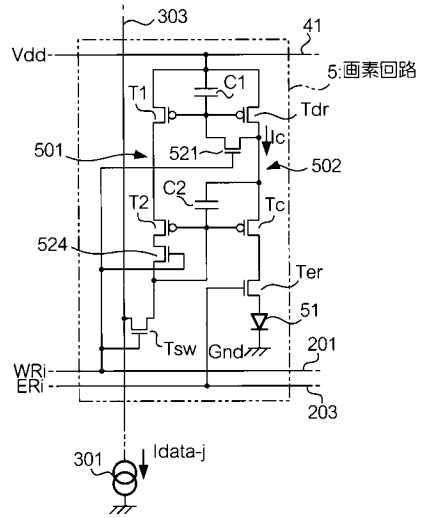
【 図 6 】



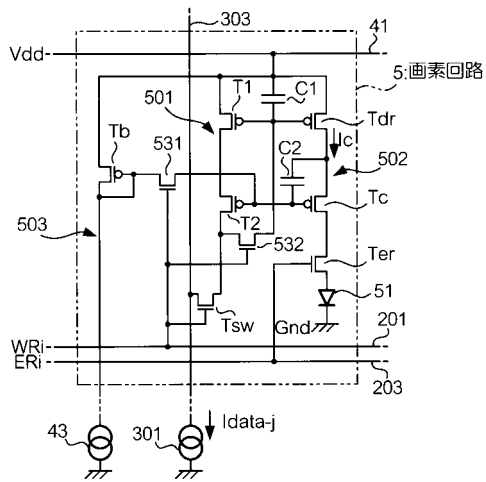
【 図 7 】



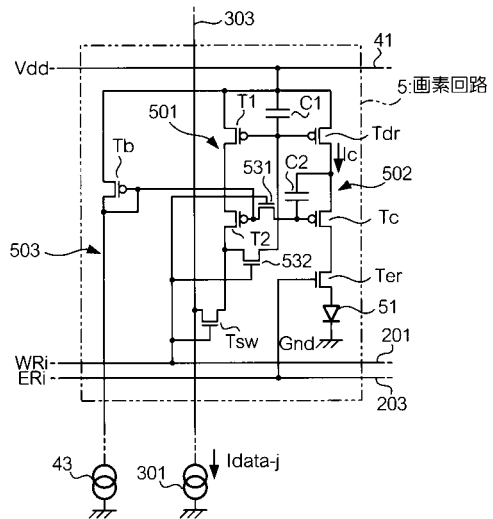
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 DD28 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	像素电路，电光器件和电子设备		
公开(公告)号	JP2005181975A	公开(公告)日	2005-07-07
申请号	JP2004226364	申请日	2004-08-03
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	堀内浩 城宏明		
发明人	堀内 浩 城 宏明		
IPC分类号	H01L51/50 G09G3/10 G09G3/20 G09G3/30 G09G3/32 H05B33/00 H05B33/14		
CPC分类号	G09G3/325 G09G2300/0852		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3241 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA05 5C380/BA13 5C380/BA14 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC02 5C380/BC09 5C380/BC13 5C380/CA12 5C380/CC12 5C380/CC14 5C380/CC28 5C380/CC30 5C380/CC34 5C380/CC39 5C380/CC41 5C380/CC57 5C380/CC58 5C380/CC63 5C380/CD014 5C380/CD027 5C380/CD028 5C380/CD029 5C380/DA02 5C380/DA06		
代理人(译)	须泽 修		
优先权	2003390678 2003-11-20 JP 2003395609 2003-11-26 JP 2003395610 2003-11-26 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：准确显示所需的灰度。从电源线41到恒流电路301的第一路径501具有第一晶体管 晶体管T1和第二晶体管T2插入。电源线41到OLED元件 驱动晶体管Tdr和电流供应晶体管Tc设置在通向子51的第二路径502上。并被插入。电容C1和电流源连接到驱动晶体管Tdr的栅极 连接到电源晶体管Tc的栅极的电容C2是在第一路径501中流动的数据电流。根据Idata-j保持电压。驱动晶体管Tdr由第二路径502驱动。根据保持在电容器C1中的电压来控制动态电流。电流供应晶体管Tc是第二个根据电容器C2中保持的电压来控制 在路径502中流动的驱动电流。 [选择图]图3

