

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5127099号
(P5127099)

(45) 発行日 平成25年1月23日(2013.1.23)

(24) 登録日 平成24年11月9日(2012.11.9)

(51) Int.Cl.	F I				
G09G 3/30 (2006.01)	G09G	3/30		J	
G09F 9/30 (2006.01)	G09F	9/30	338		
H01L 27/32 (2006.01)	G09F	9/30	365Z		
G09G 3/20 (2006.01)	G09G	3/20	624B		
H01L 51/50 (2006.01)	G09G	3/20	641C		
請求項の数 9 (全 38 頁) 最終頁に続く					

(21) 出願番号 特願2001-125754 (P2001-125754)
 (22) 出願日 平成13年4月24日(2001.4.24)
 (65) 公開番号 特開2002-14653 (P2002-14653A)
 (43) 公開日 平成14年1月18日(2002.1.18)
 審査請求日 平成20年2月14日(2008.2.14)
 (31) 優先権主張番号 特願2000-125993 (P2000-125993)
 (32) 優先日 平成12年4月26日(2000.4.26)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 電子装置、表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の配線と、第2の配線と、第3の配線と、第4の配線と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の電極及び第2の電極とを備えた保持容量と、画素電極と、を有する電子装置であって、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2の配線と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第3の配線と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記画素電極と電氣的に接続され、

前記保持容量の第1の電極は、前記第2のトランジスタのゲートと電氣的に接続され、

前記保持容量の第2の電極は、前記第3の配線と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に接続され、

10

20

前記第 3 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、
 前記第 1 の配線は、映像信号を伝えることができる機能を有し、
 前記第 2 の配線は、前記第 1 のトランジスタをオン状態またはオフ状態にすることができる信号を伝えることができる機能を有し、
 前記第 3 の配線は、前記画素電極に電流を伝えることができる機能を有し、
 前記第 4 の配線は、前記第 3 のトランジスタをオン状態またはオフ状態にすることができる信号を伝えることができる機能を有することを特徴とする電子装置。

【請求項 2】

ソース信号線と、ゲート信号線と、電流供給線と、リセット信号線と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の電極及び第 2 の電極とを備えた保持容量と、画素電極と、を有する電子装置であって、

10

前記第 1 のトランジスタのソースまたはドレインの一方は、前記ソース信号線と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記ゲート信号線と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記電流供給線と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記画素電極と電氣的に接続され、

20

前記保持容量の第 1 の電極は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記保持容量の第 2 の電極は、前記電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記ゲート信号線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記リセット信号線と電氣的に接続されていることを特徴とする電子装置。

【請求項 3】

請求項 1 又は請求項 2 において、前記第 1 のトランジスタと前記第 3 のトランジスタの極性は同じであることを特徴とする電子装置。

30

【請求項 4】

請求項 1 又は請求項 2 において、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタの極性は同じであることを特徴とする電子装置。

【請求項 5】

第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の電極及び第 2 の電極とを備えた保持容量と、EL素子と、を有する表示装置であって、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の配線と電氣的に接続され、

40

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記 EL素子と電氣的に接続され、

前記保持容量の第 1 の電極は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記保持容量の第 2 の電極は、前記第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタの

50

ゲートと電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第4の配線と電氣的に接続され、

前記第1の配線は、映像信号を伝えることができる機能を有し、

前記第2の配線は、前記第1のトランジスタをオン状態またはオフ状態にすることができる信号を伝えることができる機能を有し、

前記第3の配線は、前記EL素子に電流を伝えることができる機能を有し、

前記第4の配線は、前記第3のトランジスタをオン状態またはオフ状態にすることができる信号を伝えることができる機能を有することを特徴とする表示装置。

10

【請求項6】

ソース信号線と、ゲート信号線と、電流供給線と、リセット信号線と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の電極及び第2の電極とを備えた保持容量と、EL素子と、を有する表示装置であって、

前記第1のトランジスタのソースまたはドレインの一方は、前記ソース信号線と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのゲートは、前記ゲート信号線と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記電流供給線と電氣的に接続され、

20

前記第2のトランジスタのソースまたはドレインの他方は、前記EL素子と電氣的に接続され、

前記保持容量の第1の電極は、前記第2のトランジスタのゲートと電氣的に接続され、

前記保持容量の第2の電極は、前記電流供給線と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記ゲート信号線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記リセット信号線と電氣的に接続されていることを特徴とする表示装置。

30

【請求項7】

請求項5又は請求項6において、前記第1のトランジスタと前記第3のトランジスタの極性は同じであることを特徴とする表示装置。

【請求項8】

請求項5又は請求項6において、前記第1のトランジスタ、前記第2のトランジスタ及び前記第3のトランジスタの極性は同じであることを特徴とする表示装置。

【請求項9】

請求項5乃至請求項8のいずれか一において、前記EL素子で発生した光は基板と反対方向に放出されることを特徴とする表示装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子装置の構成に関する。本発明は、特に、絶縁体上に作成される薄膜トランジスタ(TFT)を有するアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。

【0002】

【従来の技術】

近年、LCD(液晶ディスプレイ)に替わるフラットパネルディスプレイとして、エレクトロルミネッセンス素子(以下、EL素子と表記する)ELディスプレイが注目を集めて

50

おり、活発な研究が行われている。

【0003】

LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブマトリクス型、もう1つがアクティブマトリクス型である。

【0004】

パッシブマトリクス型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブマトリクス型の場合は、各画素にTFTを有し、各画素内で信号を保持出来るようになっている。

10

【0005】

ELディスプレイに用いられているアクティブマトリクス型電子装置の構成例を図13に示す。図13(A)は全体回路構成図であり、基板1350の中央に画素部1353を有している。画素部の左右には、ゲート信号線を制御するためのゲート信号線側駆動回路1352が配置されている。ゲート信号線駆動回路は、画素部の左右いずれかの片側配置としても構わないが、回路動作の信頼性および効率等を考慮すると、図13(A)に示すように、両側配置とするのが望ましい。画素部の上側には、ソース信号線を制御するためのソース信号線側駆動回路1351が配置されている。1画素の拡大図を図13(B)に示す。図13(B)において、1301は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。1302はEL素子1303に供給する電流を制御するための素子(電流制御素子)として機能するエレクトロルミネッセンス駆動用TFT(以下、EL駆動用TFTと表記する)である。図13(B)では、EL素子1303の陽極と電流供給線1307との間に配置されている。別の構成方法として、EL素子1303の陰極と陰極電極1308との間に配置したりすることも可能である。しかし、TFTの動作としてソース接地が良いこと、EL素子1303の製造上の制約などから、EL駆動用TFT1302にはPチャネル型を用い、EL素子1303の陽極と電流供給線1307との間に配置する方式が一般的であり、多く採用されている。1304は、ソース信号線1306から入力される信号(電圧)を保持するための保持容量である。図13(B)での保持容量1304の一方の端子は、電流供給線1307に接続されているが、専用の配線を用いることもある。スイッチング用TFT1301のゲート電極は、ゲート信号線1305に、ソース領域は、ソース信号線1306に接続されている。また、EL駆動用TFT1302のドレイン領域はEL素子1303の陽極1309に、ソース領域は電流供給線1307に接続されている。

20

30

【0006】

EL素子は、エレクトロルミネッセンス(Electro Luminescence: 電場を加えることで発生するルミネッセンス)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた電子装置にも適用可能である。

40

【0007】

なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0008】

また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0009】

50

次に、同図 13 を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線 1305 が選択されると、スイッチング用 TFT 1301 のゲート電極に電圧が印加され、スイッチング用 TFT 1301 が導通状態になる。すると、ソース信号線 1306 の信号（電圧）が保持容量 1304 に蓄積される。保持容量 1304 の電圧は、EL 駆動用 TFT 1302 のゲート・ソース間電圧 V_{GS} となるため、保持容量 1304 の電圧に応じた電流が EL 駆動用 TFT 1302 と EL 素子 1303 に流れる。その結果、EL 素子 1303 が点灯する。

【0010】

EL 素子 1303 の輝度、つまり EL 素子 1303 を流れる電流量は、EL 駆動用 TFT 1302 の V_{GS} によって制御出来る。 V_{GS} は、保持容量 1304 の電圧であり、それはソース信号線 1306 に入力される信号（電圧）である。つまり、ソース信号線 1306 に入力される信号（電圧）を制御することによって、EL 素子 1303 の輝度を制御する。最後に、ゲート信号線 1305 を非選択状態にして、スイッチング用 TFT 1301 のゲートを閉じ、スイッチング用 TFT 1301 を非導通状態にする。その時、保持容量 1304 に蓄積された電荷は保持される。よって、EL 駆動用 TFT 1302 の V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が、EL 駆動用 TFT 1302 を経由して EL 素子 1303 に流れ続ける。

【0011】

以上の内容に関しては、SID99 Digest : P372 : “Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217 : “High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27 : “3.8 Green OLED with Low Temperature Poly-Si TFT” などに報告されている。

【0012】

ところで、EL ディスプレイの階調表現の方法には、アナログ階調方式とデジタル階調方式とがある。前者のアナログ階調方式の場合、EL 駆動用 TFT 1302 の V_{GS} を変化させて、EL 素子 1303 に流れる電流を制御し、アナログ的に輝度を変化させる方法である。対して、後者のデジタル階調方式では、EL 駆動用 TFT のゲート・ソース間電圧は、EL 素子 1303 に全く電流が流れない範囲（点灯開始電圧以下）か、あるいは最大電流が流れる範囲（輝度飽和電圧以上）の 2 段階でのみ動作する。すなわち EL 素子 1303 は、点灯状態と消灯状態のみをとる。

【0013】

EL ディスプレイにおいては、TFT のしきい値等の特性のばらつきが表示に影響しにくいデジタル階調方式が主に用いられる。しかし、デジタル階調方式の場合、そのままでは点灯、消灯の 2 階調表示しか出来ないため、別の方式と組み合わせ、多階調化を図る技術が複数提案されている。

【0014】

そのうちの 1 つは、面積階調方式とデジタル階調方式を組み合わせる方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、1 つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。

【0015】

図 14 は、面積階調方式による階調表現を行うための画素の構成例である。図 14 (A) において、点線枠 1400 にて囲まれた範囲が 1 画素分の回路である。拡大図を図 14 (B) に示している。1401 は第 1 のスイッチング用 TFT、1402 は第 2 のスイッチング用 TFT、1403 は第 1 の EL 駆動用 TFT、1404 は第 2 の EL 駆動用 TFT、1405 は第 1 の EL 素子、1406 は第 2 の EL 素子、1407 は第 3 の EL 素子、1408 は第 1 の保持容量、1409 は第 2 の保持容量、1410 はゲート信号線、1411 は第 1 のソース信号線、1412 は第 2 のソース信号線、1413 は電流供給線である。

10

20

30

40

50

【 0 0 1 6 】

階調表現の方法としては、まずゲート信号線 1 4 1 0 が選択されることで、第 1 のスイッチング用 T F T 1 4 0 1、第 2 のスイッチング用 T F T 1 4 0 2 が導通状態となる。ソース信号線に信号が入力されていないときは、いずれの E L 素子も点灯しない（階調 0）。第 1 のソース信号線 1 4 1 1 に信号が入力されると、第 1 のスイッチング用 T F T 1 4 0 1 を経由して、第 1 の E L 駆動用 T F T 1 4 0 3 が導通状態となり、第 1 の E L 素子 1 4 0 5 に電流が供給され、点灯する。このとき、第 2 のソース信号線 1 4 1 2 には信号は入力されておらず、第 2 の E L 素子 1 4 0 6、第 3 の E L 素子 1 4 0 7 は消灯状態である（階調 1）。次に、第 2 のソース信号線 1 4 1 2 に信号が入力されると、第 2 のスイッチング用 T F T 1 4 0 2 を経由して、第 2 の E L 駆動用 T F T 1 4 0 4 が導通状態となり、第 2 の E L 素子 1 4 0 6、第 3 の E L 素子 1 4 0 7 に電流が供給され、点灯する。このとき、第 1 のソース信号線 1 4 1 1 には信号は入力されておらず、第 1 の E L 素子 1 4 0 5 は消灯状態である（階調 2）。最後に、第 1 のソース信号線 1 4 1 1、第 2 のソース信号線 1 4 1 2 の双方に信号が入力されると、第 1 のスイッチング用 T F T 1 4 0 1、第 2 のスイッチング用 T F T 1 4 0 2 を経由して、第 1 の E L 駆動用 T F T 1 4 0 3、第 2 の E L 駆動用 T F T 1 4 0 4 が導通状態となり、第 1 の E L 素子 1 4 0 5、第 2 の E L 素子 1 4 0 6、第 3 の E L 素子 1 4 0 7 に電流が供給され、点灯する。この段階で 1 画素分全ての E L 素子が点灯状態となる（階調 3）。以上のようにして、図 1 4 に示した画素においては、4 段階の階調表現を行うことが出来る。

10

【 0 0 1 7 】

なお、図 1 4 においては、点灯する E L 素子の面積を明確にするため、第 2、第 3 の E L 素子を分割して示しているが、第 1 の E L 素子に対して 2 倍の面積を有する第 2 の E L 素子のみを配置しても良いことは言うまでもない。

20

【 0 0 1 8 】

この方式の欠点としては、サブ画素の数を多くすることに限界があるため、高解像度化や、多階調化が難しいことである。面積階調方式については、Euro Display 99 Late News : P71 : “TFT-LEPD with Image Uniformity by Area Ratio Gray Scale”、IEDM 99 : P107 : “Technology for Active Matrix Light Emitting Polymer Displays”、などに報告がされている。

【 0 0 1 9 】

もう 1 つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせる方式がある。時間階調方式とは、点灯している時間の差を利用して、階調を出す方式である。つまり、1 フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

30

【 0 0 2 0 】

デジタル階調方式と面積階調方式と時間階調方式を組み合わせた場合については、IDW'99 : P171 : “Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity” に報告されている。

【 0 0 2 1 】

【 発明が解決しようとする課題 】

図 1 5 は、デジタル階調と時間階調とをくみあわせた駆動方法におけるタイミングチャートである。図 1 5 (A) はアドレス（書き込み）期間とサステイン（点灯）期間とが、サブフレーム期間内で完全に分離しているのに対し、図 1 5 (B) では分離していない。

40

【 0 0 2 2 】

通常、時間階調を利用した駆動方法では、ビット数に応じて各々アドレス（書き込み）期間とサステイン（点灯）期間とを設ける必要がある。アドレス（書き込み）期間とサステイン（点灯）期間とが完全に分離した駆動方法（各サブフレーム期間において、1 画面分のアドレス（書き込み）期間が完全に終了してからサステイン（点灯）期間に入る方法）では、1 フレーム期間内でアドレス（書き込み）期間の占める割合が大きくなり、またアドレス（書き込み）期間内でも、ある行のゲート信号線が選択されている期間は、図 1 5

50

(A)に示すように、他の行は書き込みも点灯も行われない状態にある期間1501が生ずるため、デューティ比(1フレーム期間におけるサステイン(点灯)期間の長さの割合)が大きく低下する。アドレス(書き込み)期間を短くするには動作クロック周波数を上げる以外になく、回路の動作マージン等を考えると、多階調化には限界がある。対して、アドレス(書き込み)期間とサステイン(点灯)期間とを分離しない駆動方法では、たとえばk行目のゲート信号線選択期間の終了後、直ちにk行目のEL素子はサステイン(点灯)期間に入るため、他の行でゲート信号線が選択されている間にも、いずれかの画素は点灯していることになる。よって、よりデューティ比を高くするには有利な駆動方法といえる。

【0023】

しかし、アドレス(書き込み)期間とサステイン(点灯)期間とが分離していない場合、以下のような問題が生ずる。1つのアドレス(書き込み)期間の長さは、1行目のゲート信号線選択期間の開始から、最終行のゲート信号線選択期間の終了までである。ある時点では、異なる2つのゲート信号線の選択は行うことが出来ないため、アドレス(書き込み)期間とサステイン(点灯)期間とが分離していない駆動方法においては、サステイン(点灯)期間は、少なくともアドレス(書き込み)期間と同じかそれ以上の長さを必要とする。よって、多階調化を図る際には、サステイン(点灯)期間の最小単位が限られてしまう。図15(B)において、最下位ビット分のサブフレーム期間 SF_4 でのアドレス(書き込み)期間 T_{a_4} が終了するまでの期間と、次のフレーム期間での最初のアドレス(書き込み)期間が開始してからの期間が重複しないだけの、1502で示される部分の長さが、この最小単位となり、これよりも短いサステイン(点灯)期間を有する場合は、正常に表示を行うことが出来ない。このサステイン(点灯)期間の最小単位の長さ $T_{s_{min}}$ は、アドレス(書き込み)期間の長さを T_{a_n} 、1ゲート信号線選択期間の長さを T_{g_n} とすると、 $T_{s_{min}} = T_{a_n} - T_{g_n}$ で表される。よって、デジタル階調方式と時間階調方式を組み合わせた場合、サステイン(点灯)期間は2のべき乗の比をもって長さが決まることから、1フレーム期間の長さを考えると、多階調化が困難になる。

【0024】

【本発明以前の技術】

前述のタイミングチャートにおいて、アドレス(書き込み)期間とサステイン(点灯)期間とが分離していない場合には、サステイン(点灯)期間の最小単位が制限されてしまうという問題点を述べた。この問題を解決するために、以下のような表示方法が提案された。

【0025】

図16(A)では、最小単位 $T_{s_{min}}$ よりも短いサステイン(点灯)期間 T_{s_3} が1フレーム期間内に含まれているため、 T_{a_3} の一部と、 T_{s_3} の終了直後から開始している次のフレーム期間の T_{a_1} の一部が、1601で示される範囲で重複している状態を示している。このような重複部分では、同時に異なる行のゲート信号線が選択されることになるため、正常に走査が行われない。そこで、図16(B)に示すように、最小単位 $T_{s_{min}}$ よりも短いサステイン(点灯)期間の終了後、アドレス(書き込み)期間が重複する期間で、EL素子を非表示状態とする期間1602を設け、次のアドレス(書き込み)期間の開始タイミングを先送りにする。このようにすることで、最小単位 $T_{s_{min}}$ よりも短いサステイン(点灯)期間を含む場合にも、アドレス(書き込み)期間の重複がなくなるため、表示を正常に行うことが出来る。

【0026】

図17は、特願平11-338786(平成11年11月29日出願)に記載されている画素の構成を示している。図17(A)において、点線枠1700で囲まれた範囲が1画素分の回路である。図17(B)に拡大図を示す。図13に示した画素の構成に加えて、リセット用TF1705、リセット信号線1712が追加された構成を有する。

【0027】

図17にて示した回路の動作について簡潔に述べる。画像の表示に関する動作は、図13

10

20

30

40

50

に示したような従来の画素と同様である。前述の非表示期間を設ける際に、リセット用 T F T 1 7 0 5 およびリセット信号線 1 7 1 2 が用いられる。サステイン（点灯）期間では、E L 駆動用 T F T 1 7 0 2 に印加されるゲート・ソース間電圧は、保持容量 1 7 0 4 が保持している電荷によってまかなわれる。すなわち、E L 駆動用 T F T 1 7 0 2 に印加されるゲート・ソース間電圧は、保持容量 1 7 0 4 の両端子間の電位差に等しい。サステイン（点灯）期間が終了し、非表示期間を設けるには、リセット信号線 1 7 1 2 にリセット信号を入力して、リセット用 T F T 1 7 0 5 を導通状態にする。この動作により、リセット用 T F T 1 7 0 5 のソース領域とドレイン領域との間の電位差、すなわち保持容量 1 7 0 4 の両端子間の電位差が 0 [V] となる。よって E L 駆動用 T F T 1 7 0 2 のゲート・ソース間電圧が 0 [V] となって非導通状態となり、E L 素子 1 7 0 3 への電流供給が遮断される。直ちにリセット用 T F T 1 7 0 5 は非導通状態に戻るが、保持容量 1 7 0 4 の両端子間の電位差は 0 [V] のまま保持されるので、E L 駆動用 T F T 1 7 0 2 のゲート・ソース間電圧も引き続き 0 [V] であり、その後新たに画像信号が書き込まれるまでは、E L 素子 1 7 0 3 は点灯しない。この非表示期間は、アドレス（書き込み）期間の長さを t_a 、サステイン（点灯）期間の長さを t_s 、1 ゲート信号線選択期間の長さを t_g (t_a 、 t_s 、 $t_g > 0$) として、非表示期間の長さを t_r ($t_r > 0$) とすると、 $t_r = t_a - (t_s + t_g)$ で求められる長さを少なくとも有する。こうして、短いサステイン（点灯）期間を挟んだアドレス（書き込み）期間の重複を回避することが出来る。

10

【 0 0 2 8 】

しかしながら、図 1 7 に示したような画素を用いる場合、以下のような問題点がある。

20

【 0 0 2 9 】

E L 駆動用 T F T 1 7 0 2 には P チャネル型を用いるのが望ましいことは前述のとおりである。通常、P チャネル型 T F T の場合、しきい値電圧は負の値をとる。故に、E L 駆動用 T F T 1 7 0 2 のゲート・ソース間電圧が 0 [V] 以上であれば、ドレイン電流はほとんど流れない。しかし、E L 駆動用 T F T 1 7 0 2 は、サステイン（点灯）期間中を通じてドレイン電流が流れるため、他の T F T と比較して劣化しやすい条件にある。これらの経時的劣化や、製造不良等が原因となって、このしきい値電圧が正の値にシフトする場合がある。その場合、たとえゲート・ソース間電圧が 0 [V] であっても、ドレイン電流が流れてしまうことになる。

30

【 0 0 3 0 】

ここで、引き続き図 1 7 を参照して、実際に E L 駆動用 T F T 1 7 0 2 のしきい値電圧が正の値にシフトした場合について考える。まず、通常の信号の書き込みを行っている期間において説明する。ソース信号線 1 7 0 7 から信号が入力され、黒表示（E L 素子 1 7 0 3 が点灯しない）を行うときは、電流供給線 1 7 0 8 の電位よりも、ソース信号線 1 7 0 7 から入力される信号の電位を十分に高くとっておけば、確実に E L 駆動用 T F T 1 7 0 2 のゲート・ソース間電圧は正の値となるので、ドレイン電流は流れない。すなわち、外部から入力する信号の制御によって、上記のような不良を有する T F T が含まれる場合にも正常動作が可能となる。

【 0 0 3 1 】

一方、非表示期間で、リセット用 T F T 1 7 0 5 を導通させて E L 素子 1 7 0 3 への電流供給を遮断する動作においては、リセット用 T F T 1 7 0 5 によってソース信号線 1 7 0 7 の電位と電流供給線 1 7 0 8 の電位が等しくなる。よって E L 駆動用 T F T 1 7 0 2 のゲート・ソース間電圧は、このときは 0 [V] となり、しきい値電圧が正の値にシフトしている場合には、ドレイン電流が流れ、E L 素子 1 7 0 3 が発光してしまう。この場合、各信号線の電位を変えたとしても、対処することは出来ない。

40

【 0 0 3 2 】

そこで、本発明においては、前述のような駆動方法を行う電子装置において、高いデューティ比を確保し、かつ前述した最小単位よりも短いサステイン（点灯）期間を有する場合にも正常に画像の表示を可能とし、かつ前述のようなしきい値のシフト等が生じた場合にも対処の可能な新規の駆動方法を提供することを課題とする。

50

【 0 0 3 3 】

また、本明細書中、T F Tのしきい値のシフトが生じたもの、あるいは、特性に不良のあるものと記載している場合は、T F Tの特性がノーマリーオン（T F Tのゲート電極とソース領域との間の電位差が0[V]の時に、T F Tが導通状態をとること）であることを意味するものとする。

【 0 0 3 4 】

【課題を解決するための手段】

上述した課題を解決するために、本発明においては以下の手段を講じた。

【 0 0 3 5 】

図1に示すように、リセット用T F T 1 0 5のソース領域とドレイン領域は、一方は電流供給線1 0 8に、もう一方はゲート信号線1 0 6に電氣的に接続されている。また、スイッチング用T F T 1 0 1は、E L駆動用T F Tと同極性のものを用いるのが望ましい。

10

【 0 0 3 6 】

本発明の特徴は、リセット用T F T 1 0 5を導通状態にしたときのE L駆動用T F T 1 0 2のゲート・ソース間電圧を、ゲート信号線1 0 6の電位を変えることにより制御することが出来る点にある。このような方法をとることにより、たとえE L駆動用T F T 1 0 2のしきい値電圧がシフトし、ノーマリーオンとなっている場合においても、ゲート信号線1 0 6の電位を変えることにより、E L駆動用T F T 1 0 2を確実に非導通状態とすることが出来るので、E L素子1 0 3の電流が流れにくいようにすることが可能となる。

【 0 0 3 7 】

以下に、本発明の電子装置の構成について記載する。

20

【 0 0 3 8 】

本発明における電子装置は、

ソース信号線側駆動回路と、ゲート信号線側駆動回路と、リセット信号線側駆動回路と、画素部とを有し、

前記画素部は、複数のソース信号線と、複数のゲート信号線と、複数の電流供給線と、複数のリセット信号線と、複数の画素とを有し、

前記複数の画素はそれぞれ、スイッチング用トランジスタと、エレクトロルミネッセンス駆動用トランジスタと、リセット用トランジスタと、保持容量と、エレクトロルミネッセンス素子とを有し、

30

前記スイッチング用トランジスタのゲート電極は、前記複数のゲート信号線のうちいずれか1本と電氣的に接続され、

前記スイッチング用トランジスタのソース領域とドレイン領域とは、一方はソース信号線と電氣的に接続され、残る一方は前記エレクトロルミネッセンス駆動用トランジスタのゲート電極と電氣的に接続され、

前記リセット用トランジスタのゲート電極は、リセット信号線と電氣的に接続され、

前記リセット用トランジスタのソース領域とドレイン領域とは、一方は前記複数のゲート信号線のうちいずれか1本と電氣的に接続され、残る一方は前記エレクトロルミネッセンス駆動用トランジスタのゲート電極と電氣的に接続され、

前記保持容量は、一方の電極は電流供給線と電氣的に接続され、残る一方の電極は、前記エレクトロルミネッセンス駆動用トランジスタのゲート電極と電氣的に接続され、

40

前記エレクトロルミネッセンス駆動用トランジスタのソース領域とドレイン領域とは、一方は電流供給線と電氣的に接続され、残る一方はエレクトロルミネッセンス素子の一方の電極と電氣的に接続されていることを特徴としている。

【 0 0 3 9 】

更に、本発明は上記に記載の電子装置において、

前記エレクトロルミネッセンス駆動用トランジスタのソース領域もしくはドレイン領域と、エレクトロルミネッセンス素子の陽極とが電氣的に接続されているときは、前記スイッチング用トランジスタの極性にはPチャンネル型を用い、

前記エレクトロルミネッセンス駆動用トランジスタのソース領域もしくはドレイン領域

50

と、エレクトロルミネッセンス素子の陰極とが電氣的に接続されているときは、前記スイッチング用トランジスタの極性にはNチャンネル型を用いることを特徴としている。

【0040】

本発明の電子装置の駆動方法は、

1フレーム期間はn個のサブフレーム期間 $S F_1$ 、 $S F_2$ 、 \dots 、 $S F_n$ を有し、
前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と、サステイン(点灯)期間 $T s_1$ 、 $T s_2$ 、 \dots 、 $T s_n$ とを有し、
前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス(書き込み)期間と前記サステイン(点灯)期間が重複している期間を有し、
サブフレーム期間 $S F_m$ ($1 \leq m \leq n$)でのアドレス(書き込み)期間 $T a_m$ と、サブフレーム期間 $S F_{m+1}$ でのアドレス(書き込み)期間 $T a_{m+1}$ とが重複する場合に、前記サブフレーム期間 $S F_m$ でのサステイン(点灯)期間 $S F_m$ の終了後、前記アドレス(書き込み)期間 $T a_{m+1}$ の開始までの期間に非表示期間を有することを特徴としている。

10

【0041】

本発明の電子装置の駆動方法の一は、

1フレーム期間はn個のサブフレーム期間 $S F_1$ 、 $S F_2$ 、 \dots 、 $S F_n$ を有し、
前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と、サステイン(点灯)期間 $T s_1$ 、 $T s_2$ 、 \dots 、 $T s_n$ とを有し、
前記n個のサブフレーム期間のうち少なくとも1個のサブフレーム期間において、前記アドレス(書き込み)期間と前記サステイン(点灯)期間が重複している期間を有し、
 j ($0 < j < n$)フレーム目のサブフレーム期間 $S F_j$ でのアドレス(書き込み)期間 $T a_j$ と、 $j+1$ フレーム目のサブフレーム期間 $S F_{j+1}$ でのアドレス(書き込み)期間 $T a_{j+1}$ とが重複する場合に、 j フレーム目のサブフレーム期間 $S F_j$ でのサステイン(点灯)期間 $S F_j$ の終了後、前記 $j+1$ フレーム目のサブフレーム期間 $S F_{j+1}$ でのアドレス(書き込み)期間 $T a_{j+1}$ の開始までの期間に非表示期間を有することを特徴としている。

20

【0042】

本発明の電子装置の駆動方法の一は、

1フレーム期間はn個のサブフレーム期間 $S F_1$ 、 $S F_2$ 、 \dots 、 $S F_n$ を有し、
前記n個のサブフレーム期間はそれぞれアドレス(書き込み)期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と、サステイン(点灯)期間 $T s_1$ 、 $T s_2$ 、 \dots 、 $T s_n$ とを有し、
あるサブフレーム期間 $S F_k$ ($1 \leq k \leq n$)において、アドレス(書き込み)期間の長さを $t a_k$ 、サステイン(点灯)期間の長さを $t s_k$ 、1ゲート信号線選択期間の長さを $t g$ ($t a_k$ 、 $t s_k$ 、 $t g > 0$)として、 $t a_k > t s_k + t g$ が成立するとき、
 $S F_k$ の有する非表示期間の長さを $t r_k$ ($t r_k > 0$)とすると、
常に、 $t r_k = t a_k - (t s_k + t g)$ が成立することを特徴としている。

30

【0043】

更に、本発明は上記に記載の電子装置の駆動方法において、

前記非表示期間においては、リセット信号線駆動回路からの信号が入力され、リセット用トランジスタが導通することによって、前記エレクトロルミネッセンス駆動用トランジスタが非導通状態となり、

40

前記リセット用トランジスタが非導通状態に戻った後も、次にソース信号線からの信号の書き込みが行われるまでの間、前記エレクトロルミネッセンス駆動用トランジスタのゲート電圧が、前記保持容量によって保持されることを特徴としている。

【0044】

更に、本発明は上記に記載の電子装置の駆動方法において、

前記非表示期間中は、画像信号に関わらずエレクトロルミネッセンス素子が消灯することを特徴としている。

【0045】

更に、本発明は上記に記載の電子装置の駆動方法において、

50

前記非表示期間における、前記エレクトロルミネッセンス駆動用トランジスタのゲート電圧は、

電流供給線の電位と、非選択状態にあるゲート信号線の電位との差によって決定されることを特徴としている。

【0046】

更に、本発明は上記に記載の電子装置の駆動方法において、

前記エレクトロルミネッセンス駆動用トランジスタの極性がNチャンネル型である場合には、

前記非選択状態にあるゲート信号線には、前記電流供給線の電位に対し、前記エレクトロルミネッセンス駆動用トランジスタのしきい値電圧よりも低い電位が入力されることを特徴としている。

10

【0047】

更に、本発明は上記に記載の電子装置の駆動方法において、

前記エレクトロルミネッセンス駆動用トランジスタの極性がPチャンネル型である場合には、

前記非選択状態にあるゲート信号線には、前記電流供給線の電位に対し、前記エレクトロルミネッセンス駆動用トランジスタのしきい値電圧よりも高い電位が入力されることを特徴としている。

【0048】

【発明の実施の形態】

20

以下に本発明の実施形態について述べる。

【0049】

特願平11-338786に記載されている画素は、図17に示すように、リセット用TFT1705のソース領域とドレイン領域は、一方は電流供給線1708に、もう一方はEL駆動用TFT1702のゲート電極に電氣的に接続されており、リセット用TFT1705のゲート電極は、リセット信号線1712に電氣的に接続されていた。

【0050】

本発明の画素は、図1に示すように、リセット用TFT105のソース領域とドレイン領域は、一方は電流供給線108に、もう一方はゲート信号線106に電氣的に接続されている。

30

【0051】

続いて、各配線における電位のパターンについて述べる。図2を参照する。図2(A)はリセット信号線の電位を示している。図2(B)は、図17に示した、特願平11-338786に記載されている画素を用いて、非表示期間を伴う駆動を行う場合の各配線の電位を示している。図2(C)は、本発明の構成を有する画素を用いて前述の、非表示期間を伴う駆動を行う場合の各配線の電位を示している。まず図2(B)の場合について、順を追って説明する。なお、各部の電位を明確に示すため、スイッチング用TFTにはNチャンネル型を、EL駆動用TFTとリセット用TFTにはPチャンネル型を用いたものとして説明する。

【0052】

40

図2(A)に示す信号波形201は、リセット用TFT1705にPチャンネル型を用いた場合であり、電位が下がったとき、リセット用TFT1705が導通状態となる。リセット用TFT1705にNチャンネル型を用いた場合には、図2(A)の波形201は逆となる。

【0053】

次に、ゲート信号線1706の電位202について述べる。図2(B)の場合、スイッチング用TFT1701はNチャンネル型を用いているものとしている。したがって、ゲート信号線1706が選択されるときは電位が上がり、スイッチング用TFT1701が導通状態となる。

【0054】

50

ソース信号線 1707 の電位 204 は、スイッチング用 T F T 1701 を経由して、E L 駆動用 T F T 1702 や保持容量 1704 に入力される。

【0055】

スイッチング用 T F T 1701 が導通状態になると、E L 駆動用 T F T 1702 のゲート電極の電位 203 は、ソース信号線 1707 の電位 204 に等しくなる。図 2 においては、スイッチング用 T F T 1701 が導通状態となった点では、ソース信号線 1707 の電位 204 は L O 信号であるから、E L 駆動用 T F T 1702 のゲート電極の電位 203 は下がる。このとき、E L 駆動用 T F T 1702 のゲート・ソース間電圧の絶対値が大きくなり、E L 駆動用 T F T 1702 は導通状態となる。よって E L 素子 1703 に電流が流れて点灯する。ソース信号線 1707 の電位 204 が H i 信号の場合は、E L 素子 1703 は点灯しない。

10

【0056】

続いて、図 2 中、破線 X - X' で示されるタイミングで、リセット信号線 1712 に L O 信号が入力され、リセット用 T F T 1705 が導通状態となる。この動作により、E L 駆動用 T F T 1702 のゲート電極の電位 203 は電流供給線 1708 の電位 205 に等しくなり、E L 駆動用 T F T 1702 のゲート電圧 (E L 駆動用 T F T 1702 のソース領域に対するゲート電極の電位) は 0 [V] となる。すなわち、E L 駆動用 T F T 1702 のしきい値電圧が正の値にシフトしている場合には、E L 駆動用 T F T 1702 のゲート電圧 (E L 駆動用 T F T 1702 のソース領域に対するゲート電極の電位) が 0 [V] となる点では導通していることになり、非表示期間も E L 素子 1703 には電流が流れてしまう。

20

【0057】

続いて、図 2 (C) の場合について説明する。こちらの場合は、スイッチング用 T F T、E L 駆動用 T F T、リセット用 T F T には、ともに P チャネル型を用いているものとして各部の電位を説明する。

【0058】

まず、ゲート信号線 106 の電位 206 について述べる。前述の通り、スイッチング用 T F T 101 は P チャネル型を用いているので、ゲート信号線 106 が選択されるときは電位が下がり、スイッチング用 T F T 101 が導通状態となる。

【0059】

ソース信号線 107 の電位 208 は、スイッチング用 T F T 101 を経由して、E L 駆動用 T F T 102 や保持容量 104 に入力される。

30

【0060】

スイッチング用 T F T 101 が導通状態になると、E L 駆動用 T F T 103 のゲート電極の電位 207 は、ソース信号線 107 の電位 208 に等しくなる。図 2 においては、スイッチング用 T F T 101 が導通状態となった点では、ソース信号線 107 の電位 208 は L O 信号であるから、E L 駆動用 T F T 102 のゲート電極の電位 207 は下がる。このとき、E L 駆動用 T F T 102 のゲート・ソース間電圧の絶対値が大きくなり、E L 駆動用 T F T 102 は導通状態となる。よって E L 素子 103 に電流が流れて点灯する。ソース信号線 107 の電位 208 が H i 信号の場合は、E L 素子 103 は点灯しない。

40

【0061】

続いて、図 2 中、破線 X - X' で示されるタイミングで、リセット信号線 112 に L O 信号が入力され、リセット用 T F T 105 が導通状態となる。このとき、E L 駆動用 T F T 102 のゲート電極の電位 207 は、ゲート信号線 106 の電位 206 に等しくなる。ここで、E L 駆動用 T F T がノーマリーオンとなっている場合には、ゲート・ソース間電圧を正の値 (P チャネル型の場合) とし、確実に O F F するようにしてやればよい。よって、ゲート信号線 106 の電位 206 を、E L 駆動用 T F T 102 のしきい値のシフト量に合わせて高めにしておくことにより、E L 駆動用 T F T 102 のゲート・ソース間電圧は正の値をとることができる。よって、図 2 (B) の場合と異なり、仮に E L 駆動用 T F T 102 のしきい値電圧が正の値にシフトしていたとしても、電流を流れないようにするこ

50

とが出来る。

【 0 0 6 2 】

リセット用 T F T 1 0 5 が非導通状態に戻った後も、このときの E L 駆動用 T F T 1 0 2 のゲート・ソース間電圧は、保持容量 1 0 4 によって保持されているため、E L 素子 1 0 3 は、次のサブフレーム期間で、画素への信号の書き込みが行われるまでの間は、消灯状態が続く。

【 0 0 6 3 】

次に、画素を構成する T F T の極性と各部の電位との関係について説明する。

【 0 0 6 4 】

(1) E L 駆動用 T F T に N チャネル型を用いる場合

非表示期間において、E L 駆動用 T F T 1 0 2 が確実に非導通状態となるようにするには、E L 駆動用 T F T 1 0 2 のゲート・ソース間電圧 V_{GS} を確実にしきい値電圧より低くしておく必要がある。このとき、E L 駆動用 T F T 1 0 2 のゲート電位は、リセット用 T F T 1 0 5 が導通することにより、ゲート信号線 1 0 6 の電位 V_G となり、ソース電位は電流供給線 1 0 8 の電位 V_{CUL} となる。よって、今、E L 駆動用 T F T 1 0 2 がノーマリーオンである場合には、少なくとも $V_G < V_{CUL}$ としなければならない。ゲート信号線 1 0 6 の電位 V_G は、E L 駆動用 T F T 1 0 2 の劣化に伴って、任意に変更するものであるが、この場合、劣化が進行すれば、 V_G は低くする方向に向かうことになる。よってこの場合にスイッチング用 T F T 1 0 1 がいかなる場合にも非導通状態となるためには、スイッチング用 T F T 1 0 1 のゲート電位、すなわちゲート信号線 1 0 6 の電位 V_G が低い値をと

10

20

【 0 0 6 5 】

(2) E L 駆動用 T F T に P チャネル型を用いる場合

非表示期間において、E L 駆動用 T F T 1 0 2 が確実に非導通状態となるようにするには、E L 駆動用 T F T 1 0 2 のゲート・ソース間電圧 V_{GS} を確実にしきい値電圧より高くしておく必要がある。このとき、E L 駆動用 T F T 1 0 2 のゲート電位は、リセット用 T F T 1 0 5 が導通することにより、ゲート信号線 1 0 6 の電位 V_G となり、ソース電位は電流供給線 1 0 8 の電位 V_{CUL} となる。よって、今、E L 駆動用 T F T 1 0 2 がノーマリーオンである場合には、少なくとも $V_G > V_{CUL}$ としなければならない。ゲート信号線 1 0 6

30

【 0 0 6 6 】

なお、リセット用 T F T 1 0 5 の極性は特に問わないが、リセット用 T F T 1 0 5 のソース・ドレイン間の電圧を考えると、上記 (1) の場合には N チャネル型を、(2) の場合には P チャネル型を用いるのが望ましい。

40

【 0 0 6 7 】

なお、図 1 においては、リセット用 T F T 1 0 5 のソース領域とドレイン領域とのうちの一方と、スイッチング用 T F T 1 0 1 のゲート電極は、いずれも同じゲート信号線 1 0 6 と電氣的に接続されているが、このリセット用 T F T 1 0 5 のソース領域とドレイン領域とのうちの一方は、図 1 中のゲート信号線 1 0 6 に限らず、いずれのゲート信号線と接続されていても良い。

【 0 0 6 8 】

また、本実施形態においては、時間階調方式とデジタル階調方式を組み合わせた駆動方法の場合についてのみ述べてきたが、本発明の本質である、リセット用 T F T の配置に関しては、他の駆動方法による場合にも適用できる。むしろ、前述の面積階調方式とデジタル

50

階調方式を組み合わせた駆動方法や、面積階調方式とデジタル階調方式と時間階調方式を組み合わせた駆動方法にも適用できる。

【0069】

【実施例】

以下に本発明の実施例について記述する。

【0070】

[実施例1]

図3(A)は、本実施例にて示す電子装置の全体の回路構成例である。基板350の中央に画素部351が配置されている。画素部351の上側には、ソース信号線を制御するためのソース信号線駆動回路352が配置されている。画素部351の左側には、ゲート信号線を制御するためのゲート信号線駆動回路353が配置されている。画素部351の右側には、リセット信号線を制御するためのリセット信号線駆動回路354が配置されている。画素部351において、点線枠300で囲まれた部分が、1画素分の回路である。拡大図を図3(B)に示す。各部の名称は図1(B)と同様であるのでここでは省略する。

【0071】

続いて、実際の駆動について述べる。本実施例では、デジタル階調と時間階調を組み合わせた方法で、 k ビット(2^k)の階調を表現することとする。説明では、簡単のため、 $k=3$ として、3ビットの階調表現を行う場合を例にとって説明する。回路は図3に示した回路を参照する。

【0072】

図4に、本実施例で説明する3ビットの階調表現におけるタイミングチャートを示す。1フレーム期間は3つのサブフレーム期間 $S F_1 \sim S F_3$ に分割され、それぞれのサブフレーム期間はアドレス(書き込み)期間 $T a_1 \sim T a_3$ とサステイン(点灯)期間 $T s_1 \sim T s_3$ とを有する。サステイン(点灯)期間の長さは、2のべき乗で長さが設定されており、図4においては、 $T s_1 : T s_2 : T s_3 = 2^2 : 2^1 : 2^0$ となっている。

また、アドレス(書き込み)期間は、1行目のゲート信号線が選択されてから、最終行のゲート信号線の選択が終了するまでの期間であるので、 $T a_1 \sim T a_3$ は全て等長である。

【0073】

ここで、最下位ビット分のサステイン(点灯)期間 $T s_3$ は、アドレス(書き込み)期間 $T a_3$ よりも短い。よって、図4(A)に示すように、サステイン(点灯)期間 $T s_3$ の終了後、直ちに次のフレーム期間のアドレス(書き込み)期間 $T a_1$ に移行すると、異なるサブフレーム期間のアドレス(書き込み)期間が重複する期間が生ずる。この期間では、同時に複数のゲート信号線の選択が行われることになるので、正常な画像の表示は出来ない。

【0074】

そこで、図4(B)に示すように、サステイン(点灯)期間 $T s_3$ の終了後、リセット信号線312に信号を入力して、EL素子303を消灯させ、次のアドレス(書き込み)期間の開始までの間、非表示期間を設ける。図5に、ある1フレーム期間におけるゲート信号線306およびリセット信号線312の電位を示す。本実施例においては、リセット用TF T 305にはPチャンネル型を用いているので、リセット信号線312の電位が低いとき、リセット用TF T 305は導通状態となる。このリセット用TF T 305には、Nチャンネル型を用いても良い。

【0075】

まず、サブフレーム期間 $S F_1$ において、ゲート信号線306が選択され、ソース信号線307から、画素への信号の書き込みが行われる。各行では、画素への信号の書き込みが終了すると、直ちにサステイン(点灯)期間 $S F_1$ に移る。この動作が1行目から最終行まで行われる。続いて、サブフレーム期間 $S F_2$ においても同様に、ゲート信号線306が選択され、ソース信号線307から、画素への信号の書き込みが行われる。各行では、画素への信号の書き込みが終了すると、直ちにサステイン(点灯)期間 $S F_2$ に移る。この動作が1行目から最終行まで行われる。

10

20

30

40

50

【 0 0 7 6 】

サブフレーム期間 $S F_3$ では、まず $S F_1$ 、 $S F_2$ と同様、ゲート信号線 3 0 6 が選択され、ソース信号線 3 0 7 から、画素への信号の書き込みが行われる。各行では、画素への信号の書き込みが終了すると、直ちにサステイン（点灯）期間 $S F_3$ に移る。この動作が 1 行目から最終行まで行われる。このとき、サステイン（点灯）期間 $T s_3$ は、アドレス（書き込み）期間 $T a_3$ よりも短いため、アドレス（書き込み）期間 $T a_3$ の終了前、すなわち最終行のゲート信号線の選択期間が終了する前に、1 行目でのサステイン（点灯）期間 $T s_3$ が終了する。ここで、1 行目でのサステイン（点灯）期間 $T s_3$ が終了したら直ちに、1 行目のリセット信号線には、リセット信号が入力され、リセット用 T F T 3 0 5 が導通状態となり、保持容量 3 0 4 における両電極間の電位差、すなわち、E L 駆動用 T F T 3 0 2 のゲート・ソース間電圧は、ゲート信号線 3 0 6 と電流供給線 3 0 8 間の電位差に等しくなる。よって E L 駆動用 T F T 3 0 2 が非導通状態となり、E L 素子 3 0 3 への電流供給が遮断される。その後、リセット用 T F T 3 0 5 が非導通状態に戻った後も、このときの E L 駆動用 T F T 3 0 2 のゲート・ソース間電圧は、保持容量 3 0 4 によって保持されているため、E L 素子 3 0 3 は、次のサブフレーム期間で、画素への信号の書き込みが行われるまでの間は、消灯状態が続く。

10

【 0 0 7 7 】

E L 駆動用 T F T 3 0 2 のしきい値が、正の値にシフトしている場合は、ゲート信号線 3 0 6 の非選択状態における電位を上げておけばよい。それにより、保持容量 3 0 4 における両電極間の電位差、すなわち、E L 駆動用 T F T 3 0 2 のゲート電圧（E L 駆動用 T F T 3 0 2 のソース領域に対するゲート電極の電位）を任意に制御することができる。

20

【 0 0 7 8 】

本実施例において示した駆動方法によれば、リセット信号を入力するタイミングを変えることにより、サステイン（点灯）期間の長さを自由に設定することが可能であり、前述した、通常のデジタル階調と時間階調とを組み合わせた表示方法における最小単位よりも短いサステイン（点灯）期間を有するサブフレーム期間においても、正常に画像の表示を行うことが出来る。

【 0 0 7 9 】

また、E L 駆動用 T F T 3 0 2 の特性がノーマリーオンである場合にも、非選択状態にあるゲート信号線 3 0 6 の電位を変えることによって対処が可能である。

30

【 0 0 8 0 】

[実施例 2]

本実施例においては、同一基板上に、画素部および画素部の周辺に設ける駆動回路の T F T（Nチャネル型 T F T および Pチャネル型 T F T）を同時に作製する方法について詳細に説明する。

【 0 0 8 1 】

まず、図 6（A）に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm]（好ましくは 5 0 ~ 1 0 0 [nm]）形成し、同様に $S i H_4$ 、 $N_2 O$ から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm]（好ましくは 1 0 0 ~ 1 5 0 [nm]）の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

40

【 0 0 8 2 】

島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm]（好ましくは 3 0 ~ 6 0 [nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム

50

(SiGe)合金などで形成すると良い。

【0083】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100～400 [mJ/cm²] (代表的には200～300 [mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 [kHz]とし、レーザーエネルギー密度を300～600 [mJ/cm²] (代表的には350～500 [mJ/cm²])と

10

【0084】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Ortho silicate) とO₂とを混合し、反応圧力40 [Pa]、基板温度300～400 []とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm²]で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500 []の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

20

【0085】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで100～300 [nm]の厚さに形成する。

【0086】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、相のTa膜の抵抗率は20 [μ cm]程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は180 [μ cm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10～50 [nm]程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることができる。

30

【0087】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [μ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 [μ cm]を実現することができる。

40

【0088】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等

50

の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(Ta₂N₅)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N₅)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N₅)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【0089】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

10

【0090】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される(図6(A))。

20

【0091】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する(図6(B))。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~1000[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。

30

【0092】

次に、図6(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を供給し、プラズマを生成して行う。基板側(試料ステージ)には50[W]のRF(13.56[MHz])電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

40

【0093】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、

50

TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、フラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0094】

そして、図7(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図6(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5030を不純物元素に対するマスクとして用い、第2の導電層5026a~5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層5026a~5030aと重なる第3の不純物領域5032~5041と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5042~5051とを形成する。N型を付与する不純物元素は、第2の不純物領域で 1×10^{17} ~ 1×10^{19} [atoms/cm³]の濃度となるようにし、第3の不純物領域で 1×10^{16} ~ 1×10^{18} [atoms/cm³]の濃度となるようにする。

【0095】

そして、図7(B)に示すように、Pチャネル型TFETを形成する島状半導体層5004~5006に第1の導電型とは逆の導電型の第4の不純物領域5052~5074を形成する。第2の導電層5027b~5030bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFETを形成する島状半導体層5003および配線部5031はレジストマスク5200で全面を被覆しておく。不純物領域5052~5074にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を 2×10^{20} ~ 2×10^{21} [atoms/cm³]となるようにする。

【0096】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層5026~5030がゲート電極として機能する。また、5031は島状のソース信号線として機能する。

【0097】

こうして導電型の制御を目的として図7(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[]、代表的には500~600[]で行うものであり、本実施例では500[]で4時間の熱処理を行う。ただし、5026~5031に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0098】

さらに、3~100[%]の水素を含む雰囲気中で、300~450[]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0099】

次いで、図8(A)に示すように、第1の層間絶縁膜5075を酸化窒化シリコン膜から100~200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5076を形成した後、第1の層間絶縁膜5075、第2の層間絶縁膜5076、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5077~5082、5084をパターンニング形成した後、接続配線5082に接する画素電極5083をパターンニング形成する。

【0100】

第2の層間絶縁膜5076としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5076は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5[μm](さらに好ましくは2~4[μm])とすれば良い。

10

【0101】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、N型の不純物領域5017、5018またはP型の不純物領域5052~5074に達するコンタクトホール、配線5031に達するコンタクトホール、電流供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0102】

また、配線(接続配線、信号線を含む)5077~5082、5084として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

20

【0103】

また、本実施例では、画素電極5083としてITO膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極5083を接続配線5082と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5083がEL素子の陽極となる(図8(A))。

30

【0104】

次に、図8(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5083に対応する位置に開口部を形成して第3の層間絶縁膜5085を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0105】

次に、EL層5086および陰極(MgAg電極)5087を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5086の膜厚は80~200[nm](典型的には100~120[nm])、陰極5087の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

40

【0106】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0107】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層および陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て

50

隠すマスクをセットし、そのマスクを用いて緑色発光のEL層および陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層および陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層および陰極を形成するまで真空を破らずに処理することが好ましい。

【0108】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

10

【0109】

なお、EL層5086としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0110】

次いで、EL層および陰極を覆って保護電極5088を形成する。この保護電極5088としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極5088はEL層および陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層および陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

20

【0111】

最後に、窒化珪素膜でなるパッシベーション膜5089を300[nm]の厚さに形成する。実際には保護電極5088がEL層を水分等から保護する役割を果たすが、さらにパッシベーション膜5089を形成しておくことで、EL素子の信頼性をさらに高めることが出来る。

【0112】

こうして図8(B)に示すような構造のアクティブマトリクス型電子装置が完成する。なお、本実施例におけるアクティブマトリクス型電子装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

30

【0113】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFETを配置することにより、非常に高い信頼性を示し、動作特性も向上する。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0114】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFETを、駆動回路部を形成するCMOS回路のNチャネル型TFETとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッションゲートなどが含まれる。

40

【0115】

本実施例の場合、Nチャネル型TFETの活性層は、ソース領域、ドレイン領域、GOLD領域、LDD領域およびチャネル形成領域を含み、GOLD領域はゲート絶縁膜を介してゲート電極と重なっている。

【0116】

また、CMOS回路のPチャネル型TFETは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFETと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

50

【0117】

その他、駆動回路において、チャンネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャンネル型TFTは、チャンネル形成領域の両サイドにチャンネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャンネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。

10

【0118】

なお、実際には図8(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0119】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では電子装置という。

20

【0120】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚(島状半導体層パターン、第1配線パターン(ゲート配線、島状のソース配線、容量配線)、nチャンネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0121】

[実施例3]

本実施例においては、本発明の電子装置を作製した例について説明する。

30

【0122】

図9(A)は本発明を用いた電子装置の上面図であり、図9(A)をX-X'面で切断した断面図を図9(B)に示す。図9(A)において、4001は基板、4002は画素部、4003はソース信号線側駆動回路、4004はゲート信号線側駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0123】

このとき、画素部においては、好ましくは駆動回路および画素部を囲むようにしてカバー材4009、密封材4010、シーリング材(ハウジング材ともいう)4011(図9(B)に図示)が設けられている。

40

【0124】

また、図9(B)は本実施例の電子装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT(但し、ここではNチャンネル型TFTとPチャンネル型TFTを組み合わせたCMOS回路を図示している)4013および画素部用TFT4014(但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している)が形成されている。これらのTFTは公知の構造(トップゲート構造あるいはボトムゲート構造)を用いれば良い。

【0125】

公知の作製方法を用いて駆動回路用TFT4013、画素部用TFT4014が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4015の上に画素部用TFT4014のド

50

ラインと電氣的に接続する透明導電膜でなる画素電極4016を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4016を形成したら、絶縁膜4017を形成し、画素電極4016上に開口部を形成する。

【0126】

次に、EL層4018を形成する。EL層4018は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

10

【0127】

本実施例では、シャドウマスクを用いて蒸着法によりEL層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層および青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の電子装置とすることもできる。

【0128】

EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4018と陰極4019を連続成膜するか、EL層4018を不活性雰囲気中で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

20

【0129】

なお、本実施例では陰極4019として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4018上に蒸着法で1[μm]厚のLiF(フッ化リチウム)膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

30

【0130】

4020に示された領域において陰極4019と配線4007とを電氣的に接続するために、層間絶縁膜4015および絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4017のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

40

【0131】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0132】

さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材(第2のシーリング材)4010が形成される。

【0133】

このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シ

50

リコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0134】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0135】

スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

10

【0136】

また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0137】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材4009が透光性を有する必要がある。

20

【0138】

また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電氣的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電氣的に接続される。

【0139】

なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面（露呈面）を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} [Torr]以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

30

【0140】

[実施例4]

ここで本発明の電子装置における画素部のさらに詳細な断面構造を図10に示す。

【0141】

図10において、基板4501上に設けられたスイッチング用TF T 4502は本実施例では公知の方法で形成されたPチャネル型TF Tを用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのTF Tが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

40

【0142】

また、EL駆動用TF T 4503は公知の方法で形成されたNチャネル型TF Tを用いる。スイッチング用TF T 4502のドレイン配線4504は配線（図示せず）によってEL駆動用TF T 4503のゲート電極4506に電氣的に接続されている。

【0143】

50

また、本実施例ではE L駆動用T F T 4 5 0 3をシングルゲート構造で図示しているが、複数のT F Tを直列に接続したマルチゲート構造としても良い。さらに、複数のT F Tを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0144】

また、E L駆動用T F T 4 5 0 3のゲート電極4 5 0 6を含む配線(図示せず)は、E L駆動用T F T 4 5 0 3のドレイン配線4 5 1 2と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はE L駆動用T F T 4 5 0 3のゲート電極4 5 0 6にかかる電圧を保持する機能を有する。

【0145】

スイッチング用T F T 4 5 0 2およびE L駆動用T F T 4 5 0 3の上には第1の層間絶縁膜4 5 1 4が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4 5 1 5が形成される。

【0146】

4 5 1 7は反射性の高い導電膜でなる画素電極(E L素子の陰極)であり、E L駆動用T F T 4 5 0 3のドレイン領域に一部が覆い被さるように形成され、電気的に接続される。画素電極4 5 1 7としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0147】

次に有機樹脂膜4 5 1 6を画素電極4 5 1 7上に形成し、画素電極4 5 1 7に面する部分をパターンングした後、E L層4 5 1 9が形成される。なおここでは図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機E L材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(P P V)系、ポリビニルカルバゾール(P V K)系、ポリフルオレン系などが挙げられる。

【0148】

なお、P P V系有機E L材料としては様々な型のものであるが、例えば「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder and H.Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報

に記載されたような材料を用いれば良い。

【0149】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150[nm](好ましくは40~100[nm])とすれば良い。

【0150】

但し、以上の例は発光層として用いることのできる有機E L材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせ

てE L層(発光およびそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0151】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機E L材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機E L材料や無機材料は公知の材料を用いることができる。

【0152】

陽極4 5 2 3まで形成された時点でE L素子4 5 1 0が完成する。なお、ここでいうE L素子4 5 1 0とは、画素電極(陰極)4 5 1 7と、発光層4 5 1 9と、正孔注入層4 5 2 2および陽極4 5 2 3で形成された保持容量とを指す。

10

20

30

40

50

【0153】

ところで、本実施例では、陽極4523の上にさらにパッシベーション膜4524を設けている。パッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電子装置の信頼性が高められる。

【0154】

以上のように本実施例において説明してきた電子装置は図10のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TF Tと、ホットキャリア注入に強いEL駆動用TF Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電子装置が得られる。

10

【0155】

本実施例において説明した構造を有するEL素子の場合、発光層4519で発生した光は、矢印で示されるようにTF Tが形成された基板の逆方向に向かって放射される。

【0156】

[実施例5]

本実施例においては、実施例4の図10に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図11を用いる。なお、図10の構造と異なる点はEL素子の部分とTF T部分だけであるので、その他の説明は省略することとする。

20

【0157】

図11において、スイッチング用TF T4502は公知の方法で形成されたPチャネル型TF Tを用いる。EL駆動用TF T4503は公知の方法で形成されたPチャネル型TF Tを用いる。

【0158】

本実施例では、画素電極(陽極)4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化ズズとの化合物でなる導電膜を用いても良い。

【0159】

そして、樹脂膜でなる第3の層間絶縁膜4526が形成された後、発光層4528が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層4529、アルミニウム合金でなる陰極4530が形成される。

30

【0160】

その後、実施例5と同様に、有機EL材料の酸化を防止するためのパッシベーション膜4532が形成され、こうしてEL素子4531が形成される。

【0161】

本実施例において説明した構造を有するEL素子の場合、発光層4528で発生した光は、矢印で示されるようにTF Tが形成された基板の方に向かって放射される。

【0162】

[実施例6]

実施例4、実施例5において示した電子装置は、駆動回路を構成するTF Tに逆スタガ型TF Tを用いても、容易に作成することが出来る。図12を参照して説明する。なお、実施例4、実施例5と共通する部位に関しては、図10、図11と同様の番号を付す。

40

【0163】

図12において、基板4501上に設けられたスイッチング用TF T4502は本実施例では公知の方法で形成されたPチャネル型TF Tを用いる。本実施例ではシングルゲート構造としているが、ダブルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0164】

また、EL駆動用TF T4503は公知の方法で形成されたPチャネル型TF Tを用いる

50

。スイッチング用TFT4502のドレイン配線4533は配線(図示せず)によってEL駆動用TFT4503のゲート電極4534に電氣的に接続されている。

【0165】

また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0166】

また、EL駆動用TFT4503のゲート電極4534を含む配線(図示せず)は、EL駆動用TFT4503のソース配線4535と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4534にかかる電圧を保持する機能を有する。

10

【0167】

スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4536が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4537が形成される。

【0168】

その後、実施例5と同様に、画素電極(陽極)4538、発光層4539、電子注入層4540、陰極4541、パッシベーション膜4542が形成され、EL素子4531が形成される。

20

【0169】

本実施例において説明した構造を有するEL素子の場合、発光層4539で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0170】

[実施例7]

実施例4に示した構造の電子装置においては、図10で矢印が示すように、発光層4519の光は、TFTを形成するアクティブマトリクス基板とは逆の方向に出射する。よって、出射光がTFT等に遮られることがないため、発光部の面積をより広く取ることが可能となる。画素部の構造を図10のようにしたい場合には、図18に示すような構成とすれば良い。本実施例にて説明する。

30

【0171】

図18(A)は、本実施例にて示す電子装置の全体の回路構成例である。中央に画素部が配置されている。画素部の上側には、ソース信号線を制御するためのソース信号線側駆動回路が配置されている。画素部の左側には、ゲート信号線を制御するためのゲート信号線側駆動回路が配置されている。画素部の右側には、リセット信号線を制御するためのリセット信号線側駆動回路が配置されている。画素部において、点線枠1800で囲まれた部分が、1画素分の回路である。拡大図を図18(B)に示す。

【0172】

実施例1にて示した回路とは、スイッチング用TFT1801、EL駆動用TFT1802にNチャンネル型を用いている点とEL素子1803の構造である。EL素子1803は、実施例4の図10に示した構造によって形成されるため、1810が陰極、1811が陽極、1809は陽極配線となる。

40

【0173】

図18においては、スイッチング用TFT1801にはNチャンネル型を用いている。以下に、その理由について説明する。

【0174】

ある行の画素において、リセット用TFT1805が導通状態となっているときには、画素への書き込み動作は既に終了しているから、スイッチング用TFT1801は非導通状態にある。また、そのとき、他の行ではスイッチング用TFT1801が導通して、信号の書き込みを行っている場合もある。仮にEL駆動用TFT1802のしきい値電圧が負

50

の値にシフトしている場合、非表示期間で確実にEL駆動用TFT1802を非導通状態とするには、リセット用TFT1805が導通している間は、ゲート信号線1806の電位は、電流供給線1808の電位よりも、EL駆動用TFT1802のしきい値分だけ低くしておかなければならない。このとき、スイッチング用TFT1801にPチャンネル型を用いていると、ゲート信号線1806の電位を下げることにより、ゲート信号線1806と電流供給線1808間の電圧の絶対値が、スイッチング用TFT1801のしきい値電圧の絶対値を上回った場合、スイッチング用TFT1801が導通状態となってしまうことになる。このことから、図18に示した画素においては、スイッチング用TFT1801にはNチャンネル型を用いている。

【0175】

10

[実施例8]

本発明において、リセット用TFTの動作を制御するリセット信号線側駆動回路は、実施例1の例では独立した回路を配置する構成をとっているが、図19(A)に示すように、1つの回路として構成しても良い。ところで、ゲート信号線側駆動回路は、画素部の両側に配置するのが駆動する上では望ましい。よって、図19(B)に示すように、ゲート信号線側駆動回路とリセット信号線側駆動回路とを1つの回路として構成し、さらに両側配置としても良い。

【0176】

[実施例9]

R(赤)、G(緑)、B(青)3色のカラー表示を行うための電子装置に関しても、本発明は容易に適用が可能である。以下に実施する例について説明する。実施例7に示したように、EL駆動用TFTにNチャンネル型を用いた構造をとっても良いが、本実施例においては、例として、実施例1にて示したように、EL駆動用TFTにPチャンネル型を用いるものとして述べる。

20

【0177】

EL素子においては、R(赤)、G(緑)、B(青)の各色で、その輝度特性が異なる。つまり、発光色の異なるEL素子には、同じ電圧を印加した場合に、輝度が異なってくる。よって、RGB3色の輝度を同一にするためには、EL素子に印加する電圧を各色ごとに変える場合がある。これは、各列の電流供給線の電位を、各色に合わせた電圧にそれぞれ合わせておく必要がある。

30

【0178】

そこで、本発明の電子装置およびその駆動方法を、RGBの3色分離型のカラーELディスプレイ等に適用する場合には、3色の中で最も高い電圧の印加される電流供給線の電位を基準として、ゲート信号線の電位を高くしておけば良い。

【0179】

ただし、この場合、3色の中で最も低い電圧の印加される電流供給線と、ゲート信号線との電位差はより大きくなることになる。つまり、3色の中で最も低い電圧の印加される電流供給線に接続されているEL駆動用TFTのゲート電圧がより高くなるため、その部分では、ややEL駆動用TFTのオフ電流のリークが増加する場合もあるが、電流供給線の電位差はそれほど大きくないため、問題とはならない。

40

【0180】

[実施例10]

本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0181】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

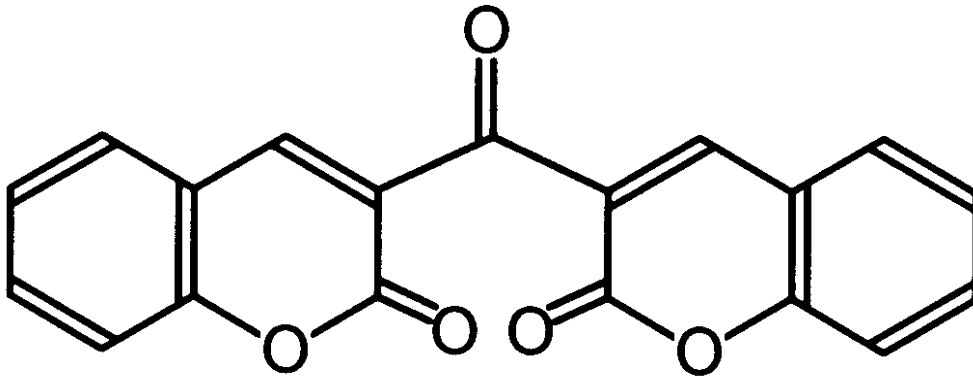
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

50

【 0 1 8 2 】

【 化 1 】



10

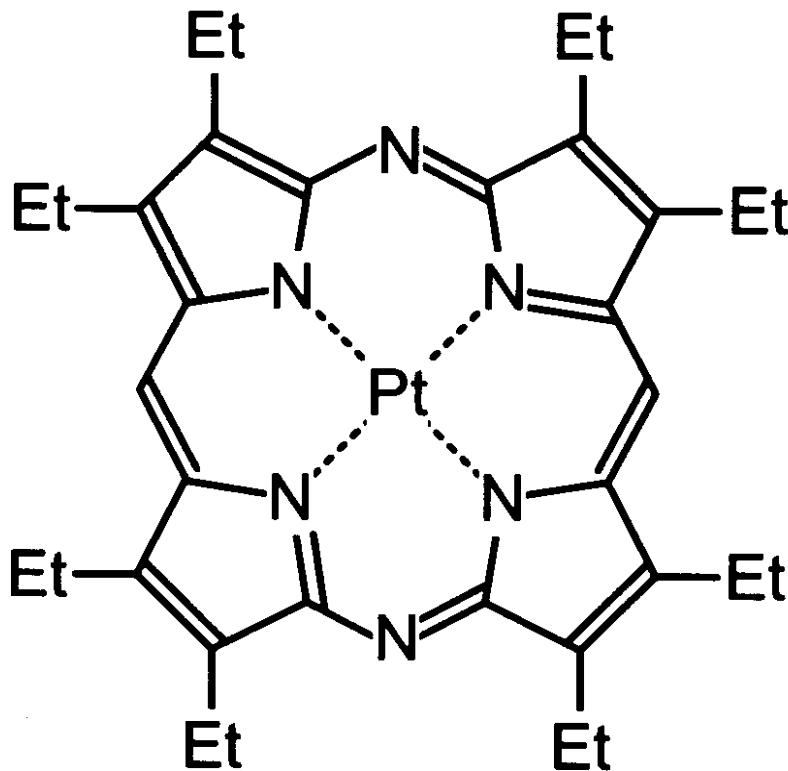
【 0 1 8 3 】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告された E L 材料 (P t 錯体) の分子式を以下に示す。

【 0 1 8 4 】

【 化 2 】



20

30

40

【 0 1 8 5 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

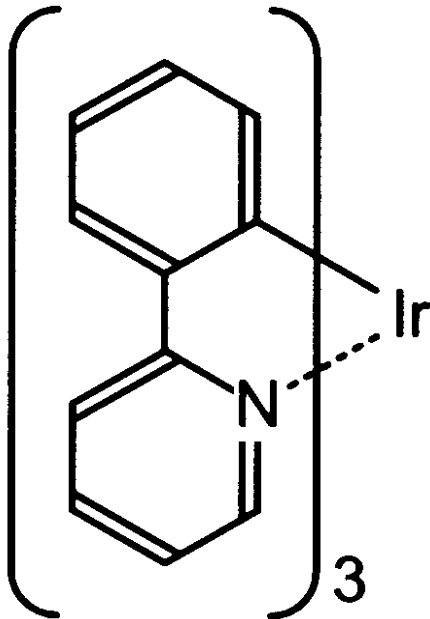
(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告された E L 材料 (I r 錯体) の分子式を以下に示す。

【 0 1 8 6 】

【 化 3 】

50



10

【0187】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組みあわせて実施することが可能である。

20

【0188】

[実施例11]

本発明の電子装置およびその駆動方法を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV放送等を画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のELディスプレイの表示部において本発明の電子装置およびその駆動方法を用いると良い。

30

【0189】

なお、ELディスプレイには、パソコン用表示装置、TV放送受信表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の電子装置およびその駆動方法を用いることが出来る。

【0190】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図20および図21に示す。

40

【0191】

図20（A）はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の電子装置およびその駆動方法は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0192】

図20（B）はビデオカメラであり、本体3311、表示部3312、音声入力部331

50

3、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の電子装置およびその駆動方法は表示部3312にて用いることが出来る。

【0193】

図20(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の電子装置およびその駆動方法は表示装置3326にて用いることが出来る。

【0194】

図20(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明の電子装置およびその駆動方法はこれら表示部(a)3334、表示部(b)3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

10

【0195】

図20(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の電子装置およびその駆動方法は表示部3342にて用いることが出来る。

【0196】

図20(F)はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の電子装置およびその駆動方法は表示部3353にて用いることが出来る。

20

【0197】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0198】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

30

【0199】

また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0200】

図21(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の電子装置およびその駆動方法は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

40

【0201】

図21(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の電子装置およびその駆動方法は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0202】

また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法と

50

しては、外部の明るさを感知するセンサ部を設け、暗い場所で使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【0203】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例10に示したいずれの構成を適用しても良い。

【発明の効果】

本発明の効果について述べる。

【0204】

本発明では、通常的时间階調方式では設定することの出来ないような短いサステイン（点灯）期間を有する場合においても、非表示期間を設けることにより、異なるアドレス（書き込み）期間の重複を回避することが出来る。よってさらなる多階調化が可能となる。

10

【0205】

さらに、リセット用TFTを導通状態として非表示期間を設けると、ゲート信号線の電位を調整しておくことにより、EL駆動用TFTのゲート電圧（EL駆動用TFTのソース領域に対するゲート電極の電位）を正の値とすることが出来る。それにより、仮にEL駆動用TFTのしきい値電圧が正の値にシフトしている場合においても、リセット信号の入力により、EL素子に電流が供給されないようにすることが出来る。

【図面の簡単な説明】

【図1】 本発明の電子装置の回路構成を示す図。

20

【図2】 画素部における、各部の電位の関係を示す図。

【図3】 実施例1に記載の、本発明の画素を用いた回路構成例を示す図。

【図4】 実施例1に記載の駆動方法に関するタイミングチャートを示す図。

【図5】 実施例1に記載の駆動方法における、ゲート信号線とリセット信号線のタイミングチャートを示す図。

【図6】 実施例2に記載の、電子装置の作成工程例を示す図。

【図7】 実施例2に記載の、電子装置の作成工程例を示す図。

【図8】 実施例2に記載の、電子装置の作成工程例を示す図。

【図9】 実施例3に記載の、電子装置の上面図および断面図。

【図10】 実施例4に記載の、電子装置の画素部の断面図。

30

【図11】 実施例5に記載の、電子装置の画素部の断面図。

【図12】 実施例6に記載の、電子装置の画素部の断面図。

【図13】 電子装置の回路構成例を示す図。

【図14】 面積階調方式による階調表現を行う電子装置の画素部の例を示す図。

【図15】 時間階調における、フレーム期間の分割を説明するタイミングチャートを示す図。

【図16】 アドレス（書き込み）期間の重複と、非表示期間による解決方法を示す図。

【図17】 特願平11-338786に記載されている画素の構成を示す図。

【図18】 実施例7に記載の、本発明の画素を用いた回路構成例を示す図。

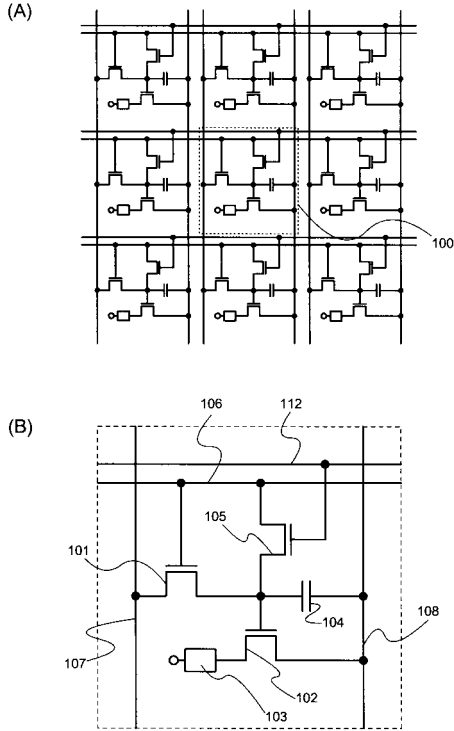
40

【図19】 実施例8に記載の、本発明の画素を用いた回路構成例を示す図。

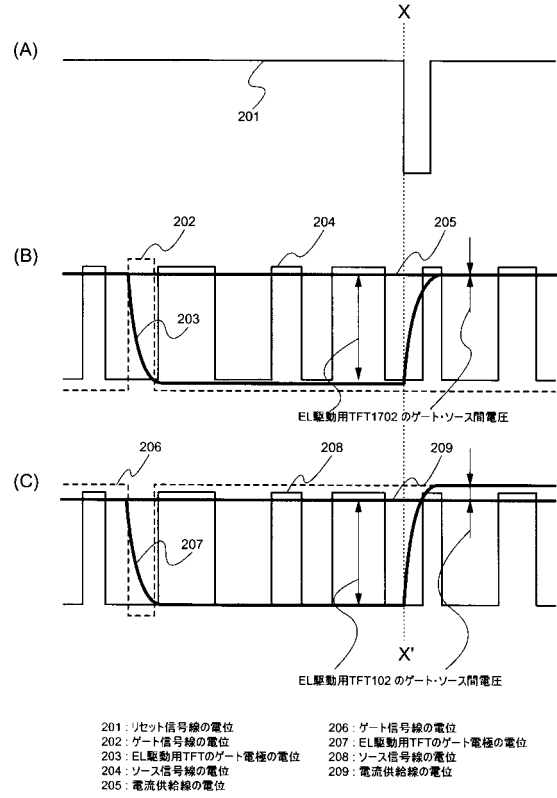
【図20】 実施例11に記載の、本発明の電子装置の駆動方法を適用した電子機器の例を示す図。

【図21】 実施例11に記載の、本発明の電子装置の駆動方法を適用した電子機器の例を示す図。

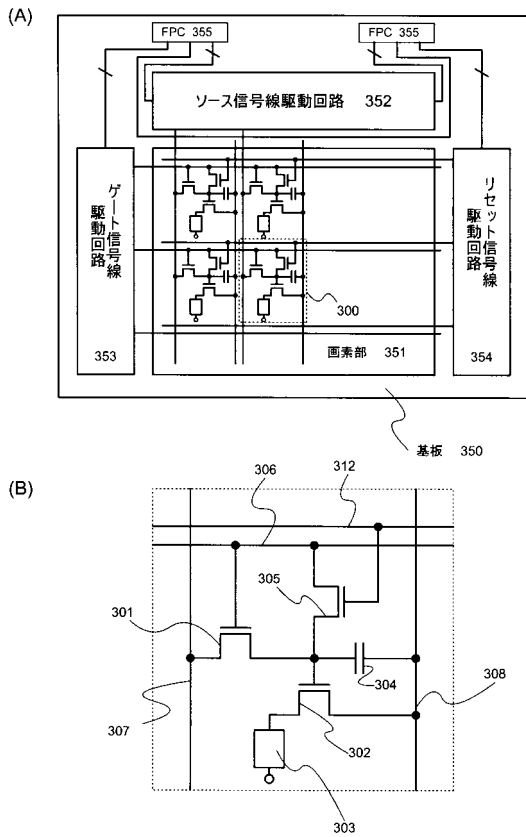
【図1】



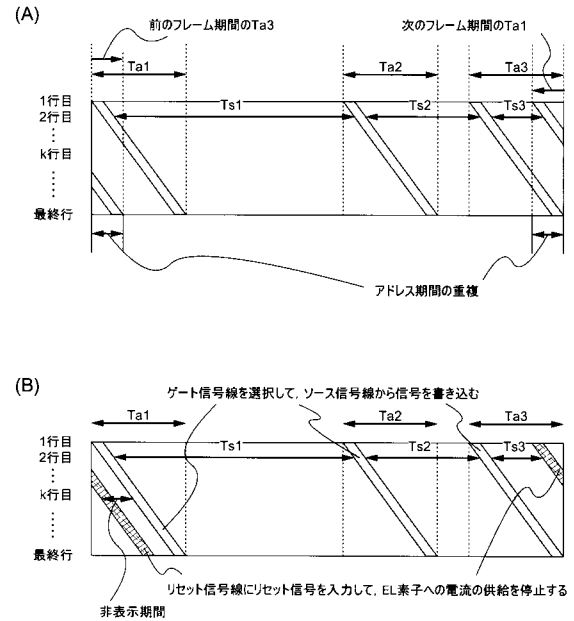
【図2】



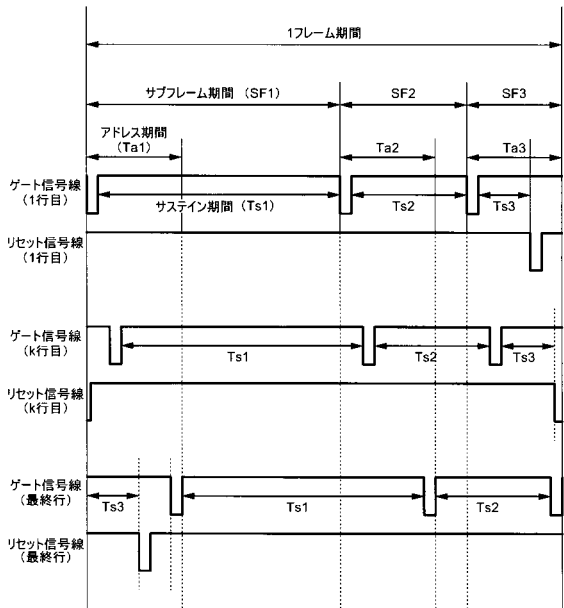
【図3】



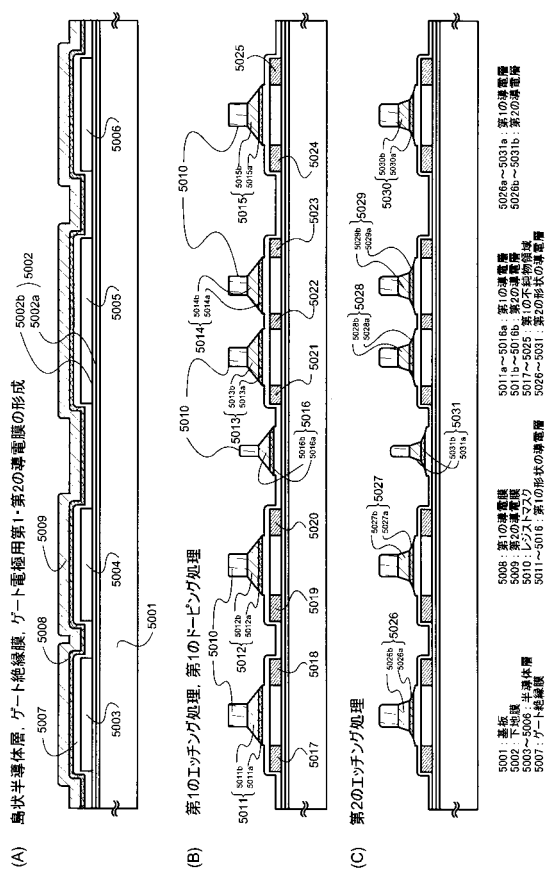
【図4】



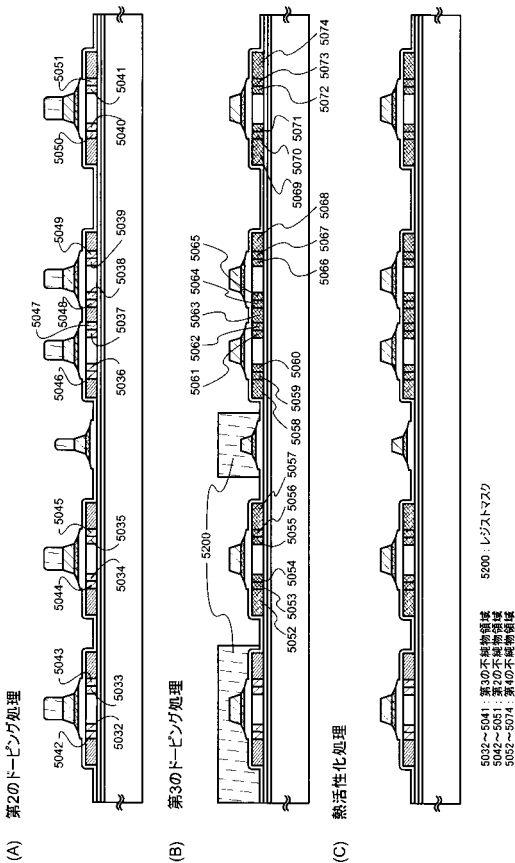
【図5】



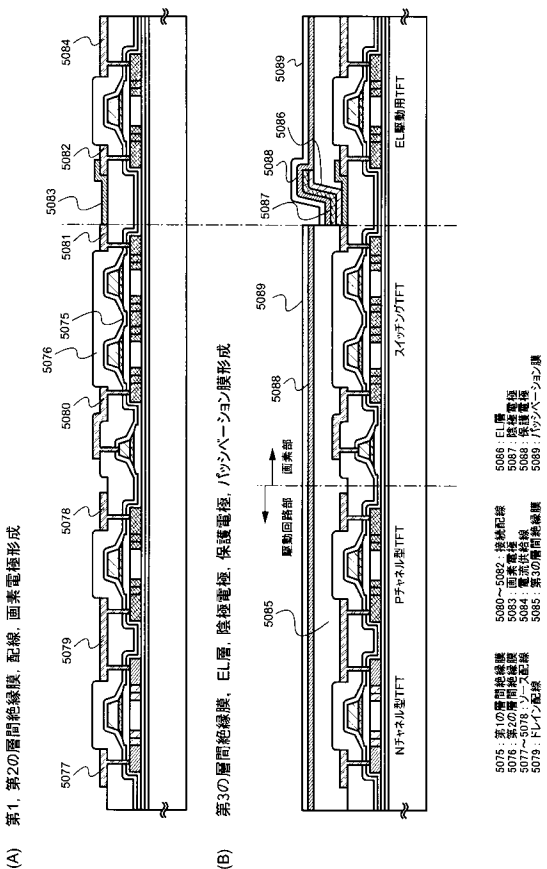
【図6】



【図7】

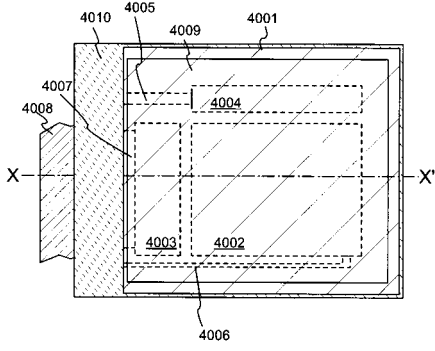


【図8】

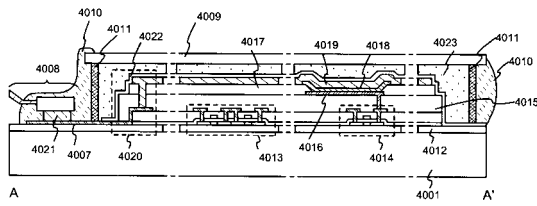


【図9】

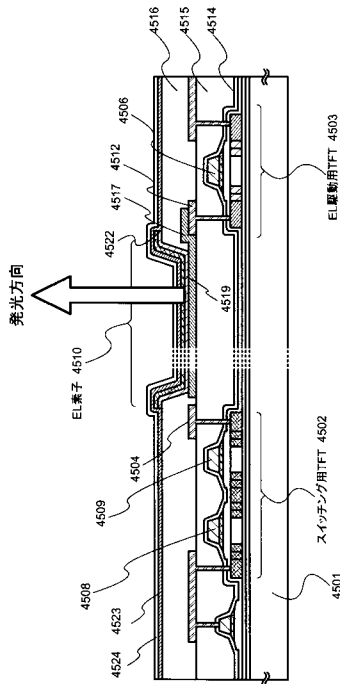
(A)



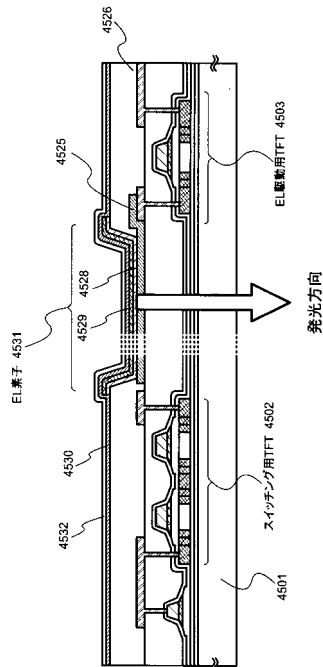
(B)



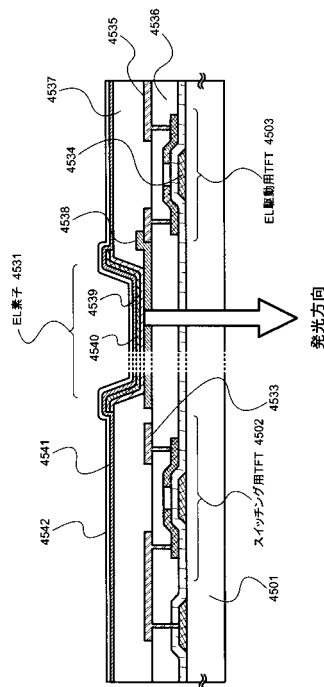
【図10】



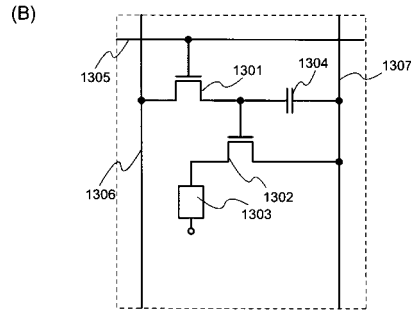
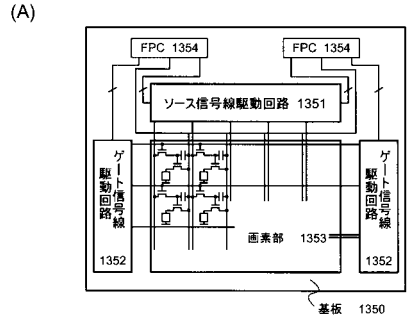
【図11】



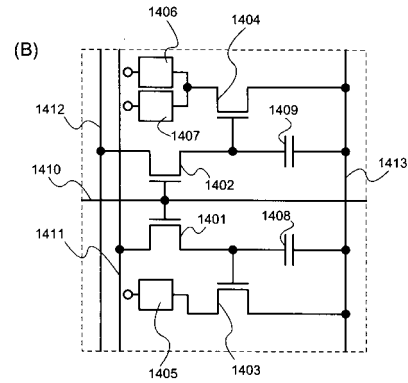
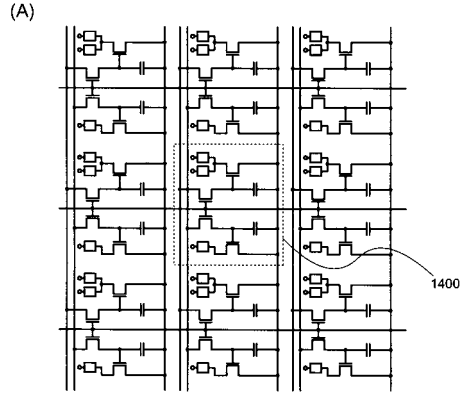
【図12】



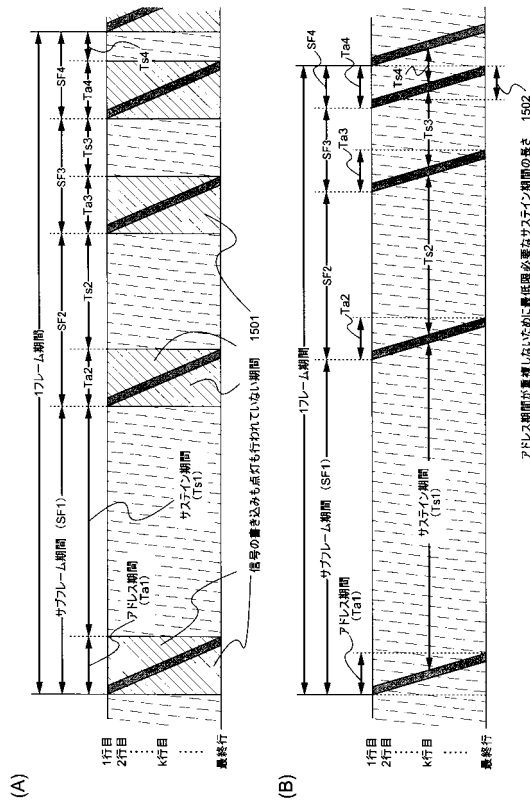
【図13】



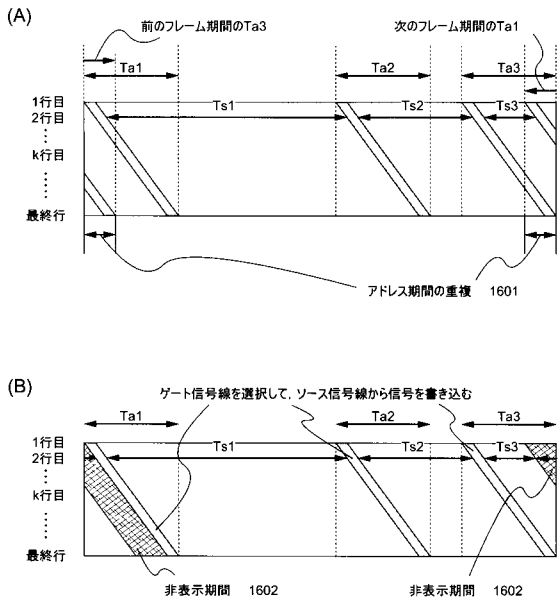
【図14】



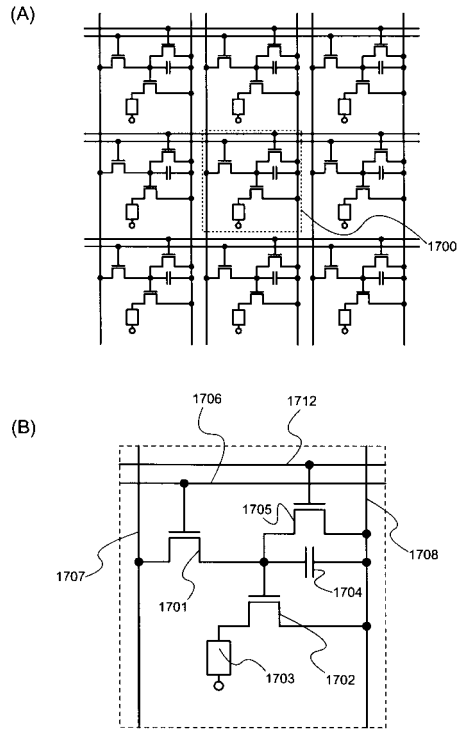
【図15】



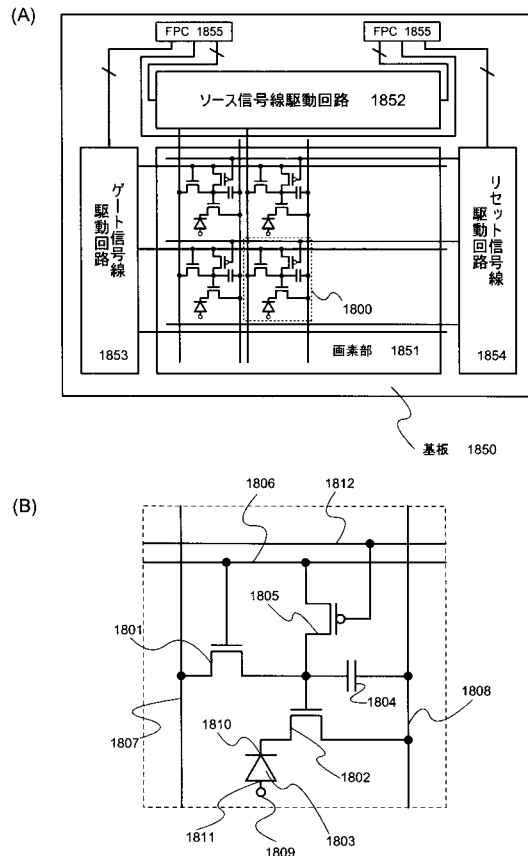
【図16】



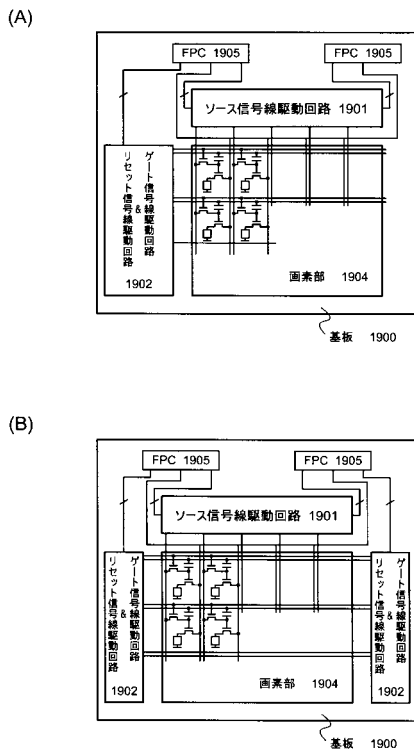
【図17】



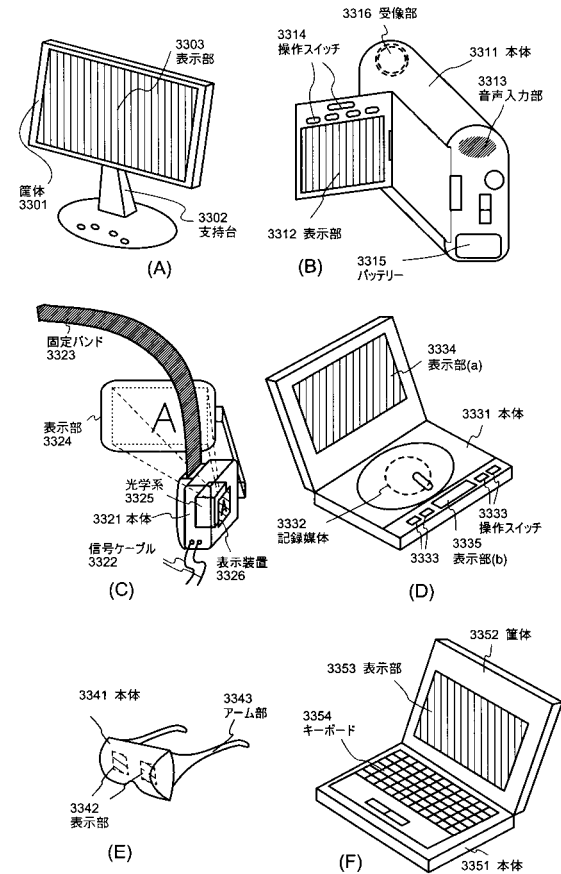
【図18】



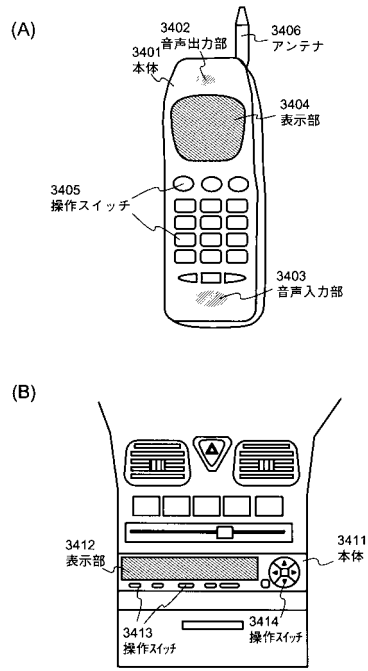
【図19】



【図20】



【図 21】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 4 1 E
	G 0 9 G	3/20	6 7 0 J
	G 0 9 G	3/20	6 8 0 A
	G 0 9 G	3/20	6 8 0 P
	G 0 9 G	3/20	6 8 0 S
	G 0 9 G	3/20	6 8 0 V
	H 0 5 B	33/14	A

- (56)参考文献 特開2002-023696(JP,A)
特開2001-343933(JP,A)
特開2001-242827(JP,A)
特開2001-060076(JP,A)
特開2001-042822(JP,A)
特開2000-347621(JP,A)
特開2000-235370(JP,A)
特開2000-221942(JP,A)
特開平10-333641(JP,A)
特開平10-319908(JP,A)
特開平04-328791(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G3/20,3/30-3/32

G09F9/30

H01L27/32,51/50

专利名称(译)	电子装置、表示装置		
公开(公告)号	JP5127099B2	公开(公告)日	2013-01-23
申请号	JP2001125754	申请日	2001-04-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.641.C G09G3/20.641.E G09G3/20.670.J G09G3/20.680.A G09G3/20.680.P G09G3/20.680.S G09G3/20.680.V H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 H01L27/32		
F-TERM分类号	3K007/AB04 3K007/AB13 3K007/BA06 3K007/BB01 3K007/BB02 3K007/BB05 3K007/BB06 3K007/CA01 3K007/CA04 3K007/CA05 3K007/DA00 3K007/DB03 3K007/EB00 3K007/FA01 3K007/FA02 3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC02 3K107/CC21 3K107/CC31 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/EA04 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB11 5C380/AB12 5C380/AB15 5C380/AB24 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA06 5C380/BA38 5C380/BA39 5C380/BB22 5C380/BD02 5C380/CA08 5C380/CA09 5C380/CA14 5C380/CB01 5C380/CB18 5C380/CB26 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CE14 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF51 5C380/DA02 5C380/DA07 5C380/DA09 5C380/DA11 5C380/DA16 5C380/DA47		
优先权	2000125993 2000-04-26 JP		
其他公开文献	JP2002014653A5 JP2002014653A		
外部链接	Espacenet		

摘要(译)

在组合数字灰度和时间灰度的驱动方法中，即使具有比寻址周期短的维持周期，也可以正常显示图像（图像），并且EL驱动晶体管劣化即使当像素由于信号线的电位的变化而正常导通时，也可以补偿操作。擦除TFT的源区和漏区之一连接到电流供应线，而另一个连接到栅信号线。利用这种结构，即使当由EL驱动TFT102的阈值的偏移引起常通状态时，通过改变栅极信号线106的电位，EL驱动TFT102也可以可靠地进入非导通状态。 ，可以改变EL驱动TFT102的栅 - 源电压。

