

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5068433号
(P5068433)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 H
G09G 3/20 612T
G09G 3/20 621F
G09G 3/20 621M
G09G 3/20 623B

請求項の数 15 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2005-174775 (P2005-174775)
 (22) 出願日 平成17年6月15日(2005.6.15)
 (65) 公開番号 特開2006-39517 (P2006-39517A)
 (43) 公開日 平成18年2月9日(2006.2.9)
 審査請求日 平成20年6月11日(2008.6.11)
 (31) 優先権主張番号 特願2004-183486 (P2004-183486)
 (32) 優先日 平成16年6月22日(2004.6.22)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100079555
 弁理士 梶山 侑是
 (74) 代理人 100079957
 弁理士 山本 富士男
 (72) 発明者 矢熊 宏司
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 (72) 発明者 阿部 真一
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内

最終頁に続く

(54) 【発明の名称】 有機EL駆動回路および有機EL表示装置

(57) 【特許請求の範囲】

【請求項 1】

水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号における前記リセット期間に有機ELパネルの端子ピンを介して有機EL素子あるいはピクセル回路のコンデンサを定電圧リセットする、ICとして形成された有機EL駆動回路において、

前記定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、

このリセット電圧発生回路の出力と前記端子ピンとの間に設けられ前記タイミングコントロール信号あるいはリセットパルスを受けてON/OFFするリセットスイッチと、

前記有機EL駆動回路と同様な回路を有する自己に隣接する他のICへ前記所定の定電圧をリセットをするための電圧として出力する出力端子とを有し、

前記有機ELパネルは多数の前記端子ピンを有し、前記ICは矩形であり、前記出力端子は、前記隣接する他のICの1辺に対応するように前記矩形の両側の辺にそれぞれ設けられ、前記リセット電圧発生回路は、前記所定の定電圧を発生する増幅器を有し、前記リセットスイッチは、前記多数の端子ピンのうちの少なくとも複数のそれぞれに対応して設けられ、これら複数の前記リセットスイッチが前記タイミングコントロール信号あるいはリセットパルスに応じて同時にONにされ、

前記ICの両側の辺にそれぞれ設けられた前記出力端子は、前記ICの内部で配線ラインにより接続され、前記増幅器の出力端子は、あるスイッチ回路を介して前記配線ラインの実質的に中央部の位置で前記配線ラインに接続されていて、前記所定の定電圧を辺に設

10

20

けられた前記出力端子を介して前記隣接する他の IC に出力する有機 EL 駆動回路。

【請求項 2】

前記リセットスイッチと前記あるスイッチ回路は、前記リセットパルスを受けて前記複数のリセットスイッチとともに ON にされる請求項 1 記載の有機 EL 駆動回路。

【請求項 3】

さらに、複数の前記端子ピンのそれぞれには出力段電流源が接続され、複数の前記出力段電流源は、前記有機 EL 素子あるいは前記ピクセル回路のコンデンサに駆動電流をそれぞれに送出し、前記増幅器はオペアンプであり、前記リセットパルスはプリチャージパルスであって、前記所定の定電圧はリセット電圧である請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

前記リセット電圧発生回路は、さらに第 1 の D/A 変換回路を有し、前記出力段電流源は第 2 の D/A 変換回路で構成され、前記第 1 の D/A 変換回路に D/A 変換のためのデータが設定され、前記オペアンプは、基準抵抗を介して電源ライン + V_{cc} に接続され、前記第 1 の D/A 変換回路により変換された電圧を入力電圧として受けて前記リセット電圧を発生し、前記第 2 の D/A 変換回路は、表示データを受けてこの表示データを D/A 変換して前記駆動電流を発生する請求項 3 記載の有機 EL 駆動回路。

【請求項 5】

前記リセット電圧発生回路は、さらに前記第 1 の D/A 変換回路と前記オペアンプとの間にバッファアンプを有し、前記バッファアンプは、前記オペアンプに換えて前記あるスイッチ回路を介して前記配線ラインの実質的に中央部の位置で接続され、前記オペアンプは、前記配線ラインと前記複数のリセットスイッチとの間に接続され、前記第 1 の D/A 変換回路の前記変換された電圧を受けて前記あるスイッチ回路を介して前記配線ラインと前記オペアンプとに前記変換された電圧の出力を加え、前記オペアンプは、前記バッファアンプの前記変換された電圧の出力を受けて前記リセット電圧を発生する請求項 4 記載の有機 EL 駆動回路。

【請求項 6】

前記変換された電圧は、前記リセット電圧よりも低い請求項 5 記載の有機 EL 駆動回路。

【請求項 7】

前記有機 EL パネルは、アクティブマトリックス型であり、前記リセット電圧は、前記ピクセル回路の前記コンデンサの電圧をリセットするためのものである請求項 3 記載の有機 EL 駆動回路。

【請求項 8】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号における前記リセット期間に有機 EL パネルの端子ピンを介して有機 EL 素子あるいはピクセル回路のコンデンサを定電圧リセットする有機 EL 駆動回路を有する IC が複数設けられた有機 EL 表示装置において、

各前記 IC は、前記定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、このリセット電圧発生回路の出力と前記端子ピンとの間に設けられ前記タイミングコントロール信号あるいはリセットパルスを受けて ON/OFF するリセットスイッチとを有し、

前記複数の IC は隣接して配置され、前記複数の IC の少なくとも 1 つは、前記有機 EL 駆動回路と同様な回路を有する自己に隣接する他の 1 つの前記 IC へ前記所定の定電圧をリセットをするための電圧として出力する出力端子とを有し、前記他の 1 つの IC は、入力端子を介して前記所定の定電圧を受けてこれを前記定電圧リセットのための電圧とし、

前記複数の IC は少なくとも 2 個であり、前記 2 個のうちのいずれか一方の前記 IC の前記入力端子といずれかの前記他の 1 つの IC の前記出力端子とが隣接して設けられ、これらが各 IC の外部で接続され、前記有機 EL パネルは多数の前記端子ピンを有し、各前

10

20

30

40

50

記 IC は矩形であり、各前記 IC の前記出力端子および前記入力端子は、隣接する他の前記 IC の 1 辺に対応するように前記矩形の両側の辺にそれぞれ設けられ、

各前記 IC の各前記リセット電圧発生回路は、前記所定の定電圧を発生する増幅器をそれぞれ有し、各前記 IC の前記リセットスイッチは、前記多数の端子ピンのうちの少なくとも複数のそれぞれに対応して設けられ、これら複数の前記リセットスイッチが前記タイミングコントロール信号あるいはリセットパルスに応じて同時に ON にされ、

各前記 IC の両側の辺にそれぞれ設けられた前記出力端子は、各前記 IC の内部でそれぞれ配線ラインにより接続され、前記各 IC の前記増幅器の出力端子は、自己に設けられたあるスイッチ回路を介して自己の前記配線ラインの実質的に中央部の位置でそれぞれ接続されている有機 EL 表示装置。

10

【請求項 9】

各前記 IC の辺に設けられた前記出力端子および前記入力端子は、それぞれ入 / 出力端子であって、これら入 / 出力端子は、隣接する他の前記 IC の 1 辺に対応するように前記矩形の両側の辺にそれぞれ設けられている請求項 8 記載の有機 EL 表示装置。

【請求項 10】

各前記 IC の前記リセットスイッチと各前記 IC の前記あるスイッチ回路は、前記リセットパルスを受けて前記複数のリセットスイッチとともに ON にされる請求項 9 記載の有機 EL 表示装置。

【請求項 11】

前記複数の IC の少なくとも 1 つの IC は、前記所定の定電圧を自己の前記入 / 出力端子を介して前記隣接する IC に出力することでマスターとなり、隣接する前記 IC は、前記所定の定電圧を自己の前記入 / 出力端子を介して受けることでスレーブとなり、スレーブとなる前記隣接する IC の前記あるスイッチ回路は OFF 状態に維持される請求項 10 記載の有機 EL 表示装置。

20

【請求項 12】

前記複数の IC は 3 個であり、中央に配置された前記 IC は、自己の前記入 / 出力端子を介して前記所定の定電圧を残りの 2 個の前記 IC のそれぞれの前記入 / 出力端子の 1 つにそれぞれ送出する請求項 11 記載の有機 EL 表示装置。

【請求項 13】

中央に配置された前記 IC の前記入 / 出力端子は、残りの 2 個の前記 IC のそれぞれの前記入 / 出力端子の 1 とそれぞれ各前記 IC の外部に設けられた各ある配線ラインを介してそれぞれに接続されている請求項 12 記載の有機 EL 表示装置。

30

【請求項 14】

さらに、複数の前記リセットスイッチが接続される各前記端子ピンのそれぞれには出力段電流源が接続され、各前記出力段電流源は、各前記端子ピンに接続される各前記有機 EL 素子あるいは各前記ピクセル回路のコンデンサに駆動電流を送出し、各前記 IC の各前記増幅器はオペアンプであり、前記リセットパルスはプリチャージパルスであって、前記所定の定電圧はリセット電圧である請求項 13 記載の有機 EL 表示装置。

【請求項 15】

前記 3 個の IC は同一の回路構成である請求項 14 記載の有機 EL 表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、有機 EL 駆動回路および有機 EL 表示装置に関し、詳しくは、電流階調方式で電流駆動をするカラムドライバ（データ線ドライバを含む）IC において、ドライバ IC 間での低階調領域の画面上での輝度むらを低減できる有機 EL 駆動回路および有機 EL 表示装置に関する。

【背景技術】

【0002】

マトリックス状に配置された有機 EL 素子を電流駆動し、かつ、有機 EL 素子の陽極と

50

陰極をグランドに落としてリセットするパッシブマトリックス型の有機EL素子の駆動回路がすでに公知である（特許文献1）。

一方、液晶表示装置では、デジタル信号をアナログ信号に変換するD/Aを設けてこのD/Aでデータ線を駆動する駆動回路が知られている。これをアクティブマトリックス型有機EL表示パネルにおけるピクセル回路に適用し、表示パネルに内蔵しようとした場合には表示パネルの小型化難しいという問題があって、この点がすでに公知の特許公報に記載されている（特許文献2）。

【特許文献1】特開平9-232074号公報

【特許文献2】特開2000-276108号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、このアクティブマトリックス型有機EL表示パネルを駆動する有機EL駆動回路を表示パネルの外部回路として設ければ、その分、有機EL表示パネルを小型化することができる。この場合、駆動電流値の書込みは、通常、数百pFのピクセル回路のコンデンサを0.1 μ A～10 μ A程度の電流で充電することになる。しかし、アクティブマトリックス型有機EL表示パネルの表示輝度を階調制御する場合には、駆動電流の最小電流が1nA～30nA程度と、精度の高い電流値が要求される。その電流の方向は、シンク型とソース型の2種類があって、電源電圧+V_{cc}は、アクティブマトリックス型有機EL表示パネルでもパッシブマトリックス型有機ELパネルでも、現在のところ10V～20V程度である。

【0004】

ところで、低階調領域での輝度むらは、人の視覚感度との関係で目立つ傾向にある。低階調領域では駆動電流値が小さくなり、コンデンサあるいは有機EL素子という容量性の負荷を電流駆動するときに、その電流の一部が発光に寄与しない初期充電に喰われてしまうため、駆動電流の差に応じた発光が十分に得られない。そのため、輝度むらが生じ易い。そこで、低階調領域を電流駆動ではなく、電圧駆動にする方式が提案されている。

しかし、電流階調方式の駆動回路に電圧駆動回路を設けると、その分、駆動回路の回路規模が大きくなる問題がある。しかも、電流シンク型は、ピクセル回路のコンデンサをリセットする電圧が電源電圧+V_{cc}に近い高い電圧値となることから、ドライバIC間でリセット電圧にばらつきが発生し易くなり、低輝度表示状態のときにドライバICの境目の輝度差が目立つ輝度むらが生じ易い。

この発明の目的は、このような従来技術の問題点を解決するものであって、電流階調方式で電流駆動をするドライバIC間での低階調領域の画面上での輝度むらを低減できる有機EL駆動回路および有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0005】

このような目的を達成するためのこの発明の有機EL駆動回路あるいは有機EL表示装置の構成は、水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号におけるリセット期間に有機ELパネルの端子ピンを介して有機EL素子あるいはピクセル回路のコンデンサを定電圧リセットする、ICとして形成された有機EL駆動回路において、

定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、このリセット電圧発生回路の出力と前記端子ピンとの間に設けられ前記タイミングコントロール信号あるいはリセットパルスを受けてON/OFFするリセットスイッチと、前記有機EL駆動回路と同様な回路を有する自己に隣接する他のICへ前記所定の定電圧をリセットをするための電圧として出力する出力端子とを有するものであって、さらに、有機ELパネルは多数の端子ピンを有し、ICは矩形であり、出力端子は、隣接する他のICの1辺に対応するように矩形の両側の辺にそれぞれ設けられ、リセット電圧発生回路は、所定の定電圧を発生する増幅器を有し、リセットスイッチは、多数の端子ピンのうちの少なくとも複

10

20

30

40

50

数のそれぞれに対応して設けられ、これら複数のリセットスイッチがタイミングコントロール信号あるいはリセットパルスに応じて同時にONにされ、ICの両側の辺にそれぞれ設けられた出力端子は、ICの内部で配線ラインにより接続され、増幅器の出力端子は、あるスイッチ回路を介して配線ラインの実質的に中央部の位置で配線ラインに接続されていて、所定の定電圧を辺に設けられた出力端子を介して隣接する他のICに出力するものである。

【発明の効果】

【0006】

この発明は、リセット電圧発生回路を設けてドライバICの1つからこれに隣接するドライバICへ出力端子を介して定電圧リセットのための所定の定電圧を他のICへ伝送することができるので、複数のドライバIC間でのリセット電圧を実質的に等しくすることができる。

10

これにより、隣接するICの境界位置におけるリセット電圧にほとんど差が生じないので、隣接する端子ピンが異なるドライバICから駆動されても、駆動電流が小さい低階調領域でのドライバICの境目での駆動電流の差による発光輝度むらを低減することができる。

その結果、低階調領域を電圧駆動にしなくても、電流階調方式によってもドライバIC間での低階調領域の画面上での輝度むらを低減することができる。

【発明を実施するための最良の形態】

【0007】

20

図1において、10は、アクティブマトリックス型の有機EL表示装置であって、11、12、13は、有機EL駆動回路を有するドライバICである。

ドライバIC11～13は、同一の回路構成の有機EL駆動回路を有し、それぞれが隣接して配置され、これら3個のドライバICで水平1ライン分の有機ELパネル9のカラム方向の端子ピンの駆動をそれぞれが分担して受け持つ。これら3個のドライバICには、それぞれに定電圧リセット回路が設けられている。

定電圧リセット回路は、リセット電圧発生回路1と、アナログスイッチ2、リセットスイッチSW、そしてコントロール回路8から出力されるプリチャージパルスPRとにより構成される。

【0008】

30

中央のドライバIC11がマスタードライバであり、その両側にあるドライバIC12、13がスレーブドライバである。スレーブドライバIC12、13は、マスタードライバIC11からピクセル回路のコンデンサをリセットするためのリセット電圧が送られ、この送られたリセット電圧で自己が受け持つ端子ピンに接続されたピクセル回路のコンデンサを定電圧リセットする。

一方、後述する図3の実施例は、マスタードライバIC11（以下ドライバIC11）がスレーブドライバIC12、13（以下ドライバIC12、13）にリセット電圧よりも低い定電圧を送出してこれより高いリセット電圧をリセット電圧よりも低い定電圧から各ドライバICが発生するものである。

【実施例1】

40

【0009】

図1において、ドライバIC11～13は、それぞれリセット電圧発生回路1とアナログスイッチ2、リセット電圧出力ライン3、そして有機ELパネル9の各端子ピン対応に設けられた電流源4と、出力段電流源としてのD/A変換回路(D/A)5とを有している。

各D/A5は、基準電流分配回路（これの電流源4のみ図示）で分配された基準電流I_{ref}をその電流源4から受けて、各端子ピン対応にシンクする駆動電流iをそれぞれ出力する。

基準電流分配回路は、基準電流発生回路（図示せず）で発生した基準電流I_{ref}を受けて基準電流I_{ref}を各D/A5に分配する。電流源4は、基準電流分配回路の分配された

50

基準電流 I_{ref} を自己に対応する D / A 5 に出力する出力回路に相当する。

【 0 0 1 0 】

各 D / A 5 は、それぞれカレントミラー回路で構成された電流スイッチング型の D / A であり、基準電流 I_{ref} と、表示データレジスタ 6 を介して表示データ D A T とを受けて基準電流 I_{ref} を表示データ値分増幅してそのときどきの表示輝度に応じた駆動電流（シンク電流） i をそれぞれ生成する。

各 D / A 5 の出力電流は、それぞれの駆動電流をカラム（データ線）側の各出力端子 $P_1, \dots, P_i, \dots, P_n$ を介してそれぞれにアクティブマトリックス型の有機 E L パネル 9 のピクセル回路 9 a に送出される。これにより、各ピクセル回路 9 a に内蔵されたコンデンサ C がそれぞれに充電される。その結果、このコンデンサ C の充電電圧に対応した駆動電流 i で各ピクセル回路 9 a の有機 E L 素子 9 b がそれぞれに駆動される。

なお、7 は M P U であり、8 は、コントロール回路である。表示データレジスタ 6 の表示データ D A T は、M P U 7 によりセットされる。また、有機 E L パネル 9 における $X_a \dots X_i \dots X_n, X_{2a} \dots X_{2i} \dots X_{2n}, X_{3a} \dots X_{3i} \dots X_{3n}$ は、それぞれドライバ I C 1 1 ~ 1 3 の出力端子 $P_1 \dots P_i \dots P_n$ に対応する有機 E L パネル 9 のデータ線（カラムライン）の各端子ピンである。

ところで、R, G, B 表示色によるカラー表示では、電流源 4 と D / A 5 とが R, G, B 対応の各端子ピン対応にそれぞれ設けられる。以下では、発明に直接関係していないので、R, G, B それぞれを区別せずに説明する。

【 0 0 1 1 】

1 1 a, 1 1 b は、それぞれドライバ I C 1 1 の I / O 端子（入 / 出力端子）である。これら I / O 端子 1 1 a, 1 1 b は、隣接するドライバ I C 1 2, 1 3 の 1 つの辺に対応するように 1 ドライバ I C 1 1 の対応側の両側の辺にそれぞれ設けられている。

これら I / O 端子 1 1 a, 1 1 b に対応するものとしてドライバ I C 1 2 には I / O 端子 1 2 a, 1 2 b がそれぞれ設けられ、ドライバ I C 1 3 には I / O 端子 1 3 a, 1 3 b がそれぞれ設けられている。これら I / O 端子 1 1 a ~ 1 3 a, 1 1 b ~ 1 3 b は、それぞれ矩形の I C の各辺に配置されるドライバ I C の端子ピンのうちの I C が隣接して配置されたときに相互に隣接する辺において実質的に対応する位置にある I / O 端子がそれぞれに選択される。

I / O 端子 1 1 a ~ 1 3 a, 1 1 b ~ 1 3 b は、それぞれ各ドライバ I C 1 1 ~ 1 3 の内部でリセット電圧出力ライン 3 によりそれぞれ接続されている。

さらに、隣接して設けられた、ドライバ I C 1 1 の I / O 端子 1 1 b とドライバ I C 1 2 の I / O 端子 1 2 a とは外部の配線ライン 1 4 により接続され、隣接して設けられた、ドライバ I C 1 2 の I / O 端子 1 2 b とドライバ I C 1 3 の I / O 端子 1 3 a も外部の配線ライン 1 5 により接続されている。

各ドライバ I C 1 1 ~ 1 3 のリセット電圧発生回路 1 の出力端子は、それぞれアナログスイッチ 2 を介してそれぞれにリセット電圧出力ライン 3 に接続されている。また、各出力端子 $P_1, \dots, P_i, \dots, P_n$ に対応して設けられた各リセットスイッチ S W（アナログスイッチ）は、一端が各出力端子 $P_1, \dots, P_i, \dots, P_n$ にそれぞれ接続され、他端がリセット電圧出力ライン 3 に共通に接続されている。

【 0 0 1 2 】

リセット電圧発生回路 1 は、オペアンプ（O P）1 a と D / A 変換回路（D / A）1 b、そしてデータレジスタ 1 c とで構成されている。

O P 1 a は、電源ライン + V c c から電力供給を受けて動作する非反転形のアンプであって、D / A 1 b の出力電圧を (+) 入力に受けて所定の増幅率でこれを増幅して定電圧リセットのためのリセット電圧 V R S をリセット電圧出力ライン 3 に出力する。その出力は、リセット電圧出力ライン 3 の実質的に中央位置にある接続点に発生する（図 1 参照）。O P 1 a の (-) 入力は、基準抵抗を介して電源ライン + V c c に接続されている。電源ライン + V c c の電圧は、5 V ~ 2 0 V 程度であり、このときのリセット電圧 V R S は、電源ライン + V c c の電圧を基準としてこれに対して少しあるいは数 V 低い電圧である。

D/A 1 b は、抵抗分割によるはしご形 D/A 変換回路であって、MPU 7 からデータレジスタ 1 c に設定されたデータを受けて、それを D/A 変換してリセット電圧 VRS を発生する。したがって、リセット電圧 VRS は、データレジスタ 1 c に設定するデータに応じてプログラマブルに調整できる。

なお、MPU 7 は、電源投入時にデータレジスタ 1 c にリセット電圧発生のためのデータを設定する。このデータは、MPU 7 の内部の不揮発性メモリに記憶されている。

【0013】

各ドライバ IC 1 1 ~ 1 3 の各リセットスイッチ SW は、入力端子 1 1 c , 入力端子 1 2 c , 入力端子 1 3 c を介してそれぞれのドライバ IC に供給されるプリチャージパルス PR (図 2 (c) 参照) により、これが “H” となる期間 (プリチャージ期間) の間、それぞれに ON にされる。図 2 (c) に示すように、ドライバ IC 1 1 の OP 1 a は、プリチャージパルス PR が “H” となる期間 (プリチャージ期間) の間、リセット電圧 VRS を発生するために定常動作状態に保持される。そして、ドライバ IC 1 1 の OP 1 a は、プリチャージパルス PR が “L” となる期間 (プリチャージしない期間) の間は、アイドリング状態に保持される。

また、プリチャージパルス PR は、マスターであるドライバ IC 1 1 の入力端子 1 1 d に加えられて、アナログスイッチ 2 をプリチャージパルス PR が “H” となる期間 (プリチャージ期間) の間、ON にする。スレーブであるドライバ IC 1 2 , 1 3 の入力端子 1 2 d , 1 3 d にはプリチャージパルス PR が加えられない。したがって、これらドライバ IC のアナログスイッチ 2 は、OFF のままである。

なお、プリチャージパルス PR は、アクティブマトリックス型の有機 EL パネルにおいてリセット期間 RT に発生する本来のリセットパルスである。また、プリチャージ期間あるいはリセット期間 RT (図 2 (a) 参照) には、定電圧リセットの対象となる水平 1 ライン分の有機 EL 素子 9 b の陰極側は、グランド GND に接続されている。

【0014】

ドライバ IC 1 1 のアナログスイッチ 2 は、プリチャージパルス PR が “H” の期間の間、ON となって、リセット電圧出力ライン 3 をリセット電圧 VRS に設定する。その結果、リセット電圧 VRS が、プリチャージパルス PR が “H” の期間の間 ON となる各リセットスイッチ SW を介してドライバ IC 1 1 の各出力端子 P1... Pi... Pn に出力される。さらに、I/O 端子 1 1 a , 1 1 b , 配線ライン 1 4 , 1 5 を介してドライバ IC 1 2 , 1 3 のリセット電圧出力ライン 3 にもリセット電圧 VRS が送出される。

その結果、これらドライバ 1 2 , 1 3 の各出力端子 P1... Pi... Pn にも同じリセット電圧 VRS が出力される。これにより、水平方向 1 ライン分の有機 EL パネル 9 の端子ピンがリセット電圧 VRS に同時に設定され、水平方向 1 ライン分の各ピクセル回路 9 a のコンデンサ C がこの電圧で同時にリセットされる。

なお、このときドライバ IC 1 2 , 1 3 のアナログスイッチ 2 は OFF であり、これらの内部に設けられたリセット電圧発生回路 1 は、リセット動作には関与しない。

アクティブマトリックス型の有機 EL パネルの駆動では、プリチャージパルス PR は、図 2 (c) に示すように、リセットコントロールパルス RS (図 2 (a) 参照) と同時に立ち上がり、これより少し短い期間発生する。リセット期間 RT においては、ピクセル回路 9 a のコンデンサ C に駆動電流値を書込むための書込み開始パルス (あるいは書込みパルス) WR (第 2 図 (d) 参照) がその後発生する。この書込み開始パルス WR により駆動電流値 i (図 2 (e) 参照) が電圧値として各ピクセル回路 9 a のコンデンサ C に書込まれ、この書込み終了時点でリセット期間 RT が終了する。

【0015】

図 2 (a) のリセットコントロールパルス RS は、水平 1 ラインの走査期間に相当する表示期間 D と水平走査の帰線期間に相当するリセット期間 RT とを切り分ける所定の周波数のタイミングコントロール信号である。パッシブ型の有機 EL パネルでは書込み開始パルスが不要となるので、アクティブマトリックス型とは異なり、通常、リセットコントロールパルス RS がリセットパルスとなる。この場合には、リセットコントロールパルス R

Sの“H”の期間の間、ドライバIC11のアナログスイッチ2とリセットスイッチSWとがONになる。パッシブ型の有機ELパネルでは有機ELパネル9における $Xa...Xi...Xn$, $X2a...X2i...X2n$, $X3a...X3i...X3n$ がカラムラインとなっていて、これに直接有機EL素子が接続される。これの駆動電流値 i は、アクティブマトリックス型の有機ELパネル9の場合よりも大きい。これらの事項とリセット電圧値を除いてアクティブマトリックス型の有機ELパネル9との実質的な相違はない。

その結果、各ドライバIC11～13の各出力端子 $P1...Pi...Pn$ は、同時にOP1aの出力電圧である定電圧VRSが加えられ、各ピクセル回路9aのコンデンサCが定電圧にリセットされ、その後、駆動電流値の書込みが行われる。

なお、パッシブ型の有機ELパネルではカラムラインを介して水平1ライン分の有機EL素子が直接定電圧VRSにリセットされる。そのため、駆動電流値 i が吐き出される場合に、リセット電圧VRSは、グランドGNDを基準として有機EL素子が発光する電圧以下の所定の定電圧となる。

【0016】

この図1の実施例では、マスターとなるドライバIC11は、ドライバIC12, 13に対して3個のうちの中央に配置されたICである。そこで、水平1ラインのカラム方向に配置される各ピクセル回路9aのコンデンサCのリセット電圧の特性は、この実施例ではOP1aの出力電圧がセット電圧出力ライン3の実質的に中央位置にある接続点に発生するので、水平1ラインのカラムピンに対して中央部が多少高くなり、両端が多少低くなる。しかし、全体的には実質的には平坦に近いものとなる。これにより、ドライバIC11～13間で、駆動電流値が小さい低階調領域での駆動特性（各出力端子の駆動電流値）に多少の相違があっても、これらICの境界位置におけるリセット電圧における差は目立つほどは生じない。そこで、隣接する端子ピンが異なるドライバICから駆動されても、低階調領域でのドライバICの境目での輝度むらが低減する。

【実施例2】

【0017】

図3は、この発明の他の実施例のブロック図であって、マスタードライバIC11は、リセット電圧VRSよりも低いリセットのための定電圧VcをスレーブドライバIC12, 13へと送出する。

図3のドライバIC11, 12, 13のリセット電圧発生回路100は、図1のリセット電圧発生回路1のOP1aとD/A1bとの間にバッファアンプ（オペアンプによるボルテージフォロア）1dを設けたものである。

また、図1のリセット電圧出力ライン3は、この実施例では、定電圧出力ライン3aとリセットスイッチ接続ライン3bとに分割されている。定電圧出力ライン3aは、図1のリセット電圧出力ライン3と同様に隣接するICへ定電圧Vcを出力するI/O端子に接続されている。リセットスイッチ接続ライン3bは、各出力端子 $P1...Pi...Pn$ に接続されるリセットスイッチSWの一端に対し、その他端を共通に接続するラインである。

バッファアンプ1dは、その出力端子がアナログスイッチ2を介して定電圧出力ライン3aに接続され、その出力は、これの(-)入力に接続されている。これは、D/A1bの出力電圧を(+)入力に受けて所定の増幅率でこれを増幅してリセットのための定電圧Vcを定電圧出力ライン3aに出力する。このときの定電圧Vcは、図1の実施例におけるリセット電圧VRSよりも低い。これにより他のICへ伝送する電圧を低く抑えかつ各ドライバICに内蔵されたOP1aの駆動能力を図1の実施例よりも低いものとしている。

OP1aは、定電圧出力ライン3aとリセットスイッチ接続ライン3bとの間に設けられている。すなわち、バッファアンプ1dの出力端子とOP1aの(+)入力とが定電圧出力ライン3aに接続され、OP1aの出力がリセットスイッチ接続ライン3bに接続されている。

【0018】

これにより、ドライバIC11のバッファアンプ1dによる定電圧Vcは、定電圧出力ライン3a, ドライバIC11のI/O端子11a, 11bを介して、各ドライバIC1

10

20

30

40

50

2, 13の定電圧出力ライン3aに送出される。そして、それぞれのドライバIC11~13のOP1aが定電圧出力ライン3aの定電圧Vcにより駆動されてリセット電圧VRSをその出力電圧として発生する。

このような構成を採ることにより、この実施例は、図1のリセット電圧発生回路1のように高いリセット電圧VRSそのものを伝送しなくても済み、個々のドライバICに内蔵されたOP1aによる個別動作でリセット電圧VRSをそれぞれ発生することができる。その結果、その分、それぞれのOP1aの駆動能力を低く抑えることができる。

【産業上の利用可能性】

【0019】

以上説明してきたが、実施例におけるI/O端子11a~13a, 11b~13bは、それぞれこのICと同様な矩形のICが隣接して配置されたときに隣接するICの1辺に対応するように矩形の両側の辺にそれぞれ設けられていればよく、必ずしも対応する位置関係で配置されている必要はない。

実施例は、リセット期間においてプリチャージパルスPRが“H”になったときにリセット動作をするものであるが、このパルスがリセット期間において“L”になったときにリセット動作をするものであってもよい。さらに、リセットパルスとしてプリチャージパルスPRを使用しているが、リセットパルスとしてタイミングコントロールパルスが使用されてもよい。

【0020】

また、実施例では、アクティブマトリックス型有機EL表示パネルにおけるピクセル回路のコンデンサをリセットする場合の例を中心に説明しているが、実施例で説明したように、この発明は、パッシブマトリックス型有機EL表示パネルのOEL素子の端子電圧を定電圧リセットする場合にも適用できることはもちろんである。

さらに、実施例では、有機EL表示装置に3個のドライバICを設けた例を挙げているが、ドライバIC12の手前にもう1つのスレーブドライバICを追加して、ドライバIC12のI/O端子12aを、追加した前段のスレーブドライバICの同様なI/O端子に外部配線で接続してもよい。追加した前段のスレーブドライバICは、ドライバIC12のリセット電圧出力ライン3(定電圧出力ライン3a)を介してマスタードライバIC11のリセット電圧VRSが送出されることになる。同様に、ドライバIC13の後ろにスレーブドライバICをさらに追加しても同様である。

したがって、この発明は、4個か、それ以上のドライバICが有機EL表示パネルのカラム側に対して設けられていても適用できる。もちろん、そのドライバICは、2個であってもよい。

また、実施例では、所定の増幅率のオペアンプOPを用いて定電圧リセットのための電圧を発生しているが、OPは、増幅器一般であってよい。

さらに、実施例では、出力段電流源にD/Aを用いているが、カレントミラー回路等の電流源を出力段としてさらに設けて、D/Aの出力電流でこの出力段電流源を電流駆動するようにしてもよい。

また、実施例のピクセル回路は、PチャネルMOSトランジスタを主体とした回路を示しているが、NチャネルMOSトランジスタあるいはこれとPチャネルMOSトランジスタとを組み合わせた回路であってもよいことはもちろんである。

【図面の簡単な説明】

【0021】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例の有機EL表示装置のブロック図である。

【図2】図2は、定電圧リセットのタイミングチャートである。

【図3】図3は、この発明の他の実施例のブロック図である。

【符号の説明】

【0022】

1, 20...定電圧リセット回路、

10

20

30

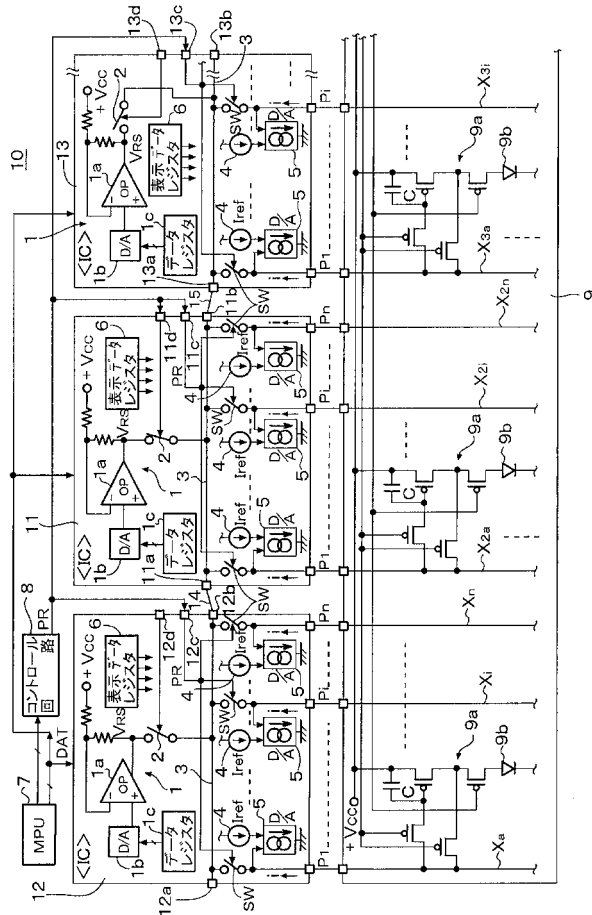
40

50

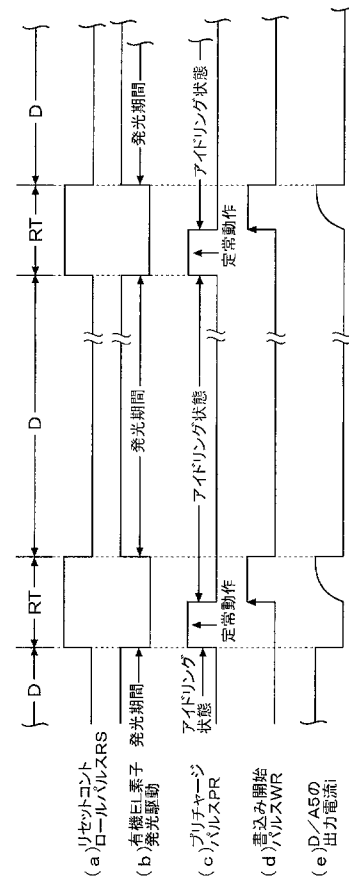
- 1 a ... オペアンプ (OP)、1 b ... D/A 変換回路 (D/A)、
 1 c ... データレジスタ、2 ... アナログスイッチ、
 3 ... I/O 端子の接続ライン、4 ... 電流源、
 5 ... D/A 変換回路 (D/A)、6 ... レジスタ、
 7 ... MPU、8 ... コントロール回路、9 ... 有機 EL パネル、
 9 a ... ピクセル回路 (表示セル)、
 10 ... アクティブマトリクス型有機 EL パネル、
 11 ~ 13 ... ドライバ IC、
 11 a, 11 b, 12 a, 12 b, 13 a, 13 b ... I/O 端子、
 11 c, 11 d, 12 c, 12 d, 13 c, 13 d ... 入力端子、
 14, 15 ... 配線ライン。

10

【図 1】



【図 2】



The diagram illustrates a multi-channel A/D converter system. At the top left, an MPU is connected to a control unit (7) and a control unit (8). Control unit (7) outputs a signal to the MPU. Control unit (8) outputs PR and DAT signals to the system. The system consists of three main A/D converter channels, labeled 10, 11, and 12. Each channel includes a D/A converter (1b), a data register (1c), a display register (1d), and an operational amplifier (1a). The channels are connected to a common bus (9) and a power supply (VCC). The diagram also shows various internal components like resistors (13a, 13b, 13c), capacitors (13d), and switches (SW) within each channel's circuitry.

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 2 3 V
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 B

(72)発明者 小林 雅人
京都市右京区西院溝崎町2 1 番地 ローム株式会社内

審査官 小川 浩史

(56)参考文献 特開2 0 0 4 - 1 5 1 6 9 4 (J P , A)
特開2 0 0 3 - 2 1 6 1 1 3 (J P , A)
特開2 0 0 1 - 2 4 2 8 3 4 (J P , A)
特開2 0 0 3 - 2 8 8 0 4 5 (J P , A)
特開2 0 0 1 - 9 2 4 2 4 (J P , A)
特開平1 1 - 1 5 4 5 1 (J P , A)
特開2 0 0 3 - 9 1 2 6 1 (J P , A)
特開2 0 0 3 - 1 3 1 6 2 0 (J P , A)
国際公開第0 3 / 0 9 2 1 6 5 (W O , A 1)
特開2 0 0 3 - 1 0 7 5 2 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP5068433B2	公开(公告)日	2012-11-07
申请号	JP2005174775	申请日	2005-06-15
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
当前申请(专利权)人(译)	ROHM株式会社		
[标]发明人	矢熊宏司 阿部真一 小林雅人		
发明人	矢熊 宏司 阿部 真一 小林 雅人		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.H G09G3/20.612.T G09G3/20.621.F G09G3/20.621.M G09G3/20.623.B G09G3/20.623.F G09G3/20.623.V G09G3/20.641.D G09G3/20.642.B G09G3/20.624.B G09G3/30.J G09G3/30.K G09G3/3216 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE29 5C080/FF01 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ04 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB34 5C380/BA37 5C380/BB02 5C380/BC03 5C380/BC09 5C380/BC13 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA29 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA46 5C380/CA49 5C380/CA57 5C380/CB01 5C380/CB31 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CF05 5C380/CF06 5C380/CF22 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA47 5C380/DA49 5C380/HA02 5C380/HA05		
代理人(译)	梶山 侑是 山本富士雄		
审查员(译)	小川博		
优先权	2004183486 2004-06-22 JP		
其他公开文献	JP2006039517A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有机EL驱动电路和有机EL显示装置，其降低在由当前音调系统中的电流驱动的驱动器IC之间的低色调区域中的屏幕上的亮度不均匀性。ŽSOLUTION：有机EL驱动电路包括：复位电压产生电路，用于产生用于恒压复位的预定恒定电压;复位开关，其设置在复位电压产生电路的输出端和端子引脚之间，并且响应于定时控制信号，类似于定时控制信号的复位控制信号，复位之一的接收而接通/断开脉冲，在与这些信号或脉冲同步的复位周期中产生的其他脉冲;输出端子，用于将预定的恒定电压输出到具有与有机EL驱动电路相同的电路结构的其他IC，并且与有机EL驱动电路相邻地布置，作为用于恒压复位的电压。Ž

【 図 1 】

