

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4834876号
(P4834876)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/30 J
H01L 51/50 (2006.01)	G09G 3/20 621F
	G09G 3/20 623A
	G09G 3/20 624B
請求項の数 7 (全 15 頁) 最終頁に続く	

(21) 出願番号 特願2004-188834 (P2004-188834)
 (22) 出願日 平成16年6月25日(2004.6.25)
 (65) 公開番号 特開2006-11094 (P2006-11094A)
 (43) 公開日 平成18年1月12日(2006.1.12)
 審査請求日 平成19年5月14日(2007.5.14)

(73) 特許権者 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (73) 特許権者 510134581
 奇美電子股▲ふん▼有限公司
 Chimei Innolux Corporation
 台湾苗栗縣竹南鎮科學路160號 新竹
 科學工業園區
 No. 160 Kesyue Rd., C
 hu-Nan Site, Hsinchu
 Science Park, Chu-N
 an 350, Miao-Li Coun
 ty, Taiwan,

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

電流注入により発光する発光手段と、
 ゲート端子、ソース端子及びドレイン端子のうち的一方である第1端子、ソース端子及びドレイン端子のうち他方である第2端子を有し、前記発光手段に前記第1端子が接続され、前記ゲート端子と前記第2端子との間に印加される、所定の駆動閾値電圧よりも高い電位差に応じて前記第2端子と前記第1端子の間に電流を流すトランジスタ素子と、
 前記ゲート端子に接続された単一の蓄積容量手段と、
 前記蓄積容量手段を介して前記ゲート端子に接続された書き込み制御線と、
 前記ゲート端子と前記第1端子の間に接続された第1のスイッチング素子と、
 電流源と、
 前記第1端子と前記電流源の間に接続された第2のスイッチング素子と、
 前記発光手段を発光させる発光期間と、該発光期間の前のデータ書き込み期間とで、前記書き込み制御線の電位、前記第1および第2のスイッチング素子の接続状態、および前記電流源の電流を切り替える制御手段と、
 を備え、
 前記発光手段と、前記トランジスタ素子と、前記蓄積容量手段と、前記第1および第2のスイッチング素子は画素毎に設けられており、
 前記制御手段は、前記データ書き込み期間には、前記第1および第2のスイッチング素子をオンとし、前記電流源に、前記発光期間に前記発光手段に流す電流に応じた電流を流

すことにより、前記単一の蓄積容量手段のみに電荷を蓄積させて、前記ゲート端子を前記電流源に流れる電流に応じた電位にし、前記発光期間には、前記第1および第2のスイッチング素子をオフとして、前記トランジスタ素子を介して前記発光手段に電流を流し、この際、前記書き込み制御線の電位を、前記データ書き込み期間における前記書き込み制御線の電位から変化させることにより、前記ゲート端子と前記第2端子との間の電位差と前記駆動閾値電圧の差が、前記データ書き込み期間におけるよりもより小さくなるようにし

、
前記書き込み制御線は、画素毎に設けられ、前記制御手段は、前記書き込み制御線の、前記発光期間における電位と前記データ書き込み期間における電位との電位差を、各画素に対して個別の値にすることを特徴とする画像表示装置。

【請求項2】

前記トランジスタ素子はn型トランジスタであり、前記発光期間における前記書き込み制御線の電位を、前記データ書き込み期間における前記書き込み制御線の電位よりも低くすることを特徴とする請求項1に記載の画像表示装置。

【請求項3】

前記トランジスタ素子はp型トランジスタであり、前記発光期間における前記書き込み制御線の電位を、前記データ書き込み期間における前記書き込み制御線の電位よりも高くすることを特徴とする請求項1に記載の画像表示装置。

【請求項4】

前記発光期間に前記発光素子に流れる電流が0になるようにして黒レベルの表示を行わせる際に、前記データ書き込み期間に前記電流源に流す電流を i_{base} とし、

前記トランジスタ素子の前記駆動閾値を V_T とし、前記第1端子の電位を V_{DD} 、前記ゲート端子の電位を V_g とした時に前記第2端子と前記第1端子の間に流れる電流を i として、前記トランジスタ素子がp型トランジスタの時には $V_g = V_{DD} - V_T - (2i/L)^{1/2}$ 、前記トランジスタ素子がn型トランジスタの時には $V_g = V_{DD} + V_T + (2i/L)^{1/2}$ を成立させるパラメータ L を用いて、

前記書き込み制御線の、前記発光期間における電位と前記データ書き込み期間における電位との電位差 V_r を、 $(2i_{base}/0.5L)^{1/2} V_r (2i_{base}/1.5L)^{1/2}$ とすることを特徴とする請求項1乃至請求項3のいずれか一つに記載の画像表示装置。

【請求項5】

前記電位差 V_r を、 $(2i_{base}/0.9L)^{1/2} V_r (2i_{base}/1.1L)^{1/2}$ とすることを特徴とする請求項4に記載の画像表示装置。

【請求項6】

前記発光手段は、有機EL素子であることを特徴とする請求項1乃至請求項5のいずれか一つに記載の画像表示装置。

【請求項7】

電流注入により発光する発光手段と、

前記発光手段に第1端子が接続され、ゲート端子と前記第2端子との間に印加される、所定の駆動閾値電圧よりも高い電位差に応じて前記第2端子と前記第1端子の間に電流を流す第1のトランジスタ素子と、

前記第1のトランジスタ素子とカレントミラー回路を構成する第2のトランジスタ素子と、

前記ゲート端子に接続された単一の蓄積容量手段と、

前記蓄積容量手段を介して前記第1のトランジスタ素子の前記ゲート端子に接続された書き込み制御線と、

前記第2のトランジスタ素子のゲート端子と第1端子の間に接続された第1のスイッチング素子と、

電流源と、

前記第2のトランジスタ素子の前記第1端子と前記電流源の間に接続された第2のスイ

10

20

30

40

50

ツチング素子と、

前記発光手段を発光させる発光期間と、該発光期間の前のデータ書き込み期間とで、前記書き込み制御線の電位、前記第1および第2のスイッチング素子の接続状態、および前記電流源の電流を切り替える制御手段と、

を備え、

前記発光手段と、前記トランジスタ素子と、前記蓄積容量手段と、前記第1および第2のスイッチング素子は画素毎に設けられており、

前記制御手段は、前記データ書き込み期間には、前記第1および第2のスイッチング素子をオンとし、前記電流源に、前記発光期間に前記発光手段に流す電流に応じた電流を流すことにより、前記単一の蓄積容量手段のみに電荷を蓄積させて、前記ゲート端子を前記電流源に流れる電流に応じた電位にし、前記発光期間には、前記第1および第2のスイッチング素子をオフとして、前記第1のトランジスタ素子を介して前記発光手段に電流を流し、この際、前記書き込み制御線の電位を、前記データ書き込み期間における前記書き込み制御線の電位から変化させることにより、前記第1のトランジスタ素子の前記ゲート端子と前記第2端子との間の電位差と前記駆動閾値電圧の差が、前記データ書き込み期間における前記第2のトランジスタの前記ゲート端子と第2端子との間の電位差と前記駆動閾値電圧の差よりも小さくなるようにし、

前記書き込み制御線は、画素毎に設けられ、前記制御手段は、前記書き込み制御線の、前記発光期間における電位と前記データ書き込み期間における電位との電位差を、各画素に対して個別の値にすることを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に関するものであり、特に、1画素あたりの面積の制約を受けることなく、黒レベルの表示におけるデータ書き込み時の応答速度を改善することができる画像表示装置に関するものである。

【背景技術】

【0002】

従来より、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する有機EL (Electronic Luminescent) 素子を用いた画像表示装置が提案されている。

【0003】

図14は、従来の画像表示装置における1画素に対応する画素回路の構成を示す図である。同図において、画素回路は、有機EL素子1、スイッチング素子2、ドライバ素子3、スイッチング素子4、スイッチング素子5、ゲート信号線6、ゲート信号線7、ソース信号線8、EL電源線9および蓄積容量1Csを備えている。なお、従来における最初の説明では、容量1Ct (破線内) は設けられていないものとする。

【0004】

有機EL素子1は、閾値電圧以上の電位差 (アノード - カソード間電位差) が生じることにより、電流が流れ、発光する特性を有する素子である。具体的には、有機EL素子1は、Al、Cu、ITO (Indium Tin Oxide) 等によって形成されたアノード層およびカソード層と、アノード層とカソード層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ペリリウム錯体等の有機系の材料によって形成された発光層とを少なくとも備えた構造を有し、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する。

【0005】

スイッチング素子2、ドライバ素子3、スイッチング素子4およびスイッチング素子5は、薄膜トランジスタである。

【0006】

上記構成において、データ書き込み期間では、スイッチング素子4およびスイッチング

10

20

30

40

50

素子 5 がオン、スイッチング素子 2 がオフとされる。これにより、ソース信号線 8 よりプログラム電流 (i_d) を流した際に、E L 電源線 9 ドライバ素子 3 スwitching素子 4 ソース信号線 8 という経路で電流 i_d が流れる。また、ソース信号線 8 を流れる電流 i_d の値に応じて、ドライバ素子 3 のゲート電位 V_G が決められる。すなわち、蓄積容量 $1 C_s$ には、ゲート電位 V_G に応じた電荷が蓄積される。

【 0 0 0 7 】

つぎの発光期間では、スイッチング素子 4 およびスイッチング素子 5 がオフとされ、スイッチング素子 2 がオンとされる。すなわち、上記データ書き込み期間にプログラムされた電流と同一の電流 i_d が有機 E L 素子 1 に流れる。ここで、データ書き込み期間でソース信号線 8 に流す電流 i_d を変化させることにより、蓄積容量 $1 C_s$ に蓄積される電荷量が変化し、発光期間で電流 i_{OL} が変化し、有機 E L 素子 1 の輝度が変化する。

10

【 0 0 0 8 】

例えば、有機 E L 素子 1 を黒レベルで表示させる場合、ソース信号線 8 を流れる電流 i_d (黒レベル電流) は、 $1.5 nA$ から $29 nA$ である。また、有機 E L 素子 1 を白レベルで表示させる場合、ソース信号線 8 を流れる電流 i_d (白レベル電流) は、有機 E L 素子 1 の効率やパネル輝度、解像度に依存するが、およそ数 $100 nA$ ~ 数 μA である。

【 0 0 0 9 】

従って、プログラム電流 (i_d) が小さい黒レベルの表示では、ドライバ素子 3 の抵抗値とソース信号線 8 に寄生する浮遊容量との時定数により波形のなまりが生じ、所定値の電流 i_d にまで変化するのに時間がかかる。これにより、従来の画像表示装置では、データ書き込み期間を長くしなければならず、応答速度が遅いという問題あった。

20

【 0 0 1 0 】

そこで、従来では、図 1 4 に示したドライバ素子 3 のゲートとスイッチング素子 4 のゲートとを容量 $1 C_t$ (破線内) を介して接続 (容量結合) し、応答速度の改善を図る応答改善方法が提案されている。

【 0 0 1 1 】

この応答改善方法において、データ書き込み期間では、スイッチング素子 4 およびスイッチング素子 5 がオン、スイッチング素子 2 がオフとされる。これにより、ソース信号線 8 を電流 i_d が流れる。すなわち、E L 電源線 9 ドライバ素子 3 スwitching素子 4 ソース信号線 8 という経路で電流 i_d が流れる。

30

【 0 0 1 2 】

つぎの発光期間では、スイッチング素子 4 およびスイッチング素子 5 がオフとされ、スイッチング素子 2 がオンとされる。この場合、容量 $1 C_t$ があるため、ゲート信号線 6 の電位変化に応じて、ドライバ素子 3 のゲート電位 V_G が変化する。

【 0 0 1 3 】

この場合のゲート電位 V_G の変化量 V_G は、スイッチング素子 5 のゲートソース間容量を C_{gs} とすると、 $V_G = V_{gg} \times (C_{gs} + C_t) / (C_{gs} + C_t + C_s)$ で表される。ここで、 C_t は、容量 $1 C_t$ の容量値である。 C_s は、蓄積容量 $1 C_s$ の容量値である。 V_{gg} は、ゲート信号線 6 の電位変化量である。

【 0 0 1 4 】

また、データ書き込み期間と発光期間との切り替わり時点においては、ゲート信号線 6 の電位が高くなるため、ドライバ素子 3 のゲート電位 V_G が上昇する。上昇値は 3 つの容量の値により変化し、 C_{gs} は、スイッチング素子 5 のサイズ、構成により決められるため、実際には、容量 $1 C_t$ と蓄積容量 $1 C_s$ とにより、変化量を制御する。

40

【 0 0 1 5 】

また、ドライバ素子 3 のゲート電位の上昇はドレイン電流の低下を引き起こす。変化量 V_G に相当する分だけ、ドライバ素子 3 のドレイン電流が低下する。従って、スイッチング素子 2 をオンとして、有機 E L 素子 1 に流れる電流 i_{OL} は、所定の電流値に比べ小さくなる。

【 0 0 1 6 】

50

このことは逆に、発光期間において有機EL素子1に所定の電流値の電流を流すためには、データ書き込み期間においてトランジスタ3に所定の電流値よりも大きな電流 i_d を流すことになることを示し、蓄積容量 $1C_s$ が小さいかまたは容量 $1C_t$ が大きくなれば流す電流 i_d をより大きくすることができる。

【0017】

蓄積容量 $1C_s$ を小さくすると電荷の保持能力が小さくなるため、発光期間でのドライバ素子3のゲート電位 V_G が変化しやすくなるので、現実には小さくできない。そこで容量 $1C_t$ を大きくすることで、実現することが望ましい。

【0018】

このようにソース信号線8に流す電流 i_d を大きくすれば、ドライバ素子3の見かけの抵抗値を小さくすることが可能となる。これにより抵抗とソース信号線8の浮遊容量との積による時定数が小さくなることから、データ書き込み期間において、電流 i_d を所定電流値へ変化する時間を短くすることができ、応答速度を改善することができる。

10

【0019】

ここで、ゲート信号線6の振幅が1.4Vの場合について、容量 $1C_t$ の値を変化させた時のソース信号線8に流す電流 i_d と有機EL素子1に流れる電流 i_{OL} との関係を図15に示す。容量比 $((C_{gs} + C_t) / (C_{gs} + C_t + C_s))$ が0.03のとき、ソース信号線8に流すべき電流 i_d は、有機EL素子1に流れる電流 i_{OL} の5倍程度となる。更に容量 $1C_t$ を大きくすると有機EL素子1に流れる電流 i_{OL} に対して、ソース信号線8に流す電流 i_d の割合が増加する。容量比が0.8となると200倍となる。更に0.9まで大きくすると500倍となる。

20

【0020】

ソース信号線8に流れる電流 i_d が大きくなるほど、ドライバ素子3の抵抗値が下がり、所定電流値に変化するのに要する時間が短くなるため、黒レベルの表示においては、容量 $1C_t$ の値が大きいくほど、データ書き込み時の応答速度の改善に効果が高い。

【0021】

【特許文献1】特開2003-140612号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

30

ところで、従来の画像表示装置においては、容量 $1C_t$ を大きくするほど、黒レベル表示におけるデータ書き込み時の応答速度の改善に効果が高いことを述べた。ここで、容量 $1C_t$ を大きくするためには、容量 $1C_t$ の面積を大きくすればよい。

【0023】

しかしながら、従来の画像表示装置においては、1画素あたりの面積に制約があるため、おのずと、容量 $1C_t$ を大きくするにも限界がある。従って、従来の画像表示装置は、理論上の応答速度の改善が望めるが、実際には、製造上の制約により、黒レベルの表示におけるデータ書き込み時の応答速度がさほど期待できないという問題があった。

【0024】

本発明は、上記に鑑みてなされたものであって、1画素あたりの面積の制約を受けることなく、黒レベルの表示におけるデータ書き込み時の応答速度を改善することができる画像表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0025】

上述した課題を解決し、目的を達成するために、本発明は、電流注入により発光する発光手段と、前記発光手段に第1端子が接続され、ゲート端子と前記第2端子との間に印加される、所定の駆動閾値電圧よりも高い電位差に応じて前記第2端子と前記第1端子の間に電流を流すトランジスタ素子と、前記ゲート端子に接続された単一の蓄積容量手段と、前記蓄積容量手段を介して前記ゲート端子に接続された書き込み制御線と、前記ゲート端子と前記第1端子の間に接続された第1のスイッチング素子と、電流源と、前記第1端子

50

と前記電流源の間に接続された第2のスイッチング素子と、前記発光手段を発光させる発光期間と、該発光期間の前のデータ書き込み期間とで、前記書き込み制御線の電位、前記第1および第2のスイッチング素子の接続状態、および前記電流源の電流を切り替える制御手段と、を備え、前記発光手段と、前記トランジスタ素子と、前記蓄積容量手段と、前記第1および第2のスイッチング素子は画素毎に設けられており、前記制御手段は、前記データ書き込み期間には、前記第1および第2のスイッチング素子をオンとし、前記電流源に、前記発光期間に前記発光手段に流す電流に応じた電流を流すことにより、前記単一の蓄積容量手段のみに電荷を蓄積させて、前記ゲート端子を前記電流源に流れる電流に応じた電位にし、前記発光期間には、前記第1および第2のスイッチング素子をオフとして、前記トランジスタ素子を介して前記発光手段に電流を流し、この際、前記書き込み制御線の電位を、前記データ書き込み期間における前記書き込み制御線の電位から変化させることにより、前記ゲート端子と前記第2端子との間の電位差と前記駆動閾値電圧の差が、前記データ書き込み期間におけるよりもより小さくなるようにし、前記書き込み制御線は、画素毎に設けられ、前記制御手段は、前記書き込み制御線の、前記発光期間における電位と前記データ書き込み期間における電位との電位差を、各画素に対して個別の値にすることを特徴とする。

10

【発明の効果】

【0026】

本発明によれば、黒レベルの表示に対応する電流のデータを書き込む際に、蓄積容量手段を介してゲート端子の電位を変化させることとしたので、データ書き込み電流が増加し、従来の容量のように、1画素あたりの面積の制約を受けることなく、黒レベルの表示におけるデータ書き込み時の応答速度を改善することができるという効果を奏する。

20

【発明を実施するための最良の形態】

【0027】

以下に、本発明にかかる画像表示装置の実施例を図面に基づいて詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。

【実施例1】

【0028】

図1は、本発明にかかる実施例1による画像表示装置の1画素に対応する画素回路の構成を示す図である。同図において、画素回路は、有機EL素子10、スイッチング素子11、ドライバ素子12、スイッチング素子13、スイッチング素子14、ゲート信号線15、ゲート信号線16、ソース信号線17、書き込み制御線18、EL電源線19および蓄積容量10Csを備えている。なお、以下で参照される各図面においては、スイッチング素子、ドライバ素子等の各トランジスタについてチャネル(n型またはp型)を明示していないが、n型またはp型のいずれかであり、本明細書中の記載に従うものとする。

30

【0029】

ここで、同図において、有機EL素子10、スイッチング素子11、ドライバ素子12、スイッチング素子13、スイッチング素子14、ゲート信号線15、ゲート信号線16、ソース信号線17、EL電源線19および蓄積容量10Csは、図14に示した有機EL素子1、スイッチング素子2、ドライバ素子3、スイッチング素子4、スイッチング素子5、ゲート信号線6、ゲート信号線7、ソース信号線8、EL電源線9および蓄積容量1Csに対応している。また、スイッチング素子11、ドライバ素子12、スイッチング素子13およびスイッチング素子14は、p型のトランジスタである。

40

【0030】

また、同図においては、蓄積容量10Csに接続された書き込み制御線18が新たに設けられている点が、従来の画像表示装置と異なる。

【0031】

つぎに、黒レベルを表示する場合について説明する。以下の動作は、制御手段(図示略)の制御の下で実行される。はじめに、黒レベルの表示にあたって、図2のデータ書き込み期間(1)に対応するデータ書き込み動作が行われる。すなわち、データ書き込み期間

50

(1)では、ゲート信号線15の電位がハイレベル、ゲート信号線16の電位がローレベル、書き込み制御線18の電位がローレベル(V_L)とされる。

【0032】

この場合、スイッチング素子11がオフ、スイッチング素子13およびスイッチング素子14がそれぞれオンとされる。この場合、ドライバ素子12のゲート電位V_gは、同図に示した(1)式で表される。(1)式において、V_{DD}は、E_L電源線19に印加される電源電位である。V_Tは、ドライバ素子12の駆動閾値に対応する閾値電圧である。i_{data}は、後述する(2)式で表されるデータ電流である。Lは、ドライバ素子12におけるキャリアの移動度に比例した値(以下、移動度パラメータと称する)である。

【0033】

この移動度パラメータLは、ドライバ素子12(例えば、MOS FET(Metal Oxide Semiconductor Field Effect Transistor等のトランジスタ)のチャネル幅をW、チャネル長をL、キャリアの移動度をμ_{eff}、ゲート絶縁膜の容量をC_{ox}とすると、つぎの(A)式で示される。

【0034】

$$L = (W \times L) \times \mu_{\text{eff}} \times C_{\text{ox}} \cdots (A)$$

【0035】

また、E_L電源線19、ドライバ素子12、スイッチング素子13、ソース信号線17、電流源20という経路で同図に示した(1)式で表されるデータ電流i_{data}が流れる。このデータ電流i_{data}は、(2)式で表される。(2)式において、βは係数であり、i_{base}は、黒レベル電流である。

【0036】

ここで、データ書き込み時、書き込み制御線18の電位が、前工程において有機E_L素子10が発光する際の書き込み制御線18の電位よりもV_r(後に詳述)低い値になっているため、データ電流i_{data}を大きくしても、発光時において有機E_L素子10に流れるi_{OLED}の電流値を、黒レベルを維持できる値とすることができる。本実施例1においては、例えば、図8に示したように、i_{data}を10μAに設定しても、黒レベルを維持できしており、応答速度を従来の画像表示装置(i_d=1μA前後、図15参照)に比べ約10倍に高めることができていることが判る。

【0037】

つぎに、図3の発光期間(2)に対応する発光動作が行われる。すなわち、発光期間(2)では、ゲート信号線15の信号がローレベル、ゲート信号線16の電位がハイレベル、ソース信号線17の電位がハイレベル、書き込み制御線18の電位がハイレベル(V_H)とされる。ここで、書き込み制御線18の電位差V_rは、(3)式で表される。(3)式において、平均移動度パラメータaveは、上述した移動度パラメータL((2)式:図2参照)の平均値である。i_{base}は、上述した黒レベル電流である。

【0038】

V_rの値は、次のように求められる。すなわち、発光時におけるドライバ素子12のゲート電位V_gは、(5)式の通りである。黒レベルを維持するには、ゲート電位V_gはV_{DD}-V_Tである必要がある。従って、V_r=(2×i_{data}/L)^{1/2}となる。

【0039】

ここで、黒レベルを表示する際に書き込むデータ電流i_{data}をi_{base}と定義しているため、V_r=(2×i_{base}/L)^{1/2}となる。移動度パラメータLは、個々のドライバ素子によって値が異なるため、V_rの最適値も個々の画素によって異なる。従って、理論的には各画素に個別に書き込み制御線18を接続し、各画素に異なるV_rを個別に付与することが好ましいように思えるが、この場合、制御線18の回路構成が非常に複雑になる上に、駆動の仕方も複雑化する。従って、制御線18を画素ライン毎に共通に接続するか、あるいは、全画素に共通に接続するとともに、全ての画素に共通のV_rの値を付与することが好ましい。

【0040】

10

20

30

40

50

全ての画素に共通の V_r の値を付与する場合、 L を各画素共通の値とする必要があるため、各画素における移動度パラメータ L を x に置き換える。その結果、 $(2 \times i_{base} / x)^{1/2}$ である。 x は全ての画素における移動度パラメータの平均値である ave が良く、その場合が (3) 式であるが、 x は 0.5 ave x 1.5 ave の範囲であっても良い。更に好ましくは、 0.9 ave x 1.1 ave に設定する。

【0041】

この場合、スイッチング素子 11 がオン、スイッチング素子 13 およびスイッチング素子 14 がそれぞれオフとされる。これにより、EL 電源線 19 ドライバ素子 12 スwitching素子 11 有機EL素子 10 という経路で同図に示した (4) 式で表される電流 i_{OLED} が流れる。

10

【0042】

(4) 式において、電圧 V_{sg} は、ドライバ素子 12 のソース - ゲート間の電圧である。 V_T は、ドライバ素子 12 の駆動閾値に対応する閾値電圧である。(4) 式において、 β が 1、 ave が L であるとする、これらを一番下の式に代入すると、電流 i_{OLED} が 0 となり、完全な黒レベルの表示とされる。

【0043】

ここで、平均移動度パラメータ ave は、図 4 に示したように、画像表示装置における全画素回路に対してテスト電流 i_{test} を書き込み、有機EL素子 10 を発光状態にして、書き込み制御線 18 の電位を時間的に変化させ、各画素回路における移動度パラメータを算出した後、求められる。

20

【0044】

具体的には、図 5 に示したように、スイッチング素子 13 およびスイッチング素子 14 がオンとされ、スイッチング素子 11 がオフとされると、ソース信号線 17 には、テスト電流 i_{test} が流れる。この場合、ドライバ素子 12 のゲート電位 V_g は、(6) 式で表される。

【0045】

つぎに、図 6 に示したように、スイッチング素子 13 およびスイッチング素子 14 がオフとされ、スイッチング素子 11 がオンとされると、有機EL素子 10 にテスト電流 $i_{test}(t)$ が流れ、有機EL素子 10 が発光する。この場合、ドライバ素子 12 のゲート電位 V_g は、(7) 式で表される。(7) 式において、 i_{test} は、図 5 に示したテスト電流 i_{test} である。

30

【0046】

この発光時に、書き込み制御線 18 の電位差 V_r を変化させ、電位差 $V_r(t)$ ((8) 式参照) で黒レベルになった場合、すなわち、(9) 式で表されるテスト電流 $i_{test}(t)$ が、0 ((10) 式参照) であって有機EL素子 10 が発光しない場合、当該画素回路の移動度パラメータ L は、黒になった瞬間の $V_r(t)$ を用いて (11) 式で表される。

【0047】

実際には、図 7 の左側に示したように、全画素回路について、黒レベルとなった際の電位差 $V_r(t)$ の分布 (電位差 $V_{1,1} \sim V_{n,m}$) が求められる。つぎに (11) 式の $V_r(t)$ に各電位差 (電位差 $V_{1,1} \sim V_{n,m}$) と、既知のテスト電流 i_{test} の値を代入して、各画素回路の移動度パラメータ L を求める。これにより、図 7 の右側に示したように、全画素回路の移動度パラメータ L の分布が求められる。

40

【0048】

つぎに、移動度パラメータ L の分布より、平均移動度パラメータ ave が求められる。具体的には、移動度パラメータ L の分布 ($1, 1 \sim n, m$) の各値を加算し、加算結果を全画素回路の数 (サンプル数) で除算したものが平均移動度パラメータ ave として求められる。

【0049】

以上説明したように、実施例 1 によれば、黒レベルの表示に対応する電流のデータを書き込む際に、蓄積容量 10 Cs を介してドライバ素子 12 のゲート電位 V_g を変化させ、デ

50

ータ書き込み用の電流 i_{data} を増加させることとしたので、従来の容量のように、1画素あたりの面積の制約を受けることなく、黒レベルの表示におけるデータ書き込み時の応答速度を改善することができる。

【実施例2】

【0050】

さて、前述した実施例1においては、図1に示した回路の構成例について説明したが、図9に示した回路の構成例としてもよい。以下では、この構成例を実施例2として説明する。図9は、本発明にかかる実施例2による画像表示装置の1画素に対応する画素回路の構成を示す図である。同図において、画素回路は、有機EL素子40、スイッチング素子41、ドライバ素子42、スイッチング素子43、スイッチング素子44、ゲート信号線45、ゲート信号線46、ソース信号線47、書き込み制御線48、EL電源線49および蓄積容量40Csを備えている。

10

【0051】

ここで、同図において、有機EL素子40、スイッチング素子41、ドライバ素子42、スイッチング素子43、スイッチング素子44、ゲート信号線45、ゲート信号線46、ソース信号線47、書き込み制御線48、EL電源線49および蓄積容量40Csは、図1に示した有機EL素子10、スイッチング素子11、ドライバ素子12、スイッチング素子13、スイッチング素子14、ゲート信号線15、ゲート信号線16、ソース信号線17、書き込み制御線18、EL電源線19および蓄積容量10Csに対応している。また、スイッチング素子41、ドライバ素子42、スイッチング素子43およびスイッチング素子44は、n型のトランジスタである。

20

【実施例3】

【0052】

さて、前述した実施例2においては、図9に示した回路の構成例について説明したが、図10に示したように、スイッチング素子41およびゲート信号線46を設けない構成例(実施例3)としてもよい。

【実施例4】

【0053】

さて、前述した実施例1においては、図1に示した回路の構成例について説明したが、図11に示したカレントミラー型の回路の構成例としてもよい。以下では、この構成例を実施例4として説明する。図11は、本発明にかかる実施例4による画像表示装置の1画素に対応する画素回路の構成を示す図である。同図において、画素回路は、有機EL素子60、ドライバ素子61、スイッチング素子62、スイッチング素子63、ドライバ素子64、ゲート信号線65、ゲート信号線66、ソース信号線67、書き込み制御線68、EL電源線69、電流源70および蓄積容量60Csを備えている。ドライバ素子61とドライバ素子64とはカレントミラー回路を構成している。また、ドライバ素子61、スイッチング素子62、スイッチング素子63およびドライバ素子64は、p型のトランジスタである。

30

【0054】

つぎに、黒レベルを表示する場合について説明する。はじめに、黒レベルの表示にあたって、図12のデータ書き込み期間(1)に対応するデータ書き込み動作が行われる。すなわち、データ書き込み期間(1)では、ゲート信号線66の電位がローレベル、ゲート信号線65の電位がローレベル、書き込み制御線68の電位がローレベル(V_L)とされる。

40

【0055】

この場合、ドライバ素子64のゲート電位 V_g は、前述した(1)式で表される。このとき流れるデータ電流 i_{data} は、前述した(2)式で表される。ここで、データ書き込み時に流れるデータ電流 i_{data} は、実施例1と同様にして、図8に示したように、 $10\mu A$ も流れる。

【0056】

50

つぎに、図13の発光期間(2)に対応する発光動作が行われる。すなわち、発光期間(2)では、ゲート信号線66の信号がハイレベル、ゲート信号線65の電位がハイレベル、ソース信号線67の電位がハイレベル、書き込み制御線68の電位がハイレベル(VH)とされる。ここで、書き込み制御線68の電位差 Vrは、前述したように(3)式で表される。また、有機EL素子60を流れる電流 i OLEDは、(4')式で表される。ここで、 β は、ドライバ素子61とドライバ素子64のそれぞれのチャンネル幅を Wa、Wb およびチャンネル長を La、Lb としたときに、 $\beta = (Wb / Lb) / (Wa / La)$ で表される。また、ドライバ素子61のゲート電位 Vgは、前述したように、(5)式で表される。

【産業上の利用可能性】

10

【0057】

以上のように、本発明にかかる画像表示装置は、黒レベルの表示における応答速度の改善に対して有用である。

【図面の簡単な説明】

【0058】

【図1】本発明にかかる実施例1による画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図2】同実施例1におけるデータ書き込み動作を説明する図である。

【図3】同実施例1における発光動作を説明する図である。

【図4】同実施例1における平均移動度パラメータ μ_{ave} の求め方を説明する図である。

20

【図5】同実施例1における平均移動度パラメータ μ_{ave} の求め方を説明する図である。

【図6】同実施例1における平均移動度パラメータ μ_{ave} の求め方を説明する図である。

【図7】同実施例1における平均移動度パラメータ μ_{ave} の求め方を説明する図である。

【図8】同実施例1におけるデータ電流 i data と電流 i OLED との関係を示す図である。

【図9】本発明にかかる実施例2による画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図10】本発明にかかる実施例3による画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図11】本発明にかかる実施例4による画像表示装置の1画素に対応する画素回路の構成を示す図である。

30

【図12】同実施例4におけるデータ書き込み動作を説明する図である。

【図13】同実施例4における発光動作を説明する図である。

【図14】従来の画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図15】従来の画像表示装置におけるソース信号線に流す電流と有機EL素子に流れる電流との関係を示す図である。

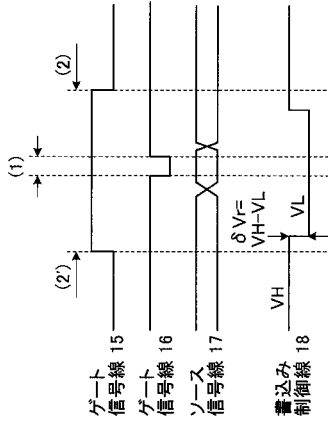
【符号の説明】

【0059】

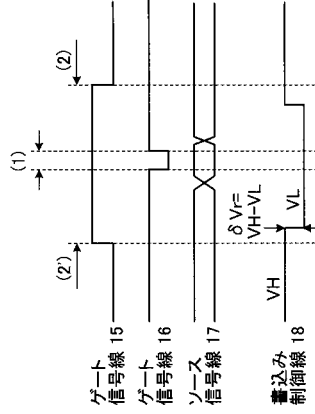
- 10 有機EL素子
- 12 ドライバ素子
- 18 書き込み制御線
- 10 Cs 蓄積容量
- 40 有機EL素子
- 42 ドライバ素子
- 40 Cs 蓄積容量
- 60 有機EL素子
- 61 ドライバ素子
- 64 ドライバ素子
- 60 Cs 蓄積容量

40

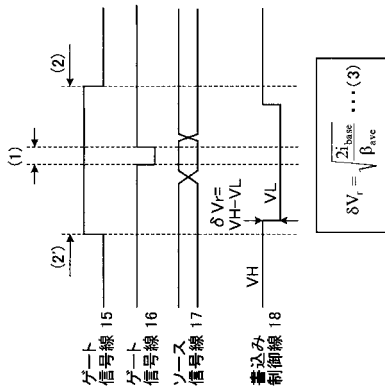
【図1】



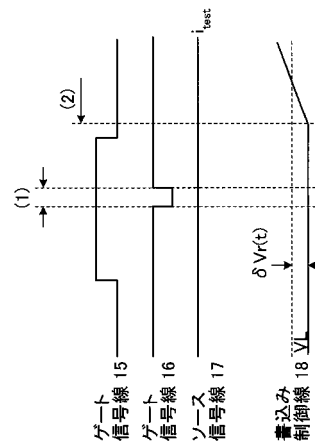
【図2】



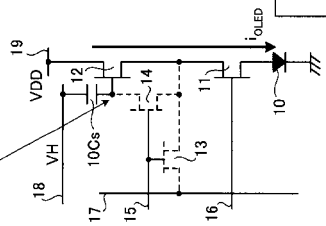
【図3】



【図4】



$$V_g = V_{DD} - V_T - \sqrt{\frac{2i_{\text{data}}}{\beta_L}} \dots (5)$$

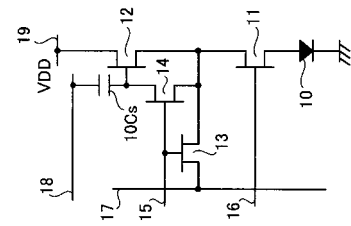


$$i_{\text{OLED}} = \frac{\beta_L (V_g - V_T)^2}{2}$$

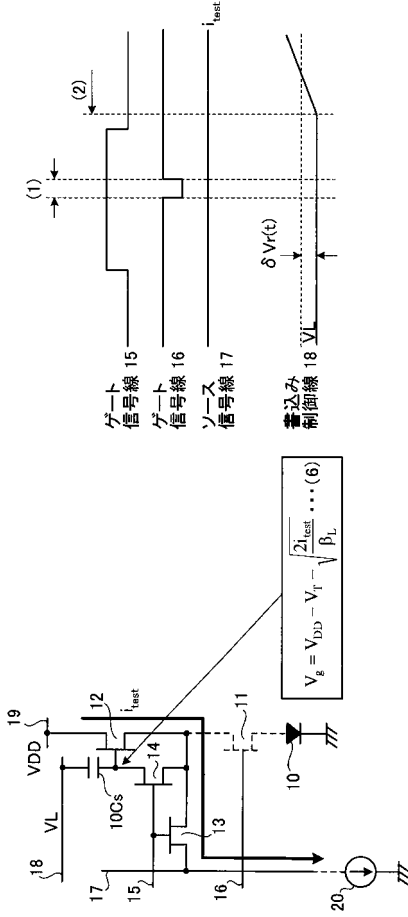
$$= \left(\sqrt{i_{\text{data}}} - \sqrt{\frac{\beta_L}{2}} \cdot \Delta V_r \right)^2$$

$$= \left(\sqrt{i_{\text{data}}} - \sqrt{\frac{\beta_L}{\beta_{\text{ave}}}} \cdot i_{\text{base}} \right)^2$$

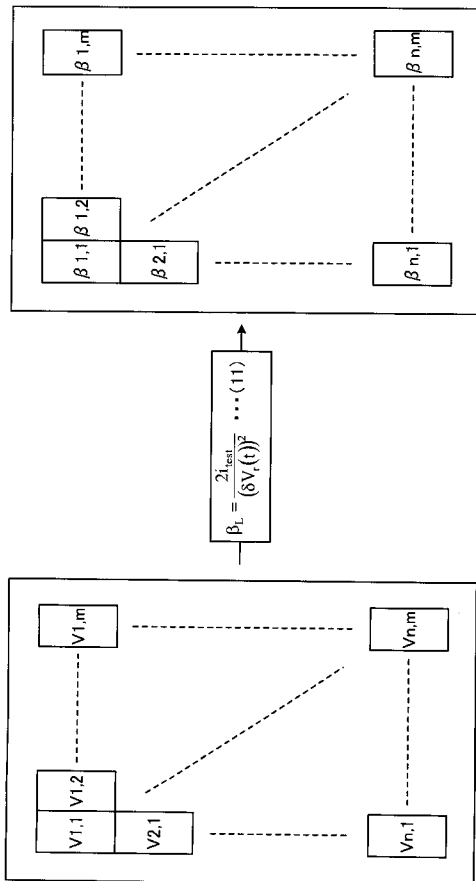
$$= i_{\text{base}} \left(\sqrt{\alpha} - \sqrt{\frac{\beta_L}{\beta_{\text{ave}}}} \right)^2 \dots (4)$$



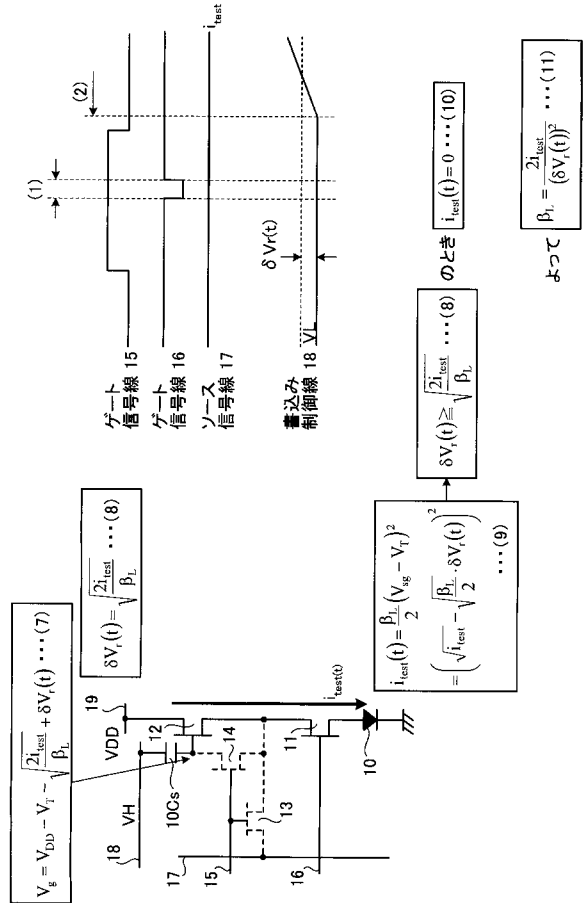
【 図 5 】



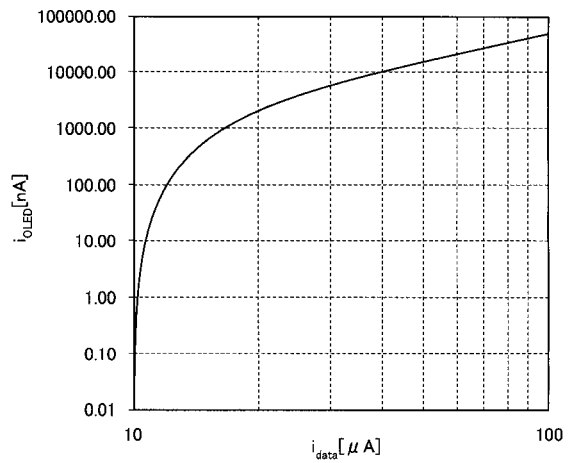
【 図 7 】



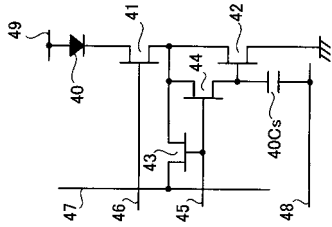
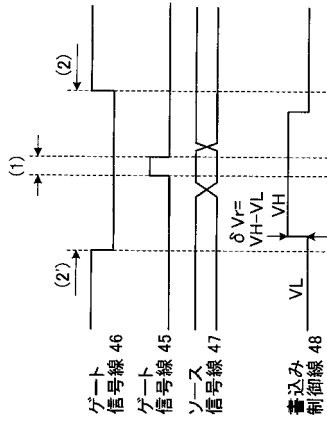
【 図 6 】



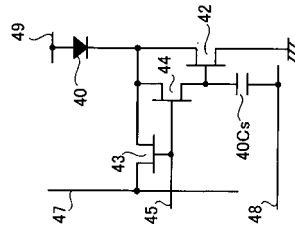
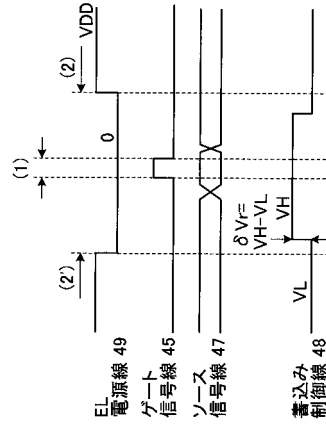
【 図 8 】



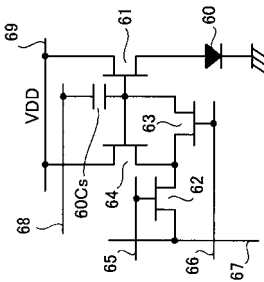
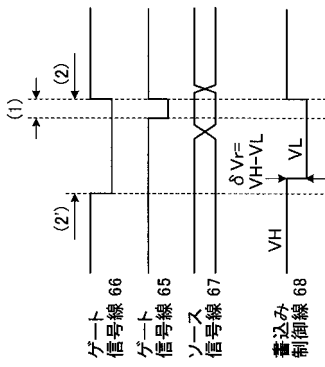
【図9】



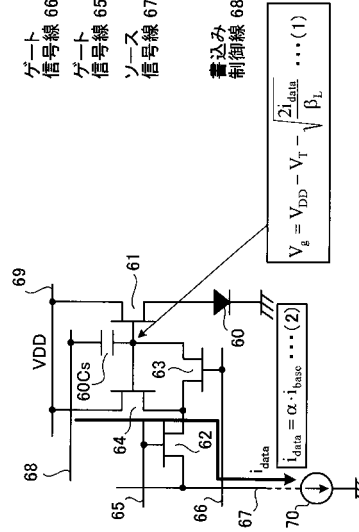
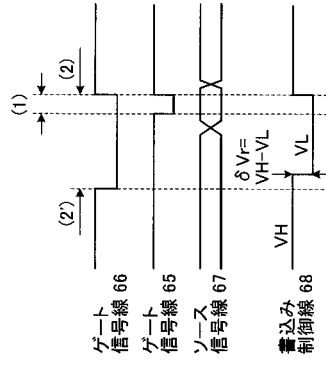
【図10】



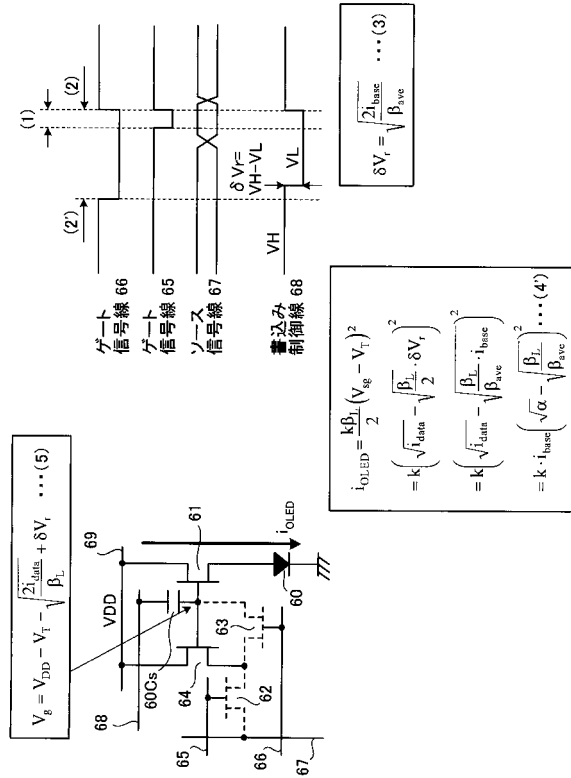
【図11】



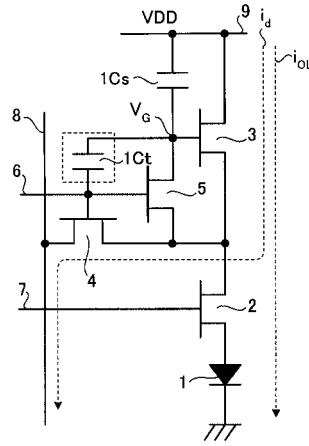
【図12】



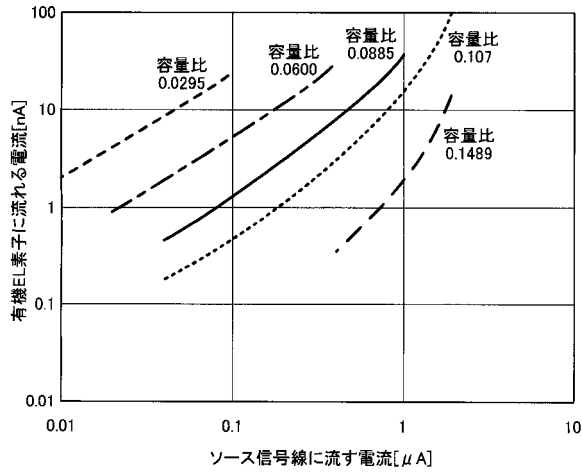
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 1 1 H
H 0 5 B 33/14 A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 小野 晋也

神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内

審査官 安藤 達哉

(56)参考文献 特開2003-140612(JP,A)
国際公開第01/006484(WO,A1)
特開2005-134874(JP,A)
特開2005-331774(JP,A)
特開2004-341351(JP,A)
特開2003-295824(JP,A)

(58)調査した分野(Int.Cl., DB名)

IPC G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	画像表示装置		
公开(公告)号	JP4834876B2	公开(公告)日	2011-12-14
申请号	JP2004188834	申请日	2004-06-25
[标]申请(专利权)人(译)	京瓷株式会社 群创光电股份有限公司		
申请(专利权)人(译)	京瓷株式会社 奇美电子股▲ふん▼有限公司		
当前申请(专利权)人(译)	京瓷株式会社 奇美电子股▲ふん▼有限公司		
[标]发明人	小野晋也 小林芳直		
发明人	小野 晋也 小林 芳直		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G3/3241 G09G3/3283 G09G2300/0842 G09G2300/0861 G09G2300/0876 G09G2310/08 G09G2320/0238		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.621.F G09G3/20.623.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC42 3K107/EE03 3K107/FF04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/BA11 5C380/BA19 5C380/BA20 5C380/BA46 5C380/BC03 5C380/BC06 5C380/BC09 5C380/BC13 5C380/BC15 5C380/CA08 5C380/CA13 5C380/CA51 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC13 5C380/CC14 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC37 5C380/CC39 5C380/CC43 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CD013 5C380/CD014 5C380/CF26 5C380/DA02 5C380/DA06 5C380/FA02 5C380/FA21 5C380/HA03 5C380/HA05		
代理人(译)	酒井宏明		
审查员(译)	安藤达也		
其他公开文献	JP2006011094A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在显示黑色电平时改善数据写入时的响应时间，而不受每个像素区域的限制。ŹSOLUTION：该设备包括；有机EL元件10，通过电流注入发光；驱动元件12，具有栅极端子，源极端子和漏极端子，其根据比施加在栅极端子和源极端子之间的规定的驱动阈值更高的电位差来控制有机EL元件10；用于保持驱动元件12中的栅极端子的栅极电位的存储电容器10Cs。当写入对应于黑电平显示的电流的数据时，通过存储改变栅极电位来增加用于数据写入的电流。电容器10Cs。Ź

図 1

