

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4202069号
(P4202069)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int.Cl.	F 1				
G09G	3/30	(2006.01)	G09G	3/30	J
G09F	9/30	(2006.01)	G09F	9/30	338
H01L	27/32	(2006.01)	G09F	9/30	365Z
G09G	3/20	(2006.01)	G09G	3/20	611H
H01L	29/786	(2006.01)	G09G	3/20	624B

請求項の数 14 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2002-231962 (P2002-231962)
 (22) 出願日 平成14年8月8日(2002.8.8)
 (65) 公開番号 特開2003-162254 (P2003-162254A)
 (43) 公開日 平成15年6月6日(2003.6.6)
 審査請求日 平成17年8月3日(2005.8.3)
 (31) 優先権主張番号 特願2001-244651 (P2001-244651)
 (32) 優先日 平成13年8月10日(2001.8.10)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 濱本 禎広

(56) 参考文献 特開2002-358049 (JP, A)
)
 特表2002-518691 (JP, A)
)
 特開平11-282419 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項1】

同一導電型を有する第1及び第2のトランジスタと、

第1及び第2のスイッチと、

容量と、

画素電極と、を有し、

前記第1のスイッチの一端は、第1の配線と電氣的に接続され、

前記第1のスイッチの他端は、前記第1のトランジスタのドレインと電氣的に接続され

、
前記第2のスイッチの一端は、前記第1のトランジスタのドレインと電氣的に接続され 10

、
前記第2のスイッチの他端は、前記第1のトランジスタのゲートと電氣的に接続され、
前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートと電氣的に接続

され、

前記第2のトランジスタのドレインは、第2の配線と電氣的に接続され、

前記第2のトランジスタのソースは、前記第1のトランジスタのソースと電氣的に接続
され、

前記容量は、前記第2のトランジスタのゲート・ソース間に設けられ、

前記画素電極は、前記第2のトランジスタのソースと電氣的に接続されていることを特
徴とする半導体装置。 20

【請求項 2】

同一導電性を有する第 1 及び第 2 のトランジスタと、
第 1 及び第 2 のスイッチと、
容量と、
画素電極と、を有し、
前記第 1 のスイッチの一端は、第 1 の配線と電氣的に接続され、
前記第 1 のスイッチの他端は、前記第 1 のトランジスタのドレインと電氣的に接続され

、
前記第 2 のスイッチの一端は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記第 2 のスイッチの他端は、前記第 2 のトランジスタのゲートと電氣的に接続され、
前記第 1 のトランジスタのドレインは、前記第 1 のトランジスタのゲートと電氣的に接
続され、
前記第 2 のトランジスタのドレインは、第 2 の配線と電氣的に接続され、
前記第 2 のトランジスタのソースは、前記第 1 のトランジスタのソースと電氣的に接続
され、
前記容量は、前記第 2 のトランジスタのゲート・ソース間に設けられ、
前記画素電極は、前記第 2 のトランジスタのソースと電氣的に接続されていることを特
徴とする半導体装置。

10

【請求項 3】

請求項 1 又は請求項 2 において、
前記画素電極は、抵抗を介して前記第 2 のトランジスタのソースと電氣的に接続されて
いることを特徴とする半導体装置。

20

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、
前記第 1 のトランジスタのゲート幅と、前記第 2 のトランジスタのゲート幅とが異なる
ことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、
前記第 1 乃至第 2 のスイッチのそれぞれは、前記第 1 及び第 2 のトランジスタと同一の
導電性を有するトランジスタでなることを特徴とする半導体装置。

30

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、
前記第 1 及び第 2 のトランジスタ、並びに前記第 1 乃至第 2 のスイッチのそれぞれは、
N 型のトランジスタでなることを特徴とする半導体装置。

【請求項 7】

同一導電性を有する第 1 及び第 2 のトランジスタと、
第 1 及び第 2 のスイッチと、
容量と、
発光素子と、を有し、
前記第 1 のスイッチの一端は、第 1 の配線と電氣的に接続され、
前記第 1 のスイッチの他端は、前記第 1 のトランジスタのドレインと電氣的に接続され
、
前記第 2 のスイッチの一端は、前記第 1 のトランジスタのドレインと電氣的に接続され
、
前記第 2 のスイッチの他端は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続
され、
前記第 2 のトランジスタのドレインは、第 2 の配線と電氣的に接続され、
前記第 2 のトランジスタのソースは、前記第 1 のトランジスタのソースと電氣的に接続
され、

40

50

前記容量は、前記第 2 のトランジスタのゲート・ソース間に設けられ、
前記発光素子の一方の電極は、前記第 2 のトランジスタのソースと電氣的に接続されて
いることを特徴とする表示装置。

【請求項 8】

同一導電性を有する第 1 及び第 2 のトランジスタと、
第 1 及び第 2 のスイッチと、
容量と、
発光素子と、を有し、
前記第 1 のスイッチの一端は、第 1 の配線と電氣的に接続され、
前記第 1 のスイッチの他端は、前記第 1 のトランジスタのドレインと電氣的に接続され 10

、
前記第 2 のスイッチの一端は、前記第 1 のトランジスタのゲートと電氣的に接続され、
前記第 2 のスイッチの他端は、前記第 2 のトランジスタのゲートと電氣的に接続され、
前記第 1 のトランジスタのドレインは、前記第 1 のトランジスタのゲートと電氣的に接
続され、

前記第 2 のトランジスタのドレインは、第 2 の配線と電氣的に接続され、
前記第 2 のトランジスタのソースは、前記第 1 のトランジスタのソースと電氣的に接続
され、

前記容量は、前記第 2 のトランジスタのゲート・ソース間に設けられ、
前記発光素子の一方の電極は、前記第 2 のトランジスタのソースと電氣的に接続されて 20
いることを特徴とする表示装置。

【請求項 9】

請求項 7 又は請求項 8 において、
前記発光素子における、前記一方の電極は陽極であり、前記他方の電極は陰極であるこ
とを特徴とする表示装置。

【請求項 10】

請求項 7 又は請求項 8 において、
前記発光素子の他方の電極は、第 3 の配線と電氣的に接続され、
前記第 2 の配線と、前記第 3 の配線とには、それぞれ第 1 の電位と、第 2 の電位とが与
えられ、 30

前記発光素子に電流を供給して表示を行う期間において、前記第 1 の電位は、前記第 2
の電位よりも高いことを特徴とする表示装置。

【請求項 11】

請求項 7 乃至請求項 10 のいずれか一において、
前記発光素子の一方の電極は、抵抗を介して前記第 2 のトランジスタのソースと電氣的
に接続されていることを特徴とする表示装置。

【請求項 12】

請求項 7 乃至請求項 11 のいずれか一において、
前記第 1 のトランジスタのゲート幅と、前記第 2 のトランジスタのゲート幅とが異なる
ことを特徴とする表示装置。 40

【請求項 13】

請求項 7 乃至請求項 12 のいずれか一において、
前記第 1 乃至第 2 のスイッチのそれぞれは、前記第 1 及び第 2 のトランジスタと同一の
導電性を有するトランジスタであることを特徴とする表示装置。

【請求項 14】

請求項 7 乃至請求項 13 のいずれか一において、
前記第 1 及び第 2 のトランジスタ、並びに前記第 1 乃至第 2 のスイッチのそれぞれは、
N 型のトランジスタであることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関する。特に、ガラス、プラスチックなどの透明基板上に形成された薄膜トランジスタを用いたOLED表示装置に関する。また、表示装置を用いた電子機器に関する。

【0002】**【従来の技術】**

近年、通信技術の発展によって、携帯電話が普及している。今後はさらに動画の電送や、より多量の情報伝達が予想される。一方パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳にはじまったパーソナルデジタルアシスタント(PDA)と呼ばれる情報機器も多数生産され、普及しつつある。また、表示装置などの発展により、それらの携帯情報機器にはほとんどのものにフラットディスプレイが装備されている。

10

【0003】

さらに最近の技術では、それらに使用される表示装置としてアクティブマトリクス型表示装置を使用する方向に向かっている。

【0004】

アクティブマトリクス型表示装置は、画素1つずつに対して、TFT(薄膜トランジスタ)を配置し、そのTFTによって、画面を制御している。この様なアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高精細化が可能である、画質の向上が可能である、動画対応が可能であるなどの長所を持っている。それ故に今後は携帯情報機器の表示装置はパッシブマトリクス型からアクティブマトリクス型に変化していくと思われる。

20

【0005】

また、アクティブマトリクス型表示装置のなかでも、近年、低温ポリシリコンを用いた、表示装置の製品化が行われている。低温ポリシリコン技術では画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成することができ、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、低温ポリシリコン表示装置は不可欠なデバイスとなってきている。

【0006】

また、近年有機エレクトロルミネッセンス素子(OLED素子)を用いた表示装置の開発が活発化している。ここでOLED素子とは一重項励起子からの発光(蛍光)を利用するものと、三重項励起子からの発光(燐光)を利用するものとの両方を含むものとする。本明細書では発光素子の例としてOLED素子をあげているが他の発光素子を用いてもかまわない。

30

【0007】

OLED素子是一对の電極(陰極と陽極)の間にOLED層がはさまれる形で構成され、通常積層構造をとっている。代表的にはイーストマン・コダック・カンパニーのTangが提案した(正孔輸送層・発光層・電子輸送層)という積層構造があげられる。

【0008】

これ以外にも(正孔注入層・正孔輸送層・発光層・電子輸送層)または(正孔注入層・正孔輸送層・発光層・電子輸送層・電子注入層)の順に積層する構造がある。本発明においては、どれを採用しても良いし、また、発光層に対して蛍光性色素をドーピングしてもよい。

40

【0009】

本明細書においては陽極と陰極の間に設けられるすべての層を総称してOLED層と呼ぶ。よって前記の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層はすべてOLED層に含まれる。陽極、OLED層、陰極で構成される発光素子をOLED素子と呼ぶ

【0010】

図5に、アクティブマトリクス型OLED表示装置の画素部の構成の例を示す。ゲート信

50

号線駆動回路から選択信号を入力するゲート信号線 ($G_1 \sim G_y$) は、各画素が有するスイッチング用 T F T 3 0 1 のゲート電極に接続されている。また、各画素が有するスイッチング用 T F T 3 0 1 のソース領域とドレイン領域は、一方がソース信号線駆動回路から信号を入力するソース信号線 ($S_1 \sim S_x$) に、他方が O L E D 駆動用 T F T 3 0 2 のゲート電極及び各画素が有するコンデンサ 3 0 3 の一方の電極に接続されている。コンデンサ 3 0 3 のもう一方の電極は、電源供給線 ($V_1 \sim V_x$) に接続されている。各画素の有する O L E D 駆動用 T F T 3 0 2 のソース領域とドレイン領域の一方は、電源供給線 ($V_1 \sim V_x$) に、他方は、各画素が有する O L E D 素子 3 0 4 の一方の電極に接続されている。

【 0 0 1 1 】

O L E D 素子 3 0 4 は、陽極と、陰極と、陽極と陰極の間に設けられた O L E D 層とを有する。O L E D 素子 3 0 4 の陽極が O L E D 駆動用 T F T 3 0 2 のソース領域またはドレイン領域と接続している場合、O L E D 素子 3 0 4 の陽極が画素電極、陰極が対向電極となる。逆に、O L E D 素子 3 0 4 の陰極が O L E D 駆動用 T F T 3 0 2 のソース領域またはドレイン領域と接続している場合、O L E D 素子 3 0 4 の陰極が画素電極、陽極が対向電極となる。

【 0 0 1 2 】

なお、本明細書において、対向電極の電位を対向電位という。なお、対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が O L E D 駆動電圧であり、この O L E D 駆動電圧が O L E D 層に印加される。

【 0 0 1 3 】

上記 O L E D 表示装置の階調表示方法として、アナログ階調方式と、時間階調方式が挙げられる。

【 0 0 1 4 】

まず、O L E D 表示装置のアナログ階調方式について説明する。図 5 で示した表示装置をアナログ階調方式で駆動した場合のタイミングチャートを図 6 に示す。1つのゲート信号線が選択されてから、その次のゲート信号線が選択されるまでの期間を 1 ライン期間 (L) と呼ぶ。また、1つの画像が選択されてから、次の画像が選択されるまでの期間が、1 フレーム期間に相当する。図 5 の O L E D 表示装置の場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 ($L_1 \sim L_y$) が設けられている。

【 0 0 1 5 】

解像度が高くなるにつれ、1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【 0 0 1 6 】

電源供給線 ($V_1 \sim V_x$) は、一定の電位 (電源電位) に保たれている。また、対向電位も一定に保たれている。対向電位は、O L E D 素子が発光する程度に電源電位との間に電位差を有している。

【 0 0 1 7 】

第 1 のライン期間 (L_1) においてゲート信号線 G_1 にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線 ($S_1 \sim S_x$) に順にアナログのビデオ信号が入力される。

【 0 0 1 8 】

ゲート信号線 G_1 に接続された全てのスイッチング用 T F T 3 0 1 はオンの状態になるので、ソース信号線 ($S_1 \sim S_x$) に入力されたアナログのビデオ信号は、スイッチング用 T F T 3 0 1 を介して O L E D 駆動用 T F T 3 0 2 のゲート電極に入力される。

【 0 0 1 9 】

スイッチング用 T F T 3 0 1 がオンとなって画素内に入力されたアナログのビデオ信号の電位により、O L E D 駆動用 T F T 3 0 2 のゲート電圧が変化する。このとき O L E D 駆動用 T F T 3 0 2 の $I_d - V_g$ 特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、O L E D 駆動用 T F T 3 0 2 のゲート電極に入力されるアナログのビデオ

10

20

30

40

50

信号の電位に対応して、ドレイン領域の電位（オンのOLED駆動電位）が定まり、所定のドレイン電流がOLED素子に流れ、その電流量に対応した発光量で前記OLED素子が発光する。

【0020】

上述した動作を繰り返し、ソース信号線（ $S_1 \sim S_x$ ）へのアナログのビデオ信号の入力が終了すると、第1のライン期間（ L_1 ）が終了する。なお、ソース信号線（ $S_1 \sim S_x$ ）へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間（ L_2 ）となりゲート信号線 G_2 に選択信号が入力される。そして第1のライン期間（ L_1 ）と同様にソース信号線（ $S_1 \sim S_x$ ）に順にアナログのビデオ信号が入力される。

10

【0021】

そして全てのゲート信号線（ $G_1 \sim G_y$ ）に選択信号が入力されると、全てのライン期間（ $L_1 \sim L_y$ ）が終了する。全てのライン期間（ $L_1 \sim L_y$ ）が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間（ $L_1 \sim L_y$ ）と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0022】

以上のように、アナログのビデオ信号によってOLED素子の発光量が制御され、その発光量の制御によって階調表示がなされる。このように、アナログ階調方式では、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

20

【0023】

次に、時間階調方式について説明する。

【0024】

時間階調方式では、画素にデジタル信号を入力して、OLED素子の発光状態もしくは非発光状態を選択し、1フレーム期間あたりにOLED素子が発光した期間の累計によって階調を表現する。

【0025】

ここでは 2^n （ n は、自然数）階調を表現する場合について説明する。図5で示した表示装置を、この時間階調方式で駆動した場合のタイミングチャートを図7に示す。まず、1フレーム期間を n 個のサブフレーム期間（ $SF_1 \sim SF_n$ ）に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間（ F ）と呼ぶ。また、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

30

【0026】

1つのサブフレーム期間は書き込み期間（ T_a ）と表示期間（ T_s ）とに分けられる。書き込み期間とは、1サブフレーム期間中、全画素にデジタル信号を入力する期間であり、表示期間（点灯期間とも呼ぶ）とは、入力されたデジタル信号によってOLED素子が発光または非発光状態となり、表示を行う期間を示している。

【0027】

また、図7に示したOLED駆動電圧は発光状態を選択されたOLED素子のOLED駆動電圧を表す。すなわち、発光状態を選択されたOLED素子のOLED駆動電圧（図5）は、書き込み期間中は0Vとなり、表示期間中はOLED素子が発光する程度の大きさを有する。

40

【0028】

対向電位は外部スイッチ（図示せず）により制御され、対向電位は、書き込み期間において電源電位とほぼ同じ高さに保たれ、表示期間において電源電位との間にOLED素子が発光する程度の電位差を有する。

【0029】

まず、それぞれのサブフレーム期間が有する書き込み期間と表示期間について、図5と図7を用いて詳しく説明し、その後、時間階調表示について説明する。

50

【 0 0 3 0 】

まずゲート信号線 G 1 にゲート信号が入力され、ゲート信号線 G 1 に接続されている全てのスイッチング用 T F T 3 0 1 がオンの状態になる。そしてソース信号線 (S 1 ~ S x) に順にデジタル信号が入力される。対向電位は電源供給線 (V 1 ~ V x) の電位 (電源電位) と同じ高さに保たれている。デジタル信号は「 0 」または「 1 」の情報を有している。「 0 」と「 1 」のデジタル信号はそれぞれ H i または L o のいずれかの電圧を有する信号を意味する。

【 0 0 3 1 】

そしてソース信号線 (S 1 ~ S x) に入力されたデジタル信号は、オンの状態のスイッチング用 T F T 3 0 1 を介して O L E D 駆動用 T F T 3 0 2 のゲート電極に入力される。またコンデンサ 3 0 3 にもデジタル信号が入力され保持される。

10

【 0 0 3 2 】

そして順にゲート信号線 G 2 ~ G y にゲート信号を入力することで上述した動作を繰り返し、全ての画素にデジタル信号が入力され、各画素において入力されたデジタル信号が保持される。全ての画素にデジタル信号が入力されるまでの期間を書き込み期間と呼ぶ。

【 0 0 3 3 】

全ての画素にデジタル信号が入力されると、全てのスイッチング用 T F T 3 0 1 はオフの状態となる。そして対向電極に接続されている外部スイッチ (図示せず) によって、対向電位は、電源電位との間に O L E D 素子 3 0 4 が発光する程度の電位差を有するように変化する。

20

【 0 0 3 4 】

デジタル信号が「 0 」の情報を有していた場合、O L E D 駆動用 T F T 3 0 2 はオフの状態となり O L E D 素子 3 0 4 は発光しない。逆に、「 1 」の情報を有していた場合、O L E D 駆動用 T F T 3 0 2 はオンの状態となる。その結果 O L E D 素子 3 0 4 の画素電極はほぼ電源電位に等しく保たれ、O L E D 素子 3 0 4 は発光する。このようにデジタル信号が有する情報によって、O L E D 素子の発光状態または非発光状態が選択され、全ての画素が一斉に表示を行う。全ての画素が表示を行うことによって、画像が形成される。画素が表示を行う期間を表示期間と呼ぶ。

【 0 0 3 5 】

n 個のサブフレーム期間 (S F ₁ ~ S F _n) がそれぞれ有する書き込み期間 (T a ₁ ~ T a _n) の長さは全て同じである。S F ₁ ~ S F _n がそれぞれ有する表示期間 (T s) をそれぞれ T s ₁ ~ T s _n とする。

30

【 0 0 3 6 】

表示期間の長さは、T s ₁ : T s ₂ : T s ₃ : ... : T s _(n-1) : T s _n = 2⁰ : 2⁻¹ : 2⁻² : ... : 2⁻⁽ⁿ⁻²⁾ : 2⁻⁽ⁿ⁻¹⁾ となるように設定する。この表示期間の組み合わせで 2ⁿ 階調のうち所望の階調表示を行うことができる。

【 0 0 3 7 】

表示期間は T s ₁ ~ T s _n までのいずれかの期間である。ここでは T s ₁ の期間、所定の画素を点灯させたとする。

【 0 0 3 8 】

次に、再び書き込み期間に入り、全画素にデータ信号を入力したら表示期間に入る。このときは T s ₂ ~ T s _n のいずれかの期間が表示期間となる。ここでは T s ₂ の期間、所定の画素を点灯させたとする。

40

【 0 0 3 9 】

以下、残りの n - 2 個のサブフレームについて同様の動作を繰り返し、順次 T s ₃、T s ₄ ... T s _n と表示期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【 0 0 4 0 】

n 個のサブフレーム期間が出現したら 1 フレーム期間を終えたことになる。このとき、画素が点灯していた表示期間の長さを積算することによって、その画素の階調がきまる。例

50

えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 Ts_1 と Ts_2 において画素が発光した場合には 75% の輝度が表現でき、 Ts_3 と Ts_5 と Ts_8 を選択した場合には 16% の輝度が表現できる。

【0041】

なお、 n ビットのデジタル信号を入力して階調を表現する時間階調方式の駆動方法において、1 フレーム期間を複数のサブフレーム期間に分割する際の、分割数や個々のサブフレーム期間の長さ等は、上記に限定されない。

【0042】

【発明が解決しようとする課題】

以上に述べたような従来の OLED 表示装置では、以下のような課題があった。

画素にはソース信号線より電圧が供給され、その電圧を OLED 駆動用 TFT で電流変換をしているため、OLED 駆動用 TFT のばらつきによって、同じ電圧を入力しても、異なる電流が OLED 素子に流れ、それによって画素の輝度が場所によって異なるという表示ムラの要因になっていた。例えば基板面内でゲート絶縁膜の厚さが異なると、それによって OLED 駆動用 TFT のオン電流が場所によって異なり、OLED 素子の発光輝度がそれに依りて異なるため、表示ムラをきたす。この不具合はパネルが大きくなるとより顕著な問題になっていた。

【0043】

そこで本発明は、OLED 素子を用いた表示装置において、画面内の表示ムラを低減することを課題とする。

【0044】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【0045】

本発明によって、

複数の画素と複数のソース信号線と複数のゲート信号線がマトリクス状に配置されたアクティブマトリクス型表示装置において、

前記複数の画素はそれぞれ、

前記複数の画素へソース信号線より第一の電流を入力する手段と、

前記入力された第一の電流を電圧に変換する手段と、

前記電圧を保持手段に入力する手段と、

前記電圧に応じた第二の電流を発光素子に供給する手段と、

を有することを特徴とした表示装置が提供される。

【0046】

本発明によって、

複数の画素と複数のソース信号線と複数のゲート信号線がマトリクス状に配置されたアクティブマトリクス型表示装置において、前記画素は、一端がソース信号線に接続され、他端が電流電圧変換素子に接続された第一のスイッチと、一端が前記電流電圧変換素子に接続され、他端が保持手段と電圧電流変換素子に接続された第二のスイッチと、前記電流電圧変換素子および前記電圧電流変換素子に接続された画素電極と、前記画素電極を一方の電極とする発光素子を有することを特徴とした表示装置が提供される。

【0047】

本発明によって、

複数の画素と複数のソース信号線と複数のゲート信号線がマトリクス状に配置されたアクティブマトリクス型表示装置において、前記画素は、一端がソース信号線に接続され、他端が第一の薄膜トランジスタのドレイン端子に接続された第一のスイッチと、一端が前記第一の薄膜トランジスタのゲート端子およびドレイン端子に接続され、他端が保持手段と第二の薄膜トランジスタのゲートに接続された第二のスイッチと、前記第一の薄膜トランジスタのソース端子および前記第二の薄膜トランジスタのソース端子に接続された画素電極と、前記画素電極を一方の電極とする発光素子を有することを特徴とした表示装置が提

10

20

30

40

50

供される。

【 0 0 4 8 】

本発明によって、

複数の画素と複数のソース信号線と複数のゲート信号線がマトリクス状に配置されたアクティブマトリクス型表示装置において、前記画素は、一端がソース信号線に接続され、他端が第一の薄膜トランジスタのドレイン端子に接続された第一のスイッチと、一端が前記第一の薄膜トランジスタのドレイン端子に接続され、他端が前記第一の薄膜トランジスタのゲート端子と保持手段と第二の薄膜トランジスタのゲートに接続された第二のスイッチと、第一の薄膜トランジスタのソース端子および前記第二の薄膜トランジスタのソース端子に接続された画素電極と、前記画素電極を一方の電極とする発光素子を有することを特徴とした表示装置が提供される。

10

【 0 0 4 9 】

本発明によって、

前記第一の薄膜トランジスタのソース端子および前記第二の薄膜トランジスタのソース端子は抵抗を介して画素電極に接続されていることを特徴とした表示装置が提供される。

【 0 0 5 0 】

本発明によって、

前記第一のスイッチおよび第二のスイッチは同一のゲート信号線によって制御されることを特徴とした表示装置が提供される。

【 0 0 5 1 】

本発明によって、

第一のスイッチおよび第二のスイッチは異なるゲート信号線によって制御されることを特徴とした表示装置が提供される。

20

【 0 0 5 2 】

本発明によって、

第一の薄膜トランジスタおよび第二の薄膜トランジスタは異なるゲート幅を有することを特徴とした表示装置が提供される。

【 0 0 5 3 】

本発明によって、

薄膜トランジスタは単極性、とくにN型（Nチャネル型）とし、画素電極がO L E D素子の陽極であることを特徴とする表示装置が提供される。

30

【 0 0 5 4 】

本発明によって、

上記表示装置のいずれかを使用した電子機器が提供される。

【 0 0 5 5 】

以上の構成をとることによって、以下の理由により、画面内のムラを低減することが可能である。

【 0 0 5 6 】

従来の画素では、電圧を電流に変換していたが、素子の変換効率のバラツキによって、同じ電圧を入力しても異なる電流が得られていた。本発明では、電流を入力し、それを電圧に変換し、変換した電圧を保持し、それを再電流変換して電流を得ている。小さい画素領域中に電流電圧変換素子と電圧電流変換素子とを近接して作製することによって、素子の特性をそろえ、変換・逆変換のバラツキを低減することができる。よって、得られる電流の精度が向上し、ムラの低減が可能である。

40

【 0 0 5 7 】

【発明の実施の形態】

まず、本発明のO L E D表示装置について説明する。

【 0 0 5 8 】

図1は本発明の構成を示したものである。本発明では、画素領域にソース信号線1101とゲート信号線1102と、ゲート信号線によって制御され一端がソース信号線1101

50

に他端が電流電圧変換素子 1105 に接続した第一のスイッチ 1103 と、一端が電流電圧変換素子 1105 に、他端が電圧保持手段 1107 と電圧電流変換素子 1106 に接続された第二のスイッチ 1104 と、電流電圧変換素子 1105 および電圧電流変換素子 1106 に接続された画素電極 1108 と画素電極 1108 を陽極または陰極とした発光素子 (OLED 素子) 1109 を有している。

【0059】

以下その内容について、具体的に説明をおこなう。画素に信号を書き込む場合は、ソース信号線 1101 より所定の電流を入力する。画素が選択されている場合スイッチ 1103 およびスイッチ 1104 はオンになっているので電流は電流電圧変換素子 1105 に流れ、画素電極 1108 を介して OLED 素子 1109 に流れる。同時にスイッチ 1104 を介して、電流電圧変換素子 1105 の出力電圧が保持手段 1107 と電圧電流変換素子 1106 に入力される。その電圧によって電圧電流変換素子 1106 が動作し、電源から画素電極 1108 のほうへ電流が流れる。つぎに書き込みが終了すると、スイッチ 1103 およびスイッチ 1104 はオフになり、信号線 1101 からの電流の流入はなくなる。電流電圧変換素子 1105 はオフ状態になるが、保持手段 1107 には電圧が保持されているため、電圧電流変換素子 1106 はずっとオン状態のままになる。よって、電圧電流変換素子 1106 がオンしている間中、電源より電流は画素電極 1108 を介して OLED 素子 1109 に流れつづけ、点灯がおこなわれる。この動作は次の書き込みがおこなわれるまで継続される。

【0060】

ここで、OLED 素子 1109 に流れる電流はソース信号線によって入力される値によって制御される。電流電圧変換素子 1105 と電圧電流変換素子 1106 に流れる電流は比例関係に設定することができる。2つの素子特性がそろっていれば、異なる画素において、素子特性が異なっても、OLED 素子に流れる電流をほぼ一定の値に保つことができる。例えば、大型基板内でゲート絶縁膜がばらつきを持った場合でも画素内の至近距離であれば、ゲート絶縁膜の差は小さいので、1つの画素内部での差は小さいといえる。よって、ソース信号線 1101 から流れる電流に対して誤差の少ない電流を OLED 素子 1108 に流すことができる。以上によって、従来技術では問題であった、均一性を改良でき良好な画面均一性を得ることができる。

【0061】

尚、本発明は上記した実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。例えば、OLED 素子において、発光層以外の正孔注入層、正孔輸送層、電子注入層、電子輸送層等に無機化合物を用いることも可能である。無機化合物としては公知の無機化合物材料を用いることができる。

【0062】

無機化合物材料としては、ダイヤモンド状カーボン (DLC)、Si、Ge、窒素含有炭素 (CN)、及びこれらの無機化合物又や窒化物であり、P、B、Nなどが適宜ドーピングされていても良い。またアルカリ金属又はアルカリ土類金属の、酸化物、窒化物又はフッ化物や、当該金属と少なくとも Zn、Sn、V、Ru、Sm、In の化合物又は合金であっても良い。

【0063】

【実施例】

以下に本発明の実施例について記述する。

【0064】

[実施例 1]

図 2 (a) は本発明を薄膜トランジスタで構成したものである。この例では電流電圧変換素子、電圧電流変換素子、第一、第二のスイッチを薄膜トランジスタで、保持手段を容量で構成している。

【0065】

本実施例では、画素領域にソース信号線 1201 とゲート信号線 1202 とゲート信号線

10

20

30

40

50

によって制御され一端がソース信号線1201に他端が薄膜トランジスタ1205のドレイン端子に接続した第一のスイッチ用薄膜トランジスタ1203と、一端が薄膜トランジスタ1205のドレイン端子に、他端が薄膜トランジスタ1205のゲート端子と電圧保持容量1207と薄膜トランジスタ1206のゲート端子に接続された第二のスイッチ用薄膜トランジスタ1204と、薄膜トランジスタ1205のソース電極および薄膜トランジスタ1206ソース電極に接続された画素電極1208と画素電極1208を陽極または陰極とした発光素子(OLED素子)1209を有している。

【0066】

以下その内容について、具体的に説明をおこなう。画素に信号を書き込む場合は、ソース信号線1201より所定の電流を入力する。画素が選択されている場合第一のスイッチ用薄膜トランジスタ1203および第二のスイッチ用薄膜トランジスタ1204はオンになっているので電流は薄膜トランジスタ1205に流れ、画素電極1208を介してOLED素子1209に流れる。同時にスイッチ用薄膜トランジスタ1204を介して、薄膜トランジスタ1205のゲート電圧が保持容量1207と薄膜トランジスタ1206のゲート端子に入力される。その電圧によって薄膜トランジスタ1206が動作し、電源1210から画素電極1208のほうへ電流が流れる。つぎに書き込みが終了すると、スイッチ用薄膜トランジスタ1203およびスイッチ用薄膜トランジスタ1204はオフになり、信号線1201からの電流の流入はなくなる。薄膜トランジスタ1205はオフ状態になるが、保持容量1207には電圧が保持されているため、薄膜トランジスタ1206はずっとオン状態のままになる。よって、薄膜トランジスタ1206がオンしている間中、電源より電流は画素電極1208を介してOLED素子1209に流れつづけ、点灯がおこなわれる。この動作は次の書き込みがおこなわれるまで継続される。

【0067】

ここで、OLED素子1209に流れる電流はソース信号線によって入力される値によって制御される。薄膜トランジスタ1205と薄膜トランジスタ1206に流れる電流は比例関係に設定することができる。それぞれのゲート幅を任意の比率に設定することで、電流比を設定することが可能になる。2つの素子特性がそろっていれば、異なる画素において、素子特性が異なっても、OLED素子に流れる電流をほぼ一定の値に保つことができる。例えば、大型基板内でゲート絶縁膜がばらつきを持った場合でも画素内の至近距離であれば、ゲート絶縁膜の差は小さいので、1つの画素内部での差は小さいといえる。よって、ソース信号線1201から流れる電流に対して誤差の少ない電流をOLED素子1208に流すことができる。以上によって、従来技術では問題であった、均一性を改良でき良好な画面均一性を得ることができる。

【0068】

ここで、これらの薄膜トランジスタはすべて同一極性のトランジスタを使用することも可能である。ドライバーも一つの極性で動作するようなタイプのもの、たとえば特開2001-216029に記載されているようなものを用いることによって、表示装置を同一極性のみで構成が可能になる。この効果として、製造工程が削減され、コストダウンを図れる。

【0069】

特にN型(Nチャネル型)の薄膜トランジスタを使用した単極性プロセスを用いる場合に本発明は特に有効である。N型(Nチャネル型)は、P型(Pチャネル型)に比べて移動度が大きく回路を形成する上で有利である。一方、OLED素子を形成する上では、薄膜トランジスタにつながる画素電極を陽極とするほうが、陰極とするよりも製造がしやすい。画素電極を陽極とする場合、電流は薄膜トランジスタから流れ出ることが必要である。特開2001-147659に開示される電流入力型方式では、画素電極を駆動する薄膜トランジスタはP型であり、特開2001-147659を用いて、単極性表示装置を構成する場合、駆動回路もP型を使わねばならず、動作が不利となる。また、特開平11-282419によって開示される電流入力方式では、薄膜トランジスタはN型であるが、OLEDをドレインに接続しているため、画素電極は陰極にしなければならず、OLED

10

20

30

40

50

素子を形成するのが困難であった。本発明では、N型を用いて、かつ画素電極を陽極にすることができるため、単極性パネルを構成した場合、ドライバ動作と、OLEDの作りやすさを同時に満足できるという利点がある。

【0070】

[実施例2]

図2(b)は実施例1のスイッチの接続を変えたものである。

【0071】

本実施例では、画素領域にソース信号線1211とゲート信号線1212とゲート信号線によって制御され一端がソース信号線1211に他端が薄膜トランジスタ1215のドレイン端子、ゲート端子に接続した第一のスイッチ用薄膜トランジスタ1213と、一端が薄膜トランジスタ1215のドレイン端子、ゲート端子に、他端が電圧保持容量1217と薄膜トランジスタ1216のゲート端子に接続された第二のスイッチ用薄膜トランジスタ1214と、薄膜トランジスタ1215のソース電極および薄膜トランジスタ1216ソース電極に接続された画素電極1218と画素電極1218を陽極または陰極とした発光素子(OLED素子)1219を有している。

10

【0072】

以下その内容について、具体的に説明をおこなう。画素に信号を書き込む場合は、ソース信号線1211より所定の電流を入力する。画素が選択されている場合スイッチ用薄膜トランジスタ1213およびスイッチ用薄膜トランジスタ1214はオンになっているので電流は薄膜トランジスタ1215に流れ、画素電極1218を介してOLED素子1219に流れる。同時にスイッチ用薄膜トランジスタ1214を介して、薄膜トランジスタ1215のゲート電圧が保持容量1217と薄膜トランジスタ1216のゲート端子に入力される。その電圧によって薄膜トランジスタ1216が動作し、電源1220から画素電極1218のほうへ電流が流れる。つぎに書き込みが終了すると、スイッチ用薄膜トランジスタ1213およびスイッチ用薄膜トランジスタ1214はオフになり、信号線1211からの電流の流入はなくなる。薄膜トランジスタ1215はオフ状態になるが、保持容量1217には電圧が保持されているため、薄膜トランジスタ1216はずっとオン状態のままになる。よって、薄膜トランジスタ1216がオンしている間中、電源より電流は画素電極1218を介してOLED素子1219に流れつづけ、点灯がおこなわれる。この動作は次の書き込みがおこなわれるまで継続される。

20

30

【0073】

ここで、これらの薄膜トランジスタはすべて同一極性のトランジスタを使用することも可能である。ドライバーも一つの極性で動作するようなタイプのもの、たとえば特願2001-216029に記載されているようなものを用いることによって、表示装置を同一極性のみで構成が可能になる。この効果として、製造工程が削減され、コストダウンを図れる。

【0074】

効果としては実施例1と同様の効果が得られる。

【0075】

[実施例3]

図3はスイッチ用薄膜トランジスタ1303とスイッチ用薄膜トランジスタ1304を異なるゲート信号線で制御したものである。このように2つのゲート信号線を使うことによって、スイッチのオンオフのタイミングをずらし、より制御性を向上させることが可能になる。

40

【0076】

動作の原理は実施例1と同様であり、実施例2で示したようなスイッチ接続を取ることも可能である。また、単極性化も可能である。

【0077】

[実施例4]

図4は薄膜トランジスタ1405および薄膜トランジスタ1406のソース電極と画素電

50

極の間に抵抗を入れたものである。このように抵抗をはさむことによって、より薄膜トランジスタ1405および1406の電流相対比を向上させることが可能になる。また、実施例2で示したスイッチ接続法、実施例3で示した2つのゲート信号線でスイッチを制御する方法と組みあわせることも可能である。また、単極性化も可能である。

【0078】

[実施例5]

本実施例では、本発明のOLED表示装置の画素部とその周辺に設けられる駆動回路部(ソース信号線駆動回路、ゲート信号線駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

10

【0079】

まず、図8(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10~200nm(好ましくは50~100nm)形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

20

【0080】

島状半導体層5003~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5006の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0081】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行う。

30

【0082】

次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)、電力密度0.5~0.8W/cm²で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

40

【0083】

50

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100nmの厚さに形成し、第2の導電膜5009をWで100~300nmの厚さに形成する。

【0084】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は $20\mu\text{cm}$ 程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は $180\mu\text{cm}$ 程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50nm程度の厚さでTaの下地に形成しておくことにより、相のTa膜を容易に得ることが出来る。

10

【0085】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~ $20\mu\text{cm}$ を実現することが出来る。

20

【0086】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

30

【0087】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0088】

上記エッチング条件では、レジストによるマスクの形状に適したものとする事により、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は2

40

50

0 ~ 50 nm程度エッチングされ薄くなった領域が形成される。(図8(B))

【0089】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms/cm}^2$ とし、加速電圧を60 ~ 100 keVとして行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011 ~ 5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017 ~ 5025が形成される。第1の不純物領域5017 ~ 5025には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でN型を付与する不純物元素を添加する。(図8(B))

10

【0090】

次に、図8(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026 ~ 5031(第1の導電層5026a ~ 5031aと第2の導電層5026b ~ 5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026 ~ 5031で覆われない領域はさらに20 ~ 50 nm程度エッチングされ薄くなった領域が形成される。

【0091】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

20

30

【0092】

そして、図9(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70 ~ 120 keVとし、 $1 \times 10^{13} \text{atoms/cm}^2$ のドーピング量で行い、図8(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026 ~ 5030を不純物元素に対するマスクとして用い、第1の導電層5026a ~ 5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032 ~ 5036が形成される。この第3の不純物領域5032 ~ 5036に添加されたリン(P)の濃度は、第1の導電層5026a ~ 5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a ~ 5030aのテーパ部と重なる半導体層において、第1の導電層5026a ~ 5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

40

【0093】

図9(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a ~ 5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037 ~ 5042(第1の導電層5037a ~ 5042aと第2の導電層50

50

37b ~ 5042b) を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037 ~ 5042で覆われない領域はさらに20 ~ 50nm程度エッチングされ薄くなった領域が形成される。

【0094】

第3のエッチング処理によって、第3の不純物領域5032 ~ 5036においては、第1の導電層5037a ~ 5041aと重なる第3の不純物領域5032a ~ 5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b ~ 5036bとが形成される。

【0095】

そして、図9(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004に第1の導電型とは逆の導電型の第4の不純物領域5043 ~ 5048を形成する。第3の形状の導電層5038bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005、5006および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043 ~ 5048にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{atoms/cm}^3$ となるようにする。

【0096】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037 ~ 5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0097】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400 ~ 700、代表的には500 ~ 600で行うものであり、本実施例では500で4時間の熱処理を行う。ただし、第3の形状の導電層5037 ~ 5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0098】

さらに、3 ~ 100%の水素を含む雰囲気中で、300 ~ 450で1 ~ 12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0099】

次いで、図10(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100 ~ 200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057 ~ 5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパターンニング形成する。

【0100】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化する膜厚でアクリル膜を形成する。好ましくは1 ~ 5 μm (さらに好ましくは2 ~ 4 μm)とすれば良い。

10

20

30

40

50

【0101】

コンタクトホール形成は、ドライエッチングまたはウエットエッチングを用い、N型の不純物領域5017、5018、5021、5023～5025またはP型の不純物領域5043～5048に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0102】

また、配線(接続配線、信号線を含む)5057～5062、5064として、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、他の導電膜を用いても良い。

10

【0103】

また、本実施例では、画素電極5063としてMgAg膜を110nmの厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。この画素電極5063がOLED素子の陰極となる。(図10(A))

【0104】

次に、図10(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500nmの厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するOLED層の劣化が顕著な問題となってしまうため、注意が必要である。

20

【0105】

次に、OLED層5066および陽極(対向電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、OLED層5066の膜厚は80～200nm(典型的には100～120nm)、陽極5067は、ITO膜にて形成した。

【0106】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、OLED層および陽極を形成する。但し、OLED層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にOLED層および陽極を形成するのが好ましい。

30

【0107】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のOLED層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のOLED層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のOLED層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

40

【0108】

ここではRGBに対応した3種類のOLED素子を形成する方式を用いたが、白色発光のOLED素子とカラーフィルタとを組み合わせた方式、青色または青緑発光のOLED素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(画素電極)に透明電極を利用してRGBに対応したOLED素子を重ねる方式などを用いても良い。

【0109】

なお、OLED層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をOLED層とすれば良い。

【0110】

50

次に、同じゲート信号線にゲート電極が接続されたスイッチ用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陽極5067を形成する。

【0111】

なお本実施例では、陽極5067としてITOを用い、陰極5063としてMgAgを用いたが、本発明はこれに限定されない。陽極5067及び陰極5063として他の公知の材料を用いても良い。

【0112】

最後に、窒化珪素膜でなるパッシベーション膜5068を300nmの厚さに形成する。パッシベーション膜5068を形成しておくことで、OLED層5066を水分等から保護することができ、OLED素子の信頼性をさらに高めることが出来る。なお、パッシベーション膜5068としては、窒化シリコン膜、窒化アルミニウム膜、ダイヤモンドライクカーボン膜、窒素含有炭素膜(CN)その他の水分や酸素に高いブロッキング性を示す絶縁膜を用いることができる。

10

【0113】

こうして図10(B)に示すような構造のOLED表示装置が完成する。なお、本実施例におけるOLED表示装置の作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0114】

なお、上記の行程により作製されるアクティブマトリクス型OLED表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

20

【0115】

また、本実施例においては、ガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0116】

ところで、本実施例のOLED表示装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10MHz以上にすることが可能である。

30

【0117】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャンネル型TFTとして用いる。

【0118】

本実施例の場合、Nチャンネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{OV}領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L_{OFF}領域)およびチャンネル形成領域を含む。

40

【0119】

また、CMOS回路のPチャンネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャンネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0120】

その他、駆動回路において、チャンネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャンネル型TFTは、チャンネル形成領域の両サイドにチャンネル形成領域を挟む形でLDD領域を形成することが好ましい。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路

50

を形成するNチャンネル型TFTは、 L_{OV} 領域を有していることが好ましい。

【0121】

なお、実際には図10(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとOLED素子の信頼性が向上する。

【0122】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

10

【0123】

また、本実施例で示す工程に従えば、OLED表示装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0124】

なお、上述の表示装置の作製工程は、P型のTFTの形成工程を除くことによって、N型のTFTのみで構成される、単極性のTFTを用いた表示装置の作製工程に適用することができる。

【0125】

また、作製工程は、これに限定されない。表示装置を構成するTFTの構造もトップゲート型に限定されず、ボトムゲート型、デュアルゲート型であっても良い。

20

【0126】

[実施例6]

本実施例では、本発明のOLED表示装置を作製した例について、図11を用いて説明する。

【0127】

図11(A)は、OLED表示装置の上面図であり、図11(B)は、図11(A)のA-A'における断面図、図11(C)は図11(A)のB-B'における断面図である。

【0128】

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

30

【0129】

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図11(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではNチャンネル型TFTとPチャンネル型TFTを図示する)4201及び画素部4002に含まれる画素TFT(OLED素子ヘドレイン電流を入力するTFT)4202を図示した。

40

【0130】

本実施例では、駆動TFT4201には公知の方法で作製されたPチャンネル型TFT及びNチャンネル型TFTが用いられ、画素TFT4202には公知の方法で作製されたPチャンネル型TFTが用いられる。

【0131】

駆動TFT4201及び画素TFT4202上には層間絶縁膜(平坦化膜)4301が形

50

成され、その上に画素TFT4202のドレイン領域と電氣的に接続する画素電極（陽極）4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0132】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上にはOLED層4204が形成される。OLED層4204は公知の有機材料または無機材料を用いることができる。また、有機材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

10

【0133】

OLED層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、OLED層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0134】

OLED層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205とOLED層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、OLED層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205には所定の電圧が与えられている。

20

【0135】

以上のようにして、画素電極（陽極）4203、OLED層4204及び陰極4205からなるOLED素子4303が形成される。そしてOLED素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209はOLED素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。なお、保護膜4209としては、窒化シリコン膜、窒化アルミニウム膜、ダイヤモンドライクカーボン膜、窒素含有炭素膜（CN）その他の水分や酸素に高いブロッキング性を示す絶縁膜を用いることができる。

30

【0136】

4005aは電源供給線に接続された引き回し配線であり、TFT4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4333に電氣的に接続される。

【0137】

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

40

【0138】

但し、OLED素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0139】

50

また、充填材 4 2 1 0 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0140】

また充填材 4 2 1 0 を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4 0 0 8 の基板 4 0 0 1 側の面に凹部 4 0 0 7 を設けて吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 が飛び散らないように、凹部カバー材 4 2 0 8 によって吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は凹部 4 0 0 7 に保持されている。なお凹部カバー材 4 2 0 8 は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を設けることで、OLED素子 4 3 0 3 の劣化を抑制できる。

10

【0141】

図 1 1 (C) に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 a 上に接するように導電性膜 4 2 0 3 a が形成される。

【0142】

また、異方導電性フィルム 4 3 0 0 は導電性フィラー 4 3 0 0 a を有している。基板 4 0 0 1 とFPC 4 0 0 6 とを熱圧着することで、基板 4 0 0 1 上の導電性膜 4 2 0 3 a とFPC 4 0 0 6 上のFPC用配線 4 3 3 3 とが、導電性フィラー 4 3 0 0 a によって電氣的に接続される。

20

【0143】

[実施例 7]

実施例 6 において示したOLED表示装置には、発光素子が封止された状態にあるパネルに、コントローラ、電源回路等を含むICが実装されたモジュールとして形成されている。本実施例では、モジュールの具体的な構成について説明する。

【0144】

図 1 2 (A) に、コントローラ 8 0 1 及び電源回路 8 0 2 がパネル 8 0 0 に実装されたモジュールの外観図を示す。パネル 8 0 0 には、発光素子が各画素に設けられた画素部 8 0 3 と、前記画素部 8 0 3 が有する画素を選択する走査線駆動回路 8 0 4 と、選択された画素にビデオ信号を供給する信号線駆動回路 8 0 5 とが設けられている。

30

【0145】

またプリント基板 8 0 6 にはコントローラ 8 0 1、電源回路 8 0 2 が設けられており、コントローラ 8 0 1 または電源回路 8 0 2 から出力された各種信号及び電源電圧は、FPC 8 0 7 を介してパネル 8 0 0 の画素部 8 0 3、走査線駆動回路 8 0 4、信号線駆動回路 8 0 5 に供給される。

【0146】

プリント基板 8 0 6 への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース(I/F)部 8 0 8 を介して供給される。

40

【0147】

なお、本実施例ではパネル 8 0 0 にプリント基板 8 0 6 がFPCを用いて実装されているが、必ずしもこの構成に限定されない。COG(Chip on Glass)方式を用い、コントローラ 8 0 1、電源回路 8 0 2 をパネル 8 0 0 に直接実装させるようにしても良い。

【0148】

また、プリント基板 8 0 6 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板 8 0 6 にコンデンサ、パッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐ

50

ようにしても良い。

【0149】

図12(B)に、プリント基板806の構成をブロック図で示す。インターフェース808に供給された各種信号と電源電圧は、コントローラ801と、電源電圧802に供給される。

【0150】

コントローラ801は、A/Dコンバータ809と、位相ロックドロープ(PLL: Phase Locked Loop)810と、制御信号生成部811と、SRAM(Static Random Access Memory)812、813とを有している。なお本実施例ではSRAMを用いているが、SRAMの代わりに、SDRAMや、高速でデータの書き込みや読み出しが可能であるならばDRAM(Dynamic Random Access Memory)も用いることが可能である。なお、アナログ駆動の場合はSRAMは必ずしも必要ではない。

10

【0151】

インターフェース808を介して供給されたビデオ信号は、A/Dコンバータ809においてパラレル-シリアル変換され、R、G、Bの各色に対応するビデオ信号として制御信号生成部811に入力される。また、インターフェース808を介して供給された各種信号をもとに、A/Dコンバータ809においてHsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)が生成され、制御信号生成部811に入力される

【0152】

位相ロックドロープ810では、インターフェース808を介して供給される各種信号の周波数と、制御信号生成部811の動作周波数の位相とを合わせる機能を有している。制御信号生成部811の動作周波数は、インターフェース808を介して供給された各種信号の周波数と必ずしも同じではないが、互いに同期するように制御信号生成部811の動作周波数を位相ロックドロープ810において調整する。

20

【0153】

制御信号生成部811に入力されたビデオ信号は、一旦SRAM812、813に書き込まれ、保持される。制御信号生成部811では、SRAM812に保持されている全ビットのビデオ信号のうち、全画素に対応するビデオ信号を1ビット分ずつ読み出し、パネル800の信号線駆動回路805に供給する。

【0154】

また制御信号生成部811では、各ビット毎の、発光素子が発光する期間に関する情報を、パネル800の走査線駆動回路804に供給する。

30

【0155】

また電源回路802は所定の電源電圧を、パネル800の信号線駆動回路805、走査線駆動回路804及び画素部803に供給する。

【0156】

次に電源回路802の詳しい構成について、図13を用いて説明する。本実施例の電源回路802は、4つのスイッチングレギュレータコントロール860を用いたスイッチングレギュレータ854と、シリーズレギュレータ855とからなる。

【0157】

一般的にスイッチングレギュレータは、シリーズレギュレータに比べて小型、軽量であり、降圧だけでなく昇圧や正負反転することも可能である。一方シリーズレギュレータは、降圧のみに用いられるが、スイッチングレギュレータに比べて出力電圧の精度は良く、リップルやノイズはほとんど発生しない。本実施例の電源回路802では、両者を組み合わせて用いる。

40

【0158】

図13に示すスイッチングレギュレータ854は、スイッチングレギュレータコントロール(SWR)860と、アテニュエイター(減衰器:ATT)861と、トランス(T)862と、インダクター(L)863と、基準電源(Vref)864と、発振回路(OSC)865、ダイオード866と、バイポーラトランジスタ867と、可変抵抗868

50

と、容量 869 とを有している。

【0159】

スイッチングレギュレータ 854 において外部の Liイオン電池 (3.6V) 等の電圧が変換されることで、陰極に与えられる電源電圧と、スイッチングレギュレータ 854 に供給される電源電圧が生成される。

【0160】

またシリースレギュレータ 855 は、バンドギャップ回路 (BG) 870 と、アンプ 871 と、オペアンプ 872 と、電流源 873 と、可変抵抗 874 と、バイポーラトランジスタ 875 とを有し、スイッチングレギュレータ 854 において生成された電源電圧が供給されている。

10

【0161】

シリースレギュレータ 855 では、スイッチングレギュレータ 854 において生成された電源電圧を用い、バンドギャップ回路 870 において生成された一定の電圧に基づいて、各色の発光素子の陽極に電流を供給するための配線 (電流供給線) に与える直流の電源電圧を、生成する。

【0162】

なお電流源 873 は、ビデオ信号の電流が画素に書き込まれる駆動方式の場合に用いる。この場合、電流源 873 において生成された電流は、パネル 800 の信号線駆動回路 805 に供給される。なお、ビデオ信号の電圧が画素に書き込まれる駆動方式の場合には、電流源 873 は必ずしも設ける必要はない。

20

【0163】

なお、スイッチングレギュレータ、OSC、アンプ、オペアンプは、本発明の作製方法を用いて形成することが可能である。

【0164】

[実施例 8]

図 14 に本発明の OLED 表示装置の画素の構成を示す断面図を示す。なお、本実施例では、OLED 表示装置の画素を構成する素子として、OLED 素子にドレイン電流を流す TFT のみを示す。

【0165】

図 14 (A) において、画素基板 1600 上に、TFT 1601 が形成されている。TFT 1601 は、第 1 のゲート電極 1603a と、第 2 のゲート電極 1603b と、第 1 電極と第 2 のゲート電極に間に、絶縁膜 1602 及び絶縁膜 1605 を介して挟まれた、チャンネル形成領域 1604b とを有する、デュアルゲート型 TFT である。TFT 1601 のソース領域とドレイン領域は、一方は 1604a、もう一方は 1604c である。TFT 1601 が形成された後、層間膜 1606 が形成される。

30

【0166】

なお、TFT 1601 としては、図に示した構成に限定されず、公知の構成の TFT を自由に用いることができる。

【0167】

次に、ITO 等を代表とする透明導電膜を成膜し、所望の形状にパターンニングして、画素電極 1608 を形成する。ここで、画素電極 1608 は、陽極である。層間膜 1606 に、TFT 1601 のソース領域及びドレイン領域、1604a、1604c に達するコンタクトホールを形成し、Ti、Ti を含む Al および Ti となる積層膜を成膜し、所望の形状にパターンニングして、配線 1607 及び配線 1609 を形成する。配線 1609 を、画素電極 1608 と接触させることによって、導通をとっている。

40

【0168】

続いて、アクリル等の有機樹脂材料等でなる絶縁膜を形成し、OLED 素子 1614 の画素電極 1608 に対応する位置に開口部を形成して絶縁膜 1610 を形成する。ここで、開口部の側壁の段差に起因する OLED 層の劣化、段切れ等の問題を回避するため、開口部は、十分になだらかなテーパー形状の側壁を有するように形成する。

50

【0169】

次に、OLED層1611を形成した後、OLED素子1614の対向電極（陰極）1612を、2nm以下の厚さのセシウム(Cs)膜及び10nm以下の厚さの銀(Ag)膜を順に成膜した積層膜によって形成する。OLED素子1614の対向電極1612の膜厚を極めて薄くすることにより、OLED層1611で発生した光は対向電極1612を透過して、画素基板1600とは逆の方向に出射される。次いでOLED素子1614の保護を目的として、保護膜1613を成膜する。なお、保護膜1613としては、窒化シリコン膜、窒化アルミニウム膜、ダイヤモンドライクカーボン膜、窒素含有炭素膜(CN)その他の水分や酸素に高いプロッキング性を示す絶縁膜を用いることができる。

【0170】

このように、画素基板1600とは逆の方向に光を放射する表示装置の場合、OLED素子1614に対して、画素基板1600側に形成された、TFT1601をはじめとする素子を介して、OLED素子1614の発光を視認する必要が無いいため、開口率を大きくすることが可能である。

【0171】

なお、画素電極1608の材料として、TiN等を用い、画素電極を陰極とし、対向電極1612をITO等を代表とする透明導電膜を用いて形成し、陽極とする。こうして、陽極側から画素基板1600とは逆の方向に、OLED層1611が発光した光を放射する構成としてもよい。

【0172】

図14(B)は、図14(A)と異なる構成のOLED素子を有する画素の構成を示す断面図である。

【0173】

図14(B)において、図14(A)と同じ部分は同じ符号を用いて説明する。

【0174】

図14(B)において、TFT1601を形成し、層間膜1606を形成するまでは、図14(A)で示した構成と同様に作成することができる。

【0175】

次に、層間膜1606に、TFT1601のソース領域及びドレイン領域、1604a、1604cに達するコンタクトホールを形成する。その後、Ti、Tiを含むAlおよびTiでなる積層膜を成膜し、続いて、ITO等を代表とする透明導電膜を成膜する。Ti、Tiを含むAlおよびTiでなる積層膜と、ITO等を代表とする透明導電膜とを、所望の形状にパターンニングして、1617及び1618によって構成される配線1621と、配線1619と、画素電極1620を形成する。画素電極1620がOLED素子1624の陽極に相当する。

【0176】

続いて、アクリル等の有機樹脂材料等でなる絶縁膜を形成し、OLED素子1624の画素電極1620に対応する位置に開口部を形成して絶縁膜1610を形成する。ここで、開口部の側壁の段差に起因するOLED層の劣化、段切れ等の問題を回避するため、開口部は、十分になだらかなテーパー形状の側壁を有するように形成する。

【0177】

次に、OLED層1611を形成した後、OLED素子1624の対向電極（陰極）1612を、2nm以下の厚さのセシウム(Cs)膜及び10nm以下の厚さの銀(Ag)膜を順に成膜した積層膜によって形成する。OLED素子1624の対向電極1612の膜厚を極めて薄くすることにより、OLED層1611で発生した光は対向電極1612を透過して、画素基板1600とは逆の方向に出射される。次いで、OLED素子1624の保護を目的として、保護膜1613を成膜する。

【0178】

このように、画素基板1600とは逆の方向に光を放射する表示装置の場合、OLED素子1624に対して、画素基板1600側に形成された、TFT1601をはじめとする

10

20

30

40

50

素子を介して、O L E D素子 1 6 2 4 の発光を視認する必要が無い場合、開口率を大きくすることが可能である。

【 0 1 7 9 】

なお、画素電極 1 6 2 0 及び配線 1 6 2 1 の材料として、T i N等を用い、画素電極を陰極とし、対向電極 1 6 1 2 をI T O等を代表とする透明導電膜を用いて形成し、陽極とする。こうして、陽極側から、画素基板 1 6 0 0 とは逆の方向に、O L E D層 1 6 1 1 が発光した光を放射する構成としてもよい。

【 0 1 8 0 】

この場合、本発明の表示装置の画素が有する、O L E D素子に電流を流すT F Tは、P型で構成することが必要である。

10

【 0 1 8 1 】

図 1 4 (B) で示した構成の画素は、図 1 4 (A) で示した構成の画素と比較して、T F Tのソース領域またはドレイン領域と接続される配線 1 6 1 9 と、画素電極 1 6 2 0 を、共通のフォトリソを用いてパターン形成することができるため、作成工程において必要となるフォトリソの削減及び工程の簡略化が可能となる。

【 0 1 8 2 】

【発明の効果】

前述したように本発明では電流電圧変換回路と電圧電流変換回路と保持手段を用いることによって、ムラの少ない良好な表示を得ることが可能になる。また、単極性、特にN型薄膜トランジスタを使用することによって、製造工程数の少ない表示装置を提供できる。

20

【図面の簡単な説明】

【図 1】 本発明の表示装置の画素の構成を示すブロック図。

【図 2】 本発明の表示装置の画素の回路構成を示す図。

【図 3】 本発明の表示装置の画素の回路構成を示す図。

【図 4】 本発明の表示装置の画素の回路構成を示す図。

【図 5】 従来の表示装置の画素の回路構成を示す図。

【図 6】 従来の表示装置の画素の駆動方法を示すタイミングチャートを示す図。

【図 7】 従来の表示装置の画素の駆動方法を示すタイミングチャートを示す図。

【図 8】 本発明の表示装置の作製工程を示す図。

【図 9】 本発明の表示装置の作製工程を示す図。

30

【図 1 0】 本発明の表示装置の作製工程を示す図。

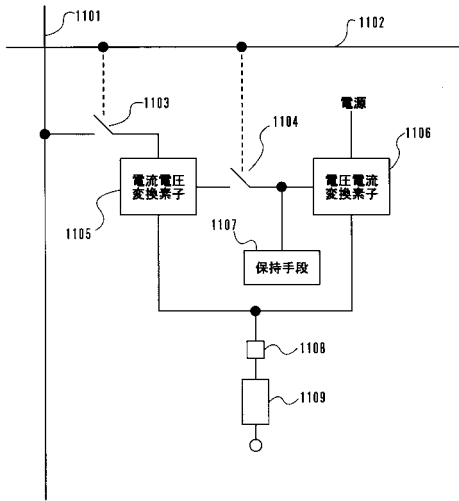
【図 1 1】 本発明の表示装置の外観を示す上面図及び断面図。

【図 1 2】 本発明の表示装置の構成を示す図。

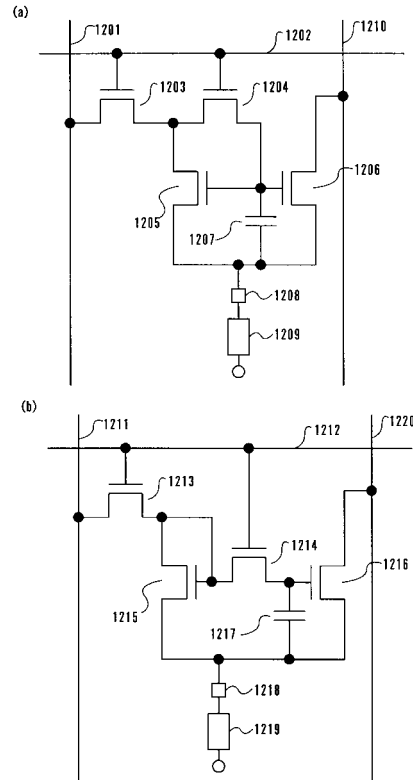
【図 1 3】 本発明の表示装置の電源回路を示す図。

【図 1 4】 本発明の表示装置の画素の構成を示す断面図。

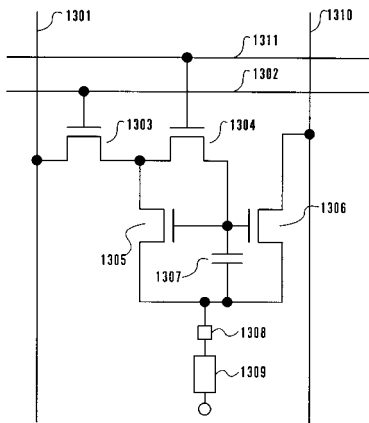
【図1】



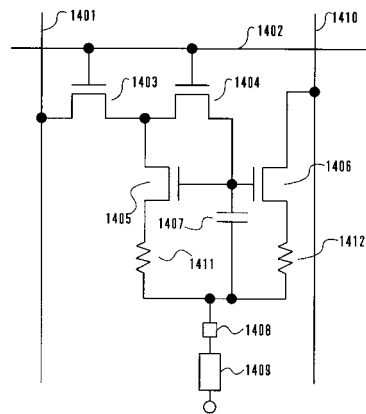
【図2】



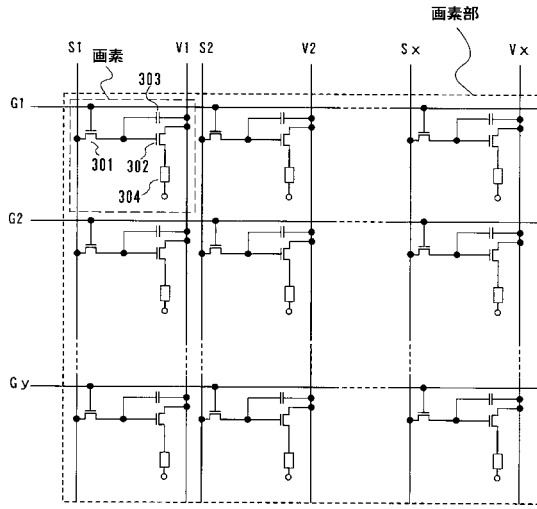
【図3】



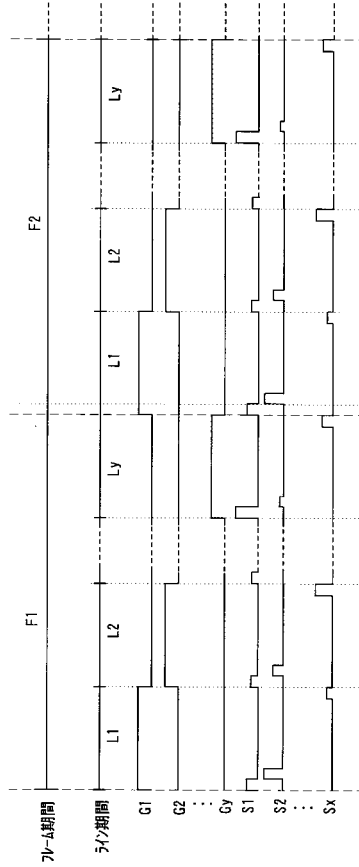
【図4】



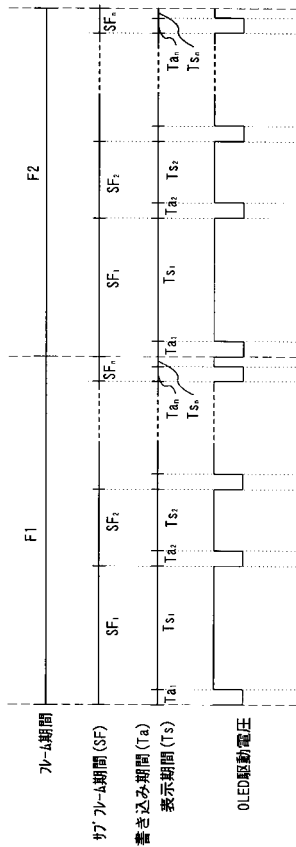
【図5】



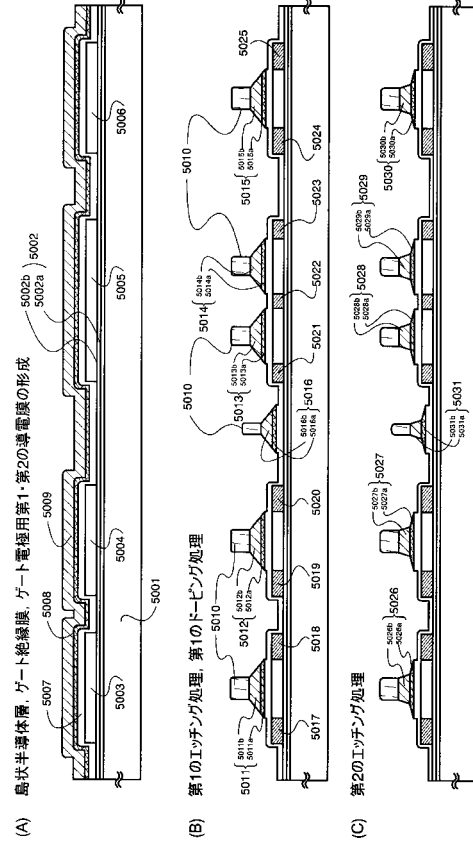
【図6】



【図7】

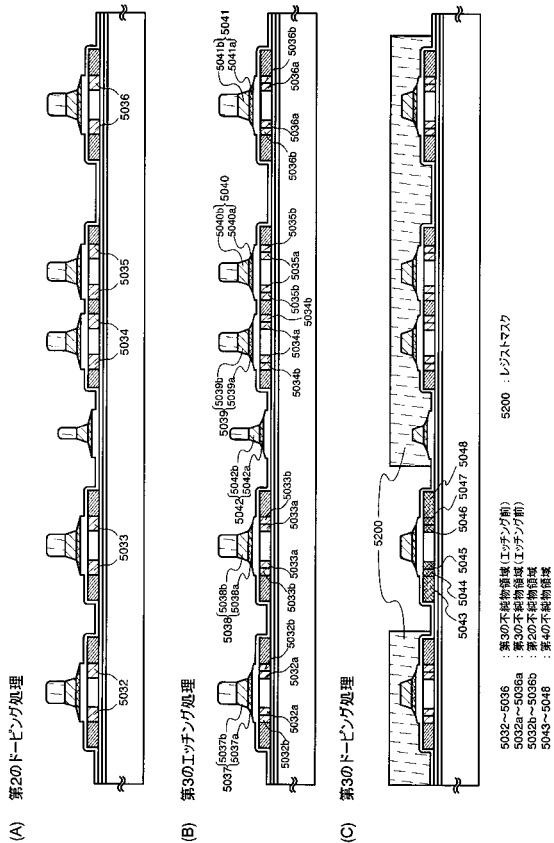


【図8】

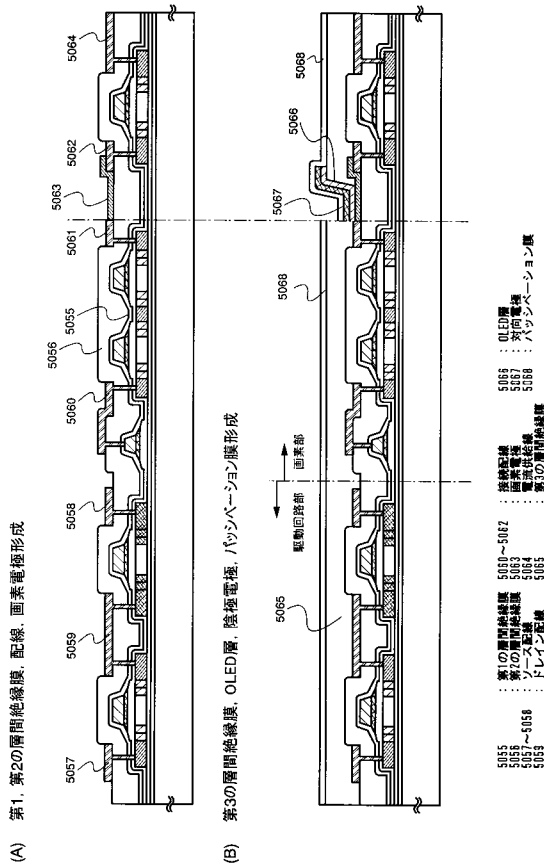


- 5001 : 基板
- 5002 : 引出線
- 5003~5006 : 半導体層
- 5007 : ゲート絶縁膜
- 5008 : 第1の導電膜
- 5009 : 第2の導電膜
- 5010 : シフトレジスタ
- 5011~5016 : 第1の形状の導電層
- 5017~5025 : 第20の導電層
- 5026~5031 : 第20形状の導電層
- 5028a~5028b : 第1の導電層
- 5029a~5029b : 第20の導電層
- 5030a~5030b : 第10の形状の導電層
- 5031a~5031b : 第20の導電層

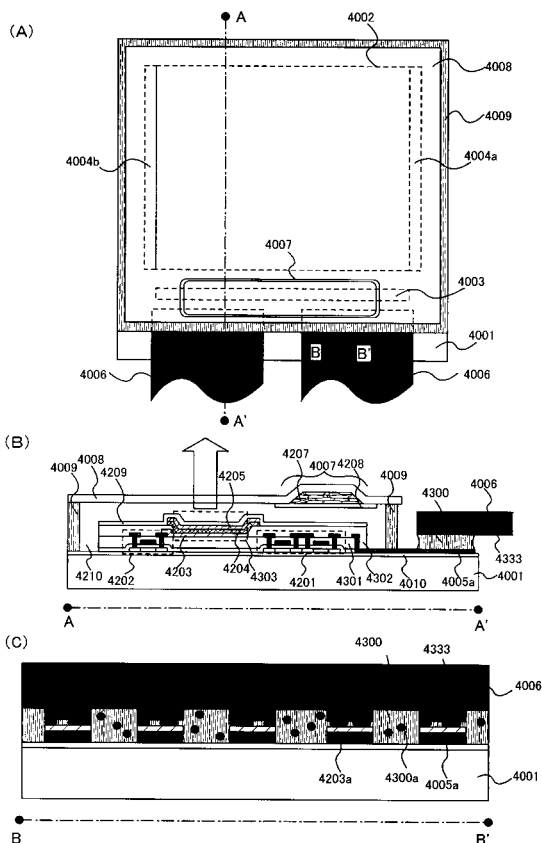
【図9】



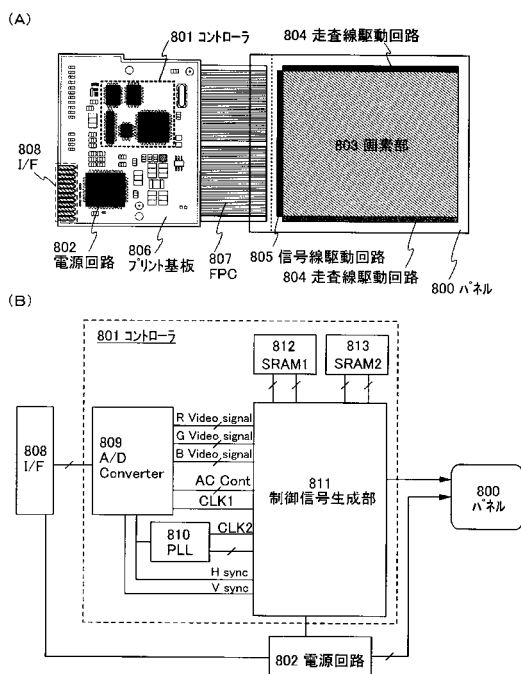
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.

H 0 1 L 51/50 (2006.01)

F I

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 A

H 0 1 L 29/78 6 1 4

H 0 5 B 33/14 A

(58)調査した分野(Int.Cl. , D B名)

G09G 3/30,3/20

专利名称(译)	半导体器件和显示器件		
公开(公告)号	JP4202069B2	公开(公告)日	2008-12-24
申请号	JP2002231962	申请日	2002-08-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山潤		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L29/786 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H01L29/78.614 H05B33/14.A G09F9/30.365 G09G3/3241 G09G3/3266 G09G3/3283 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DA15 5C094/DB04 5C094/FB14 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB34 5C380/AC04 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA08 5C380/BA20 5C380/BA28 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/CA12 5C380/CA13 5C380/CB26 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC68 5C380/CD014 5C380/CE02 5C380/CE03 5C380/CE04 5C380/CF02 5C380/CF22 5C380/CF25 5C380/CF27 5C380/CF36 5C380/CF41 5C380/CF42 5C380/CF43 5C380/CF45 5C380/CF46 5C380/CF49 5C380/CF58 5C380/CF60 5C380/DA02 5F110/AA06 5F110/AA16 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD01 5F110/DD02 5F110/DD05 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE09 5F110/EE14 5F110/EE23 5F110/EE44 5F110/FF02 5F110/FF04 5F110/FF28 5F110/FF29 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG25 5F110/HJ01 5F110/HJ04 5F110/HJ07 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM15 5F110/HM18 5F110/NN01 5F110/NN03 5F110/NN22 5F110/NN24 5F110/NN27 5F110/NN72 5F110/PP03 5F110/PP05 5F110/PP06 5F110/PP34 5F110/QQ11 5F110/QQ19 5F110/QQ24 5F110/QQ25		
优先权	2001244651 2001-08-10 JP		
其他公开文献	JP2003162254A5 JP2003162254A		
外部链接	Espacenet		

摘要(译)

适合于恒流驱动的像素配置在有源矩阵EL显示装置中。 解决方案：本发明涉及一种半导体器件，包括第一开关，其一端连接到源信号线，另一端连接到电流 - 电压转换元件，一端连接到电流 - 电压转换元件，第二开关连接到电压 - 电流转换元件，并且像素电极连接到电流 - 电压转换元件和电压 - 电流转换元件。通过使用电流 - 电压转换电路，电压 - 电流转换电路和保持装置，可以获得具有较小不均匀性的优异显示。此外，通过使用单极，尤其是N型薄膜晶体管，可以提供具有少量制造步骤的显示装置。

