

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4008834号
(P4008834)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年9月7日(2007.9.7)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611A
H01L 51/50 (2006.01)	G09G 3/20 622A
	G09G 3/20 622G
	G09G 3/20 622K
請求項の数 17 (全 15 頁) 最終頁に続く	

(21) 出願番号	特願2003-59337(P2003-59337)	(73) 特許権者	590002817
(22) 出願日	平成15年3月6日(2003.3.6)		三星エスディアイ株式会社
(65) 公開番号	特開2003-288050(P2003-288050A)		大韓民国京畿道水原市靈通区▲しん▼洞5
(43) 公開日	平成15年10月10日(2003.10.10)		75番地
審査請求日	平成16年4月12日(2004.4.12)	(74) 代理人	100072349
(31) 優先権主張番号	2002-015438		弁理士 八田 幹雄
(32) 優先日	平成14年3月21日(2002.3.21)	(74) 代理人	100102912
(33) 優先権主張国	韓国(KR)		弁理士 野上 敦
		(74) 代理人	100110995
			弁理士 奈良 泰男
		(74) 代理人	100111464
			弁理士 齋藤 悦子
		(74) 代理人	100114649
			弁理士 宇谷 勝幸
		最終頁に続く	

(54) 【発明の名称】 平面表示装置とその駆動方法及び駆動装置

(57) 【特許請求の範囲】

【請求項1】

選択信号を伝達する複数の走査線、画像信号を表示するデータ電圧またはデータ電流を伝達する複数のデータ線、及び前記複数の走査線と前記複数のデータ線に連結される複数の画素回路からなる平面表示装置パネルと、前記データ線に前記データ電圧またはデータ電流を印加するデータ駆動部と、前記走査線に前記選択信号を選択的に出力する走査駆動部と、を含み、

前記走査駆動部は、

NORゲートまたはNANDゲートのいずれか一方からなる複数の論理ゲート及び複数のスイッチング素子からなり、互いに直列に連結される複数のフリップフロップ及び前記複数のフリップフロップの出力を受けて前記走査線を各々駆動する複数のバッファ部を含む2つ以上の分割走査部と、

前記分割走査部のうち前記選択信号を出力していない分割走査部の前記論理ゲートを一定値に維持するクリア信号を出力する選択制御部と、を含み、

前記フリップフロップは、前記クリア信号及び第1スイッチング素子を経て入力される直前フリップフロップの出力を入力として含む第1論理ゲートと、

前記第1論理ゲートの出力及び前記クリア信号を入力として含み、その出力が前記第1スイッチング素子を経て入力される直前フリップフロップの出力に第2スイッチング素子を経て連結されている第2論理ゲートと、

前記クリア信号及び第3スイッチング素子を経て入力される前記第1論理ゲートの出力

10

20

を入力として含み、出力が前記フリップフロップの出力となる第 3 論理ゲートと、

前記第 3 論理ゲートの出力及び前記クリア信号を入力として含み、その出力が前記第 3 スイッチング素子を経て入力される前記第 1 論理ゲートの出力に第 4 スイッチング素子を経て連結されている第 4 論理ゲートと、を含む平面表示装置。

【請求項 2】

前記選択制御部は、前記分割走査部の初期値を設定するリセット信号をさらに出力する、請求項 1 に記載の平面表示装置。

【請求項 3】

前記選択制御部は、前記分割走査部の初期値を設定するリセット信号をさらに出力し、前記第 1 論理ゲート及び前記第 4 論理ゲートは、前記リセット信号を入力としてさらに含む、請求項 1 に記載の平面表示装置。

【請求項 4】

前記バッファ部は、前記フリップフロップの出力、前記クリア信号及び前記リセット信号を入力として含む第 5 論理ゲートを含む、請求項 1 に記載の平面表示装置。

【請求項 5】

前記バッファ部は、前記第 5 論理ゲートの出力に連結されたインバータと、前記インバータの出力に連結されたバッファと、をさらに含む、請求項 1 に記載の平面表示装置。

【請求項 6】

前記第 1 乃至第 5 論理ゲートを構成する薄膜トランジスタは単一導電タイプのみである、請求項 4 に記載の平面表示装置。

【請求項 7】

前記第 1 乃至第 5 論理ゲートは NOR ゲートであり、前記 NOR ゲートを構成する薄膜トランジスタは PMOS トランジスタである、請求項 4 に記載の平面表示装置。

【請求項 8】

前記第 1 乃至第 5 論理ゲートは NAND ゲートであり、前記 NAND ゲートを構成する薄膜トランジスタは NMOS トランジスタである、請求項 6 に記載の平面表示装置。

【請求項 9】

複数の走査線、複数のデータ線及び行列形態の複数の画素からなる平面表示装置パネルの前記走査線に前記画素の行を選択するための選択信号を印加し、出力が隣接するフリップフロップの入力となり、NOR ゲート及び NAND ゲートのうちのいずれかからなる論理ゲートを複数含む複数のフリップフロップと、前記フリップフロップの出力を受けて前記走査線を各々駆動し、前記論理ゲートを含む複数のバッファ部からなる走査駆動部を含む平面表示装置を駆動する方法において、

前記走査駆動部を複数の分割走査部に分割し、n 番目分割走査部で前記選択信号が出力される間に前記論理ゲートの出力を他の入力に関係なく一定にするレベルを有する第 1 クリア信号を残りの分割走査部に印加し、前記 n 番目分割走査部には前記第 1 クリア信号と反対のレベルを有する第 2 クリア信号を印加する第 1 段階と、

前記 n 番目分割走査部に隣接する (n + 1) 番目分割走査部で前記 n 番目分割走査部の最後のフリップフロップから出力される前記選択信号を受ける前に前記 (n + 1) 番目分割走査部に前記第 2 クリア信号を印加する第 2 段階と、

前記 (n + 1) 番目分割走査部で前記選択信号が出力され始めると前記 n 番目分割走査部に前記第 1 クリア信号を印加する第 3 段階と、を含み、

前記フリップフロップは、

前記クリア信号及び第 1 スイッチング素子を経て入力される直前フリップフロップの出力を入力として含む第 1 論理ゲートと、

前記第 1 論理ゲートの出力及び前記クリア信号を入力として含み、その出力が前記第 1 スイッチング素子を経て入力される直前フリップフロップの出力に第 2 スイッチング素子

10

20

30

40

50

を経て連結されている第2論理ゲートと、

前記クリア信号及び第3スイッチング素子を経て入力される前記第1論理ゲートの出力を入力として含み、出力が前記フリップフロップの出力となる第3論理ゲートと、

前記第3論理ゲートの出力及び前記クリア信号を入力として含み、その出力が前記第3スイッチング素子を経て入力される前記第1論理ゲートの出力に第4スイッチング素子を経て連結されている第4論理ゲートと、を含む平面表示装置の駆動方法。

【請求項10】

前記第2段階は、前記(n+1)番目分割走査部に前記第2クリア信号を印加する前に前記(n+1)番目分割走査部の初期値を設定するリセット信号を印加する段階をさらに含む、請求項9に記載の平面表示装置の駆動方法。

10

【請求項11】

前記論理ゲートは、PMOSトランジスタからなるNORゲートである、請求項9に記載の平面表示装置の駆動方法。

【請求項12】

前記論理ゲートは、NMOSトランジスタからなるNANDゲートである、請求項9に記載の平面表示装置の駆動方法。

【請求項13】

複数の走査線、複数のデータ線及び複数の画素回路からなる平面表示装置パネルの前記走査線に選択信号を印加して平面表示装置を駆動するための駆動装置において、

NORゲート及びNANDゲートのうちのいずれかからなる複数の論理ゲート及び複数のスイッチング素子からなり、互いに直列に連結される複数のフリップフロップ及び前記複数のフリップフロップの出力を受けて前記走査線を各々駆動する複数のバッファ部を含む2つ以上の分割走査部と、

20

前記分割走査部のうち前記選択信号を出力していない分割走査部の前記論理ゲートを他の入力に関係なく常に一定の値に維持するクリア信号を出力する選択制御部と、を含み、

前記フリップフロップは、

前記クリア信号及び第1スイッチング素子を経て入力される直前フリップフロップの出力を入力として有する第1NORゲートと、

前記第1NORゲートの出力及び前記クリア信号を入力として有し、その出力が前記第1スイッチング素子を経て入力される直前フリップフロップの出力に第2スイッチング素子を経て連結されている第2NORゲートと、

30

前記クリア信号及び第3スイッチング素子を経て入力される前記第1NORゲートの出力を入力として有し、出力が前記フリップフロップの出力になる第3NORゲートと、

前記第3NORゲートの出力及び前記クリア信号を入力として有し、その出力が前記第3スイッチング素子を経て入力される前記第1NORゲートの出力に第4スイッチング素子を経て連結されている第4NORゲートと、を含み、

前記バッファ部は、前記フリップフロップの出力及び前記クリア信号を入力として含む第5NORゲートを含み、

前記第1乃至第5NORゲートは、PMOSトランジスタからなる平面表示装置の駆動装置。

40

【請求項14】

前記選択制御部は、前記分割走査部の初期値を設定するリセット信号をさらに出力する、請求項13に記載の平面表示装置の駆動装置。

【請求項15】

前記選択制御部は、前記分割走査部の初期値を設定するリセット信号をさらに出力し、前記第1、第4及び第5NORゲートは、前記リセット信号を入力としてさらに含む、請求項13に記載の平面表示装置の駆動装置。

【請求項16】

複数の走査線、複数のデータ線及び複数の画素回路からなる平面表示装置パネルの前記走査線に選択信号を印加して平面表示装置を駆動するための駆動装置において、

50

NORゲート及びNANDゲートのうちのいずれかからなる複数の論理ゲート及び複数のスイッチング素子からなり、互いに直列に連結される複数のフリップフロップ及び前記複数のフリップフロップの出力を受けて前記走査線を各々駆動する複数のバッファ部を含む2つ以上の分割走査部と、

前記分割走査部のうち前記選択信号を出力していない分割走査部の前記論理ゲートを他の入力に関係なく常に一定の値に維持するクリア信号を出力する選択制御部と、を含み、

前記フリップフロップは、

前記クリア信号及び第1スイッチング素子を経て入力される直前フリップフロップの出力を入力として有する第1NANDゲートと、

前記第1NANDゲートの出力及び前記クリア信号を入力として有し、その出力が前記第1スイッチング素子を経て入力される直前フリップフロップの出力に第2スイッチング素子を経て連結されている第2NANDゲートと、

前記クリア信号及び第3スイッチング素子を経て入力される前記第1NANDゲートの出力を入力として有し、出力が前記フリップフロップの出力となる第3NANDゲートと

、
前記第3NANDゲートの出力及び前記クリア信号を入力として有し、その出力が前記第3スイッチング素子を経て入力される前記第1NANDゲートの出力に第4スイッチング素子を経て連結されている第4NANDゲートと、を含み、

前記バッファ部は、前記フリップフロップの出力及び前記クリアリセット信号を入力として含む第5NANDゲートを含み、前記第1乃至第5NANDゲートは、NMOSトランジスタからなる平面表示装置の駆動装置。

【請求項17】

前記選択制御部は、前記分割走査部の初期値を設定するリセット信号をさらに出力し、前記第1、第4及び第5NANDゲートは、前記リセット信号を入力としてさらに含む、請求項16に記載の平面表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、平面表示装置及びその走査駆動部に關し、特に消費電力が少ない有機電界発光（以下、有機ELとする）表示装置及びその走査駆動部に關する。

【0002】

【従来の技術】

一般に、有機EL表示装置は、蛍光性有機化合物を電氣的に励起させ発光させる表示装置であって、N×M個の行列形態に配列された有機発光セルを電圧駆動あるいは電流駆動して映像を表現することができる。このような有機発光セルは、正極（ITO）、有機EL薄膜、負極の構造を有している。有機薄膜は、電子と正孔の均衡を良くして発光効率を向上させるために発光層、電子輸送層及び正孔輸送層を含む多層構造からなり、また、別途の電子注入層と正孔注入層を含む。

【0003】

このように構成される有機発光セルを駆動する方式には、単純マトリックス（passive matrix）方式と薄膜トランジスタ（TFT）を利用した能動マトリックス（active matrix）方式がある。単純マトリックス方式は、複数の正極駆動線と複数の負極駆動線を交差させて形成し、駆動線を選択して駆動する。一方、能動マトリックス方式は、画素電極となる各ITO正極にTFTを接続し、TFTのゲートに接続されたキャパシタ容量によって維持される画素電圧によって駆動する方式で、駆動線は、ゲート用トランジスタとして用いられるTFTのゲートとソース/ドレインに接続される。

【0004】

このような有機EL表示装置は、一般的に有機EL表示装置パネル、走査駆動部（走査ドライバ）及びデータ駆動部（データドライバ）を含む。有機EL表示装置パネルは、

10

20

30

40

50

各画素の状態を表現するデータ電圧を伝達する複数のデータ線、選択信号を伝達する複数の走査線、隣接した二つのデータ線と隣接した二つの走査線によって定義される画素領域に形成されている画素回路を含む。このような有機EL表示装置において、走査駆動部が走査線に選択信号を印加すれば、画素回路内のゲート用トランジスタが選択信号により導通し、データ電圧がデータ駆動部からデータ線を通じて駆動用トランジスタのゲートに印加され、このデータ電圧に対応する電流がトランジスタを通じて有機EL素子に流れ、それを発光させる。

【0005】

ところで、駆動線を順次選択するように選択信号を生成する走査駆動部は、各信号の継続時間に比例する静的電流消費が多い。勿論、信号の生成個数に比例する過渡的電流消費も重要であるが、ここでは静的電流消費に重点をおいて検討する。

10

【0006】

図1Aは、一般的な走査駆動部の構造を示しており、マスター-スレーブ型のフリップフロップとNANDゲートからなり、一つのフリップフロップは、図1Bに示したように4つのインバータからなる。この時、CMOSトランジスタに比べて工程が簡単なPMOSトランジスタやNMOSトランジスタでインバータとNANDゲートを形成し、しかも基本回路となるインバータの内部負荷としてダイオードを使用する場合には、外部負荷とは無関係に内部で静的な貫通電流が流れる。

【0007】

図2A及び2Bは、PMOSトランジスタのみ、または、NMOSトランジスタのみを使用したインバータまたはNANDゲートにおいて、静的電流が発生する出力部分を示す回路図である。

20

【0008】

図2AのようにPMOSトランジスタのみを使用してダイオード負荷型の論理回路を構成した場合、出力(V output)がハイレベルであれば静的電流が流れ、図2Bに示したようにNMOSトランジスタのみを使用してダイオード負荷型の論理回路を構成した場合、出力がローレベルであれば静的電流が流れる。したがって、PMOSトランジスタを使用したインバータは入力がローレベルである場合に、PMOSを使用したNANDゲートの場合には入力のうちの少なくとも一つがローレベルである場合に、出力がハイレベルになって静的電流が流れる。しかし、4つのインバータで形成されたフリップフロップの場合、必ず2つのインバータにはローレベルの入力が、他の2つのインバータにはハイレベルの入力が入っていく。したがって、フリップフロップ内部のインバータのうちの半分には静的電流が常に流れる。このことは、選択信号を送出する時は静的電流が流れないが、残りの大部分を占める待機状態では静的電流が流れ、しかも、通常は数百本の走査線のうち、1本だけが流れずに、他の数百本すべてで同時に流れるから、静的電流の合計値は莫大であることを意味する。

30

【0009】

そして、有機EL表示装置パネルで走査線に連結されているPMOSトランジスタをノーマリーオフスイッチとして用いるためには、PMOSトランジスタに印加される入力、つまり、走査駆動部でNANDゲート(PMOSトランジスタで形成した場合)の出力がハイレベルにならなければならない。したがって、NANDゲートでも大部分の時間継続して静的電流が流れるようになり、多くの電力を消費する。

40

【0010】

このように、静的電流が流れる場合には、静的電力損失が増加して、走査駆動部、特にフリップフロップとPMOS-NANDゲートで消費電力が増加するという問題が発生する。

【0011】

【発明が解決しようとする課題】

本発明が目的とする技術的課題は、走査駆動部内での静的電流を減らして消費電力を減らすことである。

50

【 0 0 1 2 】

【課題を解決するための手段】

このような課題を解決するために本発明では、走査駆動部を複数の小部分（以下、分割走査部という）に分けて、各分割走査部に待機状態／停止状態を区別するクリア信号を印加して、停止部分の静的電流を減らすように状態を制御する。

【 0 0 1 3 】

本発明による平面表示装置は、平面表示装置パネルと、データ線にデータ電圧を印加するデータ駆動部及び走査線に選択信号を印加する走査駆動部を含み、平面表示装置パネルは、選択信号を伝達する複数の走査線と、画像信号を表現するデータ電圧を伝達する複数のデータ線と、走査線及びデータ線に連結される画素回路とを備える。

10

【 0 0 1 4 】

ここで、走査駆動部は、2つ以上の分割走査部とクリア信号を出力する選択制御部からなり、各分割走査部は、互いに直列（多段接続：C a s c a d e）に連結されてシフトレジスタになっている複数のフリップフロップと、フリップフロップの出力を受けて複数の走査線を各々駆動するバッファ部とを含む。フリップフロップは、複数のN O Rゲートまたは複数のN A N Dゲートと複数のスイッチング素子を備える。クリア信号は、分割走査部のうち選択信号を出力していない停止状態の分割走査部の論理ゲートを他の入力に関係なく一定値に維持する。

【 0 0 1 5 】

この時、フリップフロップは、第1乃至第4論理ゲートからなり、第1論理ゲートは、クリア信号及び第1スイッチング素子を経て入力される直前フリップフロップの出力を入力として含み、第2論理ゲートは、第1論理ゲートの出力及びクリア信号を入力として含み、その出力が第1スイッチング素子を経て入力される直前フリップフロップの出力に第2スイッチング素子を経て連結される。第3論理ゲートは、クリア信号及び第3スイッチング素子を経て入力される第1論理ゲートの出力を入力として含んでその出力がフリップフロップの出力となり、第4論理ゲートは、第3論理ゲートの出力及びクリア信号を入力として含み、その出力が第3スイッチング素子を経て入力される第1論理ゲートの出力に第4スイッチング素子を経て連結される。

20

【 0 0 1 6 】

また、選択制御部は、分割走査部の初期値を設定するリセット信号をさらに出力することができる。この時、第1及び第4論理ゲートは、リセット信号を入力としてさらに含むことが好ましい。

30

【 0 0 1 7 】

また、バッファ部は、フリップフロップの出力信号及びクリア信号を入力として受け入れる第5論理ゲートを含むのが好ましい。この時、バッファ部は、第5論理ゲートの出力端子に連結されたインバータと、インバータの出力端子に連結されたバッファ用の増幅器とを含むことができる。

【 0 0 1 8 】

この時、第1乃至第5論理ゲートは、同一導電タイプの薄膜トランジスタのみで構成することが好ましい。

40

【 0 0 1 9 】

または、第1乃至第5論理ゲートはN O Rゲートであり、N O Rゲートを構成する薄膜トランジスタはP M O Sトランジスタでありうる。

【 0 0 2 0 】

または、第1乃至第5論理ゲートはN A N Dゲートであり、N A N Dゲートを構成する薄膜トランジスタはN M O Sトランジスタでありうる。

【 0 0 2 1 】

本発明による平面表示装置を駆動する方法によれば、走査駆動部を複数の分割走査部に分割し、n番目分割走査部で選択信号が出力される期間には、論理ゲートの出力を他の入力に関係なく一定にするレベルを有する第1クリア信号を残り分割走査部に印加し、n番

50

目分割走査部には、第 1 クリア信号と論理的に反対のレベルを有する第 2 クリア信号を印加する。次に、 n 番目分割走査部に隣接する $(n + 1)$ 番目分割走査部で n 番目分割走査部の最後のフリップフロップから出力される選択信号を受ける前に $(n + 1)$ 番目分割走査部に第 2 クリア信号を印加する。 $(n + 1)$ 番目分割走査部で選択信号が出力されはじめると、 n 番目分割走査部に第 1 クリア信号を印加する。

この時、フリップフロップは、第 1 乃至第 4 論理ゲートからなり、第 1 論理ゲートは、クリア信号及び第 1 スイッチング素子を経て入力される直前フリップフロップの出力を入力として含み、第 2 論理ゲートは、第 1 論理ゲートの出力及びクリア信号を入力として含み、その出力が第 1 スイッチング素子を経て入力される直前フリップフロップの出力に第 2 スイッチング素子を経て連結される。第 3 論理ゲートは、クリア信号及び第 3 スイッチング素子を経て入力される第 1 論理ゲートの出力を入力として含んでその出力がフリップフロップの出力となり、第 4 論理ゲートは、第 3 論理ゲートの出力及びクリア信号を入力として含み、その出力が第 3 スイッチング素子を経て入力される第 1 論理ゲートの出力に第 4 スイッチング素子を経て連結される。

10

【0022】

また、 $(n + 1)$ 番目分割走査部に第 2 クリア信号を印加する前に $(n + 1)$ 番目分割走査部の初期値を設定するリセット信号を印加することができる。

【0023】

この時、論理ゲートは、PMOS トランジスタからなる NOR ゲートであるのが好ましい。または、論理ゲートは、NMOS トランジスタからなる NAND ゲートであるのが好ましい。

20

【0024】

【発明の実施の形態】

添付した図面を参照して、本発明の実施の形態について、本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施の形態には限定されない。

【0025】

図面から本発明を明確に説明するために説明と関係ない部分は省略した。明細書全体にわたって類似の部分については同一図面符号を付けた。ある部分が他の部分と連結されているとする時、これは直接的に連結されている場合だけでなく、その中間に他の素子を介在させて電氣的に連結されている場合も含む。

30

【0026】

次に、本発明の実施の形態による有機 EL 表示装置とその駆動方法及び駆動装置について図面を参照して詳細に説明する。

【0027】

まず、図 3 及び図 4 を参照して、本発明の第 1 実施形態による有機 EL 表示装置及びその走査駆動部に対して詳細に説明する。

【0028】

図 3 は、本発明の実施の形態による有機 EL 表示装置を示す図面である。図 4 は、本発明の実施の形態による有機 EL 表示装置の走査駆動部を示す図面である。

40

【0029】

図 3 に示すように、本発明の第 1 実施形態による有機 EL 表示装置は、有機 EL 表示装置パネル 100、走査駆動部 200 及びデータ駆動部 300 を含む。

【0030】

有機 EL 表示装置パネル 100 は、画像信号を表現するデータ電圧を伝達する複数のデータ線 (Y_1, Y_2, \dots, Y_N)、選択信号を伝達するための複数の走査線 (X_1, X_2, \dots, X_M) 及び複数の画素回路 110 を含む。有機 EL 表示装置が電流プログラム方式で実現されれば、複数のデータ線 (Y_1, Y_2, \dots, Y_N) にはデータ電流が印加される。有機 EL 表示装置パネル 100 のノーマリーオフスイッチとして使用するために走査線 (X_1, X_2, \dots, X_M) に連結されているトランジスタは PMOS トランジスタである。

50

画素回路 110 は、隣接した二つのデータ線と隣接した二つの走査線によって定義される画素領域に形成されている。

【0031】

走査駆動部 200 は、走査線 (X_1, X_2, \dots, X_M) に選択信号を印加し、データ駆動部 300 は、データ線 (Y_1, Y_2, \dots, Y_N) に画像信号を表現するデータ電圧を印加する。この時、電流プログラミング方式である場合、データ駆動部 300 は、データ線 (Y_1, Y_2, \dots, Y_N) に画像信号を表示するデータ電流を印加する。

【0032】

図 4 に示したように、本発明の第 1 実施形態による走査駆動部 200 は、第 1 乃至第 3 分割走査部 210、220、230 及びクリア信号を生成するブロック選択制御部 240 を含む。

10

【0033】

第 1 乃至第 3 分割走査部 210、220、230 は、従来の走査駆動部を 3 つの部分に分けたもので、必ず 3 つの部分に分ける必要はなく、必要に応じていくつ部分に分けても差し支えはなく、これにより変わる構成及び動作は、以下の第 1 実施形態に関する説明を参照することによって、本発明の属する技術分野における通常の知識を有する者が容易に理解できる。例えば 240 段の走査駆動部を 3 つの部分に分けた場合、第 1 乃至第 3 分割走査部 210、220、230 は、各々 80 段の分割走査部となり、8 ブロックに分ければ、各々 30 段の分割走査部となる。

【0034】

20

ブロック選択制御部 240 は、静的電流を除去するためのクリア信号 (VC_1, VC_2, VC_3) 及び第 1 乃至第 3 分割走査部 210、220、230 の初期値を設定するためのリセット信号 (RST_1, RST_2, RST_3) を出力して第 1 乃至第 3 分割走査部 210、220、230 の動作を制御する。

【0035】

以下、図 5 乃至図 9 を参照して、本発明の第 1 実施形態に用いる分割走査部を詳細に説明する。

【0036】

図 5 は第 1 分割走査部、図 6 はフリップフロップ、図 7 A 及び図 7 B は、フリップフロップに用いる 2 入力及び 3 入力 NOR ゲート、図 8 は、バッファ部を概略的に示す回路図であり、図 9 は、バッファ部を具体的に示すトランジスタレベル回路図である。

30

【0037】

図 5 乃至図 9 に示すように、第 1 分割走査部 210 は、 m 個のフリップフロップ (FF_1, FF_2, \dots, FF_m) と、それらの各出力を各々入力として有する m 個のバッファ部 ($buf_1, buf_2, \dots, buf_m$) からなり、各フリップフロップ (FF_1, FF_2, \dots, FF_m) には、入力信号 (V_{in})、クロック信号 (clk, clk_b) 及び第 1 のクリア信号 (VC_1) が入力される。バッファ部 ($buf_1, buf_2, \dots, buf_m$) は、OR ゲートとこの OR ゲートの出力を入力として有するバッファ部からなり、OR ゲートには OE 信号、フリップフロップの出力 (V_{ffout}) 及びクリア信号 (VC_1) が入力される。

40

【0038】

ここで、パネル全体で M 本の走査線 (X_1, X_2, \dots, X_M) に選択信号を順次印加する走査駆動部 200 を 3 つの部分の分割走査部 210、220、230 に分けた本発明の第 1 実施形態において、第 1 分割走査部 210 のフリップフロップ (FF_1, FF_2, \dots, FF_m) 及びバッファ部 ($buf_1, buf_2, \dots, buf_m$) の個数 (m) は各々 $M/3$ に当たる。

【0039】

このようなフリップフロップ群 (FF_1, FF_2, \dots, FF_m) のうちの一個のフリップフロップ (FF) は、図 6 に示すように、2 個の 2 入力 NOR ゲート (NOR_2, NOR_3) と 2 個の 3 入力 NOR ゲート (NOR_1, NOR_4) 及び 4 個の PMOS スイッチ (

50

P0, ..., P3) を結合して構成され、クリア信号 (VC1) が全ての NOR ゲート (NOR1、NOR2、NOR3、NOR4) に、リセット信号 (RST1) が 3 入力 NOR ゲート (NOR1、NOR4) に、クロック (clk) がスイッチ (P0、P3) に、反転クロック (clkb) がスイッチ (P1、P2) に入力される。

【0040】

詳しく説明すれば、フリップフロップ (FF) の前半部では、NOR ゲート (NOR1) にはクリア信号 (VC1) とリセット信号 (RST1) の他に直前フリップフロップの出力 (Vin) がクロック (clk) によってオン/オフされる PMOS トランジスタ (P0) を経て入力される。NOR ゲート (NOR1) の出力は、クリア信号 (VC1) と共に NOR ゲート (NOR2) の入力となり、NOR ゲート (NOR2) の出力は、反転クロック (clkb) によってオン/オフされる PMOS トランジスタ (P1) を経て NOR ゲート (NOR1) の第 3 入力端子に連結される。また、NOR ゲート (NOR1) の出力は、FF 後半部に送られて、反転クロック (clkb) によってオン/オフされる PMOS トランジスタ (P2) を経てクリア信号 (VC1) と共に NOR ゲート (NOR3) に入力される。

10

【0041】

FF 後半部では、NOR ゲート (NOR3) の出力は、クリア信号 (VC1) 及びリセット信号 (RST1) と共に NOR ゲート (NOR4) に入力され、NOR ゲート (NOR4) の出力は、クロック (clk) によってオン/オフされる PMOS トランジスタ (P3) を経て NOR ゲート (NOR3) の第 2 入力端子に連結される。また、NOR ゲート (NOR3) の出力は、フリップフロップ (FF) の出力 (Vffout) として後続フリップフロップの入力 (Vin) となる。

20

【0042】

この時、2 入力 NOR ゲート (NOR2、NOR3) 及び 3 入力 NOR ゲート (NOR1、NOR4) は、例えば、各々図 7A 及び図 7B に示したように構成できる。

【0043】

図 7A に示したように、2 入力 NOR ゲート (NOR2、NOR3) は各々 3 つの PMOS トランジスタからなるが、PMOS トランジスタ (P4、P5) のゲートに各々 NOR ゲート (NOR2、NOR3) の 2 つの入力が連結される。PMOS トランジスタ (P4) のソースは電源 (+VDD) に連結され、ドレインは PMOS トランジスタ (P5) のソースに連結されている。PMOS トランジスタ (P5) のドレインが NOR ゲートの出力になり、このドレインは、ダイオード接続された PMOS トランジスタ (P7) のソースに連結されている。PMOS トランジスタ (P7) のゲートとドレインは、互いに連結されて接地 (GND) されている。

30

【0044】

図 7B に示したように、3 入力 NOR ゲート (NOR1、NOR4) は、図 7A に示したような 2 入力 NOR ゲートの PMOS トランジスタ (P5、P7) の間に 3 入力 NOR ゲートの一つの入力がゲートに連結される PMOS トランジスタ (P6) をさらに有する。

【0045】

このように構成されたフリップフロップは、クロック (clk、clkb) のサイクルに同期してスイッチ用トランジスタがオン/オフされることにより、入力 (Vin) が次のフリップフロップに伝達されるシフトレジスタとして作動する。

40

【0046】

また、このようなバッファ部 (buf1, buf2, ..., bufm) のうちの一つのバッファ部 (buf) において、図 8 のように OR ゲートは、NOR ゲート (NOR5) と相補入力型インバータ (INV1) を用いて構成され、バッファは 2 つの相補入力型インバータ (INV2、INV3) を用いて構成される。この時、トランジスタレベルの構成として、NOR ゲート (NOR5) 及びインバータ (INV1、INV2、INV3) を、図 9 のように PMOS トランジスタのみで構成できる。また、3 個のインバータはダイオード負荷を用いないので静的な貫通電流が流れないという効果がある。

50

【0047】

第2及び第3分割走査部220、230の入力部分は、クリア信号及びリセット信号として、クリア信号(VC2、VC3)及びリセット信号(RST2、RST3)が入力される点を除けば第1分割走査部210と同じ構造を有するので詳細な説明は省略する。

【0048】

次に、図10を参照して本発明の第1実施形態による走査駆動部の動作について説明する。

【0049】

図10は、本発明の第1実施形態による走査駆動部の入出力波形のタイミング図である。

【0050】

図10に示すように、第1分割走査部210において、画素回路をターンオンするローレベルの選択信号(Vout_i、*i* = 1 ~ 80)が出力されている間に、つまり、第1分割走査部210の出力(Vout₁, Vout₂, ..., Vout₈₀)がローレベルである間は、第1分割走査部210に入力されるクリア信号(VC1)はローレベルであり、第2分割走査部220に入力されるクリア信号(VC2)はVout₈₀が出力される直前までハイレベル、第3分割走査部230に入力されるクリア信号(VC3)は第2分割走査部220からVout₁₆₀が出力される直前までハイレベルである。

【0051】

同様に第2分割走査部220の出力(Vout₈₁, Vout₈₂, ..., Vout₁₆₀)がローレベルである間には、第2分割走査部220に入力されるクリア信号(VC2)がローレベルであり、クリア信号(VC1、VC3)がハイレベルである。第3分割走査部230の出力(Vout₁₆₁, Vout₁₆₂, ..., Vout₂₄₀)がローレベルである間には、第3分割走査部230に入力されるクリア信号(VC3)がローレベルであり、クリア信号(VC1、VC2)がハイレベルである。

【0052】

このようにクリア信号がハイレベルであれば、フリップフロップ(FF)内部にPMOSトランジスタのみで、図7A - 7Bのように構成されたNORゲートの出力は常にローレベルになり、GND側には従来技術で説明したような静的電流が流れなくなる。また、図9に示したようにバッファ部(buf)のORゲートとしてPMOSトランジスタで形成されたNORゲートの出力もローレベルになり、従来の技術に説明したような静的電流は流れなくなる。このように画素回路をターンオンする選択信号が出力されない分割走査部にクリア信号を入力することによって静的電流を除去することができる。

【0053】

次に、第1分割走査部210から第2分割走査部220に移行する過程について説明する。

【0054】

第2分割走査部220は、第1分割走査部210の最後の出力(Vout₈₀)を入力として受けて動作を開始する。この時、第1分割走査部210の最後の出力(Vout₈₀)のパルスが終わるまでクリア信号(VC1)がローレベルであれば良いが、回路の動作マージンのため、更に半クロック程度クリア信号(VC1)をローレベルに維持する。また、第1分割走査部210が動作している間ハイレベルのクリア信号(VC2)によってクリアされている第2分割走査部220の初期値設定のために、リセット信号(RST2)を第2分割走査部220の移行入力(Vout₈₀)より1クロック早く印加する。そして、第2分割走査部220の動作のためにクリア信号(VC2)をローレベルに設定する。この時、リセット信号(RST2)は回路の動作マージンのためにクリア信号(VC2)より半クロック以上早く与えられる。

【0055】

また、第2分割走査部220から第3分割走査部230に移行する過程は、第1分割走査部から第2分割走査部220に移行する過程と同様であるため、説明を省略する。

【0056】

10

20

30

40

50

次に、本発明の第2実施形態による有機EL表示装置、走査駆動部及びその駆動方法について説明する。

【0057】

本発明の第2実施形態による有機EL表示装置及び走査駆動部は、PMOSトランジスタの代りにNMOSトランジスタを使用して論理回路を構成した点を除けば第1実施形態と同一である。

【0058】

詳しく説明すれば、PMOSトランジスタを使用する第1実施形態では、静的電流を除去するためのクリア信号(VC1、VC2、VC3)としてハイレベルの信号を使用し、ハイレベルの信号が入力される時出力が常にローレベルに固定されるNORゲートを利用して論理回路を構成したが、NMOSトランジスタを使用する第2実施形態では静的電流を除去するためのクリア信号(VC1、VC2、VC3)としてローレベルの信号を使用し、ローレベルの信号が入力される時出力が常にハイレベルに固定されるNANDゲートを利用して論理回路を形成する。

10

【0059】

つまり、フリップフロップ(FF1、FF2、...、FFm)をNORゲート(NOR1、NOR2、NOR3、NOR4)とPMOSトランジスタの代りにNANDゲート(NAND1、NAND2、NAND3、NAND4)とNMOSトランジスタを使用して形成する。バッファ部(buf1、buf2、...、bufm)のORゲートとバッファをANDゲートとバッファを使用して形成し、ANDゲートはNANDゲートとインバータを使用して形成する。

20

【0060】

さらに詳細な構造及び駆動方法は、以上の説明から、本発明の属する技術分野における通常の知識を有する者が容易に理解できるため、重複する説明は省略する。

【0061】

また、本発明の第1及び第2実施形態で第1乃至第3分割走査部210、220、230の初期値設定のためにリセット信号(RST1、RST2、RST3)を印加したが、実際回路動作においてリセット信号を印加しないこともある。

【0062】

以上、本発明の実施の形態では有機EL表示装置を例に挙げて説明したが、本発明は有機EL表示装置に限定されるわけではなく、同一の走査駆動部を用いる他の平面表示装置にも適用することができる。

30

【0063】

以上、本発明の好ましい実施の形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態もやはり本発明の権利範囲に属する。

【0064】

【発明の効果】

このような本発明を利用すると、相補入力型インバータの採用により静的電流を削減し、静的電流阻止動作を制御するクリア信号の採用によりダイオード負荷形式のインバータ又はこれを変形した論理ゲートのダイオード負荷に流れる静的電流を阻止でき、これにより消費電力を減らすことができる。

40

【図面の簡単な説明】

【図1】A、Bは、従来技術による走査駆動部とフリップフロップを示す回路図である。

【図2】A、Bは、従来技術による走査駆動部で用いられるインバータ及びNANDゲートに各々PMOSトランジスタとNMOSトランジスタを使用した場合に静的電流が発生する出力部分を示す回路図である。

【図3】本発明の実施例による有機EL表示装置を示す図面である。

【図4】本発明の実施例による有機EL表示装置の走査駆動部を示す図面である。

【図5】本発明の実施例による第1分割走査部を示す回路図である。

50

【図 6】本発明の実施例によるフリップフロップを示す回路図である。

【図 7】A、B は、各々本発明の実施例によるフリップフロップに用いられる 2 入力及び 3 入力 NOR ゲートを示す回路図である。

【図 8】本発明の実施例によるバッファ部を概略的に示す回路図である。

【図 9】本発明の実施例によるバッファ部を具体的に示す回路図である。

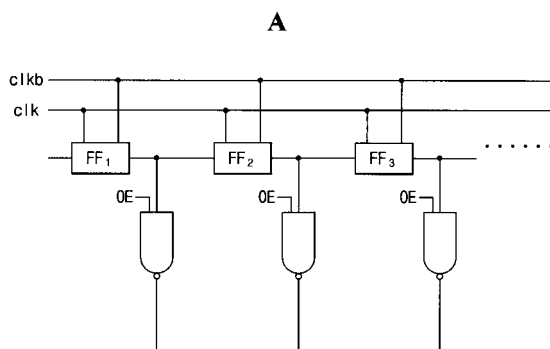
【図 10】本発明の実施例による走査駆動部の入出力波形のタイミング図である。

【符号の説明】

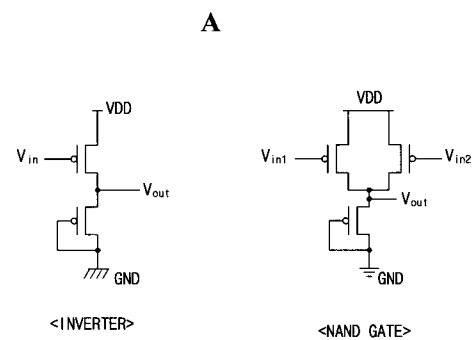
1 0 0	有機 E L 表示装置パネル
1 1 0	画素回路
2 0 0	走査駆動部
2 1 0	第 1 分割走査部
2 2 0	第 2 分割走査部
2 3 0	第 3 分割走査部
2 4 0	ブロック選択制御部
3 0 0	データ駆動部

10

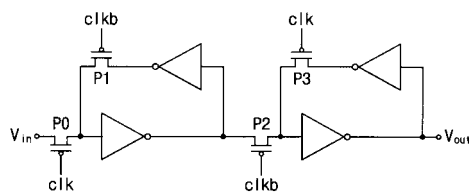
【図 1】



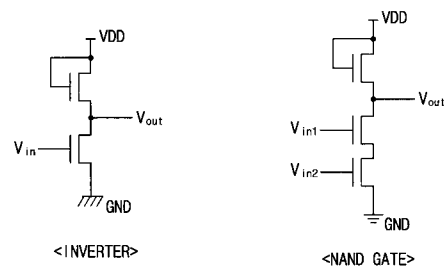
【図 2】



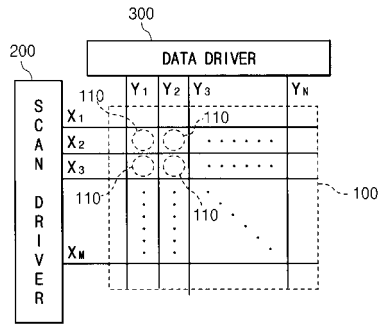
B



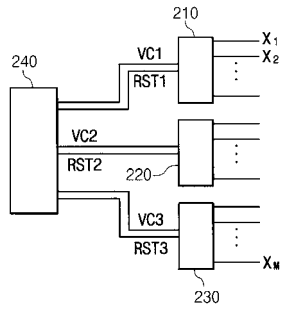
B



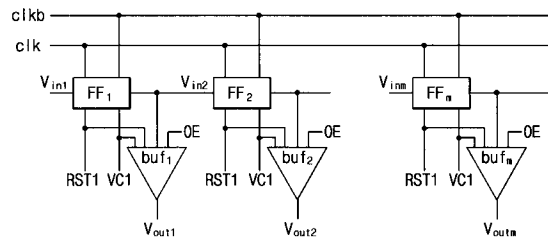
【図 3】



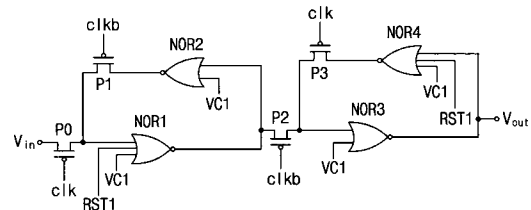
【図 4】



【図 5】



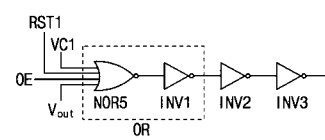
【図 6】



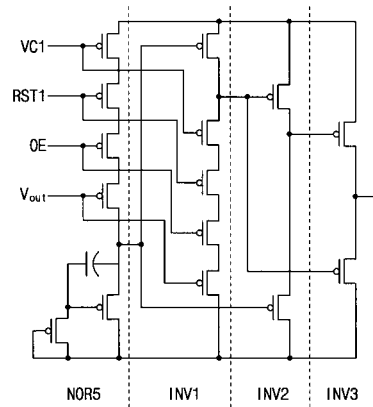
【図 7】



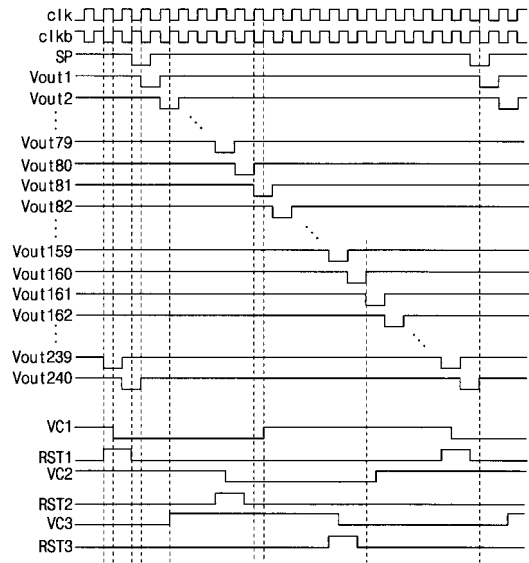
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(72)発明者 申 東 蓉
大韓民国ソウル特別市冠岳区奉天1洞969-37番地

(72)発明者 權 五 敬
大韓民国ソウル特別市松坡区新川洞 ジャンミアパート14棟1102号

審査官 樋口 信宏

(56)参考文献 特開平08-160387(JP,A)
特開平08-050796(JP,A)
特開2001-358335(JP,A)
特開平09-127482(JP,A)
特開平08-130461(JP,A)
特開昭60-038922(JP,A)
特開平08-292741(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30
G09G 3/20
H01L 51/50

专利名称(译)	平面显示装置，其驱动方法及其驱动装置		
公开(公告)号	JP4008834B2	公开(公告)日	2007-11-14
申请号	JP2003059337	申请日	2003-03-06
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
当前申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	申東蓉 權五敬		
发明人	申 東 蓉 權 五 敬		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3266 G09G2330/021		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.622.A G09G3/20.622.G G09G3/20.622.K H05B33/14.A G09G3/3216 G09G3/3233 G09G3/3266 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB05 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC14 3K107/EE03 3K107/HH01 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB06 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB05 5C380/AB06 5C380/BA01 5C380/BA10 5C380/BA34 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB11 5C380/CB12 5C380/CB14 5C380/CB22 5C380/CB23 5C380/CB24 5C380/CB27 5C380/CF07 5C380/CF10 5C380/CF22 5C380/CF23 5C380/CF32 5C380/CF33 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	野上淳 宇谷 胜幸		
优先权	1020020015438 2002-03-21 KR		
其他公开文献	JP2003288050A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过降低扫描驱动器内的静态电流来降低功耗。

ŽSOLUTION：在有机EL显示设备中，扫描驱动器分为多个扫描驱动单元。每个扫描驱动单元包括多个触发器和多个缓冲器单元，每个缓冲器单元接收触发器的输出作为输入。触发器由四个NOR门组成，缓冲器单元包括具有NOR门和反相器的OR门以及由两个反相器组成的缓冲器。触发器和缓冲器单元的NOR门接收清除信号作为输入，并由PMOS晶体管组成。逆变器形状的电路使用二极管负载类型以简化结构，结果，静态吞吐量电流在电路中流动。然而，通过将高电平清除信号输入到非操作的扫描驱动单元中，NOR门的输出变为低电平，从而去除在NOR门的输出端产生的静电电流。Ž

