

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-503007

(P2010-503007A)

(43) 公表日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 J	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 670J	5C380
	G09G 3/20 641D	
	G09G 3/20 631V	
審査請求 未請求 予備審査請求 未請求 (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2009-526173 (P2009-526173)  
 (86) (22) 出願日 平成19年8月30日 (2007. 8. 30)  
 (85) 翻訳文提出日 平成21年4月20日 (2009. 4. 20)  
 (86) 国際出願番号 PCT/GB2007/003279  
 (87) 国際公開番号 W02008/025985  
 (87) 国際公開日 平成20年3月6日 (2008. 3. 6)  
 (31) 優先権主張番号 0617111.0  
 (32) 優先日 平成18年8月31日 (2006. 8. 31)  
 (33) 優先権主張国 英国 (GB)

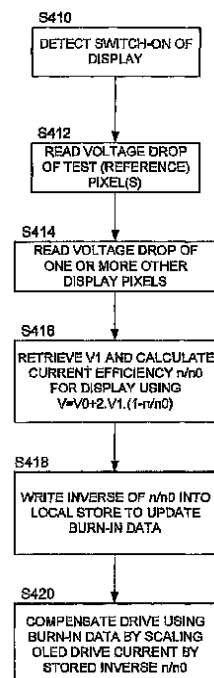
(71) 出願人 597063048  
 ケンブリッジ ディスプレイ テクノロジ  
 ー リミテッド  
 イギリス・ケンブリッジシャー・CB2 3  
 ・6DW・キャンボーン・キャンボーン・  
 ビジネス・パーク・(番地なし)・ビルデ  
 イング・2020  
 (74) 代理人 230104019  
 弁護士 大野 聖二  
 (74) 代理人 100106840  
 弁理士 森田 耕司  
 (74) 代理人 100105991  
 弁理士 田中 玲子  
 (74) 代理人 100113549  
 弁理士 鈴木 守

最終頁に続く

(54) 【発明の名称】 ディスプレイ駆動システム

## (57) 【要約】

本発明は、概して、改良されたOLED（有機発光ダイオード）ディスプレイ駆動システムのための方法、装置、およびコンピュータプログラムコードに関し、特に焼き付きを補償するためのものに関する。この方法は、OLEDディスプレイデバイスをOLEDディスプレイの画素の焼き付きについて補償する方法であって、ディスプレイの少なくとも1つの試験画素の端子間の第1の電圧降下を測定し、ディスプレイの少なくとも1つの他の画素の端子間の第2の電圧降下を測定し、第1および第2の電圧と、焼き付きによるディスプレイの効率の損失のための駆動電圧上昇を表す値（ $V_1$ ）とから、焼き付きによるディスプレイの効率の推定低下を決定し、推定効率低下を用いてディスプレイに対する駆動を補償することを含む方法である。



**【特許請求の範囲】****【請求項 1】**

OLEDディスプレイデバイスを前記OLEDディスプレイの画素の焼き付きについて補償する方法であって、

前記ディスプレイの少なくとも1つの試験画素の端子間の第1の電圧降下を測定し、

前記ディスプレイの少なくとも1つの他の画素の端子間の第2の電圧降下を測定し、

前記第1および第2の電圧と、焼き付きによる前記ディスプレイの効率の損失のための駆動電圧上昇を表す値( $V_1$ )とから、焼き付きによる前記ディスプレイの効率の推定低下を決定し、

前記推定効率低下を用いて前記ディスプレイに対する駆動を補償することを含む方法。

10

**【請求項 2】**

前記ディスプレイの効率の前記損失を表す前記値( $V_1$ )は、定められた水準の効率低下を補償するために必要な画素駆動電圧の上昇を表す記憶値を含み、前記決定は、前記定められた水準の効率低下に依存する関係を用いて効率の前記低下を決定することを含む請求項1に記載の方法。

**【請求項 3】**

前記第1および第2の電圧降下の前記測定は、前記ディスプレイの電源投入時に行われる請求項1または2に記載の方法。

**【請求項 4】**

前記補償は、前記推定効率低下の逆数に依存する係数により前記ディスプレイの画素への駆動電流を増加させることを含む請求項1、2、または3に記載の方法。

20

**【請求項 5】**

前記ディスプレイの複数の画素について前記第2の電圧降下を測定し、前記効率低下の前記決定に用いるために、前記測定された第2の電圧降下から平均を計算することを含む請求項1ないし4のいずれか1項に記載の方法。

**【請求項 6】**

前記ディスプレイの複数の画素について前記第2の電圧降下を測定することを含み、前記効率低下の前記決定は、前記複数の画素について複数の効率低下値を決定することを含み、前記補償は、前記複数の画素のそれぞれについて駆動を補償するために前記効率値のそれぞれを用いる請求項1ないし4のいずれか1項に記載の方法。

30

**【請求項 7】**

前記試験画素は、前記ディスプレイの、情報を表示するために用いられない画素で構成される請求項1ないし6のいずれか1項に記載の方法。

**【請求項 8】**

前記試験画素は、前記ディスプレイの、情報を表示するために用いられる領域の画素で構成される請求項1ないし6のいずれか1項に記載の方法。

**【請求項 9】**

前記試験画素は、前記ディスプレイの、エージングの最も少ない20パーセントの画素から選択される請求項8に記載の方法。

**【請求項 10】**

前記試験画素は、前記ディスプレイの、実質的にエージングの最も少ない画素で構成される請求項9に記載の方法。

40

**【請求項 11】**

前記試験画素が閾値より大きな駆動水準で点灯している時間を測定することをさらに含み、前記推定効率低下の前記決定は、前記測定された点灯時間を用いて温度を補償することを含む請求項8ないし10のいずれか1項に記載の方法。

**【請求項 12】**

前記ディスプレイの複数の画素について前記第1の電圧降下を測定し、前記効率低下の前記決定に用いるために、前記測定された第1の電圧降下から平均を計算することを含む請求項1ないし11のいずれか1項に記載の方法。

50

## 【請求項 13】

前記ディスプレイの複数の画素について前記第1の電圧降下を測定することを含み、前記効率低下の前記決定は、前記複数の画素について複数の効率低下値を決定することを含み、前記補償は、前記ディスプレイの個々の異なる領域に対する画素駆動を補償するために前記効率値のそれぞれを用いる請求項1ないし11のいずれか1項に記載の方法。

## 【請求項 14】

OLEDディスプレイの画素に対する駆動を制御する方法であって、

## 【数 1】

$$V = V_0 + \frac{1}{1-\alpha} V_1 \left( 1 - \frac{\eta}{\eta_0} \right)$$

10

を用いて前記画素について駆動電圧Vを決定することを含み、ただし、 $V_0$ および $\eta_0$ は、初期時間における、試験駆動電流での前記画素に対する電圧駆動および前記試験駆動電流での前記画素の輝度効率であり、 $V_1$ は、前記試験駆動電流についての、前記電圧駆動における寿命末期の電圧上昇である方法において、前記寿命末期は、前記画素の効率が前記初期時間における初期効率値( $\eta_0$ )の $\alpha$ まで低下した時点として規定される方法。

## 【請求項 15】

請求項1ないし14のいずれか1項に記載の方法を実装するためのプロセッサ制御コードを保持するキャリア。

20

## 【請求項 16】

OLEDディスプレイドライバであって、

前記ディスプレイの少なくとも1つの試験画素の端子間の第1の電圧降下を測定するための入力と、

前記ディスプレイの少なくとも1つの他の画素の端子間の第2の電圧降下を測定するための入力と、

前記ディスプレイの効率の損失のための駆動電圧上昇を表す値( $V_1$ )を記憶する記憶部と、

前記第1および第2の電圧と、前記ディスプレイの効率の損失のための前記駆動電圧上昇を表す前記値( $V_1$ )とから、前記ディスプレイの効率の推定低下を決定するシステムと、

30

前記推定効率低下を用いて前記ディスプレイに対する駆動を補償するシステムと、を備えるOLEDディスプレイドライバ。

## 【請求項 17】

請求項16に記載のOLEDディスプレイドライバとアクティブマトリクスOLEDディスプレイとの組み合わせであって、前記アクティブマトリクスOLEDディスプレイは、前記ディスプレイの画素のOLEDデバイスの端子間の電圧を測定するように構成される組み合わせ。

## 【請求項 18】

請求項1ないし13のいずれか1項に記載の方法用または請求項16に記載のディスプレイドライバ用のアクティブマトリクスOLEDディスプレイ画素駆動回路であって、前記画素駆動回路は、前記画素のOLEDデバイスへ結合された入力接続であって前記OLEDデバイスの端子間の電圧を測定するための入力接続と、前記ディスプレイの第1の電極線に結合された出力と、前記ディスプレイの第2の電極線に結合された制御接続とを有するトランジスタを含むアクティブマトリクスOLEDディスプレイ画素駆動回路。

40

## 【請求項 19】

前記ディスプレイの行または列における画素駆動回路について、前記第2の電極線は、前記ディスプレイの隣接する行または列の電源線を備える請求項18に記載のアクティブマトリクスOLEDディスプレイ画素駆動回路。

## 【請求項 20】

50

前記第２の電極線は、正電源線を備え、前記トランジスタは、前記制御接続をローにプルすることによって制御される請求項１９に記載のアクティブマトリクスＯＬＥＤディスプレイ画素駆動回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、概して、改良されたＯＬＥＤ（有機発光ダイオード）ディスプレイ駆動システムのための方法、装置、およびコンピュータプログラムコードに関し、特に焼き付きを補償するためのものに関する。

【背景技術】

【０００２】

有機発光ダイオード、ここでは有機金属系のＬＥＤを含むが、有機発光ダイオードは、ポリマー、小分子、および dendrimer を含む材料を用いて、使用される材料に依存する色の範囲で製造され得る。ポリマー系の有機ＬＥＤの例は、特許文献１、特許文献２、および特許文献３に記載され、dendrimer系の材料の例は、特許文献４および特許文献５に記載され、いわゆる小分子系のデバイスの例は、特許文献６に記載されている。典型的なＯＬＥＤデバイスは、２層の有機材料を備える。その一方は、発光ポリマー（ＬＥＰ）、オリゴマー、または発光低分子量材料などの発光材料の層であり、他方は、ポリチオフェン誘導体、またはポリアニリン誘導体などの正孔輸送材料の層である。

【０００３】

有機ＬＥＤは、画素のマトリクスという形で基板上にデポされて、単色または多色画素型ディスプレイを構成し得る。多色型ディスプレイは、赤、緑、および青の発光サブピクセル群を用いて構成されてよい。いわゆるアクティブマトリクスディスプレイは、各画素と関連付けられた、典型的には蓄積キャパシタおよびトランジスタであるメモリ素子を有し、一方、パッシブマトリクスディスプレイはそのようなメモリ素子を持たず、その代わり、安定した画像という印象を与えるために繰り返し走査される。他のパッシブディスプレイとしては、セグメントディスプレイがある。セグメントディスプレイでは、複数のセグメントが共通電極を共有し、セグメントの他方の電極に電圧を印加することによってセグメントが点灯され得るようになっていいる。単純なセグメントディスプレイは走査される必要がないが、複数のセグメント領域を備えるディスプレイでは、電極が（電極の個数を減らすために）多重化された上で走査されてよい。

【０００４】

図１aは、ＯＬＥＤデバイス１００の例の縦断面を示す図である。アクティブマトリクスディスプレイでは、画素の領域の一部が、関連する駆動回路（図１aには図示しない）によって占められる。説明の目的上、デバイスの構造は幾分単純化してある。

【０００５】

ＯＬＥＤ１００は、基板１０２を備える。基板１０２は、典型的には０．７mmまたは１．１mmのガラスだが、透明なプラスチックまたはその他の実質的に透明な材料とすることも随意である。基板上にはアノード層１０４がデポされる。アノード層１０４は、典型的には厚さ約１５０nmのITO（インジウムスズ酸化物）で構成され、その表面の一部には、金属接触層が設けられる。典型的には、接触層は、約５００nmのアルミニウム、またはクロムの層で挟まれたアルミニウムの層で構成され、これはアノード金属と呼ばれることがある。ITOと接触金属とで被覆されたガラス基板は、米国のコーニング社から入手可能である。ITO上の接触金属は、アノード接続が透明でなくてよい箇所に、特にデバイスへの外部からの接点のための、低抵抗の経路を設ける働きをする。接触金属は、必要でない箇所、特に、除去しなければディスプレイを覆ってしまうことになる箇所では、フォトリソグラフィおよびそれに続くエッチング、という標準的な工程によって、ITOから除去される。

【０００６】

アノード層の上には、実質的に透明な正孔輸送層１０６がデポされ、続けてエレクトロ

10

20

30

40

50

ルミネッセンス層 108、カソード 110 がデポされる。エレクトロルミネッセンス層 108 は、例えば、PPV（ポリ（p-フェニレンビニレン））で構成されてよく、また、アノード層 104 およびエレクトロルミネッセンス層 108 の正孔のエネルギー準位を合わせる働きをする正孔輸送層 106 は、例えばドイツのバイエル社の PEDOT: PSS（ポリエチレンジオキシチオフェンのポリスチレンスルホン酸ドーブ体）のような、導電性の透明なポリマーで構成されてよい。典型的なポリマー系のデバイスでは、正孔輸送層 106 は、約 200 nm の PEDOT で構成されてよく、発光ポリマー層 108 は、典型的には厚さが約 70 nm である。これらの有機層は、スピンコーティングによってデポされてよく（後で、プラズマエッチングまたはレーザアブレーションによって不要な領域から材料を除去する）、またはインクジェット印刷によってデポされてよい。この後者の場合、例えばフォトレジストを用いて基板上にバンク 112 を形成し、有機層がデポされるくぼみを形作るようにしてもよい。そのようなくぼみが、ディスプレイの発光領域、すなわち画素を規定する。

10

#### 【0007】

カソード層 110 は、典型的には、より厚いアルミニウムのキャップ層で覆われた、（例えば物理的な蒸着によってデポされた）カルシウムまたはバリウムのような低仕事関数金属で構成される。電子のエネルギー準位の整合を向上させるため、随意に、フッ化バリウムの層のような付加的な層を、エレクトロルミネッセンス層に直接隣接して設けてよい。カソード線の相互の電氣的な隔離は、カソードセパレータ（図 1a には図示しない）を用いて実現または強化してよい。

20

#### 【0008】

小分子および dendrimer のデバイスにも、同じ基本構造が用いられてよい。典型的には、いくつかのディスプレイが単一の基板上で製造され、製造工程の最後に基板がけがきで線を刻まれて、ディスプレイが分離されてから、酸化と水分侵入を防止するためにそれぞれに封止缶が取り付けられる。

#### 【0009】

OLED を点灯させるため、アノードとカソードとの間に電源が投入される。電源は、図 1a ではバッテリー 118 で表されている。図 1a に示す例では、光は、透明なアノード 104 および基板 102 を通して発せられ、カソードはおおむね反射性である。このようなデバイスは、「ボトムエミッタ」と呼ばれる。カソードを通して発するデバイス（「トップエミッタ」）も、例えば、カソードが実質的に透明になるようにカソード層 110 の厚さを約 50 ~ 100 nm より小さく保つことによって、構成され得る。

30

#### 【0010】

上記の説明が、本発明の実施の形態のいくつかの応用を理解するのに助けるための、ある種の OLED ディスプレイの単なる説明にすぎないことは、認められるであろう。ノバレッド社が製造するもののような、カソードが底部にある逆向きのデバイスをはじめとして、他の種類の OLED はいろいろある。さらに、本発明の実施の形態の応用は、ディスプレイや OLED などに限定されない。

#### 【0011】

有機 LED は、画素のマトリクスという形で基板上にデポされて、単色または多色画素型ディスプレイを構成し得る。多色型ディスプレイは、赤、緑、および青の発光画素群を用いて構成されてよい。そのようなディスプレイでは、複数の行（または列）の線をアクティブにすることによって個々の素子が全体的にアドレス指定されて複数の画素が選択され、複数の行（または列）の画素に書き込みが行われて、表示が作り出される。いわゆるアクティブマトリクスディスプレイは、各画素と関連付けられた、典型的には蓄積キャパシタおよびトランジスタであるメモリ素子を有し、一方、パッシブマトリクスディスプレイはそのようなメモリ素子を持たず、その代わり、安定した画像という印象を与えるために、テレビ映像と幾分同じように、繰り返し走査される。

40

#### 【0012】

次に、図 1b を参照すると、この図はパッシブマトリクス OLED ディスプレイデバイ

50

ス 1 5 0 の単純化された断面を示す図であり、同図において、図 1 a のものと同じ要素は同じ参照番号で示されている。図示のように、正孔輸送層 1 0 6 およびエレクトロルミネッセンス層 1 0 8 は、アノード金属 1 0 4 およびカソード層 1 1 0 においてそれぞれ規定される互いに垂直なアノード線およびカソード線の交点で、複数の画素 1 5 2 に細分されている。同図において、カソード層 1 1 0 において規定される導線 1 5 4 がページを貫くように通っており、また、カソード線と直交して通っている複数のアノード線 1 5 8 のうちの 1 本の断面が示されている。カソード線およびアノード線の交点のエレクトロルミネッセンス画素 1 5 2 は、該当する線の間に電圧を印加することによってアドレス指定されてよい。アノード金属層 1 0 4 は、ディスプレイ 1 5 0 への外部からの接点を提供し、また、（カソード層のパターンをアノード金属のリードアウトの上に通すことによって）O L E D へのアノードおよびカソードの両方の接続に用いられてよい。上記の O L E D 材料、特に発光ポリマーとカソードは酸化と水分の影響を受けやすいので、デバイスは、U V 硬化型エポキシ接着剤 1 1 3 によってアノード金属層 1 0 4 上に取り付けられた金属缶 1 1 1 で封止され、その際、接着剤中の小さなガラスビーズによって、金属缶が接点に触れて短絡させてしまうのを防ぐようになっている。

10

20

30

40

50

#### 【 0 0 1 3 】

次に、図 2 を参照すると、この図は図 1 b に示した種類のパッシブマトリクス O L E D ディスプレイ 1 5 0 用の駆動配列を概念的に示すものである。複数の定電流発生器 2 0 0 が設けられ、そのそれぞれが供給線 2 0 2 と複数の列線 2 0 4 のうちの 1 本とに接続されているが、明快にするため、そのうちの 1 本のみを示してある。複数の行線 2 0 6 （そのうちの 1 本のみを示してある）も設けられており、そのそれぞれは、交換接続 2 1 0 によって接地線 2 0 8 へ選択的に接続されてよい。図示のように、線 2 0 2 の供給電圧が正なので、列線 2 0 4 はアノード接続 1 5 8 を備え、行線 2 0 6 はカソード接続 1 5 4 を備えるが、電源供給線 2 0 2 が接地線 2 0 8 に対して負である場合は、これらの接続は逆にされる。

#### 【 0 0 1 4 】

図示のように、ディスプレイの画素 2 1 2 には電力が供給され、それにより点灯する。画像を生成するためには、行の接続 2 1 0 を保ったまま、各列線を、行全体がアドレス指定されるまで順にアクティブ化し、そして次の行を選択してこの処理を繰り返す。しかしながら、個々の画素をより長く点灯させ続けることによって駆動水準全体を低減するために、行を選択してすべての列を並行して書き込む、すなわち電流を各列線に同時に送り込んで行の各画素をそれぞれの所望の明るさで点灯させることが好ましい。列の各画素を順にアドレス指定してから次の列をアドレス指定するようにすることもできるが、これは、特に列の静電容量の効果の理由から好ましくない。

#### 【 0 0 1 5 】

当業者が認めるように、パッシブマトリクス O L E D ディスプレイでは、どの電極を行電極と呼びどの電極を列電極と呼ぶかは任意であり、本明細書においては、「行」と「列」は交換可能なものとして扱う。

#### 【 0 0 1 6 】

通常、O L E D に対しては電圧制御型の駆動ではなく電流制御型の駆動を施すが、これは、デバイスを流れる電流によってデバイスが生成する光子の数が決まり、それによって O L E D の明るさが決まるからである。電圧制御型の構成では、ディスプレイの領域にわたって明るさが変化したり、時間、温度、経年とともに明るさが変化したりする可能性があり、そのため、所与の電圧で駆動された時に画素がどれくらいの明るさで光るのかを予測することが困難になる。カラーディスプレイでは、色表現の正確さが影響を受ける恐れもある。

#### 【 0 0 1 7 】

画素の明るさを変化させる従来の方法は、パルス幅変調（P W M）を用いて画素の点灯時間を変化させるというものである。従来の P W M 手法では、画素は完全に点灯するか完全に消灯するかのいずれかであるが、画素の見かけの明るさは、観察者の目における集積

により変化する。代替となる方法は、列の駆動電流を変化させるというものである。

#### 【0018】

図3は、後ほどさらに述べるように本発明の実施の形態を実装するのに適したパッシブマトリクスOLEDディスプレイ用のドライバの概略図300を示す。OLEDディスプレイは、破線302で示されており、対応する行電極接点306をそれぞれが持つ複数のn本の行線304と、対応する複数の列電極接点310をもつ複数のm本の列線308とを備える。OLEDは、行線と列線との各組の間に接続されており、図示の配列では、OLEDのアノードが列線に接続されている。Yドライバ314は定電流で列線308を駆動し、Xドライバ316は行線304を、行線を選択的に接地させて駆動する。Yドライバ314およびXドライバ316は、典型的には、両方ともプロセッサ318に制御される。電源320は、回路、特にYドライバ314へ電力を供給する。

10

#### 【0019】

OLEDディスプレイドライバのいくつかの例が、特許文献7、特許文献8、特許文献9、特許文献10、および特許文献11に記載されており、また、PWMを用いたOLEDディスプレイ駆動集積回路が、米国マサチューセッツ州ビバリー（Beverly）のクレア社（Clare, Inc.）のクレア・マイクロニクス（Clare Micronix）から販売されている。改良型OLEDディスプレイドライバのいくつかの例が、本出願人の同時係属出願である特許文献12および特許文献13に記載されている。特に、引用することによりここに組み込まれる特許文献12には、コンプライアンスの改善されたデジタル制御式プログラム可能電流発生器が記載されている。

20

#### 【先行技術文献】

#### 【特許文献】

#### 【0020】

【特許文献1】国際公開第90/13148号

【特許文献2】国際公開第95/06400号

【特許文献3】国際公開第99/48160号

【特許文献4】国際公開第99/21935号

【特許文献5】国際公開第02/067343号

【特許文献6】米国特許第4,539,507号

【特許文献7】米国特許第6,014,119号

【特許文献8】米国特許第6,201,520号

【特許文献9】米国特許第6,332,661号

【特許文献10】欧州特許出願公開第1,079,361(A)号

【特許文献11】欧州特許出願公開第1,091,339(A)号

【特許文献12】国際公開第03/079322号

【特許文献13】国際公開第03/091983号

30

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0021】

OLEDディスプレイに付随する問題の1つは、時間とともに画素が「焼き付く」こと、すなわち、使用するにつれて所与の駆動電流（従って明度）のために必要な駆動電圧が増えてしまうことである。具体的には、所与の電流における明度は、OLEDディスプレイの駆動初期に急激に下がることがあり、その後、より一様に明度が減衰していく。従って、異なるが関連性のある2つの問題が焼き付きから発生し得る。第1に、使用につれて進むディスプレイの全体的なエイジングであり、第2に、画像の焼き付き、すなわち画像を持続的に表示することによりディスプレイの画素のエイジングがまちまちになり得ることである。スクリーンセーバーはこの問題に対処するための1つの技術となるが、それはコンピュータモニタディスプレイ関連だけの話であり、例えば、テレビチャンネルでは、ロゴなどの印を控えめに画面の隅に表示し続けることがますます一般的になってきている。OLEDディスプレイに付随するさらなる問題は、長期間にわたって駆動されないまま

40

50

保管されたディスプレイが、長期にわたって保管されることなく駆動されたディスプレイと比べて、明度の低下という損害を被る場合があるということである。この明度低下の理由として考えられるのは、封止が不完全なディスプレイへの水分と酸素の侵入や、あるいはディスプレイのある層から他の層への化学種の移動（例えば、金属イオンのカソード層から有機層への移動）である。

#### 【0022】

多くのOLED材料システムにとって、所与の電流および温度についての、駆動時間にもなう駆動電圧の上昇は、デバイスの効率の衰えと相互に関連し得るものである。OLEDの端子間の電圧降下を監視しそれに応じて駆動信号を補正するという補償手法の実装を試みることは可能であろう。しかしながら、この手法には、OLEDの端子間の電圧降下が温度にもつれて変化し、その結果ディスプレイ各所の明るさがディスプレイ各所の温度に応じて変化しかねない、という点で欠点がある。

10

#### 【課題を解決するための手段】

#### 【0023】

そこで、本発明によれば、OLEDディスプレイデバイスをOLEDディスプレイの画素の焼き付きについて補償する方法であって、ディスプレイの少なくとも1つの試験画素の端子間の第1の電圧降下を測定し、ディスプレイの少なくとも1つの他の画素の端子間の第2の電圧降下を測定し、第1および第2の電圧と、焼き付きによるディスプレイの効率の損失のための駆動電圧上昇を表す値（ $V_1$ ）とから、焼き付きによるディスプレイの効率の推定低下を決定し、推定効率低下を用いてディスプレイに対する駆動を補償することを含む方法が提供される。

20

#### 【0024】

好ましくは、ディスプレイの効率の損失のための電圧上昇を表す値は、定められた水準の効率低下、例えば50パーセント（OLEDの明るさの50パーセントの低下に相当）を補償するために必要な画素駆動電圧の上昇を表す。この定められた水準の効率低下を用いて、OLED画素の（任意の）寿命末期を規定することができる。本例では、人間の目の反応は非線形であるため、実際の明るさにおける50パーセントの低下は、知覚される明るさにおいて80パーセント程度の低下に相当する。そして、ディスプレイの効率の推定低下（寿命末期の効率の、初期の効率に対する比として規定されてもよい）の決定では、この定められた水準の効率低下に依存する関係を用いてよい。つまり、実際には、画素駆動電圧の上昇は、例えば上記の50パーセントのような、あらかじめ定められた水準の効率低下と関連して規定される。画素駆動電圧の上昇は、例えば駆動集積回路に記憶されることが好ましく、また、この値は、あるデバイスに実施した実験室での測定から初期的に導出してもよいし、量産されたデバイスの1ロットのうちの1個から求めてもよい。

30

#### 【0025】

概して、本方法の実施の形態では、試験画素の端子間の電圧降下は温度依存性の電圧降下を含むので、これを考慮に入れることにより、本方法では、ディスプレイの温度むらを自動的に補償することができる。（画素駆動電圧の寿命末期の上昇は、特に温度には依存しない）。それでもなお、第1および第2の電圧降下は、ディスプレイの電源投入時（直後またはすぐ後）、つまりディスプレイが実質的に一様な温度にある時に測定されることが非常に好ましい。より高度な実装では、ディスプレイの全画素がおよそ同じ温度に達した時だけ効率の低下が推定され得るように、ディスプレイが冷却するまで十分長い時間電源が切られていたかどうかを決定するように対処してもよい。これは、実際には、例えば漏れの少ないキャパシタを時限素子として用いることによって実装されてよい。

40

#### 【0026】

本方法の好ましい実施の形態において、低下した効率の補償は、推定効率低下の逆数に依存する係数によりディスプレイの画素への駆動電流を増加させることを含む。これは、デバイスを流れる電流とOLEDの明るさとの間に実質的に線形な関係があるならば、OLEDは電流制御デバイスとして動作させられることが好ましいからである。

#### 【0027】

50



本方法のいくつかの実施の形態では、効率低下は、2つの測定だけ、つまり試験画素に対する測定と他の1つの画素に対する測定とに基づいて推定されてよく、この推定効率低下を用いて全ディスプレイについて駆動信号を補償してよい。これにより、焼き付きが十分正確に補償され得る。一方、本方法の他の実施の形態では、ディスプレイの複数の画素について第2の電圧降下を測定し、効率低下の決定に用いるために平均を計算するようにしてもよい。あるいは、測定された画素からいくつかの異なる効率低下値を決定し、そしてこれらを用いてそれらの画素およびそれらの近傍の領域を補償するようにしてもよい。例えば、このように別々に補償するように、ディスプレイを2区画、4区画、またはそれを超える区画に細分することができる。

#### 【0028】

本方法のある実施の形態では、試験画素は、情報を表示するために用いられないダミー画素で構成される。例えば、試験画素は、ディスプレイの、使用されない端の部分にあってよい。他の実施の形態では、試験画素は、ディスプレイのアクティブな領域、すなわちディスプレイの、通常の動作状態において情報を表示するために用いられる部分にあってよい。これらの実施の形態において、残りの画素は、選択された1つまたは複数の試験画素を基準として補正される。これらの実施の形態のいくつかの種類では、試験画素は、ディスプレイの、エージングの最も少ない20パーセントの画素から選択される。従って、いくつかの好ましい実施の形態では、試験画素は、ディスプレイの、実質的にエージングの最も少ない画素で構成されてよい。ディスプレイの、エージングの最も少ない1つ以上の画素が、所与の試験駆動電流についての現在の電圧降下を測定することによって特定されてよい。その際、エージングの最も少ない画素は、現在の電圧降下が最も少ないものである。あるいは、画素が例えば50パーセントといった閾値より大きな値で点灯している時間を監視して、エージングの最も少ない1つまたは複数の画素を発見してもよい。

#### 【0029】

当業者は、(アクティブまたはダミーの)多数の試験画素が用いられ得ることを理解するであろう。そして、第1の電圧降下の平均が求められてもよいし、あるいは多数の試験画素に基づいて別々に効率低下が推定されてもよく、これらを用いてディスプレイが、例えばディスプレイの個々の異なる領域ごとに補償される。

#### 【0030】

通常が表示用途ではアクティブである画素で試験画素が構成される本方法の実施の形態では、本方法は、監視される画素を基準として、1つ以上の他の画素の効率の低下(など)を求めることによって、ディスプレイに対する駆動を補償してよい。具体的には、本方法は、アクティブな試験画素が、例えば、50パーセントといった閾値駆動水準よりも大きな水準で点灯している時間を測定することを含んでよい。この点灯時間が分かたら、推定駆動電圧上昇が(試験画素の効率の推定低下を予測することによって)予測されてよく、実際の電圧降下は測定されるので、これを用いて試験画素の温度、ひいてはディスプレイの温度を間接的に測定することが可能である。随意にディスプレイの実際の推定温度が決定されてもよいが、必須ではない。そして、この情報を用い、測定された点灯時間を用いてディスプレイの温度を補償することによって、より詳しくは、試験画素の測定された電圧降下を予測された電圧降下と比較することによって、ディスプレイの他の画素に対する駆動を補償してよい。このような方法の実施の形態により、ディスプレイ各所の多数の試験画素を用いて、実施の形態では複数の「アクティブな」試験画素の電圧降下を平均することによって、ディスプレイ各所の予想される温度の違いを考慮に入れた、改善された補償を行ってよい。

#### 【0031】

当業者は、上述の技術がモノクロおよびカラーの両ディスプレイに適用可能であることを理解するであろう。従って、画素に関する言及は、カラーディスプレイのサブピクセルを含む。カラーディスプレイでは、典型的には赤、青、および緑の、異なる色のうちの2色または3色が別々に監視され補償されてよく、あるいは平均補償が決定されて、随意には色により異なる調整係数とともに、すべての色に適用されてもよい。例えば、青色サブ

10

20

30

40

50

ピクセルの効率低下を赤色および／または緑色のサブピクセルとは別に推定し補償することが望ましい場合がある。

【 0 0 3 2 】

関連態様において、本発明は、O L E Dディスプレイの画素に対する駆動を制御する方法であって、

【 数 1 】

$$V = V_0 + \frac{1}{1-\alpha} V_1 \left( 1 - \frac{\eta}{\eta_0} \right)$$

10

を用いて画素について駆動電圧Vを決定することを含み、ただし、 $V_0$ および $\eta_0$ は、初期時間における、試験駆動電流での画素に対する電圧駆動および試験駆動電流での画素の輝度効率であり、 $V_1$ は、試験駆動電流についての、電圧駆動における寿命末期の電圧上昇である方法において、寿命末期は、画素の効率が初期時間における初期効率値( $\eta_0$ )の $\alpha$ まで低下した時点として規定される方法を提供する。

【 0 0 3 3 】

さらなる関連態様において、本発明は、O L E Dディスプレイドライバであって、ディスプレイの少なくとも1つの試験画素の端子間の第1の電圧降下を測定するための入力と、ディスプレイの少なくとも1つの他の画素の端子間の第2の電圧降下を測定するための入力と、ディスプレイの効率の損失のための駆動電圧上昇を表す値( $V_1$ )を記憶する記憶部と、第1および第2の電圧と、ディスプレイの効率の損失のための駆動電圧上昇を表す値( $V_1$ )とから、ディスプレイの効率の推定低下を決定するシステムと、推定効率低下を用いてディスプレイに対する駆動を補償するシステムとを備えるディスプレイドライバを提供する。

20

【 0 0 3 4 】

上記のディスプレイドライバの実施の形態は、O L E Dディスプレイ、特にアクティブマトリクスO L E Dディスプレイと組み合わせて用いられてよい。好ましくは、そのようなアクティブマトリクスO L E Dディスプレイは、ディスプレイの画素のO L E Dデバイスの端子間の電圧を測定するように構成される。

【 0 0 3 5 】

従って、さらなる態様において、本発明は、アクティブマトリクスO L E Dディスプレイ画素駆動回路であって、画素駆動回路は、画素のO L E Dデバイスへ結合された入力接続であってO L E Dデバイスの端子間の電圧を測定するための入力接続と、ディスプレイの第1の電極線に結合された出力と、ディスプレイの第2の電極線に結合された制御接続とを有するトランジスタを含むアクティブマトリクスO L E Dディスプレイ画素駆動回路を提供する。

30

【 0 0 3 6 】

実施の形態では、画素駆動回路の追加トランジスタは、アクティブマトリクスディスプレイのすべての画素に実装する必要はなく、画素のうちのいくつか、すなわち電圧降下測定が望まれるものだけに実装すればよい。実施の形態において、画素駆動回路は、ディスプレイの行(または列)に実装され、第2の電極線は、ディスプレイの隣接する行(または列)の電源線を備える。好ましくは、第2の電極線は、正電源線を備え、トランジスタは、制御接続をローにプルすることによって制御される。このようにすれば、例えば、測定される画素の下画素の行のための電圧供給線を選択線として用いることができるので、追加の選択線が必要なくなる。

40

【 0 0 3 7 】

パッシブマトリクスディスプレイでは、O L E Dデバイスの端子間の電圧降下は普通、該当する行線および列線を介して実質的に直接的に得ることができる。アクティブマトリクスディスプレイおよびパッシブマトリクスディスプレイの両方において、随意に、例えば、設計段階において較正を実施して線抵抗補償係数をディスプレイドライバノ方法に組

50

み込むことによって、電極線抵抗を補償するように対処してよい。

【0038】

先に述べたように、電圧降下を測定するシステムは、電源投入時またはそのすぐ後に測定が行われ得るように、ディスプレイの電源投入に対してすぐに応答することが好ましい。測定は、ディスプレイの電源が投入されるたびに行われる必要はなく、例えば10回ごとの電源投入で行われてよい。

【0039】

本発明はさらに、上述した方法およびディスプレイドライバを実装するための、プロセッサ制御コードを保持するキャリア媒体を提供する。このコードは、Cのような（翻訳処理もしくはコンパイルされた）従来のプログラミング言語における、例えばソースコード、オブジェクトコード、もしくは実行可能コードといった従来のプログラムコード、またはアセンブリコード、ASIC（特定用途向け集積回路）もしくはFPGA（フィールドプログラマブルゲートアレイ）を設定もしくは制御するコード、もしくはVerilog（商標）もしくはVHDL（超高速集積回路用ハードウェア記述言語）のようなハードウェア記述言語用のコードを含んでよい。また、そのようなコードが複数の結合部品間に分散されてよい。キャリア媒体は、ディスクもしくはプログラムされたメモリ（例えばフラッシュRAMもしくはフラッシュROMのようなファームウェア）のような従来の記憶媒体、または光学的もしくは電氣的な信号キャリアのようなデータキャリアを含んでよい。

【0040】

次に、本発明の上記および他の態様について、単なる例として、添付の図面を参照してさらに説明する。

【図面の簡単な説明】

【0041】

【図1a】OLEDデバイスの縦断面である。

【図1b】パッシブマトリクスOLEDディスプレイの単純化された断面を示す図である。

【図2】パッシブマトリクスOLEDディスプレイの駆動配列を概念的に示す図である。

【図3】本発明の一態様を実施するのに適したパッシブマトリクスOLEDディスプレイドライバのブロック図である。

【図4a】OLED効率対時間のグラフを示す図である。

【図4b】OLED駆動電圧対時間のグラフを示す図である。

【図4c】OLEDディスプレイデバイスの焼き付きを補償するための手順のフロー図である。

【図5a】本発明の一態様を実施するアクティブマトリクスディスプレイドライバを示す図である。

【図5b】画素のOLEDデバイスの端子間の電圧降下を測定するのに適したアクティブマトリクス画素駆動回路の第1の例の概念図である。

【図5c】画素のOLEDデバイスの端子間の電圧降下を測定するように構成された電圧制御型アクティブマトリクス画素駆動回路の詳細な例を示す図である。

【図5d】画素のOLEDデバイスの端子間の電圧降下を測定するように構成された電流制御型アクティブマトリクス画素駆動回路の詳細な例を示す図である。

【発明を実施するための形態】

【0042】

図4aおよび図4bを参照すると、これらの図はそれぞれ、駆動時間（時）に対するOLEDの効率（アンペア当たりカンデラ）と、OLEDの駆動電圧（ボルト）とを示す。両グラフには、同じ引き伸ばされた指数関数

10

20

30

40

## 【数 2】

$$\exp\left(-\left(\frac{t}{\tau}\right)^n\right) \quad \text{または} \quad 1 - \exp\left(-\left(\frac{t}{\tau}\right)^n\right)$$

が合わせてあり、O L E D デバイスの効率の衰えと、同じ駆動電流 / 光出力のために必要な、上昇した駆動電圧との間に強い相関があることが分かる。駆動電圧  $V$  は、以下のように表せる。

## 【数 3】

$$V = V_0 + 2V_1 \left(1 - \frac{\eta}{\eta_0}\right) \quad (1)$$

10

ただし、 $V_0$  および  $\eta_0$  は、時間  $t = 0$  における電圧および効率であり、 $V_1$  は、寿命末期の電圧上昇である。先に述べたように、本発明の実施の形態では、上記の式 (1) において寿命末期の時点で  $\eta / \eta_0 = 1 / 2$  となり、よって  $V = V_0 + V_1$  となるように、我々は寿命末期を効率が半になる時点と任意に定義する。

## 【0043】

式 (1) において、 $V_0$  は、O L E D デバイスの温度  $T$  に依存し、例えば 25 °C において指定されてよい。これをより明瞭にするため、 $V_0$  は  $V_0(T)$  と表記されてよい。ただ、それでも我々は、本発明の実施の形態においては、式 (1) を利用するために温度を知る必要がないことの事情を説明する。 $V_1$  の値はあまり温度には依存しない。我々は、上記の所見および式 (1) に基づいて、O L E D ディスプレイの焼き付き、特に画像焼き付きを補正するために用いられ得るいくつかの技術を説明する。概して、これらの技術は、好ましくは電源投入時の、例えば所与の駆動電流における O L E D デバイスの端子間の電圧降下といった、O L E D の電流 - 電圧特性の監視を用いる。大まかに言えば、これらの技術は、試験電流における、ディスプレイの画素間で比較した駆動電圧の上昇を用いて、焼き付きを補正する。このようにして、ディスプレイの焼き付きの効果が低減され得る。

20

## 【0044】

第 1 の技術は、参照として用いられる、ディスプレイ端部付近の 1 つまたはいくつかの試験画素を含むものである。電源投入時に、ディスプレイの 1 つ、いくつか、またはすべての O L E D の電圧降下が測定され、試験デバイス (または複数の試験デバイス) と比較される。これによって温度への依存性を実質的に取り除くことができるが、この試験は、全ディスプレイが一様な温度になっている最初の電源投入時に実施することが好ましい。

30

## 【0045】

第 2 の方法は、外部の参照用デバイスを用いず、その代わりにディスプレイの O L E D どうしを互いに比較するものであり、その際、具体的には、電圧降下が最も小さい (すなわち、エージングの最も少ない) デバイスを参照として用いて、あたかもこのデバイスが初期状態であるかのようにとらえて他の 1 つ、いくつか、またはすべての効率低下を補正することによって行う。これにより、まず画像焼き付きが補正されるが、ディスプレイ全体のエージングは補正されない。ただ、通常、2 つの問題のうち断然重要なのは画像焼き付きの方である。

40

## 【0046】

さらなる方法は、ディスプレイの 1 つ (以上) の特定の画素を選び、その使用および電圧降下を正確に追跡するものである。ディスプレイの他の 1 つ、いくつか、またはすべての画素の電圧降下がこの画素と比較され、そして、この画素が経たエージングの程度は分かっているので、他の画素のエージングが突き止められ得る。

## 【0047】

この方法の変更例は、ディスプレイ全体にわたって画素を選び出して参照に用いるもの

50

である。そして、その他の画素については、それぞれ最寄りの追跡画素を参照する。これにより、表示領域にわたって生じ得る温度変化の影響を低減するのを助けることができる。

#### 【 0 0 4 8 】

これらの技術はすべて、アクティブマトリクスディスプレイおよびパッシブマトリクスディスプレイの両方に適用可能である。最適には、経路抵抗による電圧降下が補正され得る。

#### 【 0 0 4 9 】

再び上記の式 ( 1 ) を参照して、まずダミー ( 使われていない ) 試験画素の場合を考察する。これはエージングされていないので  $V_0$  であり、従って設定駆動電流におけるこの試験画素の端子間の電圧降下の測定値

10

#### 【 数 4 】

$$V_{now}^{test}$$

は、( 現在の温度における )  $V_0$  の値となる。従って、ディスプレイの他の画素については、電圧降下は

#### 【 数 5 】

$$V_{now}^{other} = V_{now}^{test} + 2V_1 \left( 1 - \frac{\eta}{\eta_0} \right) \quad (2)$$

20

によって与えられる。これを用いて、ディスプレイの  $\eta / \eta_0$  の値を計算することもできるし、他の多数の画素について  $\eta / \eta_0$  の平均値を計算することもできるし、あるいはディスプレイの各画素 ( もしくは各カラーサブピクセル ) もしくはディスプレイの複数の領域について  $\eta / \eta_0$  の値を計算することもできる。この値が得られたら、その逆数  $\eta_0 / \eta$  を用いて、駆動電流の倍率を変更することもできるし、電圧制御型の画素については、望ましい駆動電流を求めて、そこから駆動電圧を得ることもできる。従って、実施の形態において、駆動信号は以下のように倍率変更することができる。

#### 【 数 6 】

30

$$DRIVE_{now} = DRIVE_{requested} \times \left( \frac{\eta_0}{\eta} \right) \quad (3)$$

#### 【 0 0 5 0 】

次に、図 4 c を参照すると、この図は、上述の方法を、例えばコンピュータプログラムコードに実装するための手順を示す。そして、手順は、ステップ S 4 1 0 においてディスプレイの電源投入を検知してから、1つ以上の試験 ( 参照 ) 画素の端子間の電圧降下と、他の1つ以上の表示画素の端子間の電圧降下とを読み取る ( S 4 1 2、S 4 1 4 )。次に、手順は、例えば製造時に駆動チップに記憶された  $V_1$  の値を取り出し、上記の式 ( 1 ) を用いてディスプレイの現在の効率  $\eta / \eta_0$  を計算する ( S 4 1 6 )。ディスプレイ全体について  $\eta / \eta_0$  の平均値が計算されてもよいが、いくつかの好ましい実施の形態では、ディスプレイの各画素または各サブピクセルについて  $\eta / \eta_0$  の値が計算されてよい。このデータは、例えばフラッシュメモリなどのローカルな記憶部に書き込まれて、焼き付き補償データが更新される ( S 4 1 8 )。これにより、焼き付き較正が完了する。続けて、ディスプレイの動作中に、例えば駆動電流などの要求駆動が、記憶された効率データを用いて補償される。その際、補償は、各画素について個別に、またはディスプレイのグローバルな値を用いて、具体的には式 ( 3 ) に従って画素駆動を倍率変更することによって行われる。

40

#### 【 0 0 5 1 】

上述の方法の第 2 では、ダミー画素の代わりにディスプレイのアクティブな画素が較正

50

用の試験画素として用いられる。具体的には、各画素の点灯時間を測定することによって決定され得る、または電圧降下の最も小さい画素を特定することによって決定され得る、エージングの最も少ない画素が用いられる。後者の決定法は、パッシブマトリクスディスプレイでは簡単である。アクティブマトリクスディスプレイでは、この決定は、さらに後で述べるように、各画素（より正確にはOLED画像画素）の電圧降下を監視できるようにする回路を設けることによって行われてよい。このエージングの最も少ない画素のOLEDの端子間の電圧降下

【数 7】

$$V_{now}^{min}$$

10

は、

【数 8】

$$V_{now}^{min} = V_0 + 2V_1 \left( 1 - \frac{\eta^m}{\eta_0} \right) \quad (4)$$

により与えられる。ここで、 $\eta^m$  はエージングの最も少ない画素の電流効率である。さて、式(4)から式(2)を引くと、

【数 9】

$$V_{now}^{other} - V_{now}^{min} = \left[ \left( 1 - \frac{\eta}{\eta_0} \right) - \left( 1 - \frac{\eta^m}{\eta_0} \right) \right] 2V_1 \quad (5)$$

20

が得られる。さらに整理すると、

【数 10】

$$\frac{\Delta V}{2V_1} = \frac{\eta^m}{\eta_0} - \frac{\eta}{\eta_0} \quad (6)$$

となる。ここで、

【数 11】

$$\Delta V = V_{now}^{other} - V_{now}^{min}$$

30

である。従って、

【数 12】

$$\frac{\eta^m}{\eta_0} \approx 1$$

であれば、

【数 13】

$$1 - \frac{\Delta V}{2V_1} = 1 - \frac{\eta^m}{\eta_0} + \frac{\eta}{\eta_0} \approx \frac{\eta}{\eta_0} \quad (7)$$

40

となる。我々は、 $V$  は測定してあり、 $V_1$  は分かっているので、倍率変更係数  $\eta / \eta_0$  を式(7)の左辺のように計算することができ、上記の式(3)に用いることができる。

【0052】

再び式(7)を参照すると、倍率変更係数は、

【数 1 4】

$$\left(1 - \frac{\eta^m}{\eta_0} + \frac{\eta}{\eta_0}\right)^{-1} = \left(\frac{\eta + \eta_0 - \eta^m}{\eta_0}\right)^{-1}$$

となるので、「他の」画素の倍率変更された輝度は、

【数 1 5】

$$L^{other} = \eta \left( \frac{\eta + \eta_0 - \eta^m}{\eta_0} \right)^{-1} J = \frac{\eta \eta_0}{\eta + \eta_0 - \eta^m} J \approx \eta^m J$$

10

となる。ここで、J は、( 駆動電流に相当する ) 電流密度である。これより、他の画素の輝度はエージングの最も少ない画素の輝度とほぼ同じになるということが分かる ( ただし、ここでは全体的なエージング補償はない ) 。

【0 0 5 3】

$\eta^m / \eta_0$  がほぼ 1 であると仮定する際の誤差は計算可能であり、比率 0 . 9 では約 1 パーセント、比率 0 . 8 では約 5 パーセント、比率 0 . 7 では約 1 0 パーセントである。適用される補償の誤差という観点からすると、実際の駆動信号に対して、これは多くの状況で許容できるものである。

20

【0 0 5 4】

上述の方法は、図 4 c に示したもののおよび上述したものと、実質的に同じ手順によって実装されてよい。

【0 0 5 5】

さらなる代替方法では、ディスプレイの 1 つ以上のアクティブな試験画素の使用が監視されて点灯時間  $t_{ON}$  が決定され、点灯時間  $t_{ON}$  から効率の低下が以下の式 ( 8 ) に従って予測されてよい。その際、式 ( 8 ) において、 $\eta$  および  $n$  は、例えば該当する OLED 材料について前もって測定されてチップ上に記憶されることにより、既知である。

【数 1 6】

30

$$\frac{\eta}{\eta_0} = \exp\left(-\left(\frac{t_{ON}}{\tau}\right)^n\right) \quad (8)$$

これより、 $V_0$  の値が計算され得る。

【数 1 7】

$$V_{now}^{test} = V_0(T) + \left(1 - \frac{\eta}{\eta_0}\right)_{calc} 2V_1 \quad (9)$$

40

ここで、 $V_0$  の温度依存性は明示的に示される。そして、他の画素の現在の効率  $\eta$  の値が、以下のように決定され得る。

【0 0 5 6】

【数 1 8】

$$V_{now}^{other} = V_0(T) + \left(1 - \frac{\eta}{\eta_0}\right) 2V_1 \quad (10)$$

随意に、多数の試験画素にわたる平均を用いて  $V_0(T)$  を決定してもよい。さらに、またはあるいは、ディスプレイの異なる領域について  $V_0(T)$  の異なる値が決定されて

50

もよい。いずれの場合でも、ディスプレイ全体にわたる温度変化に対してより良好な頑健性の実現され得る。

【0057】

この方法の実施の形態もまた、図4cのものと同様の手順によって実装されてよく、その際、試験画素の効率低下をその追跡された使用に基づいて予測するステップが追加される。

【0058】

再び図3に戻って参照すると、当業者は、OLEDの端子間の電圧降下がディスプレイの行電極および列電極を介して事実上直接的に得られるということ、容易に認めるであろう。その際、線抵抗を較正して行うのが好ましいとしてもである。図3において、不揮発性プログラムメモリを用いて、本発明の実施の形態を例えば図4cに示したように実装するための手順を記憶してもよく、また、データメモリを用いて、例えば画素効率値データを記憶してもよい。

10

【0059】

図5aは、アクティブマトリクスOLEDディスプレイ制御部500の例を示す。制御部500もまた、本発明の実施の形態による手順を実装するためのコードを、不揮発性プログラムメモリ（好ましくは $V_1$ の値を規定するデータも記憶する）および、例えば画素効率値などの駆動補償データを記憶するフラッシュメモリのようなデータメモリに含んでよい。

【0060】

さらに詳しくは、OLED駆動システム500は、データおよび制御バス502を備え、データおよび制御バス502は、シリアルまたはパラレルのいずれかであってよく、表示のためのデータを受信するものである。図示した例では、これにより、フレーム記憶メモリ503への入力提供され、フレーム記憶メモリ503は、ディスプレイの画素のための輝度および随意に色のデータを記憶するとともに、第2のバス505を介してディスプレイ駆動プロセッサ506へのインターフェースを提供する。プロセッサ506は、完全にハードウェアで実装されてもよいし、例えばデジタル信号処理コアを用いてソフトウェアで実装されてもよいし、あるいはこれら2つを組み合わせ、ハードウェア加速のあるソフトウェアのようにして実装されてもよい。図示の実施の形態では、プロセッサ506は、クロック508を有し、またプログラムメモリ507とデータ/作業メモリ504とを含む。これらのメモリの一方または両方の、いくらかまたはすべての内容は、キャリア媒体に設けられてよく、これはリムーバブル記憶媒体507aにより例示的に示されている。

20

30

【0061】

プロセッサ506は、アクティブマトリクスディスプレイ520のための列インターフェース回路510と行インターフェース回路512との双方向接続509および511を有する。双方向接続により、行および列のデータがディスプレイ520へ提供され、電圧降下データがディスプレイ520から読み取られる。（他の構成では、行および列のインターフェースのうち一方への接続だけが双方向である。さらに他の構成では、ディスプレイから電圧降下データを受信するために別の接続が設けられる）。

40

【0062】

上述の実施の形態では、少なくとも1つのアクティブな表示画素の電圧降下が読み取られる。アクティブマトリクスOLEDディスプレイでこれを実現する方法は、いくつか存在する。

【0063】

1つの選択肢は、専用の検知回路および関連する接続を、トップエミッション型ディスプレイの画素回路間の空間に含むことである。そこでは、画素駆動回路が、覆っているOLED画素に対してぴったりと揃うことはない。これについては、我々の同時係属中の2006年6月30日出願された英国特許出願公開第0612973、8号明細書にさらに詳しく記載されている通りであり、その均等物は引用することにより全体としてここに

50



組み込まれているものとする。

【 0 0 6 4 】

もう 1 つの技術は、本出願人の国際特許出願である国際公開第 0 3 / 1 0 7 3 1 3 号および国際公開第 0 3 / 1 0 7 3 1 8 号（引用することにより全体としてここに組み込まれているものとする）に記載されたものと同様である。

【 0 0 6 5 】

監視される画素のパターンが表示される間、アクティブマトリクスディスプレイ（またはその特定の行もしくは列）への全電源電圧が制御され、ディスプレイの消費する電流が監視される。電界効果トランジスタのソース - ドレイン接続間の電圧降下は、トランジスタが飽和状態にある時は、（電流に依存する）既知の値で実質的に一定である。従って、  
10  
アクティブマトリクスディスプレイへの全電源電圧は、供給電流に屈曲部分が認められるまで、すなわち総供給電流が著しく減少し始める点が認められるまで、下げられ得る。この点において、トランジスタのドレイン - ソース間電圧降下が既知であり、全電源電圧が既知であるので、O L E D デバイスの端子間の電圧降下は、全供給電圧からドレイン - ソース電圧を引くことによって計算され得る。この技術は、ディスプレイの各行および / または各列に別々に適用することもできる。

【 0 0 6 6 】

図 5 b は、さらなる代替手法を概念的に示しており、この手法では、O L E D の端子間にキャパシタが接続されて、その後放電され、放電時の帯電量の測定値が O L E D デバイスの端子間の電圧に比例する。  
20

【 0 0 6 7 】

図 5 c は、電圧制御型アクティブマトリクス画素駆動回路 5 5 0 の例を示しており、この回路では、第 1 の選択トランジスタ 5 5 2 が列データ線を駆動トランジスタ 5 5 4 のゲートへ結合し、第 2 の選択トランジスタ 5 5 6 が、列データ線を、駆動トランジスタに駆動される O L E D デバイスの端子（他方の端子は接地される）へ結合する。トランジスタ 5 5 6 のゲートをローにすることによってトランジスタがオンになるが、実施の形態において、この選択線が次の画素の行の供給線へ結合されて、選択線を追加しなくて済むようになっていてもよい。

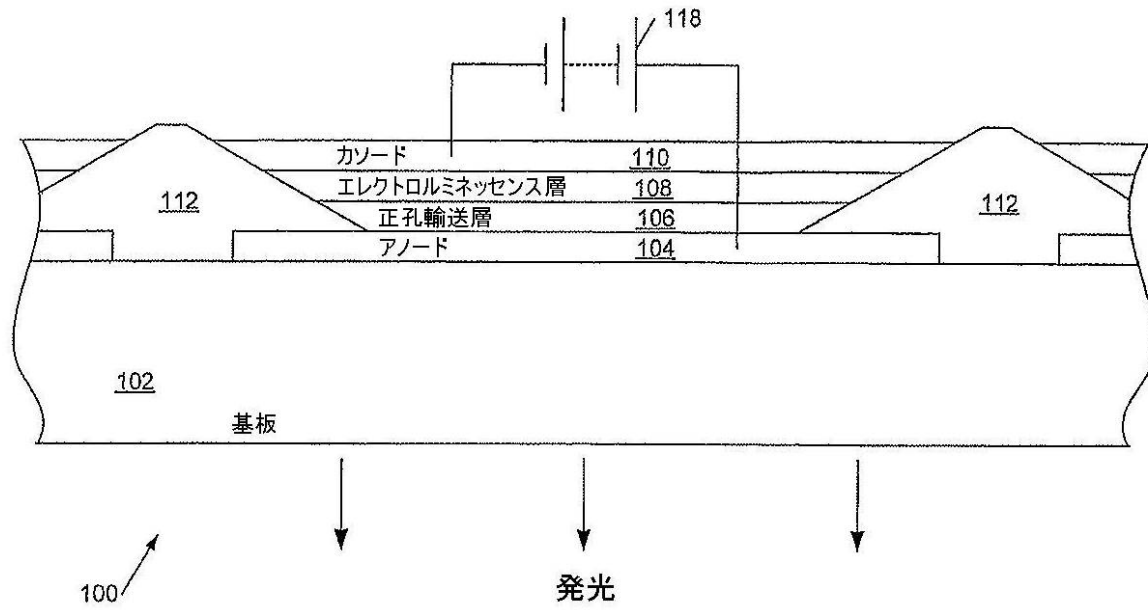
【 0 0 6 8 】

図 5 d は、同様の選択トランジスタを組み込んだアクティブマトリクス画素駆動回路 5 6 0 の別の例を示しているが（同じ要素は同じ参照番号で示してある）、ここでは、電圧制御型回路ではなく電流制御型回路を例示している（トランジスタ 5 6 2 が駆動トランジスタ 5 5 4 と電流ミラーを形成している）。さらに別の例の回路（図示しない）では、トランジスタ 5 6 2 をフォトダイオードと入れ替えて、O L E D デバイスからの光出力を列駆動のプログラムに組み込むようにしてもよい。  
30

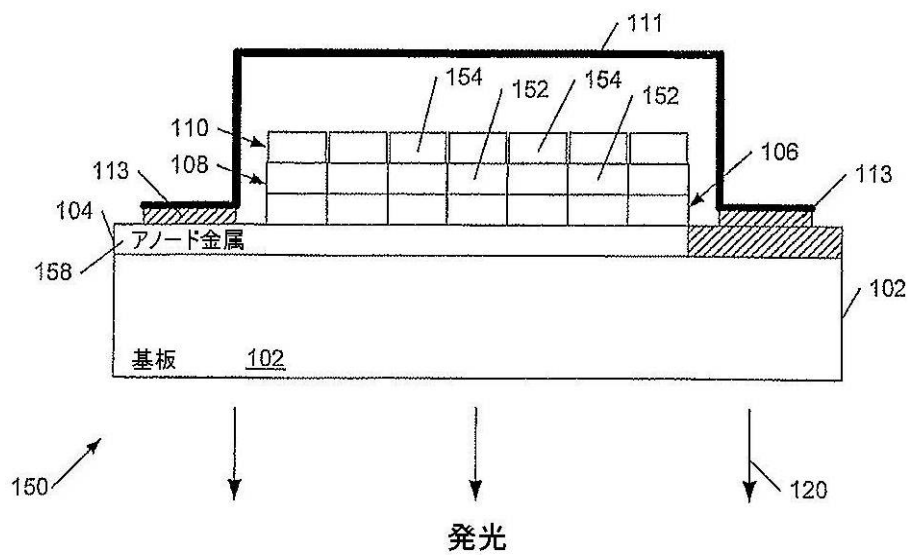
【 0 0 6 9 】

無論、当業者には他の多くの効果的な代替例が見いだされるであろう。本発明が、記載された実施の形態に限定されず、本明細書に添付された請求の範囲の精神と範囲内にある当業者にとって明らかな変更を包含することは理解されるであろう。

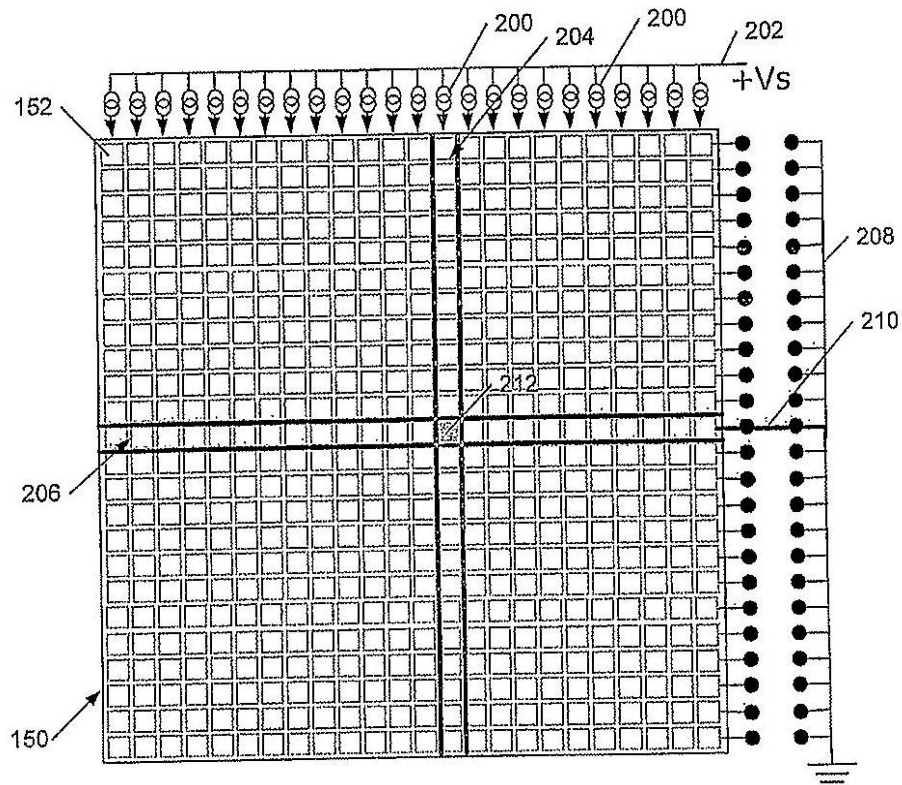
【図 1 a】



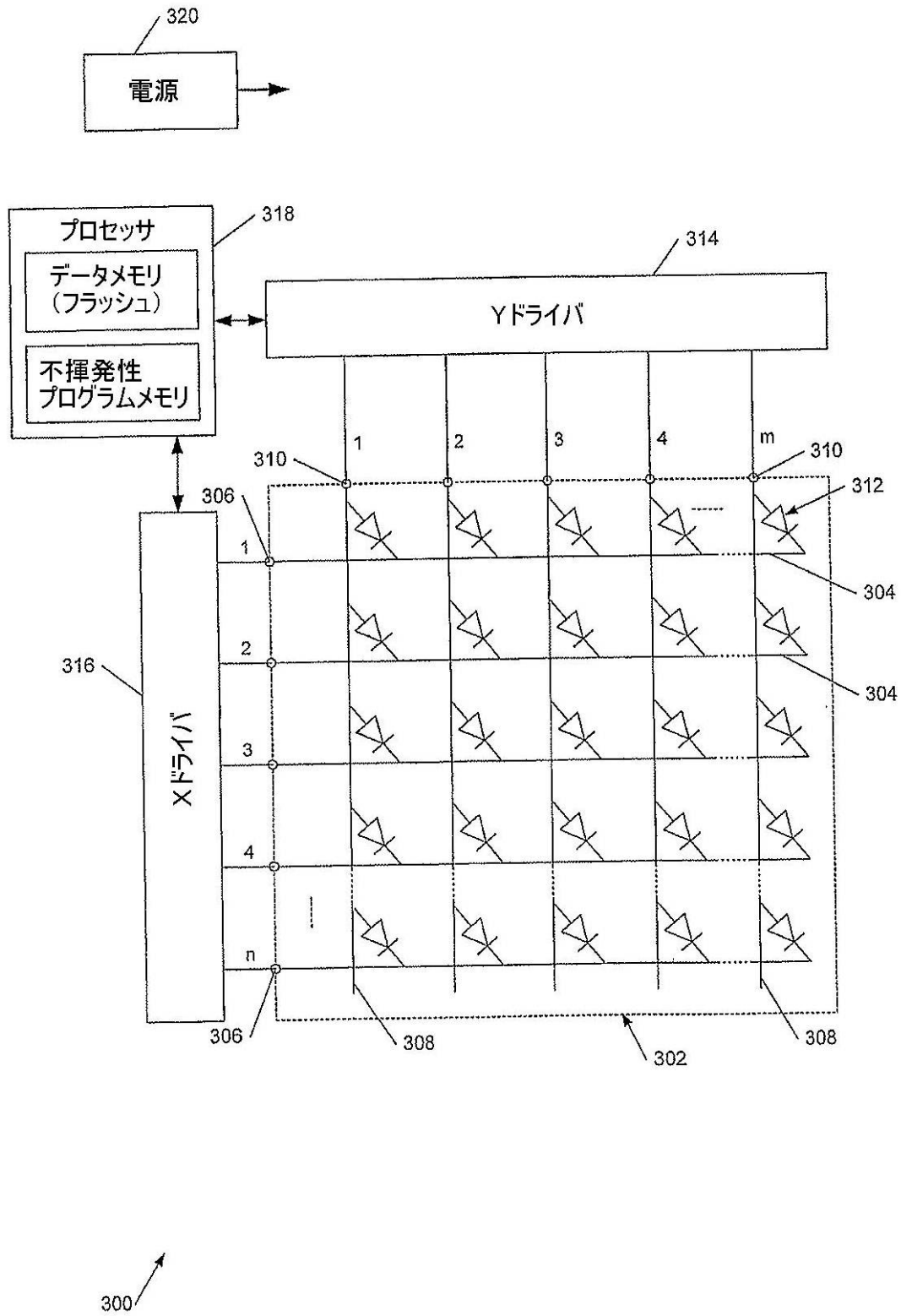
【図 1 b】



【図 2】

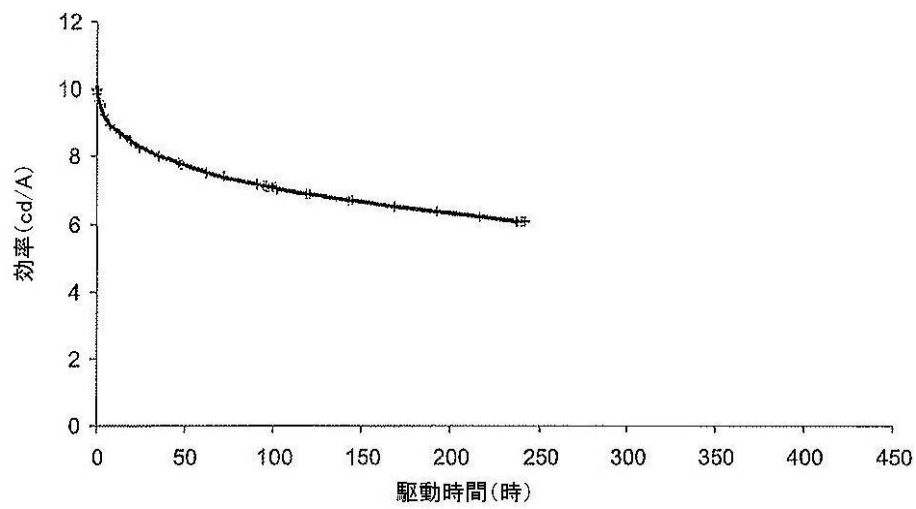


【図 3】



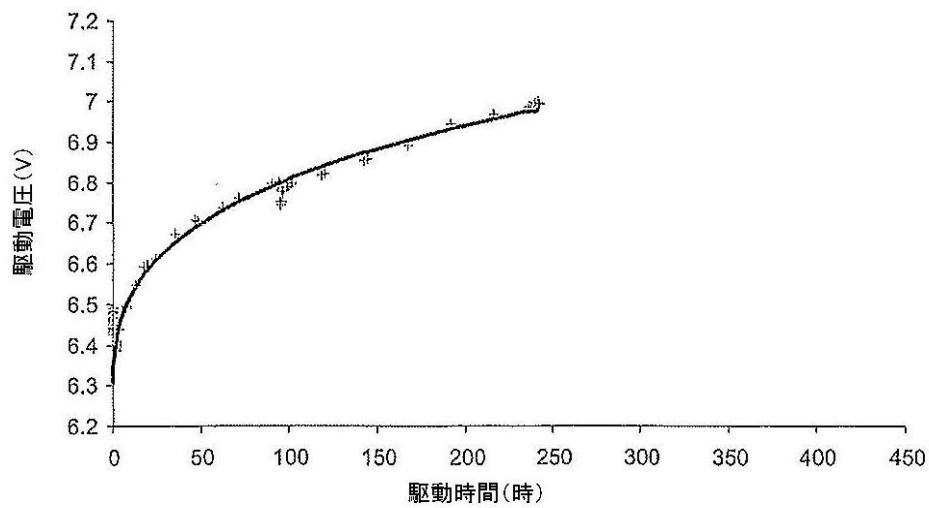
【図 4 a】

デバイス効率 対 時間

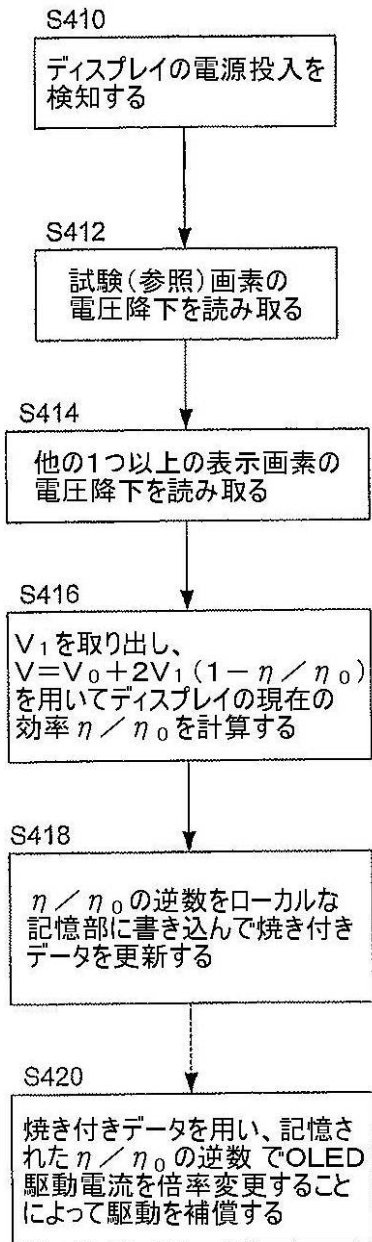


【図 4 b】

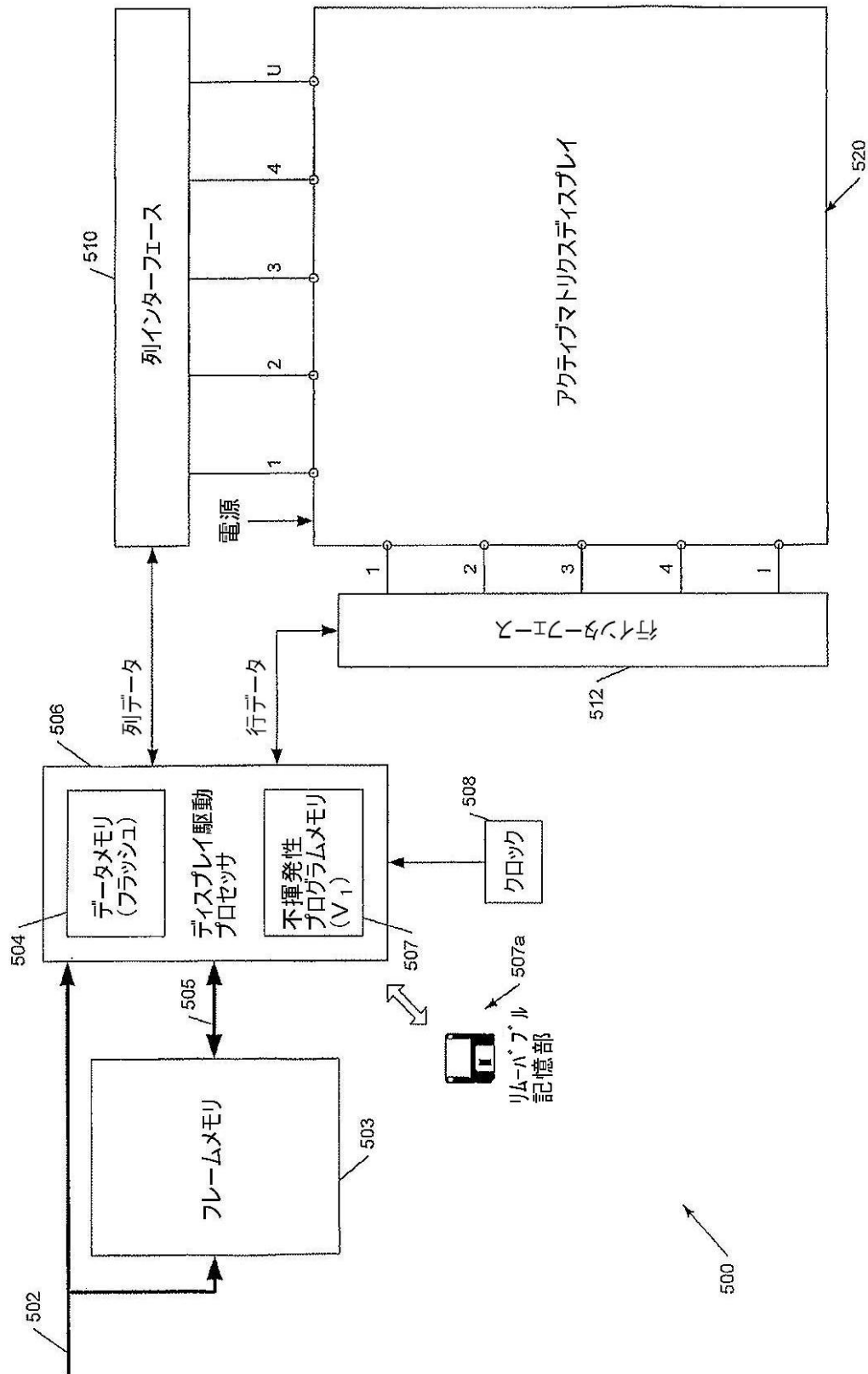
駆動電圧 対 時間



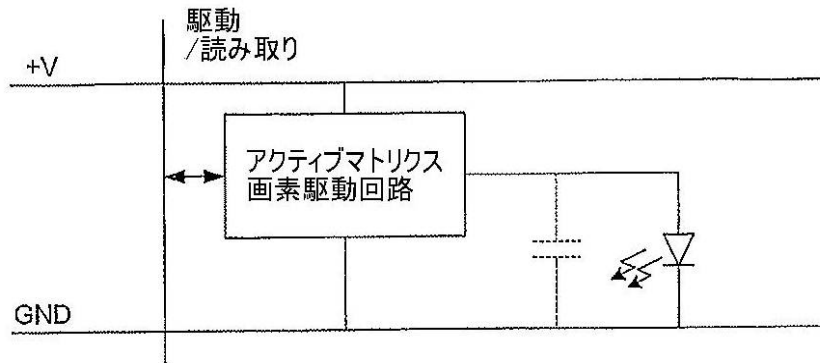
【図 4 c】



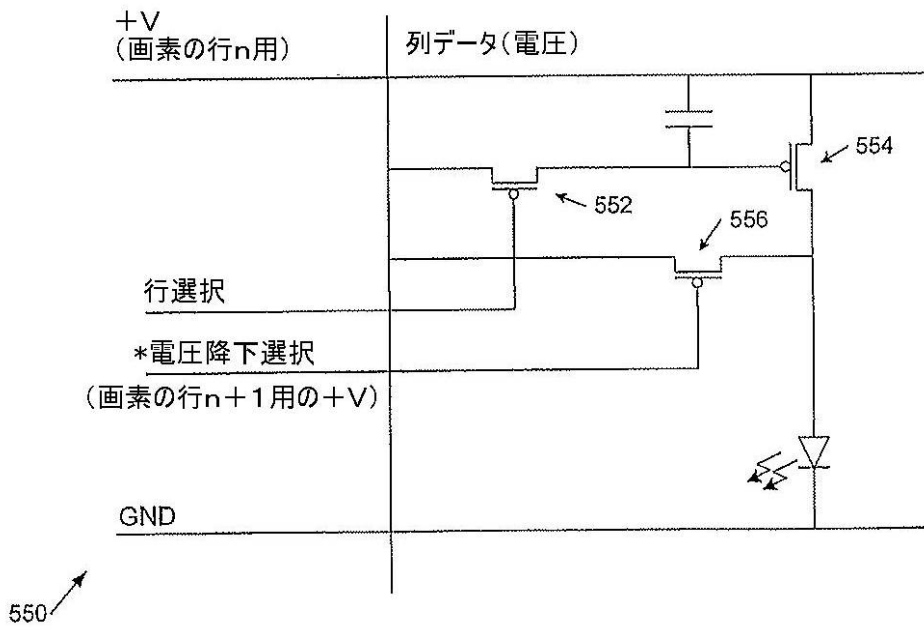
【図 5 a】



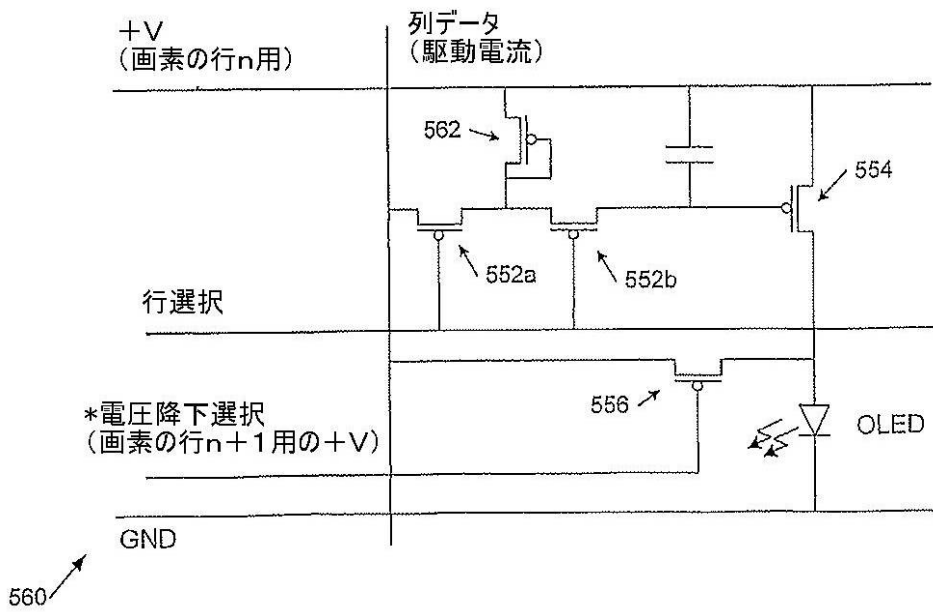
【図 5 b】



【図 5 c】



【図 5 d】





## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/GB2007/003279

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 158 483 A (EASTMAN KODAK CO [US]) 28 November 2001 (2001-11-28) paragraphs [0020], [0025], [0026]; figure 2	1-20
A	US 2005/110786 A1 (INOUE MASUTAKA [JP] ET AL) 26 May 2005 (2005-05-26) figures 1,2,9,10	1-20
A	US 2003/201727 A1 (YAMAZAKI SHUNPEI [JP] ET AL) 30 October 2003 (2003-10-30)	
A	EP 1 079 361 A (HARNESS SYST TECH RES LTD [JP]; SUMITOMO WIRING SYSTEMS [JP]; SUMITOMO) 28 February 2001 (2001-02-28) paragraph [0169]; claims 12,13; figure 29	
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search  29 October 2007		Date of mailing of the international search report  07/11/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer  LE CHAPELAIN, B

Form PCT/ISA/210 (second sheet) (April 2005)

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/GB2007/003279

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	WO 2007/053783 A (EASTMAN KODAK CO [US]; COK RONALD STEVEN [US]; LEON FELIPE ANTONIO [US]) 10 May 2007 (2007-05-10) ----- ..	

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/GB2007/003279

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1158483	A	28-11-2001	JP 2002023686 A	23-01-2002
			US 2004070558 A1	15-04-2004
US 2005110786	A1	26-05-2005	CN 1604163 A	06-04-2005
			JP 2005107059 A	21-04-2005
US 2003201727	A1	30-10-2003	NONE	
EP 1079361	A	28-02-2001	NONE	
WO 2007053783	A	10-05-2007	US 2007103411 A1	10-05-2007

## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 2 4 B
H 0 5 B	33/14	A

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100119183

弁理士 松任谷 優子

(74)代理人 100114465

弁理士 北野 健

(74)代理人 100156915

弁理士 伊藤 奈月

(72)発明者 スミス, ユアン

イギリス国 シービー 2 3 6 ディーダブリュ キャンボーン ケンブリッジシャイア, キャンボ  
 ーン ビジネス パーク, ビルディング 2 0 2 0, ケンブリッジ ディスプレイ テクノロジー  
 リミテッド, アイピー デパートメント内

F ターム(参考) 3K107 AA01 BB01 CC34 EE03 FF04 HH04

5C080 AA06 BB05 CC03 DD03 DD29 EE28 FF11 FF12 GG12 HH09

JJ02 JJ03 JJ05 JJ06 JJ07 KK01 KK43

5C380 AA01 AB05 AB06 AB11 AB12 AB31 AB34 AB43 AC07 AC08

BA19 BA42 BB13 BD04 BD11 CA12 CA13 CB37 CC01 CC09

CC14 CC26 CC30 CC33 CC52 CC55 CC57 CC63 CD013 CD015

CE02 CF02 CF05 CF13 CF43 CF58 CF62 CF68 DA01 DA02

DA06 DA07 DA32 DA33 DA34 DA39 DA50 DA57 EA05 FA02

FA07 FA18 FA20 FA21 FA23 FA26 FA28 GA18 HA03 HA05

专利名称(译)	显示驱动系统		
公开(公告)号	<a href="#">JP2010503007A</a>	公开(公告)日	2010-01-28
申请号	JP2009526173	申请日	2007-08-30
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	スミスユアン		
发明人	スミス,ユアン		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3216 G09G3/3233 G09G3/3241 G09G2300/0842 G09G2320/029 G09G2320/043 G09G2320/045 G09G2320/048		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.670.J G09G3/20.641.D G09G3/20.631.V G09G3/20.670.D G09G3/20.624.B H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC34 3K107/EE03 3K107/FF04 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD29 5C080/EE28 5C080/FF11 5C080/FF12 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK01 5C080/KK43 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB31 5C380/AB34 5C380/AB43 5C380/AC07 5C380/AC08 5C380/BA19 5C380/BA42 5C380/BB13 5C380/BD04 5C380/BD11 5C380/CA12 5C380/CA13 5C380/CB37 5C380/CC01 5C380/CC09 5C380/CC14 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC52 5C380/CC55 5C380/CC57 5C380/CC63 5C380/CD013 5C380/CD015 5C380/CE02 5C380/CF02 5C380/CF05 5C380/CF13 5C380/CF43 5C380/CF58 5C380/CF62 5C380/CF68 5C380/DA01 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA32 5C380/DA33 5C380/DA34 5C380/DA39 5C380/DA50 5C380/DA57 5C380/EA05 5C380/FA02 5C380/FA07 5C380/FA18 5C380/FA20 5C380/FA21 5C380/FA23 5C380/FA26 5C380/FA28 5C380/GA18 5C380/HA03 5C380/HA05		
代理人(译)	森田浩二 田中玲子 铃木 守 松任谷裕子 北野 健		
优先权	2006017111 2006-08-31 GB		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明一般涉及用于改进的OLED（有机发光二极管）显示器驱动系统的方法，装置和计算机程序代码，特别是用于补偿老化。该方法包括补偿OLED显示装置的OLED显示器的像素老化，包括：测量显示器的至少一个测试像素的端子之间的第一电压降；测量至少一个其他像素（V1）表示由于老化引起的显示效率损失和端子之间的第二电压降引起的驱动电压上升确定由于老化引起的显示效率的估计损失，并使用估计的效率降低来补偿对显示器的驱动。

