

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-58940

(P2008-58940A)

(43) 公開日 平成20年3月13日(2008.3.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 642A	
	G09G 3/20 611H	
	G09G 3/20 622Q	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 20 O L (全 45 頁) 最終頁に続く		

(21) 出願番号 特願2007-139016 (P2007-139016)
 (22) 出願日 平成19年5月25日 (2007.5.25)
 (31) 優先権主張番号 特願2006-210619 (P2006-210619)
 (32) 優先日 平成18年8月2日 (2006.8.2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 浅野 慎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 藤村 寛
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 甚田 誠一郎
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

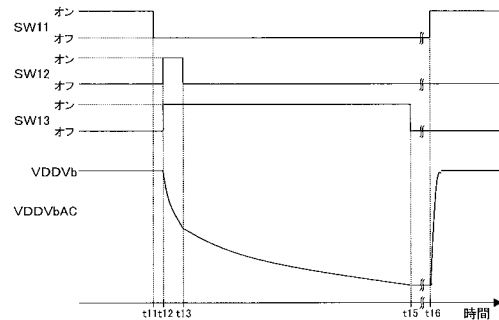
(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】 駆動トランジスタの移動度の画素ごとのバラツキに対する補正機能を実現し、スジや輝度ムラの無い均一な画質の表示画像を得る。

【解決手段】 有機EL素子を電流駆動する駆動トランジスタの移動度の画素ごとのバラツキを補正する移動度補正において、入力信号電圧 V_{sig} をサンプリングして書き込むサンプリングトランジスタを駆動する書き込み信号 WS の立ち下がり波形をアナログ波形、例えば入力信号電圧 V_{sig} に対して反比例するような波形に設定するとともに、書き込み走査回路 18B (i) における出力回路の最終段のバッファ 184 (i) の電源電位 V_{DDVb} を AC 電源とし、最終前段のバッファ 183 (i) の電源電位 V_{DDVb} を DC 電源とする。

【選択図】 図 15



【特許請求の範囲】**【請求項 1】**

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、映像信号をサンプリングして書き込むサンプリングトランジスタと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタとを含む画素回路がマトリクス状に配置されてなる画素アレイ部と、

前記サンプリングトランジスタによって前記映像信号が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す手段と、

出力回路の最終段バッファの電源に A C 電源を用いることによって前記補正期間を決める走査信号を生成する走査手段と

を備えたことを特徴とする表示装置。

【請求項 2】

前記走査信号は、前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するような立ち下がり波形または立ち上がり波形を有するアナログ波形である

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記最終段バッファに A C 電源を供給する第 1 電源ラインと基準電位ノードとの間に接続された保護回路を有する

ことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記走査手段は、前記出力回路の最終前段バッファの電源に D C 電源を用いる

ことを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記最終段バッファに A C 電源を供給する第 1 電源ラインと前記最終前段バッファに D C 電源を供給する第 2 電源ラインとの間に接続された保護回路を有する

ことを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記最終段バッファに A C 電源を供給する第 1 電源ラインと前記最終前段バッファに D C 電源を供給する第 2 電源ラインとの間に接続された第 1 保護回路と、

前記第 2 電源ラインと基準電位ノードとの間に接続された第 2 保護回路とを有する

ことを特徴とする請求項 4 記載の表示装置。

【請求項 7】

前記最終段バッファに A C 電源を供給する第 1 電源ラインと前記最終前段バッファに D C 電源を供給する第 2 電源ラインとの間に接続された第 1 保護回路と、

前記第 1 電源ラインと基準電位ノードとの間に接続された第 2 保護回路とを有し、

前記第 2 保護回路の抵抗値が前記第 1 保護回路の抵抗値よりも大きい

ことを特徴とする請求項 4 記載の表示装置。

【請求項 8】

前記最終段バッファの正電源を A C 電源とする場合、当該 A C 電源の最大値が前記 D C 電源の正の電圧値と等しい、または前記最終段バッファの負電源を A C 電源とする場合、当該 A C 電源の最小値が前記 D C 電源の負の電圧値と等しい

ことを特徴とする請求項 4 記載の表示装置。

【請求項 9】

前記 A C 電源を生成する回路は、

前記 D C 電源を選択的に入力するスイッチと、

前記スイッチによって入力された前記 D C 電源によって充電されるキャパシタと、

前記キャパシタの電荷を放電する放電手段とを有する

10

20

30

40

50

ことを特徴とする請求項 8 記載の表示装置。

【請求項 10】

前記 AC 電源を生成する回路は、前記画素アレイ部および前記走査手段が形成された基板の外部に設けられている

ことを特徴とする請求項 9 記載の表示装置。

【請求項 11】

前記放電手段は、前記キャパシタの電荷を異なる時定数にて段階的に放電する

ことを特徴とする請求項 9 記載の表示装置。

【請求項 12】

前記走査信号は、前記サンプリングトランジスタを駆動する信号であり、当該信号の立ち下がり波形または立ち上がり波形により、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定する

10

ことを特徴とする請求項 2 記載の表示装置。

【請求項 13】

前記画素回路は、前記走査信号によって駆動されることによって前記駆動トランジスタに選択的に電流を供給する第一のスイッチングトランジスタをさらに有し、

前記第一のスイッチングトランジスタが導通状態になってから前記サンプリングスイッチが非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 12 記載の表示装置。

20

【請求項 14】

前記サンプリングスイッチが導通状態になってから非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 12 記載の表示装置。

【請求項 15】

前記画素回路は、前記駆動トランジスタのゲートとドレインとの間に接続され、前記走査信号によって駆動される第二のスイッチングトランジスタをさらに有し、

前記走査信号の立ち上がり波形または立ち下がり波形により、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定する

30

ことを特徴とする請求項 2 記載の表示装置。

【請求項 16】

前記第二のスイッチングトランジスタが導通状態になってから非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 15 記載の表示装置。

【請求項 17】

前記画素回路は、前記駆動トランジスタのゲートとドレインとの間に接続された第二のスイッチングトランジスタと、前記入力信号電圧を与えるデータ線と前記駆動トランジスタのドレインとの間に接続され、前記走査信号によって駆動される第三のスイッチングトランジスタとをさらに有し、

40

前記走査信号の立ち上がり波形または立ち下がり波形により、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定する

ことを特徴とする請求項 2 記載の表示装置。

【請求項 18】

前記第三のスイッチングトランジスタが導通状態になってから非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 17 記載の表示装置。

【請求項 19】

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、映像信号をサンブ

50

リングして書き込むサンプリングトランジスタと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタとを含む画素回路がマトリクス状に配置されてなる表示装置の駆動方法であって、

前記サンプリングトランジスタによって前記映像信号が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す際に、

前記補正期間を走査信号によって決めるようにするとともに、当該走査信号を生成する走査回路の最終段バッファの電源にAC電源を用いる

ことを特徴とする表示装置の駆動方法。

10

【請求項20】

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、映像信号をサンプリングして書き込むサンプリングトランジスタと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタとを含む画素回路がマトリクス状に配置されてなる画素アレイ部と、

前記サンプリングトランジスタによって前記映像信号が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す手段と、

出力回路の最終段バッファの電源にAC電源を用いることによって前記補正期間を決める走査信号を生成する走査手段と

20

を備えた表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に電気光学素子を含む画素回路がマトリクス状（行列状）に配置されてなる表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

30

近年、画像表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度に変化するいわゆる電流駆動型の電気光学素子、例えば有機EL(electro luminescence)素子を含む画素回路がマトリクス状に多数配置されてなる有機EL表示装置が開発され、商品化が進められている。有機EL表示装置は、有機EL素子が自発光素子であることから、液晶セルを含む画素回路によって光源（バックライト）からの光強度を制御する液晶表示装置に比べて、画像の視認性が高い、バックライトが不要、素子の応答速度が速い等の特長を持っている。

【0003】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。そのため、近年、発光素子に流れる電流を、当該発光素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ(Thin Film Transistor; TFT))によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。

40

【0004】

能動素子として薄膜トランジスタ（以下、「TFT」と記述する）を用いた画素回路において、当該TFTとしてNチャネル型のトランジスタを用いることができれば、TFTを基板上に作成するに当たって、従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。そして、a-Siプロセスを用いることで、TFTを作成する基

50

板の低コスト化を図ることができる。

【 0 0 0 5 】

ところで、一般的に、有機 E L 素子の電流 - 電圧 (I - V) 特性は、時間が経過すると劣化 (経時劣化) する。N チャンネル型の T F T を用いた画素回路では、有機 E L 素子を電流駆動するトランジスタ (以下、「駆動トランジスタ」と記述する) のソース側に有機 E L 素子が接続されることになるために、有機 E L 素子の I - V 特性が経時変化すると、駆動トランジスタのゲート・ソース間電圧 V_{gs} が変化し、その結果、有機 E L 素子の発光輝度も変化する。

【 0 0 0 6 】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、当該駆動トランジスタと有機 E L 素子との動作点で決まる。有機 E L 素子の I - V 特性が劣化すると、駆動トランジスタと有機 E L 素子との動作点が変わってしまうため、駆動トランジスタのゲートに同じ電圧を印加したとしても、駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース・ゲート間電圧 V_{gs} が変化し、当該駆動トランジスタに流れる電流値が変化するために、有機 E L 素子に流れる電流値も変化し、その結果、有機 E L 素子の発光輝度が変化する。

10

【 0 0 0 7 】

また、ポリシリコン T F T を用いた画素回路では、有機 E L 素子の I - V 特性の経時劣化に加えて、駆動トランジスタの閾値電圧 V_{th} が経時的に変化したり、当該閾値電圧 V_{th} が画素ごとに異なったりする (個々のトランジスタ特性にバラツキがある)。駆動トランジスタの閾値電圧 V_{th} が異なると、駆動トランジスタに流れる電流値にバラツキが生じるために、駆動トランジスタのゲートに同じ電圧を印加しても、有機 E L 素子の発光輝度が変化し、画面の一様性 (ユニフォームティ) が損なわれる。

20

【 0 0 0 8 】

従来は、有機 E L 素子の I - V 特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} が経時変化したりしても、それらの影響を受けることなく、有機 E L 素子の発光輝度を一定に保つようにするために、有機 E L 素子の特性変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} の変動に対する補償機能を画素回路の各々に持たせる構成を採っていた (例えば、特許文献 1 参照)。

30

【 0 0 0 9 】

【特許文献 1】特開 2 0 0 4 - 3 6 1 6 4 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、ポリシリコン T F T を用いた画素回路では、有機 E L 素子の I - V 特性の経時劣化、駆動トランジスタの閾値電圧 V_{th} の経時変化や画素ごとのバラツキに加えて、駆動トランジスタのキャリアの移動度 μ も画素ごとに異なる。

【 0 0 1 1 】

駆動トランジスタは、飽和領域で動作するように設計されているために定電流源として動作する。その結果、有機 E L 素子には駆動トランジスタから、次式 (1) で与えられる一定のドレイン・ソース間電流 I_{ds} が供給される。

40

$$I_{ds} = (1 / 2) \cdot \mu (W / L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

ここで、 V_{th} は駆動 T F T の閾値電圧、 μ はキャリアの移動度、 W はチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当たりのゲート容量、 V_{gs} はゲート・ソース間電圧である。

【 0 0 1 2 】

上記の式 (1) から明らかなように、駆動トランジスタの移動度 μ が画素ごとに異なると、駆動トランジスタに流れるドレイン・ソース間電流 I_{ds} に画素ごとのバラツキが生じるために、有機 E L 素子の発光輝度が画素ごとに変化し、その結果、スジや輝度ムラのある不均一な画質となってしまう。

50

【 0 0 1 3 】

そこで、本発明は、駆動トランジスタの移動度の画素ごとのバラツキに対する補正機能を実現し、スジや輝度ムラの無い均一な画質の表示画像を得ることが可能な表示装置およびその駆動方法、ならびに当該表示装置を有する電子機器を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 4 】

上記目的を達成するために、本発明は、電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、映像信号をサンプリングして書き込むサンプリングトランジスタと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタを含む画素回路がマトリクス状に配置されてなる表示装置において、前記サンプリングトランジスタによって前記映像信号が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す際に、前記補正期間を走査信号によって決めるようにするとともに、当該走査信号を生成する走査回路の最終段バッファの電源に A C 電源を用いる構成を採っている。

10

【 0 0 1 5 】

上記構成の表示装置において、駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還させることで、移動度の異なる画素のドレイン・ソース間電流の電流値が均一化され、その結果、移動度のバラツキの補正が達成される。この負帰還における帰還量は、移動度の補正時間を調整することによって最適化が可能である。この最適な移動度補正時間は映像信号の信号電圧によって異なる。ここで、走査回路の最終段バッファの電源に A C 電源を用いることで、走査信号としてアナログ波形の走査信号を生成できる。そして、移動度補正時間をアナログ波形の走査信号によって決めることで、映像信号の信号電圧に適した移動度補正時間を設定できる。

20

【 発明の効果 】

【 0 0 1 6 】

本発明によれば、映像信号の信号電圧に適した移動度補正時間を設定することで、映像信号の信号電圧に応じて駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消すことができるために、駆動トランジスタの移動度が画素ごとに異なることに起因するスジや輝度ムラの無い均一な画質の表示画像を得ることができる。

30

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 1 8 】

図 1 は、本発明の一実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【 0 0 1 9 】

(画素アレイ部)

図 1 に示すように、本実施形態に係るアクティブマトリクス型表示装置は、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 E L 素子 3 1 を含む画素回路 1 1 がマトリクス状(行列状)に 2 次元配置されてなる画素アレイ部 1 2 を有している。ここでは、図面の簡略化のために、ある 1 つの画素回路 1 1 についてその具体的な回路構成を示している。

40

【 0 0 2 0 】

この画素アレイ部 1 2 において、画素回路 1 1 の各々に対して、画素行ごとに走査線 1 3、駆動線 1 4 および第一、第二補正用走査線 1 5、1 6 がそれぞれ配線され、また画素列ごとにデータ線(信号線) 1 7 が配線されている。この画素アレイ部 1 2 の周囲には、走査線 1 3 を走査駆動する書き込み走査回路 1 8 と、駆動線 1 4 を走査駆動する駆動走査回路 1 9 と、第一、第二補正用走査線 1 5、1 6 を走査駆動する第一、第二補正用走査回

50

路 20, 21 と、輝度情報に応じたデータ信号（映像信号）をデータ線 17 に供給するデータ線駆動回路 22 とが配置されている。

【0021】

本例では、書き込み走査回路 18 および駆動走査回路 19 が画素アレイ部 12 を挟んで一方側（例えば、図の右側）に配置され、その反対側に第一、第二補正用走査回路 20, 21 が配置された構成となっている。ただし、これらの配置関係は一例に過ぎず、これに限定されるものではない。また、書き込み走査回路 18、駆動走査回路 19 および第一、第二補正用走査回路 20, 21 は、走査線 13、駆動線 14 および第一、第二補正用走査線 15, 16 を走査駆動するに当たって、書き込み信号 WS、駆動信号 DS および第一、第二補正用走査信号 AZ1, AZ2 を適宜出力する。

10

【0022】

画素アレイ部 12 は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型（フラット型）のパネル構造となっている。画素アレイ部 12 の各画素回路 11 は、アモルファスシリコン TFT（薄膜トランジスタ）または低温ポリシリコン TFT を用いて形成することができる。本実施形態では、画素回路 11 を低温ポリシリコン TFT で形成する場合を例に挙げて説明するものとする。低温ポリシリコン TFT を用いる場合には、書き込み走査回路 18、駆動走査回路 19、第一、第二補正用走査回路 20, 21 およびデータ線駆動回路 22 についても、画素アレイ部 11 を形成するパネル上に一体的に形成することができる。

【0023】

（画素回路）

画素回路 11 は、有機 EL 素子 31 に加えて、駆動トランジスタ 32、サンプリングトランジスタ 33、スイッチングトランジスタ 34 ~ 36 およびキャパシタ（画素容量 / 保持容量）37 を構成素子として有する回路構成となっている。

20

【0024】

この画素回路 11 においては、駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 35, 36 として N チャネル型の TFT が用いられ、スイッチングトランジスタ 34 として P チャネル型の TFT が用いられている。ただし、ここでの駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 34 ~ 36 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

30

【0025】

有機 EL 素子 31 は、カソード電極が第 1 の電源電位 VSS（ここでは、接地電位 GND）に接続されている。駆動トランジスタ 32 は、有機 EL 素子 31 を電流駆動するためのものであり、ソースが有機 EL 素子 31 のアノード電極に接続されてソースフォロア回路を形成している。サンプリングトランジスタ 33 は、ソースがデータ線 17 に接続され、ドレインが駆動トランジスタ 32 のゲートに接続され、ゲートが走査線 13 に接続されている。

【0026】

スイッチングトランジスタ 34 は、ソースが第 2 の電源電位 VDD（ここでは、正の電源電位）に接続され、ドレインが駆動トランジスタ 32 のドレインに接続され、ゲートが駆動線 14 に接続されている。スイッチングトランジスタ 35 は、ドレインが第 3 の電源電位 Vofs に接続され、ソースがサンプリングトランジスタ 33 のドレイン（駆動トランジスタ 32 のゲート）に接続され、ゲートが第一補正用走査線 15 に接続されている。

40

【0027】

スイッチングトランジスタ 36 は、ドレインが駆動トランジスタ 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード N11 に接続され、ソースが第 4 の電源電位 Vin1（ここでは、負の電源電位）に接続され、ゲートが第二補正用走査線 16 に接続されている。キャパシタ 37 は、一端が駆動トランジスタ 32 のゲートとサンプリングトランジスタ 33 のドレインとの接続ノード N12 に接続され、他端が駆動トランジスタ 32

50

のソースと有機EL素子31のアノード電極との接続ノードN11に接続されている。

【0028】

上述した接続関係にて各構成素子が接続されてなる画素回路11において、各構成素子は次のような作用をなす。すなわち、サンプリングトランジスタ33は、導通状態となることにより、データ線17を通して入力される映像信号の信号電圧（以下、単に「信号電圧」または「入力信号電圧」と記述する） $V_{sig} (= V_{ofs} + V_{data}; V_{data} > 0)$ をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ37に保持される。スイッチングトランジスタ34は、導通状態になることにより、電源電位VDDから駆動トランジスタ32に電流を供給する。

【0029】

駆動トランジスタ32は、スイッチングトランジスタ34が導通状態にあるときに、キャパシタ37に保持された信号電圧 V_{sig} に応じた電流値を有機EL素子31に供給することによって当該有機EL素子31を駆動する（電流駆動）。スイッチングトランジスタ35, 36は、適宜導通状態になることにより、有機EL素子31の電流駆動に先立って駆動トランジスタ32の閾値電圧 V_{th32} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th32} をキャパシタ37に保持する。キャパシタ37は、表示期間に亘って駆動トランジスタ32のゲート・ソース間電圧を保持する。

【0030】

この画素回路11では、正常な動作を保証するための条件として、第4の電源電位 V_{ini} は、第3の電源電位 V_{ofs} から駆動トランジスタ32の閾値電圧 V_{th32} を差し引いた電位よりも低くなるように設定されている。すなわち、 $V_{ini} < V_{ofs} - V_{th32}$ のレベル関係となっている。また、有機EL素子31のカソード電位 V_{cat} （ここでは、接地電位GND）に有機EL素子31の閾値電圧 V_{thel} を加えたレベルは、第3の電源電位 V_{ofs} から駆動トランジスタ32の閾値電圧 V_{th32} を差し引いたレベルよりも高くなるように設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ofs} - V_{th32} (> V_{ini})$ のレベル関係となっている。

【0031】

なお、上記の画素回路11において、書き込み信号WSと第一補正用走査信号AZ1とが同時に“H”レベルとなる期間が存在しないため、スイッチングトランジスタ35をサンプリングトランジスタ33に共通化、電源電位 V_{ofs} の電源線をデータ線（信号線）17に共通化できる。この場合、データ線17より、第一補正用走査信号AZ1が“H”レベルに相当する期間に電源電位 V_{ofs} を供給し、書き込み信号WSが“H”レベルに相当する期間に入力信号電圧 V_{sig} を供給するようにすれば良い。

【0032】

[回路動作の説明]

続いて、上記構成の画素回路11をマトリクス状に2次元配置してなるアクティブマトリクス型有機EL表示装置の回路動作について、図2のタイミング波形図を用いて説明する。図2のタイミング波形図では、時刻 t_1 から時刻 t_9 までの期間を1フィールド期間としている。この1フィールド期間に画素アレイ部12の各画素行が1回順次走査されることになる。

【0033】

図2には、ある i 行目の画素回路11を駆動する際に、書き込み走査回路18から走査線13を介して画素回路11に与えられる書き込み信号WS、駆動走査回路19から駆動線14を介して画素回路11に与えられる駆動信号DSおよび第一、第二補正用走査回路20, 21から第一、第二補正用走査線15, 16を介して画素回路11に与えられる第一、第二補正用走査信号AZ1, AZ2のタイミング関係、ならびに駆動トランジスタ32のゲート電位 V_g およびソース電位 V_s の変化をそれぞれ示している。

【0034】

ここで、サンプリングトランジスタ33およびスイッチングトランジスタ35, 36がNチャンネル型であるために、書き込み信号WSおよび第一、第二補正用走査信号AZ1,

10

20

30

40

50

A Z 2 については、高レベル（本例では、電源電位 V D D ; 以下、「 H ”レベル」と記述する）の状態をアクティブ状態とし、低レベル（本例では、電源電位 V S S (G N D レベル) ; 以下、「 L ”レベル」と記述する）の状態を非アクティブ状態とする。また、スイッチングトランジスタ 3 4 が P チャネル型であるために、駆動信号 D S については、「 L ”レベルの状態をアクティブ状態とし、「 H ”レベルの状態を非アクティブ状態とする。

【 0 0 3 5 】

（発光期間）

まず、通常の発光期間（ t 7 ~ t 8 ）においては、書き込み走査回路 1 8 から出力される書き込み信号 W S、駆動走査回路 1 9 から出力される駆動信号 D S および第一、第二補正用走査回路 2 0 , 2 1 から出力される第一、第二補正用走査信号 A Z 1 , A Z 2 が共に “ L ”レベルにあるために、サンプリングトランジスタ 3 3 およびスイッチングトランジスタ 3 5 , 3 6 は非導通（オフ）状態にあり、スイッチングトランジスタ 3 4 が導通（オン）状態にある。

10

【 0 0 3 6 】

このとき、駆動トランジスタ 3 2 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、スイッチングトランジスタ 3 4 を通して駆動トランジスタ 3 2 から、有機 E L 素子 3 1 に対して先述した式（ 1 ）で与えられる一定のドレイン・ソース間電流 I d s が供給される。そして、時刻 t 8 で駆動信号 D S が “ L ”レベルから “ H ”レベルに遷移することで、スイッチングトランジスタ 3 4 が非導通となり、駆動トランジスタ 3 2 への電源電位 V D D からの電流供給が遮断されるため、有機 E L 素子 3 1 の発光が停止し、非発光期間に入る。

20

【 0 0 3 7 】

（閾値補正準備期間）

スイッチングトランジスタ 3 4 の非導通状態において、時刻 t 1 (t 9) で第一、第二補正用走査回路 2 0 , 2 1 から出力される第一、第二補正用走査信号 A Z 1 , A Z 2 が共に “ L ”レベルから “ H ”レベルに遷移することで、スイッチングトランジスタ 3 5 , 3 6 が導通状態となり、後述する駆動トランジスタ 3 2 の閾値電圧 V t h 3 2 のバラツキを補正（キャンセル）するための閾値補正準備期間に入る。

30

【 0 0 3 8 】

スイッチングトランジスタ 3 5 , 3 6 は、どちらが先に導通状態になっても良い。スイッチングトランジスタ 3 5 , 3 6 が導通状態となることにより、駆動トランジスタ 3 2 のゲートにはスイッチングトランジスタ 3 5 を介して電源電位 V o f s が印加され、駆動トランジスタ 3 2 のソース（有機 E L 素子 3 1 のアノード電極）にはスイッチングトランジスタ 3 6 を介して電源電位 V i n i が印加される。

40

【 0 0 3 9 】

このとき、先述したように、 V i n i < V c a t + V t h e 1 のレベル関係にあるために、有機 E L 素子 3 1 は逆バイアス状態となる。したがって、有機 E L 素子 3 1 には電流が流れず、非発光状態にある。また、駆動トランジスタ 3 2 は、そのゲート・ソース間電圧 V g s が V o f s - V i n i という値をとる。ここで、先述したように、 V o f s - V i n i > V t h 3 2 のレベル関係を満たしている。

40

【 0 0 4 0 】

時刻 t 2 で第二補正用走査回路 2 1 から出力される第二補正用走査信号 A Z 2 が “ H ”レベルから “ L ”レベルに遷移することで、スイッチングトランジスタ 3 6 が非導通状態となって、閾値補正準備期間が終了する。

【 0 0 4 1 】

（閾値補正期間）

その後、時刻 t 3 で駆動走査回路 1 9 から出力される駆動信号 D S が “ H ”レベルから “ L ”レベルに遷移することで、スイッチングトランジスタ 3 4 が導通状態となる。スイッチングトランジスタ 3 4 が導通状態となることで、電源電位 V D D スイッチングトラ

50

ンジスタ34 ノードN11 キャパシタ37 ノードN12 スイッチングトランジスタ35 電源電位Vofsの経路で電流が流れる。

【0042】

このとき、駆動トランジスタ32のゲート電位Vgが電源電位Vofsに保持されており、駆動トランジスタ32がカットオフするまで(導通状態から非導通状態になるまで)上記の経路で電流が流れ続ける。このとき、ノードN11の電位、即ち駆動トランジスタ32のソース電位Vsは、図3に示すように、電源電位Viniから時間の経過とともに徐々に上昇する。

【0043】

そして、一定時間が経過し、ノードN11とノードN12との間の電位差、即ち駆動トランジスタ32のゲート・ソース間電圧Vgsが閾値電圧Vth32になったところで、駆動トランジスタ32がカットオフする。このN11 - N12間の電位差Vth32は、閾値補正用の電位としてキャパシタ37に保持される。このとき、 $V_{el} = V_{ofs} - V_{th} < V_{cat} + V_{thel}$ となっている。

10

【0044】

その後、時刻t4で駆動走査回路19から出力される駆動信号DSが“L”レベルから“H”レベルに遷移し、第一補正用走査回路20から出力される第一補正用走査信号AZ1が“H”レベルから“L”レベルに遷移することで、スイッチングトランジスタ34, 35が非導通状態になる。この時刻t3から時刻t4までの期間が駆動トランジスタ32の閾値電圧Vth32を検出する期間である。ここでは、この検出期間t3 - t4を閾値補正期間と呼んでいる。

20

【0045】

スイッチングトランジスタ34, 35が非導通状態になることで(時刻t4)、閾値補正期間の終了となる訳であるが、このとき、スイッチングトランジスタ34がスイッチングトランジスタ35よりも先に非導通状態になることで、駆動トランジスタ32のゲート電位Vgの変動を抑えることが可能となる。

【0046】

(書き込み期間)

その後、時刻t5で書き込み走査回路18から出力される書き込み信号WSが“L”レベルから“H”レベルに遷移することで、サンプリングトランジスタ33が導通状態となり、入力信号電圧Vsigの書き込み期間に入る。この書き込み期間では、入力信号電圧Vsigがサンプリングトランジスタ33によってサンプリングされ、キャパシタ37に書き込まれる。

30

【0047】

有機EL素子31は容量成分を持っている。ここで、有機EL素子31の容量成分の容量値をCol edとし、キャパシタ37の容量値をCs、駆動トランジスタ32の寄生容量の容量値をCpとすると、駆動トランジスタ32のゲート・ソース間電圧Vgsは、次式(2)のように決定される。

$$V_{gs} = \{ Col ed / (Col ed + C_s + C_p) \} \cdot (V_{sig} - V_{ofs}) + V_{th32} \dots\dots (2)$$

40

【0048】

一般に、有機EL素子31の容量成分の容量値Col edは、キャパシタ37の容量値Csおよび駆動トランジスタ32の寄生容量値Cpに比べて十分に大きい。したがって、駆動トランジスタ32のゲート・ソース間電圧Vgsはほぼ(Vsig - Vofs) + Vthとなる。また、キャパシタ37の容量値Csが有機EL素子31の容量成分の容量値Col edに比べて十分に小さいため、信号電圧Vsigの大部分がキャパシタ37に書き込まれる。正確には、信号電圧Vsigと駆動トランジスタ32のソース電位Vs、即ち電源電位Vofsとの差分Vsig - Vofsが実効的な入力信号電圧Vdataとして書き込まれる。

【0049】

50

このとき、実効的な入力信号電圧 $V_{data} (= V_{sig} - V_{ofs})$ は、キャパシタ 37 に保持されている閾値電圧 V_{th32} に足し込まれる形で当該キャパシタ 37 に保持される。すなわち、キャパシタ 37 の保持電圧、即ち駆動トランジスタ 32 のゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V_{ofs} + V_{th32}$ となる。以降説明の簡略化のために、 $V_{ofs} = 0V$ とすると、ゲート・ソース間電圧 V_{gs} は、 $V_{sig} + V_{th32}$ となる。このように、キャパシタ 37 にあらかじめ閾値電圧 V_{th32} を保持しておくことで、後述するように、閾値電圧 V_{th32} のバラツキや経時変化を補正することが可能になる。

【0050】

すなわち、キャパシタ 37 にあらかじめ閾値電圧 V_{th32} を保持しておくことで、信号電圧 V_{sig} による駆動トランジスタ 32 の駆動の際に、当該駆動トランジスタ 32 の閾値電圧 V_{th32} がキャパシタ 37 に保持した閾値電圧 V_{th32} と相殺される、換言すれば、閾値電圧 V_{th32} の補正が行われるために、閾値電圧 V_{th32} にバラツキや経時変化があったとしても、それらの影響を受けることなく、有機 EL 素子 31 の発光輝度を一定に保つことができることになる。

10

【0051】

(移動度補正期間)

書き込み信号 WS が “H” レベルにある状態において、時刻 t_6 で駆動走査回路 19 から出力される駆動信号 DS が “H” レベルから “L” レベルに遷移し、スイッチングトランジスタ 34 が導通状態になることで、データ書き込み期間が終了し、駆動トランジスタ 32 の移動度 μ のバラツキを補正する移動度補正期間に入る。この移動度補正期間は、書き込み信号 WS のアクティブ期間 (“H” レベル期間) と駆動信号 DS のアクティブ期間 (“L” レベル期間) とがオーバーラップする期間となる。

20

【0052】

スイッチングトランジスタ 34 が導通状態になることで、電源電位 V_{DD} から駆動トランジスタ 32 への電流供給が開始されるために、画素回路 11 は非発光期間から発光期間に入る。このように、サンプリングトランジスタ 33 がまだ導通状態にある期間、即ちサンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $t_6 - t_7$ において、駆動トランジスタ 32 のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す移動度補正を行うことになる。

30

【0053】

なお、この移動度補正を行う発光期間の先頭部分 $t_6 - t_7$ では、駆動トランジスタ 32 のゲート電位 V_g が信号電圧 V_{sig} に固定された状態で、駆動トランジスタ 32 にドレイン・ソース間電流 I_{ds} が流れる。ここで、 $V_{ofs} - V_{th32} < V_{thel}$ と設定しておくことで、有機 EL 素子 31 が逆バイアス状態におかれるために、画素回路 11 が発光期間に入っているにもかかわらず、有機 EL 素子 31 が発光することはない。

【0054】

移動度補正期間 $t_6 - t_7$ では、有機 EL 素子 31 が逆バイアス状態にあることで、当該有機 EL 素子 31 はダイオード特性ではなく単純な容量特性を示すようになる。したがって、駆動トランジスタ 32 に流れるドレイン・ソース間電流 I_{ds} は、キャパシタ 37 の容量値 C_s と有機 EL 素子 31 の容量成分の容量値 C_{oled} とを合成した容量 $C (= C_s + C_{oled})$ に書き込まれていく。この書き込みにより、駆動トランジスタ 32 のソース電位 V_s が上昇していく。図 2 のタイミングチャートでは、ソース電位 V_s の上昇分を V で表している。

40

【0055】

このソース電位 V_s の上昇分 V は、結局、キャパシタ 37 に保持された駆動トランジスタ 32 のゲート・ソース間電圧 V_{gs} から差し引かれるように、換言すれば、キャパシタ 37 の充電電荷を放電するように作用することになるので、負帰還をかけられたことになる。すなわち、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。このとき、ゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V + V_{th32}$ となる。このように、駆動トラン

50

ンジスタ 3 2 に流れるドレイン・ソース間電流 I_{ds} を当該駆動トランジスタ 3 2 のゲート入力、即ちゲート・ソース間電圧 V_{gs} に負帰還することで、駆動トランジスタ 3 2 の移動度 μ のバラツキを補正することが可能になる。

【 0 0 5 6 】

(発光期間)

その後、時刻 t_7 で書き込み走査回路 1 8 から出力される書き込み信号 WS が “ L ” レベルになり、サンプリングトランジスタ 3 3 が非導通状態になることで、移動度補正期間が終了し、発光期間に入る。この結果、駆動トランジスタ 3 2 のゲートがデータ線 1 7 から切り離され、信号電圧 V_{sig} の印加が解除されるために、駆動トランジスタ 3 2 のゲート電位 V_g が上昇可能となり、ソース電位 V_s と共に上昇していく。その間、キャパシタ 3 7 に保持されたゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V + V_{th32}$ の値を維持する。

10

【 0 0 5 7 】

そして、駆動トランジスタ 3 2 のソース電位 V_s の上昇に伴い、有機 EL 素子 3 1 の逆バイアス状態が解消されるので、駆動トランジスタ 3 2 からのドレイン・ソース間電流 I_{ds} の流入により、有機 EL 素子 3 1 は実際に発光を開始する。

【 0 0 5 8 】

このときのドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の関係は、先述した式 (1) の V_{gs} に $V_{sig} - V + V_{th32}$ を代入することで、次式 (3) で与えられる。

20

$$\begin{aligned} I_{ds} &= k \mu (V_{gs} - V_{th32})^2 \\ &= k \mu (V_{sig} - V)^2 \quad \dots \dots (3) \end{aligned}$$

上記の式 (3) において、 $k = (1 / 2) (W / L) C_{ox}$ である。

【 0 0 5 9 】

この式 (3) から明らかなように、駆動トランジスタ 3 2 の閾値電圧 V_{th32} の項がキャンセルされており、駆動トランジスタ 3 2 から有機 EL 素子 3 1 に供給されるドレイン・ソース間電流 I_{ds} は、駆動トランジスタ 3 2 の閾値電圧 V_{th32} に依存しないことが分かる。基本的に、ドレイン・ソース間電流 I_{ds} は入力信号電圧 V_{sig} によって決まる。換言すると、有機 EL 素子 3 1 は、駆動トランジスタ 3 2 の閾値電圧 V_{th32} のバラツキや経時変化の影響を受けることなく、入力信号電圧 V_{sig} に応じた輝度で発光する。

30

【 0 0 6 0 】

また、上記の式 (3) から明らかなように、入力信号電圧 V_{sig} は、ドレイン・ソース間電流 I_{ds} の駆動トランジスタ 3 2 のゲート入力への負帰還によって帰還量 V で補正されている。この帰還量 V は、式 (3) の係数部に位置する移動度 μ の効果を打ち消すように作用する。したがって、ドレイン・ソース間電流 I_{ds} は、実質的に、入力信号電圧 V_{sig} のみに依存することになる。すなわち、有機 EL 素子 3 1 は、駆動トランジスタ 3 2 の閾値電圧 V_{th32} のみならず、駆動トランジスタ 3 2 の移動度 μ のバラツキや経時変化の影響を受けることなく、入力信号電圧 V_{sig} に応じた輝度で発光する。その結果、スジや輝度ムラのない均一な画質を得ることができる。

40

【 0 0 6 1 】

最後に、時刻 t_8 で駆動走査回路 1 9 から出力される駆動信号 DS が “ L ” レベルから “ H ” レベルに遷移し、スイッチングトランジスタ 3 4 が非導通状態になることで、電源 V_{DD} からの駆動トランジスタ 3 2 への電流供給が遮断され、発光期間が終了する。その後、時刻 t_9 (t_1) で次のフィールドに移って再び閾値補正、移動度補正および発光動作の一連の動作が繰り返して実行されることになる。

【 0 0 6 2 】

ここで、電流駆動型の電気光学素子である有機 EL 素子 3 1 を含む画素回路 1 1 がマトリクス状に配置されてなるアクティブマトリクス型表示装置においては、有機 EL 素子 3 1 の発光時間が長くなると、当該有機 EL 素子 3 1 の $I - V$ 特性が変化してしまう。それ

50

がために、有機EL素子31のアノード電極と駆動トランジスタ32のソースとの接続ノードN11の電位も変化する。

【0063】

これに対して、本実施形態に係るアクティブマトリクス型表示装置では、駆動トランジスタ32のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31のI-V特性が劣化したとしても、一定のドレイン・ソース間電流 I_{ds} が有機EL素子31に流れ続けるために、有機EL素子31の発光輝度が変化することはない（有機EL素子31の特性変動に対する補償機能）。

【0064】

また、入力信号電圧 V_{sig} が書き込まれる前に駆動トランジスタ32の閾値電圧 V_{th32} をあらかじめキャパシタ37に保持しておくことで、駆動トランジスタ32の閾値電圧 V_{th32} をキャンセル（補正）し、当該閾値電圧 V_{th} のバラツキや経時変化の影響を受けない一定のドレイン・ソース間電流 I_{ds} を有機EL素子31に流すことができるために、高画質の表示画像を得ることができる（駆動トランジスタ32の V_{th} 変動に対する補償機能）。

【0065】

さらに、移動度補正期間 $t_6 - t_7$ において、ドレイン・ソース間電流 I_{ds} を駆動トランジスタ32のゲート入力へ負帰還し、その帰還量 V によって入力信号電圧 V_{sig} を補正することで、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消し、入力信号電圧 V_{sig} のみに依存するドレイン・ソース間電流 I_{ds} を有機EL素子31に流すことができるため、駆動トランジスタ32の移動度 μ のバラツキや経時変化に起因するスジや輝度ムラのない均一な画質の表示画像を得ることができる（駆動トランジスタ32の移動度 μ に対する補償機能）。

【0066】

[移動度補正]

ここで、駆動トランジスタ32の移動度 μ に対する補償機能についてさらに考察する。駆動トランジスタ32のゲート入力に対するドレイン・ソース間電流 I_{ds} の負帰還における帰還量 V は、移動度補正期間 $t_6 - t_7$ の時間幅 t を調整することによって最適化が可能である。

【0067】

図4は、移動度補正期間 $t_6 - t_7$ における画素回路11の状態を示す回路図である。ここでは、図面の簡略化のために、サンプリングトランジスタ33およびスイッチングトランジスタ34～36についてはスイッチのシンボルを用いて図示している。

【0068】

図4に示すように、移動度補正期間 $t_6 - t_7$ では、サンプリングスイッチ33およびスイッチングトランジスタ34が導通状態（書き込み信号 WS および駆動信号 DS がアクティブ状態）にある一方、スイッチングトランジスタ35, 36が非導通状態（第一, 第二補正用走査信号 $AZ1$, $AZ2$ が非アクティブ状態）にあり、駆動トランジスタ32のゲート電位 V_g が信号電圧 V_{sig} に固定された状態で、駆動トランジスタ32にドレイン・ソース間電流 I_{ds} が流れる。

【0069】

ここで、先述したように、 $V_{ofs} - V_{th32} < V_{thel}$ と設定しておくことにより、有機EL素子31は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示すことになる。したがって、駆動トランジスタ32に流れるドレイン・ソース間電流 I_{ds} は、キャパシタ37と有機EL素子31の等価容量との合成容量 $C (= C_s + C_{oled})$ に流れ込むことになる。換言すれば、ドレイン・ソース間電流 I_{ds} の一部がキャパシタ37に負帰還され、その結果、駆動トランジスタ32の移動度 μ の補正が行われる。

【0070】

10

20

30

40

50

図5は、ドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の関係式である式(3)をグラフ化した図であり、縦軸にドレイン・ソース間電流 I_{ds} をとり、横軸に入力信号電圧 V_{sig} をとっている。

【0071】

図5に示すグラフは、駆動トランジスタ32の移動度 μ が相対的に大きい画素1と、駆動トランジスタ32の移動度 μ が相対的に小さい画素2とを比較した状態で特性カーブを描いたものである。駆動トランジスタ32をポリシリコン薄膜トランジスタなどで構成した場合、画素1や画素2のように、画素間で移動度 μ がばらつくことは避けられない。

【0072】

画素1と画素2で移動度 μ にバラツキがある状態で、例えば両画素1, 2に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素1に流れるドレイン・ソース間電流 I_{ds1} と移動度 μ の小さい画素2に流れるドレイン・ソース間電流 I_{ds2} との間には大きな差が生じてしまう。このように、移動度 μ のバラツキに起因してドレイン・ソース間電流 I_{ds1} に画素間で大きな差が生じると、画面のユニフォーミティを損なうことになる。

10

【0073】

そこで、本発明では、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、駆動トランジスタ32の移動度 μ の画素ごとのバラツキをキャンセルする(補正する)補償機能を持たせた構成を採っている。先述した式(1)のトランジスタ特性式から明らかのように、移動度 μ が大きいとドレイン・ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。

20

【0074】

図5のグラフに示すように、移動度 μ の大きな画素1の帰還量 V_1 は、移動度の小さな画素2の帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなることとなるため、移動度 μ のバラツキを抑制することができる。具体的には、移動度 μ の大きな画素1で帰還量 V_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。

【0075】

一方、移動度 μ の小さな画素2の帰還量 V_2 である補正量は小さいので、ドレイン・ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素1のドレイン・ソース間電流 I_{ds1} と画素2のドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるため、移動度 μ のバラツキがキャンセルされる。この移動度 μ のバラツキの補正は、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲で行われるので、画面のユニフォーミティは非常に高くなる。

30

【0076】

以上をまとめると、移動度 μ の異なる画素1と画素2があった場合、移動度 μ の大きい画素1の帰還量 V_1 は移動度 μ の小さい画素2の帰還量 V_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。すなわち、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化され、その結果、移動度 μ のバラツキを補正することができる。

40

【0077】

ここで、上述した移動度補正の数値解析を行う。図4に示すように、サンプリングトランジスタ33およびスイッチングトランジスタ34が導通した状態で、駆動トランジスタ32のソース電位 V_s を変数 V にとって解析を行うものとする、駆動トランジスタ32には次式(4)で与えられるドレイン・ソース間電流 I_{ds} が流れる。

$$\begin{aligned} I_{ds} &= k \mu (V_{gs} - V_{th32})^2 \\ &= k \mu (V_{sig} - V - V_{th32})^2 \end{aligned} \quad \dots \dots (4)$$

50

【 0 0 7 8 】

また、ドレイン・ソース間電流 I_{ds} と合成容量 $C (= C_s + C_{oled})$ の関係により、次式 (5) に示すように、 $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。なお、式 (5) においては、 V_{th32} を V_{th} として記している。

【 0 0 7 9 】

【 数 1 】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \text{ より、} \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \dots\dots (5)$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu (V_{sig} - V_{th} - V)^2} dV$$

10

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

【 0 0 8 0 】

20

式 (5) に式 (4) を代入して両辺を積分する。ここで、ソース電圧 $V (V_s)$ の初期状態は $-V_{th32}$ であり、移動度補正期間 $t_6 - t_7$ の時間幅を t (以下、「移動度補正時間 t 」と記述する) とする。この微分方程式を解くと、移動度補正時間 t に対するドレイン・ソース間電流 I_{ds} は、次式 (6) で与えられる。

【 0 0 8 1 】

【 数 2 】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \dots\dots (6)$$

30

【 0 0 8 2 】

移動度 μ の異なる画素において、式 (5) を用いて $t = 0 \mu s$ のときと $t = 2.5 \mu s$ のときの入力信号電圧 V_{sig} 対ドレイン・ソース間電流 I_{ds} の関係を図 6 に示す。図 6 から明らかなように、 $t = 0 \mu s$ の移動度補正をかけない状態に比べて、 $t = 2.5 \mu s$ では移動度 μ のバラツキに対する補正が十分にかかっていることがわかる。移動度補正無しでは 40% の移動度 μ のバラツキがあったものが、移動度補正をかけることによって 10% 以下に移動度 μ のバラツキが抑えられている。

【 0 0 8 3 】

移動度補正動作では、常に $V (V_s) < V_{thel}$ の条件を満たしている必要がある。本実施形態に係る画素回路 11 では、画素容量 (キャパシタ 37) C_s と有機 EL 素子 31 の等価容量 C_{oled} が移動度補正に作用している。有機 EL 素子 31 の等価容量 C_{oled} は画素容量 C_s に対して大きいことから合成容量 C も大きくなるために、移動度補正時間 t のマージンを稼ぐことができる。

40

【 0 0 8 4 】

ここで、最適な移動度補正時間 t について考える。まず、係数 $k (= (1/2) \cdot (W/L) \cdot C_{ox})$ を用いた式 (6) について、係数 k に代えて移動度 μ を含む係数 $(= \mu \cdot (W/L) \cdot C_{ox})$ を用いて変形すると、次式 (7) となる。

$$I_{ds} = \left(\frac{\mu}{2} \right) \cdot \left\{ \left(\frac{1}{V_{sig}} \right) \cdot \left(\frac{W}{L} \right) \cdot \left(\frac{t}{C} \right) \right\}^{-2} \quad \dots\dots (7)$$

ここで、 C は、移動度補正を行うときに放電されるノードの容量である。本回路では、合

50

成容量 $C = C_s + C_{ole d}$ であるが、回路構成によっては $C = C_s + C_{ole d}$ に限らない。

【0085】

最適条件は、移動度 μ のバラツキに対してドレイン・ソース間電流 I_{ds} の変動が最も少ない点、即ち $dI_{ds} / d\mu = 0$ となる。この条件で、式(7)を解くと、 μ の平均を μ_0 として、最適な補正時間 t_0 は、

$$t_0 (\mu = \mu_0) = C / (\mu_0 \cdot V_{sig}) \dots\dots (8)$$

となる。

【0086】

式(8)より、入力信号電圧 $V_{sig} (= V_{data})$ が大きくなると、最適な移動度補正時間 t が小さくなることがわかる。すなわち、最適な移動度補正時間 t と入力信号電圧 V_{sig} とは反比例の関係にあることがわかる。換言すれば、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。

10

【0087】

式(8)を式(7)に戻すと、

$$I_{ds} (t = t_0, \mu = \mu_0) = \mu_0 \cdot V_{sig} / (2 + r)^2 \dots\dots (9)$$

となる。すなわち、移動度 μ の補正によって、駆動トランジスタ32のゲート・ソース間の電圧、即ちキャパシタ37の両端間の電圧 $V_{gs} - V_{th32}$ を入力信号電圧 V_{sig} から $V_{sig} / 2$ まで放電させることが最適であることがわかる。

20

【0088】

さらに、任意の係数 r (任意の移動度 μ のときの係数) の平均 μ_0 に対する誤差量 $r (= (\mu - \mu_0) / \mu_0)$ を用いて、係数 r を、

$$\mu = \mu_0 \cdot (1 + r) \dots\dots (10)$$

とおくと、最適な移動度補正時間 t で、任意の係数 r のときのドレイン・ソース間電流 I_{ds} は、

$$I_{ds} (t = t_0, \mu = \mu_0) = \mu_0 \cdot \{ (1 + r) / 2 \} \cdot \{ V_{sig} / (2 + r) \} \dots\dots (11)$$

となる。

【0089】

30

次に、 r と μ_0 でのバラツキについて評価すると、

$$\begin{aligned} I_{ds} (t = t_0, \mu = \mu_0) / I_{ds} (t = t_0, \mu = \mu_0) &= (1 + r) / \{ 1 + (r / 2) \}^2 \\ &= (1 + r) / \{ 1 + r + (r^2 / 4) \} \dots\dots (12) \end{aligned}$$

となる。すなわち、 r^2 が十分に小さければ、移動度 μ () が完全に補正されることになる。

【0090】

以上説明した移動度補正の数値解析から明らかなように、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる、即ち移動度 μ の画素ごとのバラツキを補正できることがわかる。

40

【0091】

なお、式(8)で表される最適な移動度補正時間 t を t_0 とすると、 $\mu = \mu_0$ のとき、移動度補正時間 t がばらついたときの影響は次式で表される。

$$\begin{aligned} I_{ds} (t, \mu = \mu_0) / I_{ds} (t_0, \mu = \mu_0) &= (2 / (1 + t / t_0))^2 \dots\dots (13) \end{aligned}$$

【0092】

ここで、視認上違和感がない輝度のバラツキ、即ちドレイン・ソース間電流 I_{ds} のバラツキとして例えば10%程度を許容するものとし、上記式(13)を近似的に解くと、

$$I_{ds} (t) / I_{ds} (t_0) \dots\dots (14)$$

50

となる。すなわち、ドレイン・ソース間電流 I_{ds} のバラツキと移動度補正時間 t とは比例関係にあるために、移動度補正時間 t のバラツキは 10 % 程度許容されることになる。

【0093】

図2のタイミングチャートから明らかなように、移動度補正時間 t ($t_6 - t_7$) は、サンプリングトランジスタ33およびスイッチングトランジスタ34が共に導通状態にある期間であることから、サンプリングトランジスタ33が導通状態から非導通状態に移行するタイミングで決まることになる。そして、サンプリングトランジスタ33は、ゲートとデータ線17との間の電位差、即ちゲート・ソース間電圧が閾値電圧 V_{th33} になったところでカットオフする、即ち導通状態から非導通状態に移行する。

【0094】

そこで、本実施形態では、書き込み走査回路18から走査線13を介してNチャンネル型のサンプリングトランジスタ33のゲートに印加される書き込み信号 W_S を、“H”レベルから“L”レベルに遷移するときの立ち下がり波形（サンプリングトランジスタ33がPチャンネルのときは立ち上がり波形）が、図7に示すように、実効的な入力信号電圧 V_{data} ($= V_{sig} - V_{ofs}$) に対して反比例する波形になるように生成する。

【0095】

書き込み信号 W_S の立ち下がり波形を、入力信号電圧 V_{sig} に対して反比例するような波形に設定することで、サンプリングトランジスタ33のゲート・ソース間電圧が閾値電圧 V_{th33} になったところで当該サンプリングトランジスタ33がカットオフするために、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することができる。

【0096】

具体的には、図7の波形図から明らかなように、サンプリングトランジスタ33は、白レベルに対応した入力信号電圧 V_{sig} (白) のときには、ゲート・ソース間電圧が V_{sig} (白) + V_{th33} になったところでカットオフするために移動度補正時間 t (白) が一番短く設定され、グレーレベルに対応した入力信号電圧 V_{sig} (グレー) のときには、ゲート・ソース間電圧が V_{sig} (グレー) + V_{th33} になったところでカットオフするために移動度補正時間 t (グレー) が移動度補正時間 t (白) よりも長く設定されることになる。

【0097】

このように、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、入力信号電圧 V_{sig} に対応した最適な移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲（全階調）に亘って駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

【0098】

[書き込み走査回路]

次に、立ち下がり波形が入力信号電圧 V_{sig} に対して反比例するような波形を持つ書き込み信号 W_S を生成するための書き込み走査回路18の具体的な実施例について説明する。

【0099】

(実施例1)

図8は、実施例1に係る書き込み走査回路18Aの回路構成を示す回路図である。ここでは、画素アレイ部12の i 行目に対応したシフト段 (i) を例に挙げて示しているが、他のシフト段についても同じ構成となっている。

【0100】

図8に示すように、本実施例1に係る書き込み走査回路18Aのシフト段 (i) は、論理回路を含むシフトレジスタ181 (i) と、レベル変換回路182 (i) と、例えば2段のバッファ182 (i) , 183 (i) からなる出力回路と有する回路構成となってい

10

20

30

40

50

る。ただし、レベル変換回路 182 (i) は必須ではなく、シフトレジスタ 181 (i) の出力信号についてレベル変換を行う必要がある場合に設けられる。

【0101】

シフトレジスタ 181 (i) は、画素アレイ部 12 の行数に対応した段数だけ縦続接続され、負側の電源電位 V_{SSVa} (例えば、0 V) と正側の電源電位 V_{DDVa} (例えば、+8 V) とを動作電源電位とし、 $V_{SSVa} - V_{DDVa}$ 振幅のパルス波形の走査パルス $A(i)$ を垂直走査に同期して順次出力する。

【0102】

レベル変換回路 182 (i) は、負側の電源電位 V_{SSVb} (例えば、0 V) と正側の電源電位 V_{DDVb} (例えば、+15 V) とを動作電源電位とし、シフトレジスタ 181 (i) から出力される $V_{SSVa} - V_{DDVa}$ 振幅の走査パルス $A(i)$ を $V_{SSVb} - V_{DDVb}$ 振幅の走査パルス $B(i)$ にレベル変換する。

10

【0103】

ただし、シフトレジスタ 181 (i) に供給される正側の電源電位 V_{DDVa} が DC 電源であるのに対して、レベル変換回路 182 (i) に供給される正側の電源電位 V_{DDVb} は AC 電源である。したがって、正側の電源電位 V_{DDVb} については電源電位 V_{DDVbAC} と記述するものとする。この電源電位 V_{DDVbAC} については後述する。

【0104】

バッファ 183 (i) は、正側の電源電位 V_{DDVbAC} と負側の電源電位 V_{SSVb} との間に接続された CMOS インバータによって構成されており、レベル変換回路 182 (i) から出力される走査パルス $B(i)$ の極性を反転する。

20

【0105】

バッファ 184 (i) も、正側の電源電位 V_{DDVbAC} と負側の電源電位 V_{SSVb} との間に接続された CMOS インバータによって構成されており、バッファ 183 (i) から出力される反転走査パルス $C(i)$ の極性をさらに反転して書き込み信号 $WS(i)$ として出力する。

【0106】

図 9 に、電源電位 V_{DDVbAC} の波形、ならびに走査パルス $A(i)$ 、 $A(i+1)$ 、走査パルス $B(i)$ 、 $B(i+1)$ 、反転走査パルス $C(i)$ 、 $C(i+1)$ および書き込みパルス $WS(i)$ 、 $WS(i+1)$ のタイミング関係を示す。

30

【0107】

上記構成の書き込み走査回路 18A において、負側の電源電位 V_{SSVb} は第 1 の電源電位 V_{SS} である。これに対して、AC 電源の電源電位 V_{DDVbAC} は、例えば図 10 に示すように、画素アレイ部 12、各種の走査回路 18 ~ 21 およびデータ線駆動回路 22 が形成された基板からなる表示パネル 60 の外部に設けられた V_{DDVbAC} 生成回路 40 において、DC 電源である第 2 の電源電位 V_{DD} (V_{DDVb}) を基に生成される。AC 電源の電源電位 V_{DDVbAC} が DC 電源の電源電位 V_{DDVb} を基に生成されることで、電源電位 V_{DDVbAC} の最大値は電源電位 V_{DDVb} と等しくなる。

【0108】

図 9 に示すように、 V_{DDVbAC} 生成回路 40 は、 i 段目のシフトレジスタ 181 (i) から出力されるパルス波形の走査パルス $A(i)$ の終わり部分で、DC 電源の電源電位 V_{DDVb} を基に、入力信号電圧 V_{sig} に対して反比例して立ち下がるようなアナログ波形 (図 7 参照) の電源電位 V_{DDVbAC} を生成する。本明細書においては、このようなアナログ波形の電源電位 V_{DDVbAC} を AC 電源と記述している。

40

【0109】

このように、走査パルス $A(i)$ の終わり部分で入力信号電圧 V_{sig} に対して反比例して立ち下がるような AC 電源の電源電位 V_{DDVbAC} を、レベル変換回路 182 (i) およびバッファ 183 (i)、184 (i) の各々にその正側の電源電位として供給するとともに、シフトレジスタ 181 (i) から出力される走査パルス $A(i)$ をレベル変換回路 182 (i) およびバッファ 182 (i)、183 (i) を経由して書き込み信号

50

WS (i)として出力することで、図9に示すように、入力信号電圧Vsigに対して反比例するような立ち下がり波形の書き込み信号WS (i)を生成することができる。

【0110】

(VDDVbAC生成回路)

ここで、DC電源である第2の電源電位VDD (VDDVb)を基にAC電源の電源電位VDDVbACを生成するVDDVbAC生成回路40の具体的な回路構成について説明する。

【0111】

<第1例>

図11は、VDDVbAC生成回路40の回路構成の第1例を示す回路図である。図11に示すように、第1例に係るVDDVbAC生成回路40Aは、入力スイッチSW11と、例えば2個ずつの放電スイッチSW12, SW13および電流源I11, I12と、キャパシタCとを有する構成となっている。

10

【0112】

入力スイッチSW11は、DC電源の電源電位VDDVbを選択的に取り込む。キャパシタCは、入力スイッチSW11の出力端と電源電位VSS (ここでは、接地電位GND)との間に接続され、入力スイッチSW11を介して入力される電源電位VDDVbによって充電される。

【0113】

放電スイッチSW12と電流源I11、放電スイッチSW13と電流源I12はそれぞれ、入力スイッチSW11の出力端 (キャパシタCの入力端)と電源電位VSSとの間に直列に接続されて2系統の放電経路を選択的に形成する。ここで、電流源I11の電流値は、電流源I12の電流値よりも大きく設定されている。

20

【0114】

図12に、VDDVbAC生成回路40Aにおける入力スイッチSW11および放電スイッチSW12, SW13のオン (閉) / オフ (開) 駆動のタイミング関係を示す。移動度補正時間tを入力信号電圧Vsigに応じて調整する移動度補正時間tの調整期間に入るまでは、入力スイッチSW11はオン状態にある。これにより、キャパシタCが電源電位VDDVbによって充電された状態にあるために、キャパシタCの端子電位 (出力電位)である電源電位VDDVbACは電源電位VDDVbの電位にある。

30

【0115】

時刻t11で移動度補正時間tの調整期間に入ると、入力スイッチSW11がオフし、しかる後時刻t12で放電スイッチSW12, SW13が共にオンする。これにより、キャパシタCの電荷が放電スイッチSW12および電流源I11の放電経路、並びに放電スイッチSW13および電流源I12の放電経路を通して放電される。このとき、キャパシタCの電荷が電流源I11, I12の各電流値を合成した電流値で急速に放電されるため、電源電位VDDVbACは電源電位VDDVbから急激に下降する (低下する)。

【0116】

次に、時刻t13で放電スイッチSW12がオンしたまま放電スイッチSW13がオフする。これにより、キャパシタCの電荷が放電スイッチSW12および電流源I11の放電経路を通して、放電スイッチSW12, SW13が共にオンのときの電流値よりも小さい、電流源I11の電流値で放電される。このとき、電源電位VDDVbACは、放電スイッチSW12, SW13が共にオンのときの下降傾斜よりも緩やかな傾斜で下降する。

40

【0117】

続いて、時刻t14で放電スイッチSW12がオフし、放電スイッチSW13がオンする。これにより、キャパシタCの電荷が放電スイッチSW13および電流源I12の放電経路を通して、放電スイッチSW12がオンのときの電流値よりも小さい、電流源I12の電流値で放電される。このとき、電源電位VDDVbACは、放電スイッチSW12がオンのときの下降傾斜よりもさらに緩やかな傾斜で下降する。

【0118】

50

その後、時刻 t_{15} で放電スイッチ SW_{13} がオフし、その後、時刻 t_{16} で入力スイッチ SW_{11} がオンすることで、電源電位 V_{DDVb} によるキャパシタ C の充電が開始され、最終的に、電源電位 V_{DDVbAC} は電源電位 V_{DDVb} の電位に収束する。

【0119】

このように、電源電位 V_{DDVb} によって充電された状態にあるキャパシタ C に対し、電流値の異なる複数の電流源、本例では2つの電流源 I_{11} , I_{12} を適宜組み合わせ、並列に接続することにより、図12に示すように、本例では点1、点2を折れ点とする折れ線の立ち下がり波形を持つ電源電位 V_{DDVbAC} を生成することができる。ここで、放電スイッチ SW_{12} と電流源 I_{11} 、放電スイッチ SW_{13} と電流源 I_{12} は、キャパシタ C の電荷を異なる時定数にて段階的に放電する放電手段を構成している。

10

【0120】

図13に、折れ線の立ち下がり波形を持つ電源電位 V_{DDVx} を、書き込み走査回路18のレベル変換回路182(i)およびバッファ183(i), 184(i)の正側の電源電圧として用いた場合の書き込み信号 WS の立ち下がり波形を示す。このとき、書き込み信号 WS の立ち下がり波形も、点1、点2を折れ点とする折れ線の立ち下がり波形となる。

【0121】

ここで、電流源 I_{11} , I_{12} の各電流値を所望の値に選定することにより、入力信号電圧 V_{sig} に対してほぼ反比例した折れ線の立ち下がり波形を持つ書き込み信号 WS を生成することができるために、移動度補正時間 t を入力信号電圧 V_{sig} にほぼ反比例するように設定することができる。これにより、入力信号電圧 V_{sig} に対応した移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲に亘って移動度 μ の画素ごとのパラツキをより確実に補正することができる。

20

【0122】

図11の回路構成において、電流源の数を増やすことにより、折れ点の数を増やすことができるとともに、電流源の各々の電流値を所望の値に選定することにより、図7の立ち上がり特性に近似した折れ線の立ち下がり波形を持つ書き込み信号 WS を生成することができることになる。

【0123】

< 第2例 >

図14は、 V_{DDVbAC} 生成回路40の回路構成の第2例を示す回路図であり、図中、図11と同等部分には同一符号を付して示している。

30

【0124】

図14に示すように、第2例に係る V_{DDVbAC} 生成回路40Bは、入力スイッチ SW_{11} と、例えば2個ずつの抵抗素子 R_{11} , R_{12} および放電スイッチ SW_{12} , SW_{13} と、キャパシタ C とを有する構成となっている。

【0125】

すなわち、 V_{DDVbAC} 生成回路40Bは、第1例に係る V_{DDVbAC} 生成回路40Aにおける電流源 I_{11} , I_{12} に代えて抵抗素子 R_{11} , R_{12} を用いた構成となっている。ここで、抵抗素子 R_{11} の抵抗値は、抵抗素子 R_{11} の抵抗値よりも大きく設定されている。この結果、抵抗素子 R_{11} および放電スイッチ S_{12} からなる放電経路は、抵抗素子 R_{12} および放電スイッチ S_{13} からなる放電経路よりも大きな電流値の電流を流す。

40

【0126】

図15に、 V_{DDVbAC} 生成回路40Bにおける入力スイッチ SW_{11} および放電スイッチ SW_{12} , SW_{13} のオン/オフ駆動のタイミング関係を示す。移動度補正時間 t の調整期間に入るまでは、入力スイッチ SW_{11} はオン状態にある。これにより、キャパシタ C が電源電位 V_{DDVb} によって充電された状態にあるために、キャパシタ C の端子電位である電源電位 V_{DDVbAC} は電源電位 V_{DDVb} の電位にある。

【0127】

50

時刻 t_{11} で移動度補正時間 t の調整期間に入ると、入力スイッチ SW_{11} がオフし、しかる後時刻 t_{12} で放電スイッチ SW_{12} , SW_{13} が共にオンする。これにより、キャパシタ C の電荷が抵抗素子 R_{11} および放電スイッチ SW_{12} の放電経路、並びに抵抗素子 R_{12} および放電スイッチ SW_{13} の放電経路を通して放電される。このとき、キャパシタ C の電荷が2つの放電経路を通して急速に放電されるために、電源電位 V_{DDVbAC} は電源電位 V_{DDVb} から急激に下降する（低下する）。

【0128】

次に、時刻 t_{13} で放電スイッチ SW_{13} がオンしたまま放電スイッチ SW_{12} がオフする。これにより、キャパシタ C の電荷が抵抗素子 R_{12} および放電スイッチ SW_{12} の放電経路を通して、放電スイッチ SW_{12} , SW_{13} が共にオンのときの電流値よりも小さい電流値で放電される。このとき、電源電位 V_{DDVbAC} は、放電スイッチ SW_{12} , SW_{13} が共にオンのときの下降傾斜よりも緩やかな傾斜で下降する。

【0129】

その後、時刻 t_{15} で放電スイッチ SW_{13} がオフし、その後、時刻 t_{16} で入力スイッチ SW_{11} がオンすることで、電源電位 V_{DDVb} によるキャパシタ C の充電が開始され、最終的に、電源電位 V_{DDVbAC} は電源電位 V_{DDVb} の電位に収束する。

【0130】

このように、電源電位 V_{DDVb} によって充電された状態にあるキャパシタ C に対し、抵抗値の異なる複数の抵抗素子、本例では2つの抵抗素子 R_{11} , R_{12} を適宜組み合わせ、並列に接続することにより、図15に示すように、本例では折れ点が1つの折れ線の立ち下がり波形を持つ電源電位 V_{DDVbAC} を生成することができる。ここで、抵抗素子 R_{11} と放電スイッチ SW_{12} 、抵抗素子 R_{12} と放電スイッチ SW_{13} は、キャパシタ C の電荷を異なる時定数にて段階的に放電する放電手段を構成している。

【0131】

なお、第1例では、複数の電流源を用いて折れ線の波形を生成するとしたが、場合によっては、1つの電流源を用いて、当該電流源の電流値を切り替えて放電することによって折れ線の波形を生成するようにしても良い。また、キャパシタ C については、電源電位 V_{DDVbAC} 側が接続される表示パネル60（図10参照）に配置されても良いし、表示パネル60自身の寄生容量によって形成されても良い。

【0132】

（実施例1に係る書き込み走査回路における消費電力）

ここで、実施例1に係る書き込み走査回路18Aにおける消費電力について図14を用いて考える。図16は、図9のタイミングAでの書き込み走査回路18Aの動作状態についての動作説明図である。

【0133】

仮に、画素アレイ部12の行数である走査線数 m が480本、1ラインの走査線13の容量 $C_{vs can}$ が100 pF、最終段のバッファ184 (i) の P , N トランジスタ Tr_{1p} , Tr_{1n} のゲート容量 C_{p1} , C_{n1} が共に0.6 pF、最終前段のバッファ183 (i) の P , N トランジスタ Tr_{2p} , Tr_{2n} のゲート容量 C_{p2} , C_{n2} が共に0.2 pFであると仮定する。

【0134】

図16において、書き込み走査回路18Aのバッファ183 , 184 からなる出力回路の最終段での電源電位 V_{DDVbAC} の電源ラインの容量 C_{vdd1} を見た場合、出力が“H”レベルとなっている1段 (i 段) のみで、接続されているトランジスタ Tr_{1p} が導通状態にあるために、容量 C_{vdd1} は、

$$C_{vdd1} = C_{p1} + C_{vs can} = 100.6 \text{ pF}$$

となる。ここでは、簡単のため、トランジスタ Tr_{1p} のゲート・ソース間の寄生容量は無視している。

【0135】

次に、出力回路の最終前段での電源電位 V_{DDVbAC} の電源ラインの容量 C_{vdd2}

10

20

30

40

50

を見た場合、出力が“L”レベルとなっている $m - 1$ 段 (i 段以外)で、接続されているトランジスタ $T r 2 p$ が導通状態にあるために、容量 $C v d d 2$ は、

$$\text{容量 } C v d d 2 = (m - 1) \cdot (C p 2 + C n 1) = 3 8 3 . 2 p F$$

となる。

【0136】

このことから、電源電位 $V D D V b A C$ の電源ラインの容量は、1段しかトランジスタが導通状態となっていない出力回路の最終段の容量 $C v d d 1$ よりも、1段以外のトランジスタがオンしている最終前段の容量 $C v d d 2$ の影響が非常に大きいことからわかる。ここでは、最終前段のみの容量 $C v d d 2$ を計算したが、出力回路においてさらに前段の回路を追加すると、電源電位 $V D D V b A C$ の電源ラインの容量はさらに大きくなる。

10

【0137】

このような $V D D V b A C$ ラインの容量の関係から、当該 $V D D V b A C$ ラインに $A C$ 波形を出力すると、書き込み走査回路 $1 8 A$ での消費電力が大きく増大することが懸念される。この点に鑑みて為されたのが、以下に説明する実施例 2 に係る書き込み走査回路 $1 8 B$ である。

【0138】

(実施例 2)

図 1 7 は、実施例 2 に係る書き込み走査回路 $1 8 B$ の回路構成を示す回路図であり、図中、図 8 と同等部分には同一符号を付して示している。ここでは、画素アレイ部 $1 2$ の i 行目に対応したシフト段 (i) を例に挙げて示しているが、他のシフト段についても同じ構成となっている。

20

【0139】

図 1 7 に示すように、本実施例 2 に係る書き込み走査回路 $1 8 B$ のシフト段 (i) も、実施例 1 に係る書き込み走査回路 $1 8 A$ のシフト段 (i) と同様に、論理回路を含むシフトレジスタ $1 8 1 (i)$ と、レベル変換回路 $1 8 2 (i)$ と、例えば 2 段のバッファ $1 8 2 (i)$, $1 8 3 (i)$ からなる出力回路と有する回路構成となっている。ただし、レベル変換回路 $1 8 2 (i)$ は必須ではなく、シフトレジスタ $1 8 1 (i)$ の出力信号についてレベル変換を行う必要がある場合に設けられる。

【0140】

シフトレジスタ $1 8 1 (i)$ は、画素アレイ部 $1 2$ の行数に対応した段数だけ縦続接続され、負側の電源電位 $V S S V a$ (例えば、 $0 V$) と正側の電源電位 $V D D V a$ (例えば、 $+ 8 V$) とを動作電源電位とし、 $V S S V a - V D D V a$ 振幅のパルス波形の走査パルス $A (i)$ を垂直走査に同期して順次出力する。

30

【0141】

レベル変換回路 $1 8 2 (i)$ は、負側の電源電位 $V S S V b$ (例えば、 $0 V$) と正側 $D C$ 電源の電源電位 $V D D V b D C$ (例えば、 $+ 1 5 V$) とを動作電源電位とし、シフトレジスタ $1 8 1 (i)$ から出力される $V S S V a - V D D V a$ 振幅の走査パルス $A (i)$ を $V S S V b - V D D V b D C$ 振幅の走査パルス $B (i)$ にレベル変換する。

【0142】

バッファ $1 8 3 (i)$ は、正側 $D C$ 電源の電源電位 $V D D V b D C$ と負側の電源電位 $V S S V b$ との間に接続された $C M O S$ インバータによって構成されており、レベル変換回路 $1 8 2 (i)$ から出力される走査パルス $B (i)$ の極性を反転する。

40

【0143】

バッファ $1 8 4 (i)$ は、正側 $A C$ 電源の電源電位 $V D D V b A C$ と負側の電源電位 $V S S V b$ との間に接続された $C M O S$ インバータによって構成されており、バッファ $1 8 3 (i)$ から出力される反転走査パルス $C (i)$ の極性をさらに反転して書き込み信号 $W S (i)$ として出力する。

【0144】

図 1 8 に、電源電位 $V D D V b A C$ の波形、ならびに走査パルス $A (i)$, $A (i + 1)$ 、走査パルス $B (i)$, $B (i + 1)$ 、反転走査パルス $C (i)$, $C (i + 1)$ および

50

書き込みパルス $WS(i)$, $WS(i+1)$ のタイミング関係を示す。

【0145】

上記構成の書き込み走査回路 18B において、出力回路における最終段のバッファ 184(i) に正側の電源電位として供給される AC 電源の電源電位 $VDDVbAC$ は、例えば図 10 に示すように、 $VDDVbAC$ 生成回路 40 において、DC 電源である第 2 の電源電位 $VDD(VDDVb)$ を基に生成される。

【0146】

(実施例 2 に係る書き込み走査回路における消費電力)

ここで、実施例 2 に係る書き込み走査回路 18B における消費電力について図 19 を用いて考える。図 19 は、図 18 のタイミング A での書き込み走査回路 18B の動作状態についての動作説明図である。

10

【0147】

実施例 1 に係る書き込み走査回路 18A の場合と同様に、走査線数 m が 480 本、1 ラインの走査線 13 の容量 $Cvscan$ が 100 pF、最終段のバッファ 184(i) の P, N トランジスタ $Tr1p$, $Tr1n$ のゲート容量 $Cp1$, $Cn1$ が共に 0.6 pF、最終前段のバッファ 183(i) の P, N トランジスタ $Tr2p$, $Tr2n$ のゲート容量 $Cp2$, $Cn2$ が共に 0.2 pF であると仮定する。

【0148】

図 19 において、書き込み走査回路 18B のバッファ 183, 184 からなる出力回路の最終段での電源電位 $VDDVbAC$ の電源ラインの容量 $Cvdd1$ を見た場合、出力が “H” レベルとなっている 1 段 (i 段) のみで、接続されているトランジスタ $Tr1p$ が導通状態にあるために、容量 $Cvdd1$ は、

20

$$Cvdd1 = Cp1 + Cvscan = 100.6 \text{ pF}$$

となる。ここでは、簡単のため、トランジスタ $Tr1p$ のゲート・ソース間の寄生容量は無視している。

【0149】

最終前段のバッファ 183(i) には DC 電位が印加されており、AC 波形が供給されているのが最終段のバッファ 184(i) であるため、 $VDDVbAC$ ラインの容量は、容量 $Cvdd1$ となる。これにより、実施例 1 に係る書き込み走査回路 18A に比べて、実施例 2 に係る書き込み走査回路 18B における消費電力を、少なくとも、 $Cvdd1 / (Cvdd1 + Cvdd2)$ 、即ち $100.6 / (100.6 + 383.2)$ に低減できる。

30

【0150】

すなわち、走査パルス $A(i)$ の終わり部分で入力信号電圧 $Vsig$ に対して反比例して立ち下がるような AC 電源の電源電位 $VDDVbAC$ を用いて、入力信号電圧 $Vsig$ に対して反比例するような立ち下がり波形を持つ書き込み信号 $WS(i)$ を順次出力する書き込み走査回路 18 において、その出力回路の最終段のバッファ 184(i) の電源を AC 電源とし、最終前段のバッファ 183(i) の電源を DC 電源とすることにより、書き込み走査回路 18 における消費電力を、最終前段のバッファ 183(i) の電源をも AC 電源とする場合に比べて低減できる。

40

【0151】

なお、上記実施例 1, 2 では、AC 電源の電源電位 $VDDVbAC$ を、DC 電源の電源電位 $VDDVb$ を基に生成することで、電源電位 $VDDVbAC$ の最大値を電源電位 $VDDVb$ と等しくするとしたが、必ずしも、電源電位 $VDDVbAC$ の最大値と電源電位 $VDDVb$ とを等しくする必要はない。

【0152】

ただし、電源電位 $VDDVbAC$ の最大値と電源電位 $VDDVb$ とを等しくした方が、AC 電源の電源電位 $VDDVbAC$ を、DC 電源の電源電位 $VDDVb$ を基に生成することができ、AC 電源の電源電位 $VDDVbAC$ を生成する元となる DC 電源を増やす必要がないために、電源構成の簡素化を図る上で好ましいと言える。

50

【0153】

また、上記実施例1, 2では、画素回路11のサンプリングトランジスタ33がNチャネル型であるときに、入力信号電圧 V_{sig} に対して反比例するような立ち下がり波形を持つ書き込み信号 $WS(i)$ を生成する書き込み走査回路18Bについて説明したが、画素回路11のサンプリングトランジスタ33がPチャネル型であるときに、入力信号電圧 V_{sig} に対して反比例するような立ち上がり波形を持つ書き込み信号 $WS(i)$ を生成する場合は、図20に示す書き込み走査回路18Cにおいて、その出力回路の最終段のバッファ184(i)の負側の電源電位 V_{SSVb} をAC電源とし、最終前段のバッファ183(i)の負側の電源電位 V_{SSVb} をDC電源とすることにより、同様の作用効果を奏することができる。

10

【0154】

図21に、負側の電源電位 V_{SSVb} にAC電源を用いた場合の電源電位 V_{SSVbAC} の波形、ならびに走査パルス $A(i)$, $A(i+1)$ 、走査パルス $B(i)$, $B(i+1)$ 、反転走査パルス $C(i)$, $C(i+1)$ および書き込みパルス $WS(i)$, $WS(i+1)$ のタイミング関係を示す。

【0155】

このように、出力回路の最終段のバッファ184(i)の負側の電源電位 V_{SSVb} をAC電源とし、最終前段のバッファ183(i)の負側の電源電位 V_{SSVb} をDC電源とする実施例2に係る書き込み走査回路18Bを用いることにより、駆動トランジスタ32の画素ごとの特性バラツキを効果的に補正しつつ、書き込み信号 WS のAC波形化による高画質化の影響による消費電力を抑制することができるために、高画質で低消費電力な表示装置を実現できる。

20

【0156】

また、上記実施例1, 2において、電源電位 V_{DDVbAC} の電位が下がった場合、最終段のバッファ184(i)の電源電位 V_{DDVb} と書き込み信号 WS の走査線13とを接続するPchMOSトランジスタにおけるゲート・ソース間電圧の絶対値が小さくなる、即ち当該MOSトランジスタの抵抗が高くなるという問題が生じる。このように、最終段のバッファ184(i)のPchMOSトランジスタの抵抗が上昇した場合、電源電位 V_{DDVbAC} の波形によって決定される書き込み信号 WS の波形が、抵抗の遅延などによって不正確になり、バラツキの補正能力が減少する。

30

【0157】

この問題を解消する回路として、図22の走査回路を用いれば良い。本回路では、最終段のバッファ184(i)の電源電位 V_{DDVb} と書き込み信号 WS の走査線13とを接続するスイッチとして、PchMOSトランジスタではなく、CMOSトランジスタを用いるようにしている。これにより、電源電位 V_{DDVbAC} の電位によらず、最終段のバッファ184(i)の電源電位 V_{DDVb} と走査線13とを接続するスイッチを低抵抗に保つことが可能になるために、バラツキを確実に補正することができる。

【0158】

[保護回路]

ところで、先述したように、AC電源の電源電位 V_{DDVbAC} を生成する V_{DDVbAC} 生成回路40は、例えば、各種の走査回路18~21およびデータ線駆動回路22が形成された表示パネル60の外部に設けられている(図10参照)。

40

【0159】

そして、図23に示すように、 V_{DDVbAC} 生成回路40で生成された電源電位 V_{DDVbAC} は、端子61から表示パネル60の内部に取り込まれ、当該端子61に電氣的に接続された第1電源ライン62を通して書き込み走査回路18の出力回路の最終段バッファにその電源電位として供給される。

【0160】

また、DC電源である第2の電源電位 $V_{DD}(V_{DDVb})$ は、端子63から表示パネル60の内部に取り込まれ、当該端子63に電氣的に接続された第2電源ライン64を通

50

して書き込み走査回路 18 の出力回路の最終段バッファよりも前段のバッファにその電源電位として供給される。

【0161】

このように、端子 61, 63 等を有する表示パネル 60 においては、これら端子 61, 63 が生産工程で露出していると、静電気や表示パネル 60 の帯電等によって表示パネル 60 内の回路素子等が破壊される懸念がある（いわゆる、静電破壊）。

【0162】

（実施例 1）

そこで、例えば図 23 に示すように、電源電位 V_{DDVbAC} が与えられる端子 61 に接続された第 1 電源ライン 62 と基準電位ノード（例えば、グランド電位ノード）との間に保護回路 65、例えば保護抵抗を接続する。保護回路 65 としては、抵抗素子に限られるものではなく、ダイオード等であってもよい。

10

【0163】

このように、例えば電源電位 V_{DDVbAC} を伝送する第 1 電源ライン 62 と基準電位ノードとの間に保護回路 65 を接続することにより、端子 61 が生産工程で露出している静電気や表示パネル 60 の帯電等によって高い電圧が端子 61 を通して第 1 電源ライン 62 に入力されたとしても、当該高い電圧を保護回路 65 が基準電位ノードに逃がす作用をなすため、表示パネル 60 内の回路素子等を静電破壊から保護できる。

【0164】

ここで、第 1 電源ライン 62 に電源電位 V_{DDVbAC} を供給する V_{DDVbAC} 生成回路 40、例えば図 14 に示した V_{DDVbAC} 生成回路 40B について考察する。

20

【0165】

V_{DDVbAC} 生成回路 40B は、DC レベルを決定する電源電位 V_{DDVb} への接続と、それ以外の電源電位への抵抗素子 R_{11} , R_{12} を介しての接続とをスイッチ S_{11} ~ S_{13} を切り替えることで実現している。また、抵抗素子 R_{11} , R_{12} と放電スイッチ SW_{12} , SW_{13} の直列接続（放電経路）を複数並列に並べることにより、その時定数によって電圧変動の時定数を制御している。

【0166】

ここで、 V_{DDVbAC} 生成回路 40B のキャパシタ C の容量値を C_{per} 、抵抗素子 R_{11} , R_{12} の各抵抗値を R_1 , R_2 、表示パネル 60 の寄生容量 66（図 23 参照）の容量値を C_{panel} とすると、スイッチ SW_{12} がオンしたときの時定数 τ_1 は、

30

$$\tau_1 = (C_{per} + C_{panel}) \cdot R_1$$

となり、スイッチ SW_{13} がオンしたときの時定数 τ_2 は、

$$\tau_2 = (C_{per} + C_{panel}) \cdot R_2$$

となる。

【0167】

ただし、 V_{DDVbAC} 生成回路 40B において、スイッチ SW_{11} とスイッチ SW_{12} （もしくは、スイッチ SW_{11} とスイッチ SW_{13} ）が同時にオンした場合、電源電位 V_{DDVb} からグランドへの貫通電流が流れるため、スイッチ SW_{11} のオンとスイッチ SW_{12} のオン（もしくは、スイッチ SW_{11} のオンとスイッチ SW_{13} のオン）が切り替わるタイミングで、同時にオンしないようにするために十分な時間（ $t_{21} - t_{22}$ ）を空けることが必要となる。

40

【0168】

これにより、 $t_{11} - t_{12}$ の期間では、スイッチ $SW_{11} \sim SW_{13}$ のいずれもがオフ状態にあるために、 V_{DDVbAC} 生成回路 40B の出力ノード（キャパシタ C の出力端）がフローティングとなる。すると、図 24 に示すように、スイッチ SW_{11} のオンからスイッチ SW_{12} のオンに切り替わるタイミングで、 V_{DDVbAC} 生成回路 40B の出力電位、即ち電源電位 V_{DDVbAC} が降下する。

【0169】

これは、キャパシタ C の電荷の保護回路 65 による放電が起こるためである。ここで、

50

保護回路 65 の抵抗値を $R_{protect}$ とすると、保護回路 65 による放電の際の時定数は、

$$= (C_{per} + C_{panel}) \cdot R_{protect}$$

となる。

【0170】

このように、保護回路 65 による放電によって電源電位 V_{DDVbAC} が低下すると、保護回路 65 の抵抗値 $R_{protect}$ のバラツキが、電源電位 V_{DDVbAC} のレベルがばらつく原因となり、移動度補正の正確な補正動作を妨げるために、表示画像の劣化の原因となる。この保護回路 65 に伴う不具合を解消すべくされたのが、以下に説明する実施例 2 ~ 4 である。

10

【0171】

(実施例 2)

図 25 は、保護回路の実施例 2 に係る接続関係を示す図であり、図中、図 23 と同等部分には同一符号を付して示している。図 25 に示すように、本実施例 2 では、保護回路 65 (本例では、抵抗素子) を第 1 電源ライン 62 と第 2 電源ライン 64 との間に接続した構成を採っている。

【0172】

上記の構成によれば、図 14 において、スイッチ SW_{11} のオンとスイッチ SW_{12} のオン (もしくは、スイッチ SW_{11} のオンとスイッチ SW_{13} のオン) が切り替わるタイミング (図 15 の $t_{11} - t_{12}$) で、 V_{DDVbAC} 生成回路 40B の出力ノードがフ

20

【0173】

ローティングになったとしても、キャパシタ C の電荷を放電する経路が存在しないため、電源電位 V_{DDVbAC} の電圧降下を防ぐことができる。

【0174】

(実施例 3)

図 26 は、保護回路の実施例 3 に係る接続関係を示す図であり、図中、図 23 と同等部分には同一符号を付して示している。図 26 に示すように、本実施例 3 では、第 1 保護回路 65A (本例では、抵抗素子) を第 1 電源ライン 62 と第 2 電源ライン 64 との間に接続し、第 2 保護回路 65B (本例では、抵抗素子) を第 2 電源ライン 64 と基準電位ノード (例えば、グランド電位ノード) との間に接続した構成を採っている。

30

【0175】

上記の構成によれば、図 14 において、スイッチ SW_{11} のオンとスイッチ SW_{12} のオン (もしくは、スイッチ SW_{11} のオンとスイッチ SW_{13} のオン) が切り替わるタイミング (図 15 の $t_{11} - t_{12}$) で、 V_{DDVbAC} 生成回路 40B の出力ノードがフ

40

【0176】

ローティングになったとしても、キャパシタ C の電荷を放電する経路が存在しないため、電源電位 V_{DDVbAC} の電圧降下を防ぐことができる。

また、第 1 電源ライン 62 が第 1 保護回路 65A、第 2 電源ライン 64 および第 2 保護回路 65B を介して間接的に基準電位ノードに接続されることになるため、端子 61 が生産工程で露出している静電気や表示パネル 60 の帯電等によって高い電圧が端子 61 を通して第 1 電源ライン 62 に入力されたとしても、当該高い電圧を第 1、第 2 保護回路 65A、65B が基準電位ノードに逃がす作用をなすため、表示パネル 60 内の回路素子等を静電破壊から保護できる。

【0177】

このようにして、 V_{DDVbAC} 生成回路 40B の出力ノードのフローティング期間で

50

の電源電位 V_{DDVbAC} の電圧降下を防ぐことで、正確な移動度補正動作を行うことが可能になるため、表示画像の高画質化を図ることができるとともに、第 1, 第 2 保護回路 65A, 65B の作用によって静電気や帯電に強い表示装置の実現が可能になる。

【0178】

(実施例 4)

図 27 は、保護回路の実施例 4 に係る接続関係を示す図であり、図中、図 23 と同等部分には同一符号を付して示している。図 27 に示すように、本実施例 4 では、第 1 保護回路 65A (本例では、抵抗素子) を第 1 電源ライン 62 と第 2 電源ライン 64 との間に接続し、第 2 保護回路 65B (本例では、抵抗素子) を第 1 電源ライン 62 と基準電位ノード (例えば、グランド電位ノード) との間に接続するとともに、第 2 保護回路 65B の抵抗値を第 1 保護回路 65A の抵抗値よりも大きく設定した構成を採っている。

10

【0179】

上記の構成によれば、図 14 において、スイッチ SW_{11} のオンとスイッチ SW_{12} のオン (もしくは、スイッチ SW_{11} のオンとスイッチ SW_{13} のオン) が切り替わるタイミング (図 15 の $t_{11} - t_{12}$) で、 V_{DDVbAC} 生成回路 40B の出力ノードがフローティングになったときに、第 1 電源ライン 62 と基準電位ノードとの間に第 2 保護回路 65B が存在するものの、当該第 2 保護回路 65B の抵抗値が第 1 保護回路 65A の抵抗値よりも大きいことにより、キャパシタ C の電荷の放電を最小限に抑えることができるため、実施例 1 の場合に比べて電源電位 V_{DDVbAC} の電圧降下を小さく抑えることができる。

20

【0180】

また、端子 61 が生産工程で露出していて静電気や表示パネル 60 の帯電等によって高い電圧が端子 61 を通して第 1 電源ライン 62 に入力されたとしても、当該高い電圧を第 1 保護回路 65A が第 2 電源ライン 64 を通して DC 電源側に逃がし、第 2 保護回路 65B が基準電位ノードに逃がす作用をなすため、表示パネル 60 内の回路素子等を静電破壊から保護できる。

【0181】

このようにして、 V_{DDVbAC} 生成回路 40B の出力ノードのフローティング期間での電源電位 V_{DDVbAC} の電圧降下を最小限に抑えることで、正確な移動度補正動作を行うことが可能になるため、表示画像の高画質化を図ることができるとともに、第 1, 第 2 保護回路 65A, 65B の作用によって静電気や帯電に強い表示装置の実現が可能になる。

30

【0182】

なお、実施例 1 ~ 4 では、 V_{DDVbAC} 生成回路 40 として V_{DDVbAC} 生成回路 40B を用いた場合を例に挙げて説明したが、 V_{DDVbAC} 生成回路 40A を用いた場合にも同様のことが言える。

【0183】

また、実施例 1 ~ 4 では、 V_{DDVbAC} 生成回路 40 (40A, 40B) を表示パネル 60 の外部に設ける場合を前提として説明したが、本発明は、 V_{DDVbAC} 生成回路 40 を表示パネル 60 の内部に設ける場合にも適用可能である。 V_{DDVbAC} 生成回路 40 を表示パネル 60 の内部に設ける場合には、端子 61, 63 が存在しないことになるが、その場合にも表示パネル 60 の帯電等によって第 1 電源ライン 62 に高い電圧が乗る場合があることから、保護回路 65 (65A, 65B) を設けることで、帯電等に強い表示装置の実現が可能になる。

40

【0184】

ただし、 V_{DDVbAC} 生成回路 40 を表示パネル 60 の外部に設ける場合に適用した方が、帯電等に加えて静電気強い表示装置の実現が可能になるため有利である。また、 V_{DDVbAC} 生成回路 40 を表示パネル 60 の外部に設けることで、 V_{DDVbAC} 生成回路 40A を構成する電流源 I_{11} , I_{12} の各電流値や、 V_{DDVbAC} 生成回路 40B を構成する抵抗素子 R_{11} , R_{12} の各抵抗値の変更を容易に実現できるため、キャ

50

パシタ C の電荷の放電時定数を自由に調整（設定）できるという利点がある。

【 0 1 8 5 】

[変形例]

上記実施形態では、入力信号電圧 V_{sig} に対して反比例ような立ち下がり波形または立ち上がり波形を持つ書き込み信号 W_S を生成するに当たって、書き込み走査回路 18 における出力回路の最終段のバッファ 184 (i) に AC 電源を用いるとしたが、本発明は入力信号電圧 V_{sig} に対して反比例ような立ち下がり波形または立ち上がり波形を持つ書き込み信号 W_S を生成する場合に限られるものではなく、パルス波形の走査パルスを基にアナログ波形の書き込み信号 W_S を生成する信号生成回路全般に対して、その出力回路の最終段バッファに AC 電源を用いる技術思想を適用することが可能である。

10

【 0 1 8 6 】

また、上記実施形態では、画素回路 11 の電気光学素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

【 0 1 8 7 】

さらに、上記実施形態では、電気光学素子である例えば有機 EL 素子 31 に加えて、駆動トランジスタ 32、サンプリングトランジスタ 33、スイッチングトランジスタ 34 ~ 36 およびキャパシタ 37 を有する画素回路 11 を用いた表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。以下に、他の画素回路

20

【 0 1 8 8 】

(他の画素回路 1)

図 28 は、他の画素回路 1 (11 A) の回路構成を示す回路図であり、図 1 の画素回路 11 と同等部分には同一符号を付して示している。図 28 に示すように、画素回路 11 A は、有機 EL 素子 31 に加えて、駆動トランジスタ 32、サンプリングトランジスタ 33、スイッチングトランジスタ 35 およびキャパシタ 37 を構成素子として有する回路構成となっている。

【 0 1 8 9 】

ここで、駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 35 として N チャネル型の T F T が用いられている。ただし、ここでの駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 35 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

30

【 0 1 9 0 】

有機 EL 素子 31 は、カソード電極が第 1 の電源電位 V_{SS} (ここでは、接地電位 GND) に接続されている。駆動トランジスタ 32 は、有機 EL 素子 31 を電流駆動するためのものであり、ソースが有機 EL 素子 31 のアノード電極に接続されてソースフォロア回路を形成しており、ドレインに駆動信号 D_S が印加される構成となっている。サンプリングトランジスタ 33 は、ソースがデータ線 17 に、ドレインが駆動トランジスタ 32 のゲートにそれぞれ接続されており、ゲートに書き込み信号 W_S が印加される。

40

【 0 1 9 1 】

スイッチングトランジスタ 35 は、ドレインが第 3 の電源電位 V_{ofs} に、ソースがサンプリングトランジスタ 33 のドレイン (駆動トランジスタ 32 のゲート) にそれぞれ接続されており、ゲートに補正用走査信号 A_Z が印加される。キャパシタ 37 は、一端が駆動トランジスタ 32 のゲート (サンプリングトランジスタ 33 のドレイン) に接続され、他端が駆動トランジスタ 32 のソース (有機 EL 素子 31 のアノード電極) に接続されている。

【 0 1 9 2 】

上述した接続関係にて各構成素子が接続されてなる画素回路 11 A において、各構成素子は次のような作用をなす。すなわち、サンプリングトランジスタ 33 は、導通状態とな

50

ることにより、データ線 17 を通して供給される入力信号電圧 $V_{sig} (= V_{ofs} + V_{data}; V_{data} > 0)$ をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ 37 に保持される。

【0193】

駆動トランジスタ 32 は、ドレインに電源電位 V_{DD} が印加されているときに、キャパシタ 37 に保持された信号電圧 V_{sig} に応じた電流値を有機 EL 素子 31 に供給することによって当該有機 EL 素子 31 を駆動する（電流駆動）。スイッチングトランジスタ 35 は、適宜導通状態になることにより、有機 EL 素子 31 の電流駆動に先立って駆動トランジスタ 32 の閾値電圧 V_{th32} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th32} をキャパシタ 37 に保持する。

10

【0194】

この画素回路 11A では、第 2 の電源電位 V_{DD} を固定ではなく、適当なタイミングで“L”レベル（本例では、電源電位 V_{SS} ）に振るようすることで、図 1 におけるスイッチングトランジスタ 34、36 の機能を実現する構成を採っている。すなわち、電源電位 V_{DD} は図 1 の画素回路 11 におけるスイッチングトランジスタ 34 を駆動する駆動信号 DS に相当する。画素回路 11A の回路構成によれば、図 1 の画素回路 11 に比べて、画素回路 1 つにつきトランジスタ数を 2 個削減できるとともに、図 1 における駆動線 14 および第二補正用走査線 16 の各配線を削減できることになる。

【0195】

なお、上記の画素回路 11A において、書き込み信号 WS と補正用走査信号 AZ とが同時に“H”レベルとなる期間が存在しないため、スイッチングトランジスタ 35 をサンプリングトランジスタ 33 に共通化、電源電位 V_{ofs} の電源線をデータ線（信号線）17 に共通化できる。この場合、データ線 17 より、補正用走査信号 AZ が“H”レベルに相当する期間に電源電位 V_{ofs} を供給し、書き込み信号 WS が“H”レベルに相当する期間に入力信号電圧 V_{sig} を供給するようすれば良い。

20

【0196】

図 29 に、画素回路 11A を駆動する書き込み信号 WS 、駆動信号 DS および第一補正用走査信号 $AZ1$ のタイミング関係、ならびに駆動トランジスタ 32 のゲート電位 V_g およびソース電位 V_s の変化をそれぞれ示す。

【0197】

図 29 のタイミング波形図では、時刻 t_{21} から時刻 t_{27} までの期間を 1 フィールド期間としている。そして、この 1 フィールド期間において、時刻 $t_{21} - t_{22}$ が閾値補正準備期間、時刻 $t_{22} - t_{23}$ が閾値補正期間、時刻 $t_{24} - t_{25}$ がデータ書き込み + 移動度補正期間、時刻 $t_{25} - t_{26}$ が有機 EL 素子 31 の発光期間となる。

30

【0198】

すなわち、画素回路 11A では、電源電位 V_{DD} が V_{SS} レベルのときに補正用走査信号 AZ が“H”レベルになることで（ $t_{21} - t_{22}$ ）、駆動トランジスタ 32 の閾値電圧 V_{th32} のバラツキを補正するための閾値補正準備が行われ、電源電位 V_{DD} が V_{DD} レベルのときに書き込み信号 WS が“H”レベルになることで（ $t_{24} - t_{25}$ ）、データ V_{data} の書き込みと駆動トランジスタ 32 の移動度 μ のバラツキ補正が並行して行われることになる。

40

【0199】

このように、有機 EL 素子 31 に加えて、駆動トランジスタ 32、サンプリングトランジスタ 33、スイッチングトランジスタ 35 およびキャパシタ 37 を構成素子として有する回路構成の画素回路 11A においても、駆動トランジスタ 32 の閾値電圧 V_{th32} の画素ごとのバラツキを補正（キャンセル）する閾値補正および駆動トランジスタ 32 の移動度 μ の画素ごとのバラツキを補正する移動度補正を実行できる。これらの補正機能の実行により、駆動トランジスタ 32 の特性バラツキに起因する輝度差のない、高画質な表示装置を実現できる。

【0200】

50

そして、移動度 μ の補正において、書き込み信号 $W S$ のパルス幅、具体的には書き込み信号 $W S$ の立ち下がり波形で決まる移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、入力信号電圧 V_{sig} に対応した最適な移動度補正時間 t を設定できるように、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲に亘って駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

【0201】

駆動トランジスタ32のゲートに印加される実効的な入力信号電圧 V_{data} に反比例するような立ち下がり波形を持つ書き込み信号 $W S$ については、図10に示した $V_{DD}V_{bAC}$ 生成回路40で生成した、入力信号電圧 V_{sig} に対して反比例して立ち下がるようなアナログ波形の電源電位 $V_{DD}V_{bAC}$ を、図8に示した書き込み走査回路18A(i)のバッファ183(i), 184(i)または図17に示した書き込み走査回路18B(i)のバッファ184(i)にその正側の電源電位として供給することによって生成することができる。

10

【0202】

なお、本画素回路11Aの変形例として、データ線17を通して入力信号電圧 V_{sig} と電源電位 V_{ofs} とを時分割で供給し、これらをサンプリングトランジスタ33によって時分割で書き込む構成を採ることも可能である。このような構成を採ることにより、サンプリングトランジスタ33にスイッチングトランジスタ35の機能をも持たせることができるために、トランジスタ数をさらに削減できるとともに、図1における第一補正用走査線15の配線も削減できることになる。

20

【0203】

(他の画素回路2)

図30は、他の画素回路2(11B)の回路構成を示す回路図である。図30に示すように、画素回路11Bは、有機EL素子51に加えて、駆動トランジスタ52、サンプリングトランジスタ53、スイッチングトランジスタ54~56およびキャパシタ57, 58を構成素子として有する回路構成となっている。

【0204】

ここで、駆動トランジスタ52およびスイッチングトランジスタ55としてPチャンネル型のTFTが用いられ、サンプリングトランジスタ53およびスイッチングトランジスタ54, 56としてNチャンネル型のTFTが用いられている。ただし、ここでの駆動トランジスタ52、サンプリングトランジスタ53およびスイッチングトランジスタ54~56の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

30

【0205】

有機EL素子51は、カソード電極が電源電位 V_{SS} (ここでは、接地電位 GND)に接続されている。駆動トランジスタ52は、有機EL素子51を電流駆動するためのものであり、ソースが電源電位 V_{DD} (ここでは、正の電源電位)に接続されている。サンプリングトランジスタ53は、ソースがデータ線17に、ドレインがノード N_{21} にそれぞれ接続されており、ゲートに書き込み信号 $W S$ が適宜印加される。

40

【0206】

スイッチングトランジスタ54は、ドレインが駆動トランジスタ52のドレインに、ソースが有機EL素子51のアノード電極にそれぞれ接続されており、ゲートに駆動信号 $D S$ が適宜印加される。スイッチングトランジスタ55は、駆動トランジスタ52のゲートとソースとの間に接続され、ゲートに第一補正用走査信号 $A Z 1$ が適宜印加される。

【0207】

スイッチングトランジスタ56は、ドレインが電源電位 V_{ofs} に、ソースがノード N_{21} にそれぞれ接続されており、ゲートに第二補正用走査信号 $A Z 2$ が適宜印加される。キャパシタ57は、第2の電源電位 V_{DD} と接続ノード N_{21} との間に接続されている。キャパシタ58は、ノード N_{21} と駆動トランジスタ52のゲートとの間に接続されてい

50

る。

【0208】

図31に、画素回路11Bを駆動する書き込み信号WS、駆動信号DSおよび第一、第二補正用走査信号AZ1, AZ2のタイミング関係、ならびにノードN21の電位Vinおよび駆動トランジスタ52のゲート電位Vgの変化をそれぞれ示す。

【0209】

図31のタイミング波形図では、時刻t31から時刻t39までの期間を1フィールド期間としている。そして、この1フィールド期間において、時刻t31 - t32が閾値補正準備期間、時刻t32 - t33が閾値補正期間、時刻t34 - t35がデータ書き込み期間、時刻t35 - t36が移動度補正期間、時刻t37 - t38が有機EL素子51の発光期間となる。

10

【0210】

すなわち、画素回路11Bにおいては、書き込み信号WSおよび第一補正用走査信号AZ1が共に“L”レベル、駆動信号DSおよび第二補正用走査信号AZ2が共に“H”レベルになることで(t31 - t32)、駆動トランジスタ52の閾値電圧Vth52のバラツキを補正するための閾値補正準備が行われ、書き込み信号WS、駆動信号DSおよび第一補正用走査信号AZ1が共に“L”レベルになることで(t32 - t33)、駆動トランジスタ52の閾値電圧Vth52のバラツキ補正が行われる。

【0211】

また、書き込み信号WSおよび第一補正用走査信号AZ1が共に“H”レベルになり、駆動信号DSおよび第二補正用走査信号AZ2が共に“L”レベルになることで(t34 - t35)、データVdataの書き込みが行われ、書き込み信号WSが“H”レベルにある状態、即ちデータVdataが書き込まれている状態で第一補正用走査信号AZ1が“L”レベルになることで(時刻t35 - t36)、駆動トランジスタ52の移動度μのバラツキ補正が行われる。

20

【0212】

通常発光期間(t37 ~ t38)では、書き込み信号WSおよび第一補正用走査信号AZ1が共に“L”レベルに、駆動信号DSおよび第二補正用走査信号AZ2が共に“H”レベルになることで、サンプリングトランジスタ53およびスイッチングトランジスタ55, 56が非導通状態となり、スイッチングトランジスタ54が導通状態となる。このとき、駆動トランジスタ52は、飽和領域で動作するように設計されているために定電流源として動作する。

30

【0213】

その結果、駆動トランジスタ52からスイッチングトランジスタ54を通して、有機EL素子51に対して先述した式(1)で与えられる一定のドレイン・ソース間電流Idsが供給されるために、有機EL素子51が発光する。その後、時刻t38で駆動信号DSが“L”レベルから“H”レベルに遷移することで、スイッチングトランジスタ54が非導通となり、駆動トランジスタ52への電流供給経路が遮断されるため、有機EL素子51の発光が停止し、非発光期間に入る。

【0214】

このように、有機EL素子51に加えて、駆動トランジスタ52、サンプリングトランジスタ53、スイッチングトランジスタ54 ~ 56およびキャパシタ57, 58を構成素子として有する回路構成の画素回路11Bにおいても、駆動トランジスタ52の閾値電圧Vth52のバラツキを補正する閾値補正および駆動トランジスタ52の移動度μのバラツキを補正する移動度補正を実行できる。これらの補正機能の実行により、駆動トランジスタ52の特性バラツキに起因する輝度差のない、高画質な表示装置を実現できる。

40

【0215】

そして、移動度μの補正において、第一補正用走査信号AZ1のパルス幅、具体的には第一補正用走査信号AZ1の立ち上がり波形で決まる移動度補正時間tを入力信号電圧Vsigに反比例するように設定することで、入力信号電圧Vsigに対応した最適な移動

50

度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲に亘って駆動トランジスタ 52 のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

【0216】

図 3 2 に示すように、入力信号電圧 V_{sig} に反比例するような立ち上がり波形を持つ第一補正用走査信号 $AZ1$ については、図 1 0 に示した $VDDVbAC$ 生成回路 4 0 と同じ原理（極性が逆）を用いて、入力信号電圧 V_{sig} に反比例するような立ち上がり波形を持つアナログ波形の電源電位 $VSSVbAC$ を生成し、この電源電位 $VSSVbAC$ を図 2 0 に示した書き込み走査回路 1 8 C (i) と同じ構成の第一補正用走査回路のバッファ 1 8 4 (i) に負側の電源電位として供給することによって生成できる。

10

【0217】

このように、駆動トランジスタ 52 のゲート・ソース間に接続された P チャネルのスイッチングトランジスタ 55 のゲートに印加される第一補正用走査信号 $AZ1$ を、“L”レベルから“H”レベルに遷移するときの立ち上がり波形（スイッチングトランジスタ 55 が N チャネルのときは立ち下がり波形）を、図 3 2 に示すようにすれば良い。ここで、移動度補正前の駆動トランジスタ 52 の $V_{gs} - V_{th} = V_{data}$ とすると、最適に補正されたときの $V_{gs} - V_{th}$ は式 (9) に示したように $V_{gs} - V_{th} = V_{data} / 2$ となる。

【0218】

したがって、駆動トランジスタ 52 のゲートに印加される実効的な入力信号電圧 V_{data} に対して、補正時間が反比例するように、即ち駆動トランジスタ 52 のゲートに印加される実効的な入力信号電圧 V_{data} の 2 分の 1 である $V_{data} / 2$ に対して反比例する波形に設定することで、スイッチングトランジスタ 55 のゲート・ソース間電圧が閾値電圧 V_{th53} になったところで当該スイッチングトランジスタ 55 がカットオフするように設定すれば良い。

20

【0219】

具体的には、図 3 2 の波形図から明らかなように、スイッチングトランジスタ 55 は、白レベルに対応した入力信号電圧 V_{sig} (白) のときには、ゲート・ソース間電圧が $(V_{data} (白) / 2) + V_{ofs} + V_{th53}$ になったところでカットオフするために移動度補正時間 t (白) が一番短く設定され、グレーレベルに対応した入力信号電圧 V_{sig} (グレー) のときには、ゲート・ソース間電圧が $(V_{data} (グレー) / 2) + V_{ofs} + V_{th53}$ になったところでカットオフするために移動度補正時間 t (グレー) が移動度補正時間 t (白) よりも長く設定されることになる。

30

【0220】

駆動トランジスタ 3 2 のゲートに印加される実効的な入力信号電圧 V_{data} に反比例する立ち上がり波形を持つアナログ波形の電源電位 $VSSVx$ を生成する具体例な $VSSVx$ 生成回路としては、図 1 0 に示した $VDDVbAC$ 生成回路 4 0 と基本的に同じ原理（極性が逆）の $VSSVbAC$ 生成回路を用いることができる。この $VSSVbAC$ 生成回路を用いることにより、折れ線の立ち上がり波形を持つ電源電位 $VSSVbAC$ を生成することができる。そして、この電源電位 $VSSVbAC$ を基に第一補正用走査信号 $AZ1$ を生成することにより、図 3 3 に示すように、当該第一補正用走査信号 $AZ1$ も折れ線の立ち上がり波形となる。

40

【0221】

なお、今回の説明は、データ書き込みのときデータ線 1 7 の電圧変動 V_{data} が完全に駆動トランジスタ 52 のゲート・ソース間電圧 V_{gs} へ印加される場合について行っている。これは、キャパシタ 5 8 が十分に大きいことを仮定している。この（書き込みゲイン： G_w ）=（ V_{gs} の電圧変動）/（信号線の電圧変動）が 100% で無い場合は、入力信号電圧 V_{data} を $G_w \cdot V_{data}$ を置き換えて考えれば良い。

【0222】

50

(他の画素回路3)

図34は、他の画素回路3(11C)の回路構成を示す回路図であり、図中、図22と同等部分には同一符号を付して示している。図34に示すように、画素回路11Cは、有機EL素子51に加えて、駆動トランジスタ52、サンプリングトランジスタ53、スイッチングトランジスタ54~56, 59およびキャパシタ57, 58を構成素子として有する回路構成となっている。

【0223】

すなわち、画素回路11Cは、図22の画素回路11Bに対してスイッチングトランジスタ59が追加された回路構成となっている。スイッチングトランジスタ59は、データ線17と駆動トランジスタ52のドレイン(スイッチングトランジスタ54のドレイン)との間に接続されており、ゲートに第三補正用走査信号AZ3が適宜印加される。

10

【0224】

ここで、駆動トランジスタ52およびスイッチングトランジスタ59としてPチャネル型のTFTが用いられ、サンプリングトランジスタ53およびスイッチングトランジスタ54~56としてNチャネル型のTFTが用いられている。ただし、ここでの駆動トランジスタ52、サンプリングトランジスタ53およびスイッチングトランジスタ54~56, 59の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0225】

図35に、画素回路11Cを駆動する書き込み信号WS、駆動信号DSおよび第一、第二、第三補正用走査信号AZ1, AZ2, AZ3のタイミング関係、ならびにノードN21の電位Vinおよび駆動トランジスタ52のゲート電位Vgの変化をそれぞれ示す。

20

【0226】

図35のタイミング波形図から明らかなように、本画素回路11Cでは、画素回路11Bにおけるスイッチングトランジスタ55の機能を、2つのスイッチングトランジスタ55, 59が担うことになる。特に、スイッチングトランジスタ59が移動度補正動作を担うことになる。そして、第三補正用走査信号AZ3のパルス幅、具体的には第三補正用走査信号AZ3の立ち上がり波形で移動度補正期間 $t_{35} - t_{36}$ が決定される。

【0227】

このとき、入力信号電圧Vsigに応じて、駆動トランジスタ52のゲート電位が変動するため、他の画素回路2と同様に、移動度補正時間tが決まるように、第三補正用走査信号AZ3の立ち上がり波形で決まる移動度補正時間tを入力信号電圧Vsigに反比例するように設定することで、入力信号電圧Vsigに対応した最適な移動度補正時間tを設定できるために、黒レベルから白レベルまで入力信号電圧Vsigの全レベル範囲に亘って駆動トランジスタ52のドレイン・ソース間電流Idsの移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

30

【0228】

駆動トランジスタ32のゲートに印加される実効的な入力信号電圧Vdataに反比例する立ち上がり波形を持つ第三補正用走査信号AZ3については、第一補正用走査信号AZ1と同様に、図10に示したVDDVbAC生成回路40と同じ原理(極性が逆)を用いて、駆動トランジスタ32のゲートに印加される実効的な入力信号電圧Vdataに反比例するような立ち上がり波形を持つアナログ波形の電源電位VSSVbACを生成し、この電源電位VSSVbACを図20に示した書き込み走査回路18C(i)と同じ構成の第三補正用走査回路のバッファ184(i)に負側の電源電位として供給することによって生成できる。

40

【0229】

なお、画素回路11の他の回路例としては、上述した画素回路1~3に限られるものではない。すなわち、本発明は、電気光学素子に加えて、少なくとも、電気光学素子を駆動する駆動トランジスタと、映像信号をサンプリングして書き込むサンプリングトランジスタ

50

たと、表示期間に亘って駆動トランジスタのゲート・ソース間電圧を保持するキャパシタを含む画素回路がマトリクス状に配置されてなる表示装置全般に適用可能である。

【0230】

[適用例]

以上説明した本発明による表示装置は、一例として、図36～図40に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0231】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、先述した実施形態の説明から明らかなように、本発明による表示装置は、映像信号の信号電圧に適した移動度補正時間を設定することで、映像信号の信号電圧に応じて駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消すことができるために、各種の電子機器において、駆動トランジスタの移動度が画素ごとに異なることに起因するスジや輝度ムラの無い均一な画質の表示画像を得ることができる。

【0232】

なお、本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0233】

以下に、本発明が適用される電子機器の具体例について説明する。

【0234】

図36は、本発明が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による表示装置を用いることにより作成される。

【0235】

図37は、本発明が適用されるデジタルカメラを示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明による表示装置を用いることにより作製される。

【0236】

図38は、本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

【0237】

図39は、本発明が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本発明による表示装置を用いることにより作製される。

【0238】

図40は、本発明が適用される携帯端末装置、例えば携帯電話機を示す斜視図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用

10

20

30

40

50

例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部（ここではヒンジ部）1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含み、そのディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本発明による表示装置を用いることにより作製される。

【図面の簡単な説明】

【0 2 3 9】

【図 1】本発明の一実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図 2】書き込み信号 $W S$ 、駆動信号 $D S$ および第一、第二補正用走査信号 $A Z 1$, $A Z 2$ のタイミング関係、ならびに駆動トランジスタのゲート電位 $V g$ およびソース電位 $V s$ の変化をそれぞれ示すタイミング波形図である。

【図 3】画素回路の動作説明に供する特性図である。

【図 4】移動度補正期間における画素回路の状態を示す回路図である。

【図 5】移動度 μ が相対的に大きい画素 1 と移動度 μ が相対的に小さい画素 2 の入力信号電圧 $V s i g$ 対ドレイン・ソース間電流 $I d s$ の関係を示す図である。

【図 6】 $t = 0 \mu s$ のときと $t = 2.5 \mu s$ のときの入力信号電圧 $V s i g$ 対ドレイン・ソース間電流 $I d s$ の関係を示す図である。

【図 7】書き込み信号 $W S$ の立ち下がり波形を示す波形図である。

【図 8】実施例 1 に係る書き込み走査回路の回路構成を示す回路図である。

【図 9】実施例 1 の場合の電源電位 $V D D V b A C$ の波形、ならびに走査パルス $A (i)$, $A (i + 1)$ 、走査パルス $B (i)$, $B (i + 1)$ 、反転走査パルス $C (i)$, $C (i + 1)$ および書き込みパルス $W S (i)$, $W S (i + 1)$ のタイミング関係を示すタイミング波形図である。

【図 10】電源電位 $V D D V b A C$ を生成する回路系を示すブロック図である。

【図 11】第 1 例に係る電源電位 $V D D V b A C$ 生成回路の回路構成を示す回路図である。

【図 12】第 1 例に係る電源電位 $V D D V b A C$ 生成回路における入力スイッチ $S W 1 1$ および放電スイッチ $S W 1 2$, $S W 1 3$ のオン/オフ駆動のタイミング関係を示すタイミングチャートである。

【図 13】折れ線の立ち下がり波形を持つ電源電位 $V D D V x$ を用いたときの書き込み信号 $W S$ の立ち下がり波形を示す波形図である。

【図 14】第 2 例に係る電源電位 $V D D V b A C$ 生成回路の回路構成を示す回路図である。

【図 15】第 2 例に係る電源電位 $V D D V b A C$ 生成回路における入力スイッチ $S W 1 1$ および放電スイッチ $S W 1 2$, $S W 1 3$ のオン/オフ駆動のタイミング関係を示すタイミングチャートである。

【図 16】図 9 のタイミング A での実施例 1 に係る書き込み走査回路の動作状態についての動作説明図である。

【図 17】実施例 2 に係る書き込み走査回路の回路構成を示す回路図である。

【図 18】実施例 2 の場合の電源電位 $V D D V b A C$ の波形、ならびに走査パルス $A (i)$, $A (i + 1)$ 、走査パルス $B (i)$, $B (i + 1)$ 、反転走査パルス $C (i)$, $C (i + 1)$ および書き込みパルス $W S (i)$, $W S (i + 1)$ のタイミング関係を示すタイミング波形図である。

【図 19】図 18 のタイミング A での実施例 2 に係る書き込み走査回路の動作状態についての動作説明図である。

【図 20】負側の電源電位 $V S S V b$ に A C 電源を用いた書き込み走査回路の回路構成を示す回路図である。

【図 21】負側の電源電位 $V S S V b$ に A C 電源を用いた場合の電源電位 $V S S V b A C$ の波形、ならびに走査パルス $A (i)$, $A (i + 1)$ 、走査パルス $B (i)$, $B (i + 1)$ 、反転走査パルス $C (i)$, $C (i + 1)$ および書き込みパルス $W S (i)$, $W S (i$

10

20

30

40

50

+ 1) のタイミング関係を示すタイミング波形図である。

【図 2 2】実施例 1, 2 に係る書き込み走査回路の変形例を示す回路図である。

【図 2 3】保護回路の実施例 1 に係る接続関係を示す図である。

【図 2 4】実施例 1 に係る接続関係の場合の不具合の説明に供するタイミング波形図である。

【図 2 5】保護回路の実施例 2 に係る接続関係を示す図である。

【図 2 6】保護回路の実施例 3 に係る接続関係を示す図である。

【図 2 7】保護回路の実施例 4 に係る接続関係を示す図である。

【図 2 8】他の画素回路 1 の回路構成を示す回路図である。

【図 2 9】他の画素回路 1 を駆動する書き込み信号 $W S$ 、駆動信号 $D S$ および第一補正用走査信号 $A Z 1$ のタイミング関係、ならびに駆動トランジスタのゲート電位 $V g$ およびソース電位 $V s$ の変化をそれぞれ示すタイミング波形図である。

【図 3 0】他の画素回路 2 の回路構成を示す回路図である。

【図 3 1】他の画素回路 2 を駆動する書き込み信号 $W S$ 、駆動信号 $D S$ および第一、第二補正用走査信号 $A Z 1$, $A Z 2$ のタイミング関係、ならびにノード $N 2 1$ の電位 $V i n$ および駆動トランジスタのゲート電位 $V g$ の変化をそれぞれ示すタイミング波形図である。

【図 3 2】第一補正用走査信号 $A Z 1$ の立ち上がり波形を示す波形図である。

【図 3 3】折れ線の立ち下がり波形を持つ電源電位 $V S S V b A C$ を用いたときの第一補正用走査信号 $A Z 1$ の立ち上がり波形を示す波形図である。

【図 3 4】他の画素回路 3 の回路構成を示す回路図である。

【図 3 5】他の画素回路 3 を駆動する書き込み信号 $W S$ 、駆動信号 $D S$ および第一、第二、第三補正用走査信号 $A Z 1$, $A Z 2$, $A Z 3$ のタイミング関係、ならびにノード $N 2 1$ の電位 $V i n$ および駆動トランジスタのゲート電位 $V g$ の変化をそれぞれ示すタイミング波形図である。

【図 3 6】本発明が適用されるテレビを示す斜視図である。

【図 3 7】本発明が適用されるデジタルカメラを示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図 3 8】本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。

【図 3 9】本発明が適用されるビデオカメラを示す斜視図である。

【図 4 0】本発明が適用される携帯電話機を示す斜視図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【符号の説明】

【0 2 4 0】

1 1, 1 1 A, 1 1 B, 1 1 C ... 画素回路、1 2 ... 画素アレイ部、1 3 ... 走査線、1 4 ... 駆動線、1 5 ... 第一補正用走査線、1 6 ... 第二補正用走査線、1 7 ... データ線、1 8, 1 8 A, 1 8 B, 1 8 C ... 書き込み走査回路、1 9 ... 駆動走査回路、2 0 ... 第一補正用走査回路、2 1 ... 第二補正用走査回路、2 2 ... データ線駆動回路、3 1, 5 1 ... 有機 E L 素子、3 2, 5 2 ... 駆動トランジスタ、3 3, 5 3 ... サンプリングトランジスタ、3 4 ~ 3 6, 5 4 ~ 5 7, 5 9 ... スイッチングトランジスタ、3 7, 5 7, 5 8 ... キャパシタ、4 0, 4 0 A, 4 0 B ... $V D D V b A C$ 生成回路、6 0 ... 表示パネル、6 1, 6 3 ... 端子、6 2 ... 第 1 電源ライン、6 4 ... 第 2 電源ライン、6 5, 6 5 A, 6 5 B ... 保護回路

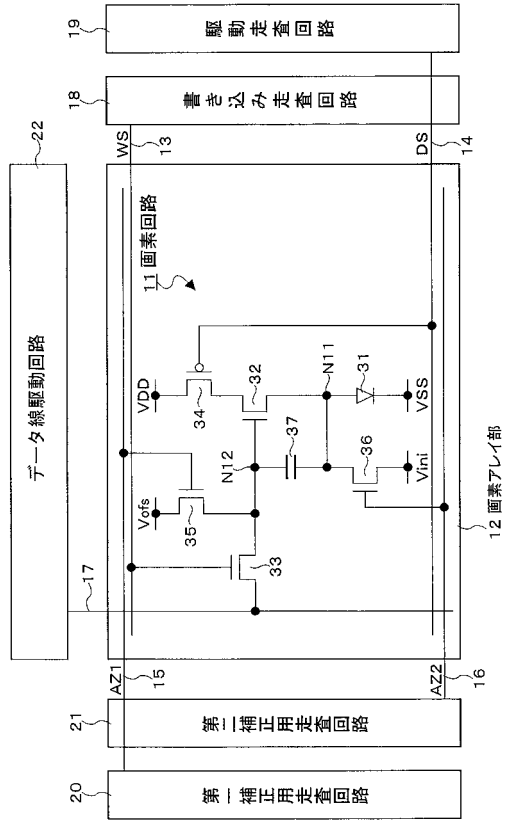
10

20

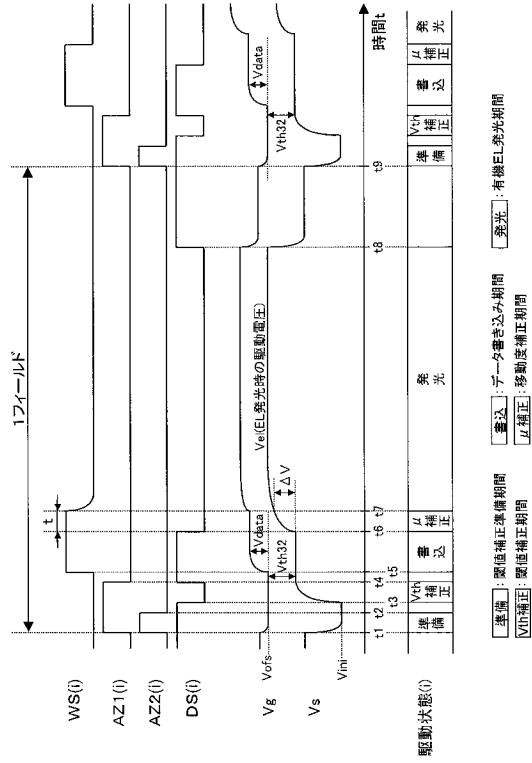
30

40

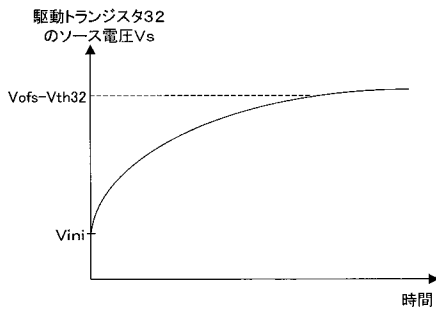
【 図 1 】



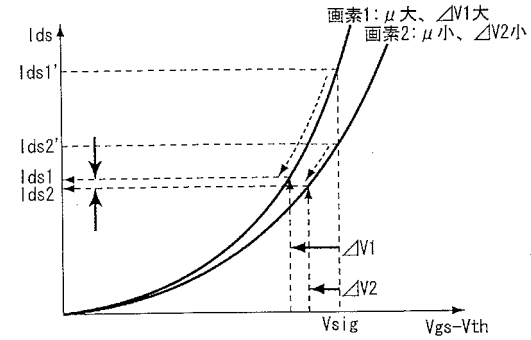
【 図 2 】



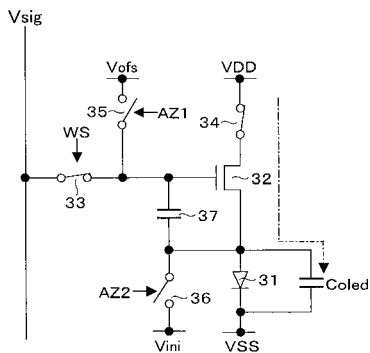
【 図 3 】



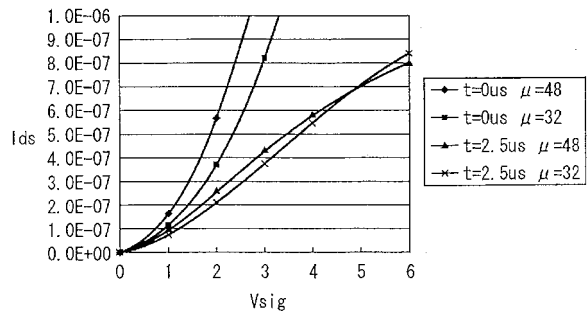
【 図 5 】



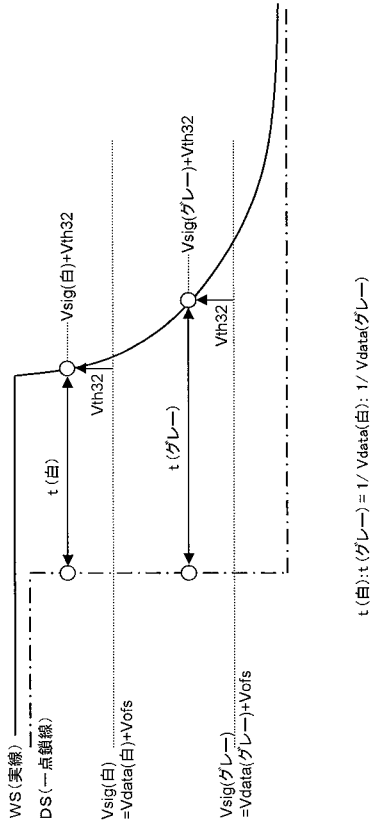
【 図 4 】



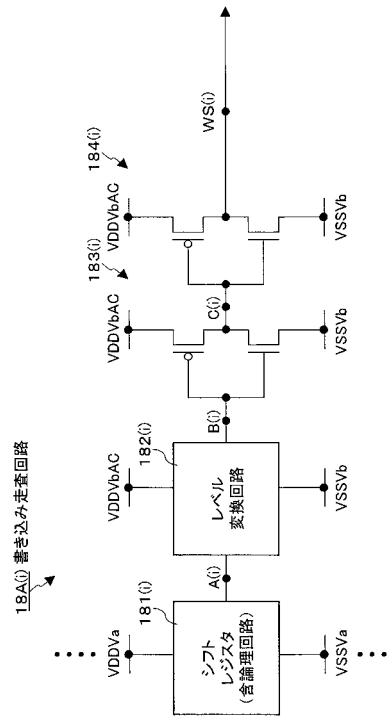
【 図 6 】



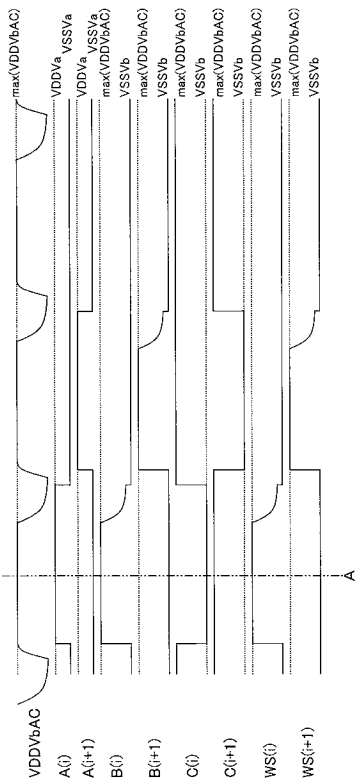
【 図 7 】



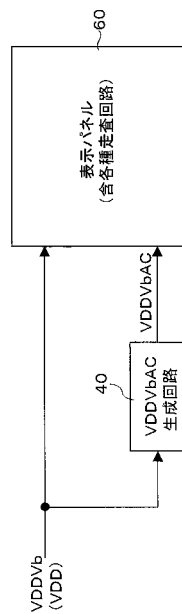
【 図 8 】



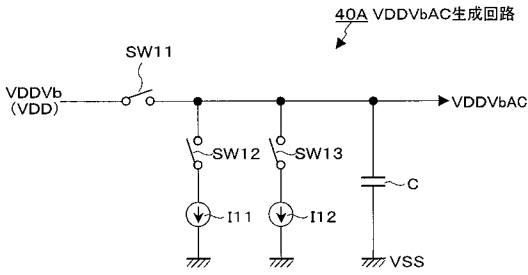
【 図 9 】



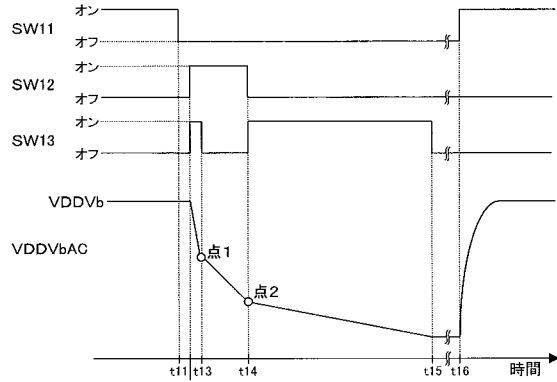
【 図 10 】



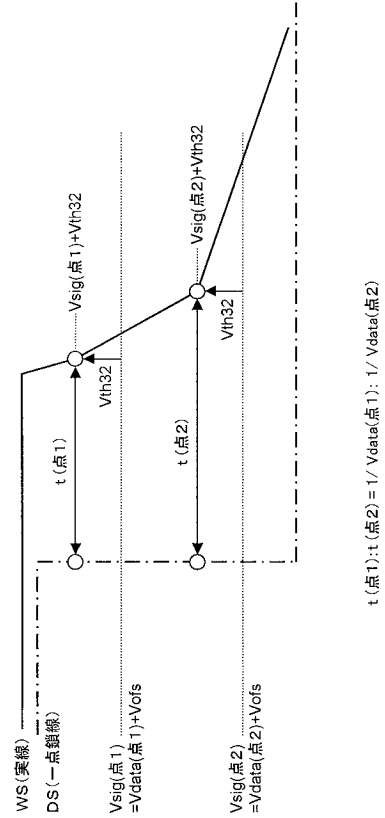
【 図 1 1 】



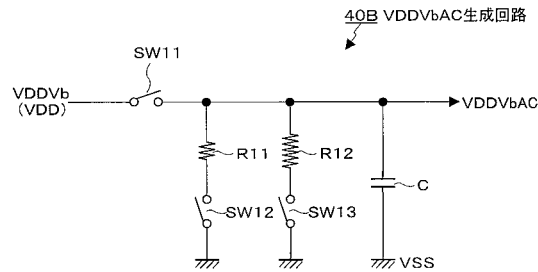
【 図 1 2 】



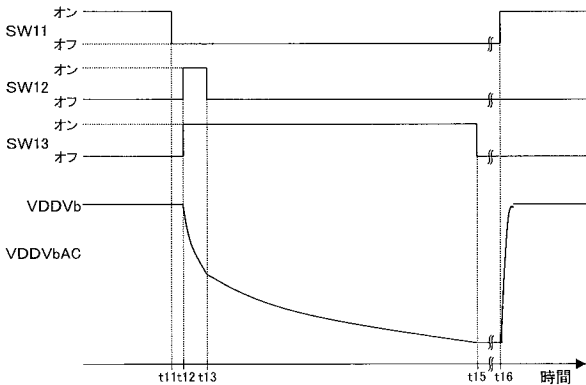
【 図 1 3 】



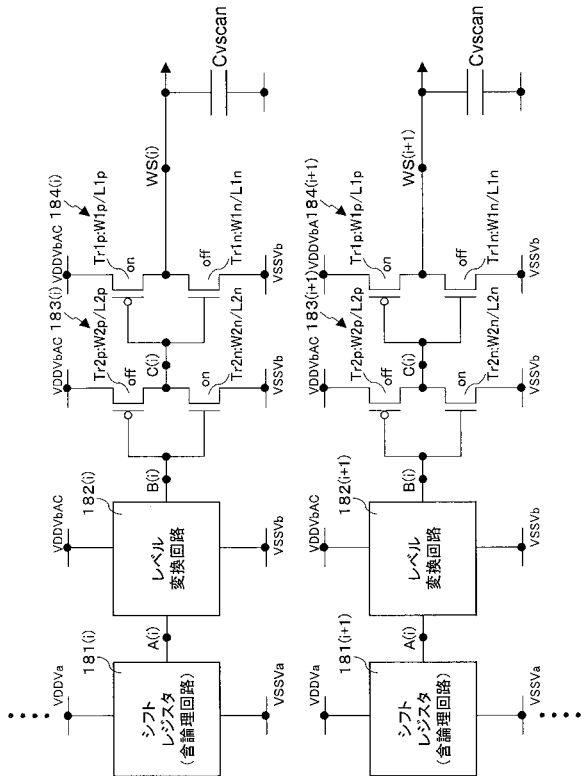
【 図 1 4 】



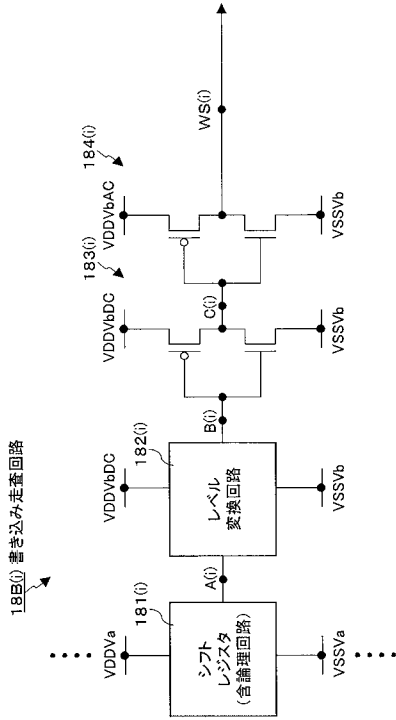
【 図 1 5 】



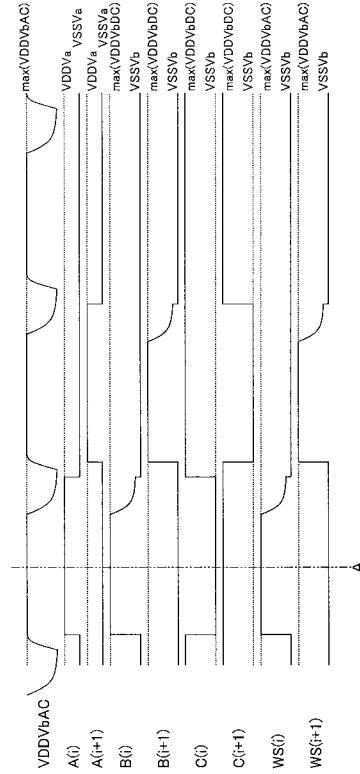
【 図 1 6 】



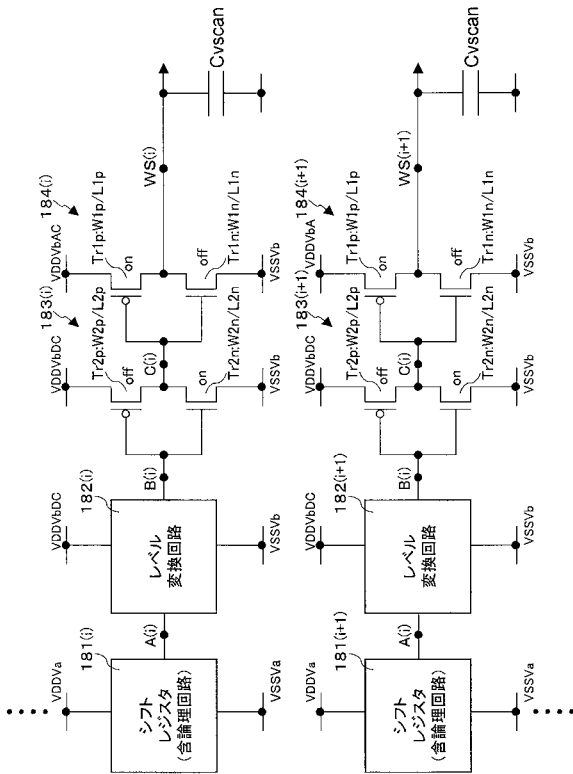
【 図 17 】



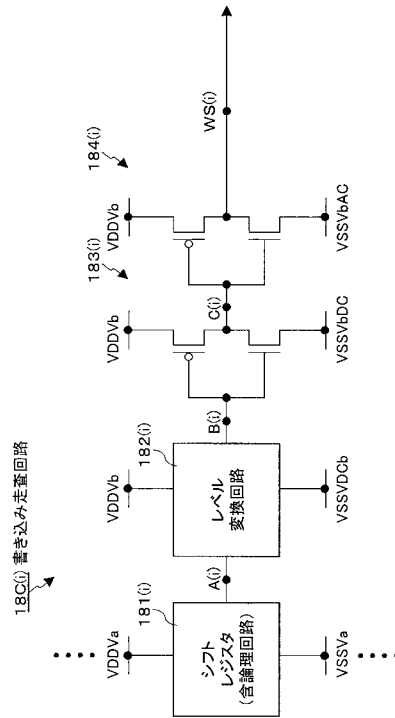
【 図 18 】



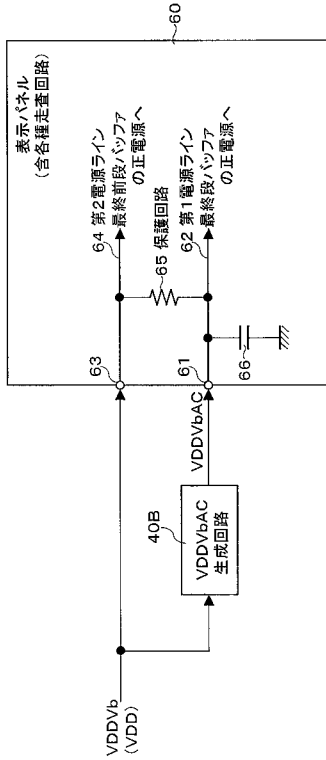
【 図 19 】



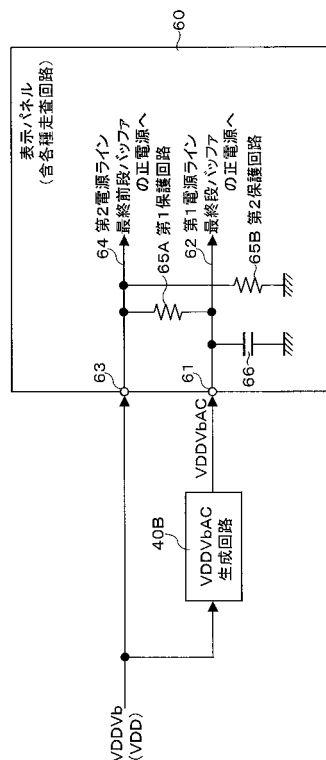
【 図 20 】



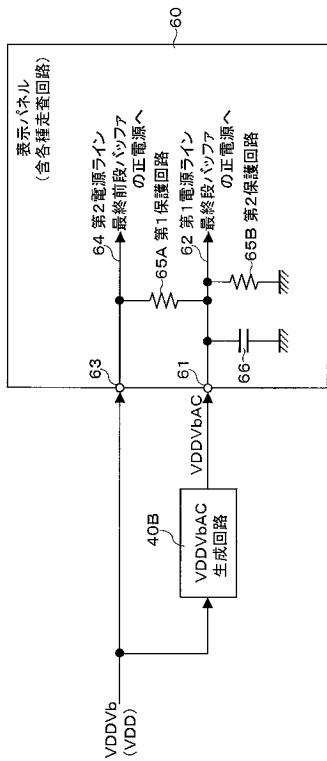
【 図 2 5 】



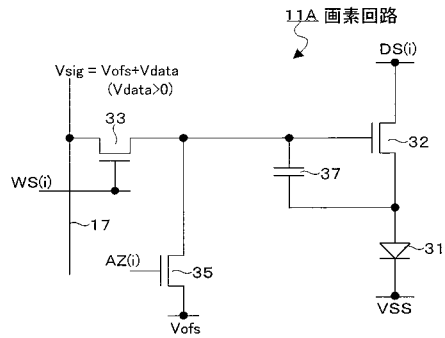
【 図 2 6 】



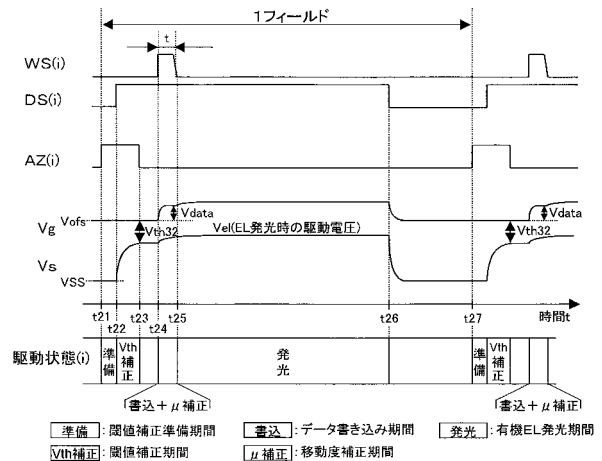
【 図 2 7 】



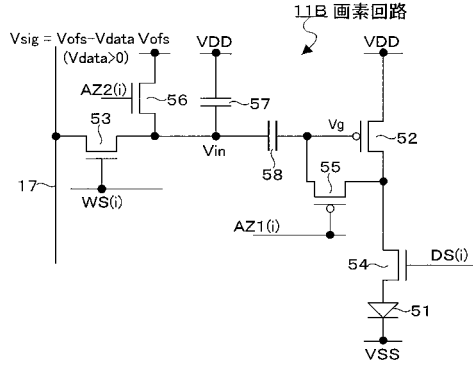
【 図 2 8 】



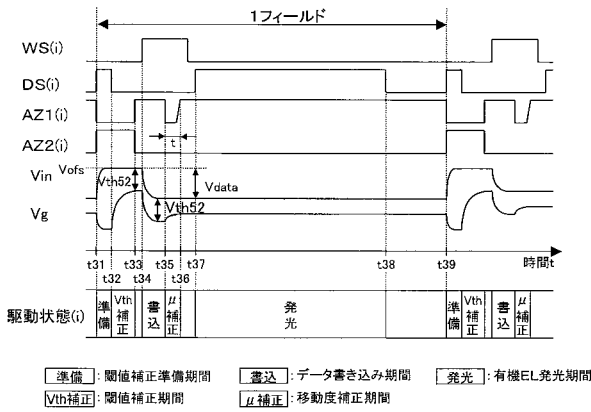
【 図 2 9 】



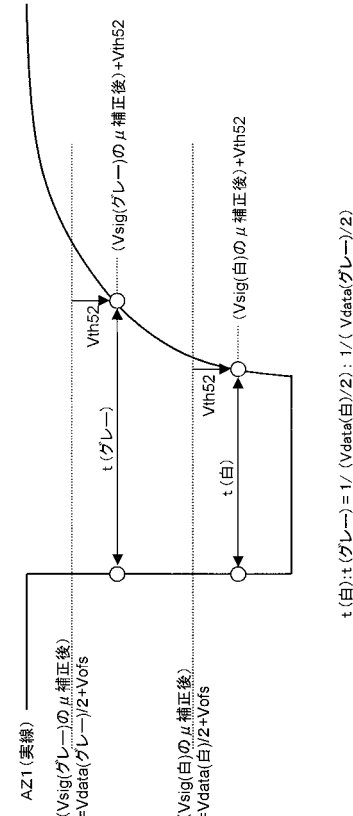
【 図 3 0 】



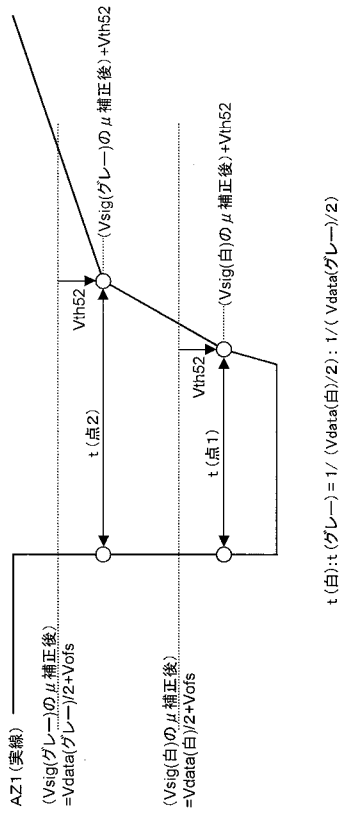
【 図 3 1 】



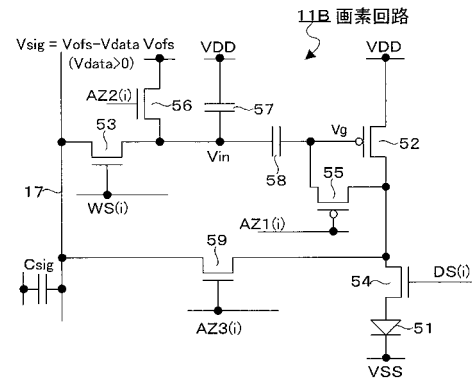
【 図 3 2 】



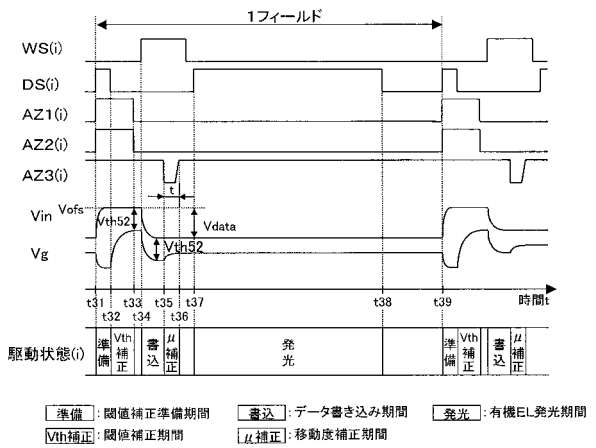
【 図 3 3 】



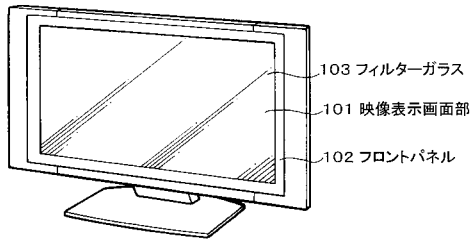
【 図 3 4 】



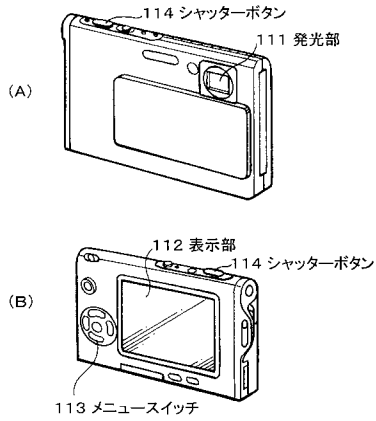
【 図 3 5 】



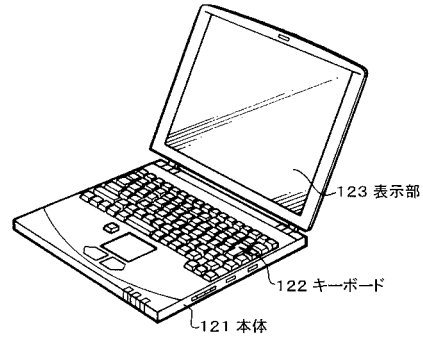
【図36】



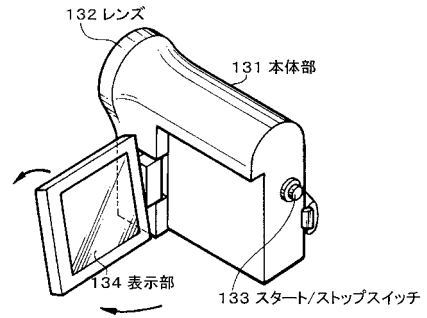
【図37】



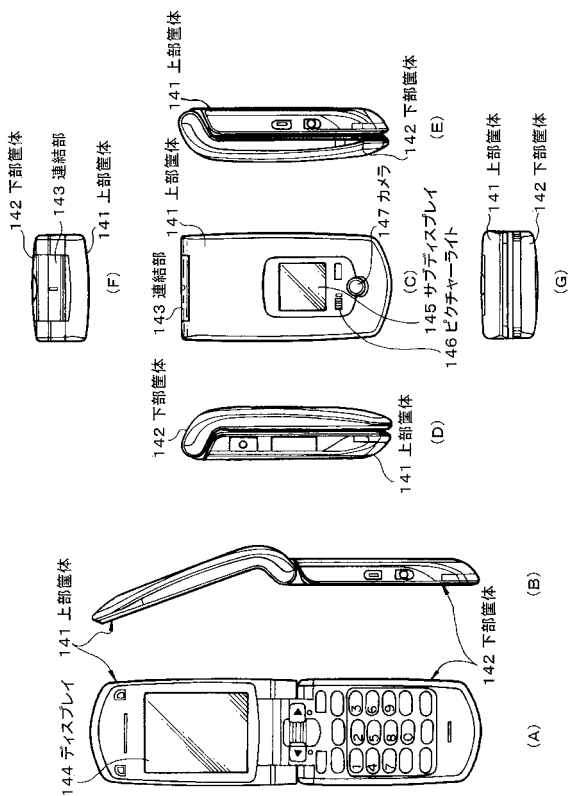
【図38】



【図39】



【図40】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 7 0 J

(72)発明者 富田 昌嗣

東京都港区港南1丁目7番1号 ソニーイーエムシーエス株式会社内

Fターム(参考) 5C080 AA06 BB05 DD05 DD29 EE29 FF11 JJ02 JJ03 JJ04 JJ05
JJ06

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2008058940A	公开(公告)日	2008-03-13
申请号	JP2007139016	申请日	2007-05-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎 藤村寛 甚田誠一郎 富田昌嗣		
发明人	浅野 慎 藤村 寛 甚田 誠一郎 富田 昌嗣		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2310/0256 G09G2310/0289 G09G2320/043 G09G2330/02		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.611.H G09G3/20.622.Q G09G3/20.622.G G09G3/20.624.B G09G3/20.670.J G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB32 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC12 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC63 5C380/CC65 5C380/CC66 5C380/CD013 5C380/CD015 5C380/CD025 5C380/CD026 5C380/CE01 5C380/CF07 5C380/CF22 5C380/CF24 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
优先权	2006210619 2006-08-02 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其驱动方法和电子设备，其中实现了关于像素之间的驱动晶体管的迁移率的分散的校正功能，并且获得均匀图像质量的显示图像。没有条纹或亮度不均匀。ŽSOLUTION：用于校正每个像素在驱动有机EL器件的驱动晶体管的迁移率中的色散的迁移率校正，用于驱动采样晶体管的写入信号WS的后沿波形，其采样并写入输入信号电压Vsig被设置为模拟波形，例如，设置波形使得它与输入信号电压Vsig成反比；并且，在写入扫描电路18B (i) 的输出电路的最后阶段，缓冲器184 (i) 的电源电位VDDVb被设定为AC电源。并且，将第二级的缓冲器183 (i) 的电源电位VDDVb设定为DC电源。Ž

