

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2006-84790  
(P2006-84790A)

(43) 公開日 平成18年3月30日(2006.3.30)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl.                          | F I            | テーマコード (参考) |
| <b>G09G 3/30 (2006.01)</b>            | G09G 3/30 J    | 3K007       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/20 611J | 5C080       |
| <b>H01L 51/50 (2006.01)</b>           | G09G 3/20 612F |             |
|                                       | G09G 3/20 621F |             |
|                                       | G09G 3/20 623B |             |
| 審査請求 未請求 請求項の数 10 O L (全 21 頁) 最終頁に続く |                |             |

|           |                              |          |                                |
|-----------|------------------------------|----------|--------------------------------|
| (21) 出願番号 | 特願2004-269637 (P2004-269637) | (71) 出願人 | 000006013                      |
| (22) 出願日  | 平成16年9月16日 (2004. 9. 16)     |          | 三菱電機株式会社                       |
|           |                              |          | 東京都千代田区丸の内二丁目7番3号              |
|           |                              | (74) 代理人 | 100089233                      |
|           |                              |          | 弁理士 吉田 茂明                      |
|           |                              | (74) 代理人 | 100088672                      |
|           |                              |          | 弁理士 吉竹 英俊                      |
|           |                              | (74) 代理人 | 100088845                      |
|           |                              |          | 弁理士 有田 貴弘                      |
|           |                              | (72) 発明者 | 飛田 洋一                          |
|           |                              |          | 東京都千代田区丸の内二丁目2番3号 三            |
|           |                              |          | 菱電機株式会社内                       |
|           |                              | Fターム(参考) | 3K007 AB17 BA06 DB03 GA00      |
|           |                              |          | 5C080 AA06 BB05 DD03 DD08 EE29 |
|           |                              |          | FF11 HH09 JJ02 JJ03 JJ06       |

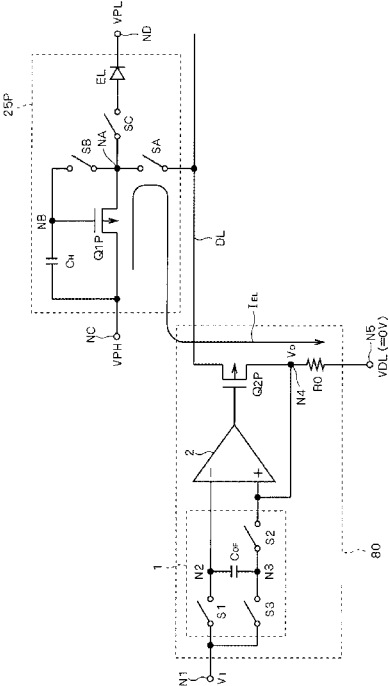
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示素子に供給すべき電流値を短時間で設定し得る表示装置を得る。

【解決手段】入力電圧V<sub>I</sub>は、スイッチング素子S1及びノードN2を介して差動アンプ2の反転入力端子に入力される。差動アンプ2はPMOSFETQ2Pを含めて電圧フォロアモードで動作する。従って、PMOSFETQ2Pがオンするとともに、入力電圧V<sub>I</sub>に等しい出力電圧V<sub>O</sub>が出力ノードN4に出力される。ノードN5の電位はVDL (=0V) であるため、抵抗素子R0の両端に出力電圧V<sub>O</sub>が印加される。その結果、ノードNCから、画素25P、データ線DL、PMOSFETQ2P、及び抵抗素子R0をこの順に介して、電源ノードN5に書き込み電流I<sub>EL</sub>が流れる。書き込み電流I<sub>EL</sub>の電流値(I<sub>EL</sub>)は、I<sub>EL</sub>=V<sub>O</sub>/R0=V<sub>I</sub>/R0で与えられる。抵抗値R0は予め設定された一定値であるため、入力電圧V<sub>I</sub>に応じて電流値I<sub>EL</sub>が直接設定されることとなる。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

電流駆動型の電界発光表示素子を有する画素と、  
データ線を介して前記画素に接続され、表示データに応じて前記電界発光表示素子に流すべき電流を、前記データ線を介して前記画素に書き込む駆動回路と  
を備え、

前記駆動回路は、前記画素への書き込みの際に前記画素に流れる前記電流が前記データ線を介して流れる抵抗素子を含み、

前記画素への書き込みの際、前記表示データに応じた電圧が前記抵抗素子に印加されることにより、前記電流の値が設定される、表示装置。

10

## 【請求項 2】

前記駆動回路は、

前記表示データに応じた入力電圧が入力される入力ノードと、

所定の電源電位が供給される電源ノードと、

前記入力電圧に等しい出力電圧が印加される出力ノードと、

第 1 入力端子、第 2 入力端子、及び出力端子を有する差動アンプと、

第 1 電極、第 2 電極、及び制御電極を有するトランジスタと、

前記入力電圧と前記出力電圧との差を補正するためのオフセットキャンセル回路と  
をさらに含み、

前記第 1 入力端子は前記入力ノードに接続され、

前記第 2 入力端子は前記出力ノードに接続され、

前記出力端子は前記制御電極に接続され、

前記第 1 電極は前記データ線に接続され、

前記第 2 電極は前記出力ノードに接続され、

前記抵抗素子の一端は前記出力ノードに接続され、

前記抵抗素子の他端は前記電源ノードに接続されている、請求項 1 に記載の表示装置。

20

## 【請求項 3】

前記駆動回路は、

前記表示データに応じた入力電圧が入力される入力ノードと、

所定の電源電位が供給される電源ノードと、

前記入力電圧に等しい出力電圧が印加される出力ノードと、

第 1 電極、第 2 電極、及び制御電極を有するトランジスタと、前記抵抗素子とを有する  
ソースフォロア回路と、

前記入力電圧と前記出力電圧との差を補正するためのオフセットキャンセル回路と  
をさらに含み、

前記制御電極は前記入力ノードに接続され、

前記第 1 電極は前記データ線に接続され、

前記第 2 電極は前記出力ノードに接続され、

前記抵抗素子の一端は前記出力ノードに接続され、

前記抵抗素子の他端は前記電源ノードに接続されている、請求項 1 に記載の表示装置。

30

40

## 【請求項 4】

前記駆動回路は、前記入力電圧が前記制御電極に印加されるよりも前に、前記制御電極の電圧を前記トランジスタのしきい値電圧に等しく設定するための回路をさらに含む、請求項 3 に記載の表示装置。

## 【請求項 5】

前記オフセットキャンセル回路は、

一方電極及び他方電極を有する第 1 のキャパシタと、

第 1 ～第 3 のスイッチング素子と

を有し、

前記第 1 のキャパシタの前記一方電極は、前記第 1 のスイッチング素子を介して前記入

50

力ノードに接続され、かつ、前記制御電極に接続され、

前記第1のキャパシタの前記他方電極は、前記第2のスイッチング素子を介して前記入力ノードに接続され、かつ、前記第3のスイッチング素子を介して前記出力ノードに接続されている、請求項3又は4に記載の表示装置。

【請求項6】

前記オフセットキャンセル回路は、  
一方電極及び他方電極を有する第2のキャパシタと、  
第4及び第5のスイッチング素子と

をさらに有し、

前記第2のキャパシタの前記一方電極は、前記第1のキャパシタの前記他方電極に接続され、かつ、前記第2のスイッチング素子を介して前記入力ノードに接続され、かつ、前記第3のスイッチング素子を介して前記出力ノードに接続され、

前記第2のキャパシタの前記他方電極は、前記第4のスイッチング素子を介して前記入力ノードに接続され、かつ、前記第5のスイッチング素子を介して前記出力ノードに接続されている、請求項5に記載の表示装置。

【請求項7】

前記オフセットキャンセル回路は、  
一方電極及び他方電極を有する第2のキャパシタと、  
第4及び第5のスイッチング素子と

をさらに有し、

前記第2のキャパシタの前記一方電極は、前記第1のスイッチング素子を介して前記入力ノードに接続され、かつ、前記制御電極に接続され、

前記第2のキャパシタの前記他方電極は、前記第4のスイッチング素子を介して前記入力ノードに接続され、かつ、前記第5のスイッチング素子を介して前記出力ノードに接続されている、請求項5に記載の表示装置。

【請求項8】

前記駆動回路は、  
前記表示データに応じた入力電圧が入力される入力ノードと、  
所定の電源電位が供給される電源ノードと、  
前記入力電圧に等しい出力電圧が印加される出力ノードと、  
第1電極、第2電極、及び制御電極を有するトランジスタと、  
第1及び第2のインバータ回路と、  
第1～第3の差分電圧保持回路と、  
電圧設定回路と

をさらに含み、

前記入力ノードは、前記第1の差分電圧保持回路を介して前記第1のインバータ回路の入力端子に接続され、

前記第1のインバータ回路の出力端子は、前記第2の差分電圧保持回路を介して前記第2のインバータ回路の入力端子に接続され、

前記第2のインバータ回路の出力端子は、前記第3の差分電圧保持回路を介して前記制御電極に接続され、

前記第1電極は前記データ線に接続され、

前記第2電極は前記出力ノードに接続され、

前記抵抗素子の一端は前記出力ノードに接続され、

前記抵抗素子の他端は前記電源ノードに接続されており、

前記電圧設定回路は、前記入力電圧が前記第1の差分電圧保持回路に印加されるよりも前に、前記第1のインバータ回路の前記入力端子の電圧を前記第1のインバータ回路のしきい値電圧に設定し、前記第2のインバータ回路の前記入力端子の電圧を前記第2のインバータ回路のしきい値電圧に設定し、前記制御電極の電圧を前記トランジスタのしきい値電圧に設定する、請求項1に記載の表示装置。

## 【請求項 9】

第 1 電源電位と第 2 電源電位との間で複数の抵抗素子が直列に接続された階調電圧生成回路をさらに備え、

前記所定の電源電位は、前記第 1 電源電位及び前記第 2 電源電位のいずれかに等しい、請求項 2～8 のいずれか一つに記載の表示装置。

## 【請求項 10】

前記抵抗素子は、クロム、酸素、及び窒素を含有し、酸素含有量が 10～40 原子%であり、窒素含有量が 10～20 原子%である金属薄膜として形成されている、請求項 1～9 のいずれか一つに記載の表示装置。

## 【発明の詳細な説明】

10

## 【技術分野】

## 【0001】

本発明は、表示装置に関し、特に、エレクトロルミネッセンス (EL) 表示素子等の電流駆動型の電界発光表示素子を備える表示装置において、表示素子を駆動するための駆動回路の構成に関する。

## 【背景技術】

## 【0002】

表示装置に用いられる従来の駆動回路が、例えば下記特許文献 1 に開示されている。当該特許文献の第 3 図を参照して、MOSFET のドレインは、スイッチによってデータ線又は基準電流源に選択的に接続されている。MOSFET のゲートは、キャパシタに接続されている。但し第 3 図では、ゲートーチャネル間の容量成分によってキャパシタが代用されている。スイッチを基準電流源側に切り換えることにより、基準電流源から供給される基準電流  $I_0$  によってキャパシタが充電される。その後、スイッチをデータ線側に切り換えることにより、キャパシタの充電電圧に応じた電流がデータ線に供給される。並列に接続される MOSFET の個数をデータ線ごとに異ならせることにより、2 進数で重み付けされた電流  $I_0$ ,  $2I_0$ ,  $4I_0$ , ... が得られている。

20

## 【0003】

【特許文献 1】実開昭 62-122488 号公報 (第 3 図)

## 【発明の開示】

## 【発明が解決しようとする課題】

30

## 【0004】

しかしながら、上記した従来の駆動回路では、データ線ごとに基準電流  $I_0$  によるキャパシタの充電 (つまり電流の書き込み) を行う必要があるため、電流の書き込みに長時間を要するという問題がある。また、2 進数で重み付けされた電流値の組合せとなるため、電流値のガンマ補正が困難であるという問題もある。

## 【0005】

本発明はかかる問題を解決するために成されたものであり、駆動回路においてキャパシタへの電流の書き込みを不要とすることにより、表示素子に供給すべき電流値を短時間で設定し得る表示装置を得ることを目的とする。

## 【課題を解決するための手段】

40

## 【0006】

本発明に係る表示装置は、電流駆動型の電界発光表示素子を有する画素と、データ線を介して前記画素に接続され、表示データに応じて前記電界発光表示素子に流すべき電流を、前記データ線を介して前記画素に書き込む駆動回路とを備え、前記駆動回路は、前記画素への書き込みの際に前記画素に流れる前記電流が前記データ線を介して流れる抵抗素子を含み、前記画素への書き込みの際、前記表示データに応じた電圧が前記抵抗素子に印加されることにより、前記電流の値が設定される。

## 【発明の効果】

## 【0007】

本発明に係る表示装置によれば、表示素子に供給すべき電流値を短時間で設定すること

50

ができる。

【発明を実施するための最良の形態】

【0008】

実施の形態1.

図1は、本発明の実施の形態1に係るEL表示装置10の全体構成を示すブロック図である。EL表示装置10は、ELアレイ部20と、ゲート線駆動回路30と、ソースドライバ40とを備えている。

【0009】

ELアレイ部20は、行列状に配置された複数の画素25を有している。また、ELアレイ部20の各行ごとにゲート線GLが配置されており、各列ごとにデータ線DLが配置されている。但し図1には、第1行の第1列及び第2列の画素25と、これに対応するゲート線GL1及びデータ線DL1, DL2とが代表的に示されている。 10

【0010】

ソースドライバ40は、Nビットのデジタルデータである表示データSIGによって段階的に設定される表示電流を、データ線DLへ出力する。図1では一例として、表示データSIGは、6ビットのデータである表示データビットD0～D5によって構成されているものとする。

【0011】

6ビットの表示データSIGに基づいて、各画素25において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R (Red)、G (Green)、及びB (Blue) の各1つの画素25によって1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。 20

【0012】

ソースドライバ40は、シフトレジスタ50と、データラッチ回路52, 54と、階調電圧生成回路60と、デコード回路70と、EL駆動回路80とを備えている。

【0013】

表示データSIGは、画素25ごとの表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示データビットD0～D5は、ELアレイ部20の中の1つの画素25における表示輝度を示している。

【0014】

シフトレジスタ50は、データ線選択信号SH1, SH2, ...を生成し、表示データSIGの設定が切り換えられる所定周期に同期したタイミングで、データラッチ回路52に対して表示データビットD0～D5の取り込みを指示する。データラッチ回路52は、シリアルに生成される1行分の表示データSIGを順に取り込んで保持する。 30

【0015】

データラッチ回路52にラッチされた1群の表示データSIGは、1行分の表示データSIGがデータラッチ回路52に取り込まれたタイミングで、ラッチ信号LTの活性化に応答してデータラッチ回路54に伝達される。

【0016】

階調電圧生成回路60は、高電位VDHと低電位VDLとの間で直列に接続された63個の分圧抵抗R1～R63を備えており、64段階の階調電圧V1～V64が階調電圧ノードN<sub>1</sub>～N<sub>64</sub>にそれぞれ与えられる。 40

【0017】

デコード回路70は、データラッチ回路54にラッチされた表示データSIGをデコードし、表示データSIGに基づいて階調電圧V1～V64から表示電圧(V1～V64のうちの1つ)を選択して、デコード出力ノードNdに出力する。本実施の形態1において、デコード回路70は、データラッチ回路54にラッチされた表示データSIGに基づいて、1行分の表示電圧を並列に出力する。なお、図1においては、第1列及び第2列のデータ線DL1, DL2に対応するデコード出力ノードNd1, Nd2が代表的に示されている。

【0018】

E L 駆動回路 80 は、デコード出力ノード N d 1, N d 2, . . . へ出力された各表示電圧に対応したアナログ電流を、データ線 D L 1, D L 2, . . . にそれぞれ出力する。

【0019】

図 2 は、図 1 に示した E L 駆動回路 80 及び画素 25 (図 2 における符号 25 P) の構成を示す回路図である。図 2 では、説明の簡単化のため、各データ線 D L ごとに E L 駆動回路 80 が個別に設けられている例を示している。但し、E L 駆動回路 80 とデータ線 D L との間に切り換えスイッチを配設することにより、1 つの E L 駆動回路 80 に複数のデータ線 D L を接続することもできる。これにより、1 つの E L 駆動回路 80 によって複数のデータ線 D L を駆動することが可能となる。

【0020】

図 2 を参照して、E L 駆動回路 80 は、オフセットキャンセル回路 1 と、差動アンプ 2 と、PMOS FET Q 2 P と、抵抗素子 R 0 とを備えている。オフセットキャンセル回路 1 は、スイッチング素子 S 1 ~ S 3 と、キャパシタ C<sub>0F</sub> とを有している。

【0021】

スイッチング素子 S 1 の一端は入力ノード N 1 に接続されており、他端はノード N 2 に接続されている。スイッチング素子 S 3 の一端は入力ノード N 1 に接続されており、他端はノード N 3 に接続されている。キャパシタ C<sub>0F</sub> の一方電極はノード N 2 に接続されており、他方電極はノード N 3 に接続されている。スイッチング素子 S 2 の一端はノード N 3 に接続されており、他端は差動アンプ 2 の非反転入力端子に接続されている。ノード N 2 は、差動アンプ 2 の反転入力端子に接続されている。

【0022】

PMOS FET Q 2 P のソースはデータ線 D L に接続されており、ゲートは差動アンプ 2 の出力端子に接続されており、ドレインは出力ノード N 4 に接続されている。出力ノード N 4 は、差動アンプ 2 の非反転入力端子に接続されている。抵抗素子 R 0 の一端は出力ノード N 4 に接続されており、他端は電源ノード N 5 に接続されている。

【0023】

入力ノード N 1 には、階調電圧 V 1 ~ V 64 の中から表示データ S I G に応じて選択された表示電圧が、入力電圧 V<sub>I</sub> として入力される。差動アンプ 2 は PMOS FET Q 2 P を含めて電圧フォロアモードで動作し、出力ノード N 4 には、入力電圧 V<sub>I</sub> に等しい出力電圧 V<sub>O</sub> が出力される。電源ノード N 5 には、図 1 に示した階調電圧生成回路 60 の低電位 V D L と等しい電位が印加されている。以下では、説明の容易化のため、低電位 V D L は 0 V であるものとする。

【0024】

画素 25 P は、PMOS FET Q 1 P と、キャパシタ C<sub>H</sub> と、スイッチング素子 S A ~ S C と、E L 表示素子等の電流駆動型の電界発光表示素子 E L (図 2 ではダイオード素子として表記) とを有している。キャパシタ C<sub>H</sub> の一方電極はノード N C に接続されており、他方電極はノード N B に接続されている。PMOS FET Q 1 P のソースはノード N C に接続されており、ゲートはノード N B に接続されており、ドレインはノード N A に接続されている。スイッチング素子 S B の一端はノード N B に接続されており、他端はノード N A に接続されている。スイッチング素子 S C の一端はノード N A に接続されており、他端は表示素子 E L のアノードに接続されている。表示素子 E L のカソードは、ノード N D に接続されている。スイッチング素子 S A の一端はノード N A に接続されており、他端はデータ線 D L に接続されている。

【0025】

ノード N C には高電位 V P H が印加されており、ノード N D には低電位 V P L が印加されている。スイッチング素子 S A ~ S C はいずれも MOS FET によって構成されており、ゲート線 G L (図 2 には示さない) から供給されるゲート電圧によって、各 MOS FET のオン/オフ (つまりスイッチング素子 S A ~ S C のオン/オフ) がそれぞれ制御される。

【0026】

10

20

30

40

50

以下、動作について説明する。まず、ゲート線GLを駆動することにより、スイッチング素子SA、SBをオンし、スイッチング素子SCをオフする。また、入力電圧 $V_I$ を入力ノードN1に入力し、スイッチング素子S1、S2をオンし、スイッチング素子S3をオフする。入力電圧 $V_I$ は、スイッチング素子S1及びノードN2を介して差動アンプ2の反転入力端子に入力される。上記の通り、差動アンプ2はPMOSFETQ2Pを含めて電圧フォロアモードで動作する。従って、PMOSFETQ2Pがオンするとともに、入力電圧 $V_I$ に等しい出力電圧 $V_0$ が出力ノードN4に出力される。ノードN5の電位はVDL(=0V)であるため、抵抗素子R0の両端に出力電圧 $V_0$ が印加される。

#### 【0027】

その結果、ノードNCから、画素25P、データ線DL、PMOSFETQ2P、及び抵抗素子R0をこの順に介して、電源ノードN5に書き込み電流 $I_{EL}$ が流れる。書き込み電流 $I_{EL}$ の電流値( $I_{EL}$ )は、出力電圧 $V_0$ と抵抗素子R0の抵抗値(R0)とに基づいて、

$$I_{EL} = V_0 / R_0 \quad \dots\dots (1)$$

として与えられる。

#### 【0028】

ここで、出力電圧 $V_0$ は入力電圧 $V_I$ に等しいため、式(1)は、

$$I_{EL} = V_I / R_0 \quad \dots\dots (2)$$

と書き換えられる。抵抗値R0は予め設定された一定値であるため、式(2)から明らかに、入力電圧 $V_I$ に応じて電流値 $I_{EL}$ が直接設定されることとなる。

#### 【0029】

ここで、入力電圧 $V_I$ と出力電圧 $V_0$ との間に差(オフセット電圧)が生じている場合について考える。スイッチング素子S2がオンしているため、入力電圧 $V_I$ と出力電圧 $V_0$ との間にオフセット電圧が生じていると、そのオフセット電圧に相当する電圧がキャパシタ $C_{0F}$ の両端に印加されている。

#### 【0030】

スイッチング素子S1、S2をオフした後にスイッチング素子S3をオンすると、ノードN3の電位が、 $V_0$ から $V_I$ に変化する。キャパシタ $C_{0F}$ はノードN2とノードN3との間の電位差を保持するため、ノードN3の電位が $V_0$ から $V_I$ に変化したことに伴って、ノードN3の電位の変化分だけノードN2の電位も変化する。ノードN2の変化後の電位が差動アンプ2の反転入力端子に入力されることによってオフセット電圧が補正され、その結果、出力電圧 $V_0$ が入力電圧 $V_I$ に正確に等しくなる。なお、図2に示したオフセットキャンセル回路1の構成は一例であり、オフセット電圧が発生している場合にそれを補正できれば、どのような構成であっても良い。

#### 【0031】

画素25Pにおいては、スイッチング素子SBがオンされることによって、PMOSFETQ1Pがダイオード接続されている。そのため、書き込み電流 $I_{EL}$ が安定するのに十分な時間が経過して定常状態になると、キャパシタ $C_H$ の両端間の電圧は、入力電圧 $V_I$ に応じた書き込み電流 $I_{EL}$ を駆動するのに必要な、PMOSFETQ1Pのゲートソース間電圧に等しくなる。キャパシタ $C_H$ は、この電圧を保持する。以上の動作により、画素25Pへの書き込み電流 $I_{EL}$ の書き込みが完了する。

#### 【0032】

スイッチング素子SA、SBをオフした後にスイッチング素子SCをオンすると、キャパシタ $C_H$ が保持している電圧によってPMOSFETQ1Pがオンし、書き込み電流 $I_{EL}$ に応じた電流が、ノードNCから、PMOSFETQ1P、ノードNA、及びスイッチング素子SCをこの順に介して、表示素子ELに流れる。これにより、電流駆動型の表示素子ELが発光する。

#### 【0033】

このように本実施の形態1に係る表示装置によれば、書き込み電流 $I_{EL}$ を画素25Pへ書き込む際、表示データSIGに応じた入力電圧 $V_I$ に等しい出力電圧 $V_0$ が、EL駆動回

10

20

30

40

50

路 80 の抵抗素子  $R_0$  に印加され、これにより、書き込み電流  $I_{EL}$  の値が設定される。従って、従来の駆動回路のような基準電流  $I_0$  によるキャパシタの充電を行う必要がないため、発光のために表示素子  $EL$  に供給すべき電流値を、短時間で高速に設定することが可能となる。また、書き込み電流  $I_{EL}$  の電流値は、従来の駆動回路のような 2 進数で重み付けされた電流値の組合せに限定されないため、電流値のガンマ補正が困難になることを回避できる。

#### 【0034】

また、入力電圧  $V_I$  と出力電圧  $V_O$  との間にオフセット電圧が生じている場合であっても、そのオフセット電圧をオフセットキャンセル回路 1 によって補正できるため、入力電圧  $V_I$  の値に応じて書き込み電流  $I_{EL}$  の電流値を正確に設定することができる。

10

#### 【0035】

実施の形態 2.

図 3 は、本発明の実施の形態 2 に係る  $EL$  駆動回路 80 の構成の一部を抜き出して示す回路図である。上記実施の形態 1 では、 $PMOSFETQ2P$  を採用するとともに、差動アンプ 2 の反転入力端子にノード  $N2$  が接続されていた。これに対して本実施の形態 2 では、 $PMOSFETQ2P$  の代わりに  $NMOSFETQ2N$  を採用するとともに、差動アンプ 2 の非反転入力端子にノード  $N2$  が接続されている。本実施の形態 2 において、差動アンプ 2 の反転入力端子はノード  $N4$  に接続されている。図 3 では省略しているが、本実施の形態 2 に係る  $EL$  駆動回路 80 のその他の構成は、上記実施の形態 1 と同様である。

#### 【0036】

20

但し、 $NMOSFETQ2N$  のソース電圧はしきい値電圧分だけゲート電圧よりも低下することを考慮して、本実施の形態 2 に係る差動アンプ 2 の電源電圧は、上記実施の形態 1 よりも大きく設定する必要がある。

#### 【0037】

上記実施の形態 1 では、 $PMOSFETQ2P$  と抵抗素子  $R_0$  との直列接続体がインバータ回路を構成していた。これに対し、本実施の形態 2 において、 $NMOSFETQ2N$  と抵抗素子  $R_0$  との直列接続体は、インバータ回路を構成せず、電圧増幅度が 1 であるため、本実施の形態 2 に係る差動アンプ 2 は上記実施の形態 1 よりも発振しにくいという特徴がある。

#### 【0038】

30

実施の形態 3.

上記実施の形態 1 では  $PMOSFETQ1P$  を有する画素 25P が採用されていたが、本実施の形態 3 では、 $NMOSFET$  を有する画素が採用された例について説明する。

#### 【0039】

図 4 は、本実施の形態 3 に係る、 $EL$  駆動回路 80 の一部の構成及び画素 25 (図 4 における符号 25N) の構成を示す回路図である。

#### 【0040】

ノード  $N2$  は、差動アンプ 2 の反転入力端子に接続されている。 $NMOSFETQ2N$  のソースはデータ線  $DL$  に接続されており、ゲートは差動アンプ 2 の出力端子に接続されており、ドレインは出力ノード  $N4$  に接続されている。出力ノード  $N4$  は、差動アンプ 2 の非反転入力端子に接続されている。抵抗素子  $R_0$  の一端は出力ノード  $N4$  に接続されており、他端は電源ノード  $N5$  に接続されている。電源ノード  $N5$  には、図 1 に示した階調電圧生成回路 60 の高電位  $V_{DH}$  と等しい電位が印加されている。図 4 では省略しているが、本実施の形態 4 に係る  $EL$  駆動回路 80 のその他の構成は、上記実施の形態 1 と同様である。

40

#### 【0041】

画素 25N は、 $NMOSFETQ1N$  と、キャパシタ  $C_H$  と、スイッチング素子  $SA \sim SC$  と、表示素子  $EL$  とを有している。キャパシタ  $C_H$  の一方電極はノード  $NC$  に接続されており、他方電極はノード  $NB$  に接続されている。 $NMOSFETQ1N$  のソースはノード  $NC$  に接続されており、ゲートはノード  $NB$  に接続されており、ドレインはノード  $N$

50



Aに接続されている。スイッチング素子S Bの一端はノードN Bに接続されており、他端はノードN Aに接続されている。スイッチング素子S Cの一端はノードN Aに接続されており、他端は表示素子E Lのカソードに接続されている。表示素子E Lのアノードは、ノードN Dに接続されている。スイッチング素子S Aの一端はノードN Aに接続されており、他端はデータ線D Lに接続されている。

#### 【0042】

ノードN Dには高電位V P Hが印加されており、ノードN Cには低電位V P Lが印加されている。スイッチング素子S A～S CはいずれもM O S F E Tによって構成されており、ゲート線G L（図4には示さない）によってそれぞれのオン／オフが制御される。

#### 【0043】

10

以下、動作について説明する。まず、ゲート線G Lを駆動することにより、スイッチング素子S A、S Bをオンし、スイッチング素子S Cをオフする。また、上記実施の形態1と同様に、入力電圧V<sub>I</sub>を入力ノードN 1に入力し、スイッチング素子S 1、S 2をオンし、スイッチング素子S 3をオフする。入力電圧V<sub>I</sub>は、スイッチング素子S 1及びノードN 2を介して差動アンプ2の反転入力端子に入力される。差動アンプ2はN M O S F E T Q 2 Nを含めて電圧フォロアモードで動作するため、N M O S F E T Q 2 Nがオンするとともに、入力電圧V<sub>I</sub>に等しい出力電圧V<sub>0</sub>が出力ノードN 4に出力される。

#### 【0044】

その結果、電源ノードN 5から、抵抗素子R 0、N M O S F E T Q 2 N、データ線D L、及び画素2 5 Nをこの順に介して、ノードN Cに書き込み電流I<sub>EL</sub>が流れる。書き込み電流I<sub>EL</sub>の電流値（I<sub>EL</sub>）は、電位V D Hと出力電圧V<sub>0</sub>と抵抗素子R 0の抵抗値（R 0）とに基づいて、

20

$$I_{EL} = (V_{DH} - V_0) / R_0 \quad \dots \dots \dots (3)$$

として与えられる。

#### 【0045】

ここで、出力電圧V<sub>0</sub>は入力電圧V<sub>I</sub>に等しいため、式（3）は、

$$I_{EL} = (V_{DH} - V_I) / R_0 \quad \dots \dots \dots (4)$$

と書き換えられる。

#### 【0046】

また、本実施の形態3において、入力電圧V<sub>I</sub>は、高電位V D Hを基準として、

30

$$V_I = V_{DH} - V_n \quad \dots \dots \dots (5)$$

と定義される。ここで、V<sub>n</sub>は、図1に示した階調電圧V 1～V 6 4の中から表示データS I Gに応じて選択された1つである。

#### 【0047】

式（4）と式（5）とから、

$$I_{EL} = V_n / R_0 \quad \dots \dots \dots (6)$$

という関係が得られる。

#### 【0048】

抵抗値R 0は予め設定された一定値であるため、階調電圧V<sub>n</sub>に応じて電流値I<sub>EL</sub>が直接設定されることとなる。

40

#### 【0049】

入力電圧V<sub>I</sub>と出力電圧V<sub>0</sub>との間にオフセット電圧が生じている場合は、上記実施の形態1と同様に、オフセットキャンセル回路1によってオフセット電圧が補正される。

#### 【0050】

このように本実施の形態3に係るE L駆動回路8 0によっても、階調電圧V<sub>n</sub>に基づいて書き込み電流I<sub>EL</sub>の電流値が設定されるため、上記実施の形態1と同様の効果を得ることができる。

#### 【0051】

実施の形態4.

図5は、本発明の実施の形態4に係るE L駆動回路8 0の構成の一部を抜き出して示す

50

回路図である。上記実施の形態 3 では、N M O S F E T Q 2 N を採用するとともに、差動アンプ 2 の反転入力端子にノード N 2 が接続されていた。これに対して本実施の形態 4 では、N M O S F E T Q 2 N の代わりに P M O S F E T Q 2 P を採用するとともに、差動アンプ 2 の非反転入力端子にノード N 2 が接続されている。本実施の形態 4 において、差動アンプ 2 の反転入力端子はノード N 4 に接続されている。本実施の形態 4 に係る E L 駆動回路 8 0 のその他の構成は、上記実施の形態 3 と同様である。但し、本実施の形態 4 に係る差動アンプ 2 の電源電圧は、上記実施の形態 3 よりも大きく設定する必要がある。

#### 【0052】

上記実施の形態 3 では、N M O S F E T Q 2 N と抵抗素子 R 0 との直列接続体がインバータ回路を構成していた。これに対し、本実施の形態 4 において、P M O S F E T Q 2 P と抵抗素子 R 0 との直列接続体は、インバータ回路を構成せず、電圧増幅度が 1 であるため、本実施の形態 4 に係る差動アンプ 2 は上記実施の形態 3 よりも発振しにくいという特徴がある。

#### 【0053】

実施の形態 5 .

図 6 は、本発明の実施の形態 5 に係る E L 駆動回路 8 0 の構成を示す回路図である。本実施の形態 5 に係る E L 駆動回路 8 0 は、オフセットキャンセル回路 4 1 と、N M O S F E T Q 2 N 及び抵抗素子 R 0 を有するソースフォロア回路と、抵抗素子 R<sub>0F</sub> と、スイッチング素子 S 9 , S 1 1 , S 1 2 , S 1 4 , S 1 5 とを備えている。

#### 【0054】

オフセットキャンセル回路 4 1 は、スイッチング素子 S 1 3 , S 1 6 ~ S 1 8 と、キャパシタ C<sub>0F1</sub> , C<sub>0F2</sub> とを有している。スイッチング素子 S 1 6 の一端は入力ノード N 1 1 に接続されており、他端はノード N 1 2 に接続されている。スイッチング素子 S 1 8 の一端は入力ノード N 1 1 に接続されており、他端はノード N 1 3 に接続されている。キャパシタ C<sub>0F2</sub> の一方電極はノード N 1 2 に接続されており、他方電極はノード N 1 3 に接続されている。キャパシタ C<sub>0F1</sub> の一方電極はノード N 1 2 に接続されており、他方電極はノード N 1 4 に接続されている。スイッチング素子 S 1 3 の一端はノード N 1 2 に接続されており、他端は電源ノード N 2 0 に接続されている。スイッチング素子 S 1 7 の一端はノード N 1 3 に接続されており、他端は出力ノード N 1 5 に接続されている。

#### 【0055】

抵抗素子 R<sub>0F</sub> の一端は電源ノード N 1 7 に接続されており、他端はスイッチング素子 S 1 1 の一端に接続されている。スイッチング素子 S 1 1 の他端はノード N 1 6 に接続されている。N M O S F E T Q 2 N のドレインはノード N 1 6 に接続されており、ゲートはノード N 1 4 に接続されており、ソースは出力ノード N 1 5 に接続されている。スイッチング素子 S 1 2 の一端はノード N 1 4 に接続されており、他端はノード N 1 6 に接続されている。スイッチング素子 S 1 5 の一端はノード N 1 6 に接続されており、他端はデータ線 D L に接続されている。

#### 【0056】

スイッチング素子 S 9 の一端は出力ノード N 1 5 に接続されており、他端は抵抗素子 R 0 の一端に接続されている。抵抗素子 R 0 の他端は電源ノード N 1 8 に接続されている。スイッチング素子 S 1 4 の一端は出力ノード N 1 5 に接続されており、他端は電源ノード N 1 9 に接続されている。

#### 【0057】

図 6 に示した画素 2 5 P の具体的な構成は、図 2 に示した画素 2 5 P の構成と同様である。

#### 【0058】

入力ノード N 1 1 には、階調電圧 V 1 ~ V 6 4 の中から表示データ S I G に応じて選択された表示電圧が、入力電圧 V<sub>I</sub> として入力される。N M O S F E T Q 2 N と抵抗素子 R 0 との直列接続体はソースフォロア回路を構成し、出力ノード N 1 5 には、入力電圧 V<sub>I</sub> に等しい出力電圧 V<sub>0</sub> が出力される。電源ノード N 1 8 には、図 1 に示した階調電圧生成

10

20

30

40

50

回路 60 の低電位  $V_{DL}$  と等しい電位が印加されている。以下では、説明の容易化のため、低電位  $V_{DL}$  は 0 V であるものとする。電源ノード N19, N20 には低電位  $V_{DL}$  が印加されており、電源ノード N17 には高電位  $V$  が印加されている。

#### 【0059】

以下、動作について説明する。本実施の形態 5 に係る EL 駆動回路 80 では、書き込み電流  $I_{EL}$  を画素 25P へ書き込む前に、NMOSFETQ2N のゲート電圧をしきい値電圧に設定するための動作が実行される。まず、スイッチング素子 S11～S14 をオンし、他のスイッチング素子 S9, S15～S18 をオフする。すると、電源ノード N17 から、抵抗素子  $R_{OF}$ 、スイッチング素子 S11、NMOSFETQ2N、及びスイッチング素子 S14 をこの順に介して、電源ノード N19 に電流が流れる。流れる電流の電流値を  $I$  とし、NMOSFETQ2N のしきい値電圧、ゲート電圧、電流増幅係数をそれぞれ  $V_{TN}$ 、 $V_G$ 、 $\beta$  とすると、

10

$$I = \beta \cdot (V_G - V_{TN})^2 / 2 \quad \dots \dots (7)$$

となる。

#### 【0060】

式 (7) は、以下の式 (8) のように変形できる。

#### 【0061】

$$V_G = V_{TN} + \sqrt{(2 \cdot I / \beta)} \quad \dots \dots (8)$$

$\beta$  は十分大きく、 $I$  は十分小さいため、式 (8) より、ゲート電圧  $V_G$  はしきい値電圧  $V_{TN}$  よりもわずかに大きな値となる。

20

#### 【0062】

次に、スイッチング素子 S11～S14 をオフし、スイッチング素子 S9, S15 をオンすると、ゲート電圧  $V_G$  はしきい値電圧  $V_{TN}$  に等しくなる。つまり、NMOSFETQ2N のゲート電圧  $V_G$  がしきい値電圧  $V_{TN}$  に設定される。また、この状態では書き込み電流  $I_{EL}$  は流れないため、出力電圧  $V_0$  は、電源ノード N18 の電位  $V_{DL}$  に等しい 0 (V) となる。

#### 【0063】

ゲート電圧  $V_G$  がしきい値電圧  $V_{TN}$  に設定されることにより、NMOSFETQ2N のしきい値電圧  $V_{TN}$  に起因する、入力電圧  $V_I$  と出力電圧  $V_0$  との差をキャンセルすることができる。また、複数の駆動回路間でのしきい値電圧  $V_{TN}$  のばらつきによる影響を排除することもできる。

30

#### 【0064】

その後、スイッチング素子 S16, S17 をオンすることにより、画素 25P への書き込み電流  $I_{EL}$  の書き込み動作が開始される。スイッチング素子 S16 がオンされたことにより、入力電圧  $V_I$  が入力ノード N11 からノード N12 に伝達され、ノード N12 の電位が 0 (V) から  $V_I$  だけ増加する。この増加分はキャパシタ  $C_{OF1}$  を介してノード N14 に伝達され、ノード N14 の電位が  $V_{TN}$  から  $V_{TN} + V_I$  に上昇する。そして、入力電圧  $V_I$  に等しい出力電圧  $V_0$  が出力ノード N15 に出力される。

#### 【0065】

その結果、上記実施の形態 1 と同様に、画素 25P から、データ線 DL、NMOSFETQ2N、及び抵抗素子  $R_0$  をこの順に介して、電源ノード N18 に書き込み電流  $I_{EL}$  が流れる。書き込み電流  $I_{EL}$  の電流値は、

40

$$I_{EL} = V_0 / R_0 = V_I / R_0$$

で与えられるため、上記実施の形態 1 と同様に、入力電圧  $V_I$  に応じて電流値  $I_{EL}$  が直接設定されることとなる。

#### 【0066】

ここで、NMOSFETQ2N のドレイン電流の飽和特性や、ノード N14 に存在する寄生容量等に起因して、入力電圧  $V_I$  と出力電圧  $V_0$  との間にオフセット電圧が生じている場合について考える。スイッチング素子 S17 がオンしているため、入力電圧  $V_I$  と出力電圧  $V_0$  との間にオフセット電圧が生じていると、そのオフセット電圧に相当する電圧が

50

キャパシタ  $C_{0F2}$  の両端に印加されている。

【0067】

スイッチング素子  $S_{16}$ 、 $S_{17}$  をオフした後にスイッチング素子  $S_{18}$  をオンすると、ノード  $N_{13}$  の電位が、 $V_0$  から  $V_I$  に変化する。キャパシタ  $C_{0F2}$  はノード  $N_{12}$  とノード  $N_{13}$  との間の電位差を保持するため、ノード  $N_{13}$  の電位が  $V_0$  から  $V_I$  に変化したことに伴って、ノード  $N_{13}$  の電位の変化分だけノード  $N_{12}$  の電位も変化する。ノード  $N_{12}$  の変化後の電位はキャパシタ  $C_{0F1}$  を介してノード  $N_{14}$  に伝達され、これによりオフセット電圧が補正されて、出力電圧  $V_0$  が入力電圧  $V_I$  に正確に等しくなる。

【0068】

その後は上記実施の形態 1 と同様に、画素 25P への書き込み電流  $I_{EL}$  の書き込みが実行される。 10

【0069】

このように本実施の形態 5 に係る表示装置によれば、上記実施の形態 1 と同様の効果が得られることに加えて、図 2 に示した差動アンプ 2 の使用を回避できるため、上記実施の形態 1 と比較して消費電力を低減することができる。

【0070】

実施の形態 6.

上記実施の形態 5 に係るオフセットキャンセル回路 41 では、オフセットキャンセル動作が 1 回のみ実行されるため、オフセット電圧の補正効果が不十分となる場合がある。本実施の形態 6 では、複数回のオフセットキャンセル動作を実行し得るオフセットキャンセル回路について説明する。 20

【0071】

図 7 は、本発明の実施の形態 6 に係る  $EL$  駆動回路 80 の構成を示す回路図である。本実施の形態 6 に係る  $EL$  駆動回路 80 は、図 6 に示したオフセットキャンセル回路 41 の代わりにオフセットキャンセル回路 42 を備えており、その他の構成は上記実施の形態 5 と同様である。

【0072】

オフセットキャンセル回路 42 は、スイッチング素子  $S_{13}$ 、 $S_{16}$ 、 $S_{17A}$ 、 $S_{17B}$ 、 $S_{18A}$ 、 $S_{18B}$  と、キャパシタ  $C_{0F1}$ 、 $C_{0F2A}$ 、 $C_{0F2B}$  とを有している。スイッチング素子  $S_{16}$  の一端は入力ノード  $N_{11}$  に接続されており、他端はノード  $N_{12}$  に接続されている。スイッチング素子  $S_{18A}$  の一端は入力ノード  $N_{11}$  に接続されており、他端はノード  $N_{13A}$  に接続されている。キャパシタ  $C_{0F2A}$  の一方電極はノード  $N_{12}$  に接続されており、他方電極はノード  $N_{13A}$  に接続されている。キャパシタ  $C_{0F1}$  の一方電極はノード  $N_{12}$  に接続されており、他方電極はノード  $N_{14}$  に接続されている。スイッチング素子  $S_{13}$  の一端はノード  $N_{12}$  に接続されており、他端は電源ノード  $N_{20}$  に接続されている。スイッチング素子  $S_{17A}$  の一端はノード  $N_{13A}$  に接続されており、他端は出力ノード  $N_{15}$  に接続されている。スイッチング素子  $S_{18B}$  の一端は入力ノード  $N_{11}$  に接続されており、他端はノード  $N_{13B}$  に接続されている。キャパシタ  $C_{0F2B}$  の一方電極はノード  $N_{13A}$  に接続されており、他方電極はノード  $N_{13B}$  に接続されている。スイッチング素子  $S_{17B}$  の一端はノード  $N_{13B}$  に接続されており、他端は出力ノード  $N_{15}$  に接続されている。 30 40

【0073】

以下、オフセットキャンセル回路 42 によるオフセット電圧の補正動作について説明する。初期状態では、全てのスイッチング素子  $S_{16}$ 、 $S_{17A}$ 、 $S_{17B}$ 、 $S_{18A}$ 、 $S_{18B}$  はオフされている。NMOSFET  $Q_{2N}$  のゲート電圧  $V_G$  をしきい値電圧  $V_{TN}$  に設定する動作（上記実施の形態 5 参照）が完了した後、スイッチング素子  $S_{16}$ 、 $S_{17A}$ 、 $S_{17B}$  をオンする。

【0074】

次に、スイッチング素子  $S_{16}$ 、 $S_{17A}$  をオフした後に、スイッチング素子  $S_{18A}$  をオンする。これにより、1 回目のオフセットキャンセル動作が実行され、出力電圧  $V_0$  50

が入力電圧  $V_I$  に近付く。

【0075】

次に、スイッチング素子  $S_{17B}$ 、 $S_{18A}$  をオフした後に、スイッチング素子  $S_{18B}$  をオンする。これにより、2 回目のオフセットキャンセル動作が実行され、出力電圧  $V_0$  が入力電圧  $V_I$  にさらに近付く。あるいは、出力電圧  $V_0$  が入力電圧  $V_I$  に正確に等しくなる。

【0076】

つまり、本実施の形態 6 に係るオフセットキャンセル回路 42 は、上記実施の形態 5 に係るオフセットキャンセル回路 41 を 2 段に直列接続し、オフセットキャンセル動作を 2 回実行することにより、オフセット電圧の補正効果を高めたものである。直列接続する段数をさらに増やすことにより、オフセット電圧の補正効果もさらに高まる。 10

【0077】

このように本実施の形態 6 に係るオフセットキャンセル回路 42 によれば、上記実施の形態 5 に係るオフセットキャンセル回路 41 よりもオフセット電圧の補正効果を高めることができる。その結果、入力電圧  $V_I$  に応じて書き込み電流  $I_{EL}$  の電流値をより正確に設定することが可能となる。

【0078】

実施の形態 7.

本実施の形態 7 では、上記実施の形態 6 とは異なる構成で、複数回のオフセットキャンセル動作を実行し得るオフセットキャンセル回路について説明する。 20

【0079】

図 8 は、本発明の実施の形態 7 に係る  $EL$  駆動回路 80 の構成を示す回路図である。本実施の形態 7 に係る  $EL$  駆動回路 80 は、図 6 に示したオフセットキャンセル回路 41 の代わりにオフセットキャンセル回路 43 を備えており、その他の構成は上記実施の形態 5 と同様である。

【0080】

オフセットキャンセル回路 43 は、スイッチング素子  $S_{13}$ 、 $S_{16}$ 、 $S_{17A}$ 、 $S_{17B}$ 、 $S_{18A}$ 、 $S_{18B}$  と、キャパシタ  $C_{0F1}$ 、 $C_{0F2A}$ 、 $C_{0F2B}$  とを有している。スイッチング素子  $S_{16}$  の一端は入力ノード  $N_{11}$  に接続されており、他端はノード  $N_{12}$  に接続されている。スイッチング素子  $S_{18A}$  の一端は入力ノード  $N_{11}$  に接続されており、他端はノード  $N_{13A}$  に接続されている。キャパシタ  $C_{0F2A}$  の一方電極はノード  $N_{12}$  に接続されており、他方電極はノード  $N_{13A}$  に接続されている。キャパシタ  $C_{0F1}$  の一方電極はノード  $N_{12}$  に接続されており、他方電極はノード  $N_{14}$  に接続されている。スイッチング素子  $S_{13}$  の一端はノード  $N_{12}$  に接続されており、他端は電源ノード  $N_{20}$  に接続されている。スイッチング素子  $S_{17A}$  の一端はノード  $N_{13A}$  に接続されており、他端は出力ノード  $N_{15}$  に接続されている。スイッチング素子  $S_{18B}$  の一端は入力ノード  $N_{11}$  に接続されており、他端はノード  $N_{13B}$  に接続されている。キャパシタ  $C_{0F2B}$  の一方電極はノード  $N_{12}$  に接続されており、他方電極はノード  $N_{13B}$  に接続されている。スイッチング素子  $S_{17B}$  の一端はノード  $N_{13B}$  に接続されており、他端は出力ノード  $N_{15}$  に接続されている。 30 40

【0081】

以下、オフセットキャンセル回路 43 によるオフセット電圧の補正動作について説明する。初期状態では、スイッチング素子  $S_{16}$ 、 $S_{17A}$ 、 $S_{17B}$ 、 $S_{18A}$ 、 $S_{18B}$  はオフされている。NMOSFET  $Q_{2N}$  のゲート電圧  $V_G$  をしきい値電圧  $V_{TN}$  に設定する動作（上記実施の形態 5 参照）が完了した後、スイッチング素子  $S_{16}$ 、 $S_{17A}$ 、 $S_{17B}$  をオンする。

【0082】

次に、スイッチング素子  $S_{16}$ 、 $S_{17A}$  をオフした後に、スイッチング素子  $S_{18A}$  をオンする。これにより、1 回目のオフセットキャンセル動作が実行され、出力電圧  $V_0$  が入力電圧  $V_I$  に近付く。

## 【0083】

次に、スイッチング素子  $S_{17B}$ 、 $S_{18A}$  をオフした後に、スイッチング素子  $S_{18B}$  をオンする。これにより、2 回目のオフセットキャンセル動作が実行され、出力電圧  $V_0$  が入力電圧  $V_I$  にさらに近づく。あるいは、出力電圧  $V_0$  が入力電圧  $V_I$  に正確に等しくなる。

## 【0084】

つまり、本実施の形態 7 に係るオフセットキャンセル回路 43 は、上記実施の形態 5 に係るオフセットキャンセル回路 41 を 2 段に並列接続し、オフセットキャンセル動作を 2 回実行することにより、オフセット電圧の補正効果を高めたものである。並列接続する段数をさらに増やすことにより、オフセット電圧の補正効果もさらに高まる。

10

## 【0085】

このように本実施の形態 7 に係るオフセットキャンセル回路 42 によれば、上記実施の形態 5 に係るオフセットキャンセル回路 41 よりもオフセット電圧の補正効果を高めることができる。その結果、入力電圧  $V_I$  に応じて書き込み電流  $I_{EL}$  の電流値をより正確に設定することが可能となる。

## 【0086】

実施の形態 8.

上記実施の形態 5 では PMOSFET を有する画素 25P が採用されていたが、本実施の形態 8 では、NMOSFET を有する画素 25N が採用された例について説明する。

## 【0087】

図 9 は、本実施の形態 8 に係る EL 駆動回路 80 の構成を示す回路図である。本実施の形態 8 に係る EL 駆動回路 80 は、上記実施の形態 5～7 と同様のオフセットキャンセル回路（図 9 では一部のみ図示している）と、PMOSFET  $Q_{2P}$  及び抵抗素子  $R_0$  を有するソースフォロア回路と、抵抗素子  $R_{0F}$  と、スイッチング素子  $S_9$ 、 $S_{11}$ 、 $S_{12}$ 、 $S_{14}$ 、 $S_{15}$  とを備えている。

20

## 【0088】

抵抗素子  $R_{0F}$  の一端は電源ノード  $N_{17}$  に接続されており、他端はスイッチング素子  $S_{11}$  の一端に接続されている。スイッチング素子  $S_{11}$  の他端はノード  $N_{16}$  に接続されている。PMOSFET  $Q_{2P}$  のドレインはノード  $N_{16}$  に接続されており、ゲートはノード  $N_{14}$  に接続されており、ソースは出力ノード  $N_{15}$  に接続されている。スイッチング素子  $S_{12}$  の一端はノード  $N_{14}$  に接続されており、他端はノード  $N_{16}$  に接続されている。スイッチング素子  $S_{15}$  の一端はノード  $N_{16}$  に接続されており、他端はデータ線  $DL$  に接続されている。

30

## 【0089】

スイッチング素子  $S_9$  の一端は出力ノード  $N_{15}$  に接続されており、他端は抵抗素子  $R_0$  の一端に接続されている。抵抗素子  $R_0$  の他端は電源ノード  $N_{18}$  に接続されている。スイッチング素子  $S_{14}$  の一端は出力ノード  $N_{15}$  に接続されており、他端は電源ノード  $N_{19}$  に接続されている。電源ノード  $N_{18} \sim N_{20}$  には、図 1 に示した階調電圧生成回路 60 の高電位  $V_{DH}$  と等しい電位が印加されている。

## 【0090】

図 9 に示した画素 25N の具体的な構成は、図 4 に示した画素 25N の構成と同様である。

40

## 【0091】

本実施の形態 8 において、入力電圧  $V_I$  は、高電位  $V_{DH}$  を基準として上記の式 (5) と同様に定義される。また、書き込み電流  $I_{EL}$  の電流値は、上記の式 (6) と同様に与えられる。従って、階調電圧  $V_n$  に基づいて書き込み電流  $I_{EL}$  の電流値が設定されるため、本実施の形態 8 に係る EL 駆動回路 80 によっても、上記実施の形態 5 と同様の効果を得ることができる。

## 【0092】

実施の形態 9.

50

図10は、本発明の実施の形態9に係るEL駆動回路80の構成を示す回路図である。本実施の形態9に係るEL駆動回路80は、インバータ回路INV1～INV3と、抵抗素子 $R_c$ と、キャパシタC1～C4、 $C_c$ と、スイッチング素子S21～S27とを備えている。インバータ回路INV3は、PMOSFETQ2Pと、抵抗素子R0とを有している。抵抗素子 $R_c$ 及びキャパシタ $C_c$ は、縦続接続されたインバータ回路INV1～INV3を有するリング回路の発振を防止するための回路として用いられている。

【0093】

スイッチング素子S21の一端は入力ノードN30に接続されており、他端はノードN31に接続されている。キャパシタC1の一方電極はノードN31に接続されており、他方電極はノードN32に接続されている。スイッチング素子S22の一端は電源ノードN39に接続されており、他端はノードN32に接続されている。キャパシタC2の一方電極はノードN32に接続されており、他方電極はノードN33に接続されている。インバータ回路INV1の入力端子はノードN33に接続されており、出力端子はノードN34に接続されている。スイッチング素子S23の一端はノードN33に接続されており、他端はノードN34に接続されている。

10

【0094】

キャパシタC3の一方電極はノードN34に接続されており、他方電極はノードN35に接続されている。インバータ回路INV2の入力端子はノードN35に接続されており、出力端子はノードN36に接続されている。スイッチング素子S24の一端はノードN35に接続されており、他端はノードN36に接続されている。キャパシタC4の一方電極はノードN36に接続されており、他方電極はノードN37に接続されている。

20

【0095】

PMOSFETQ2Pのソースはデータ線DLに接続されており、ゲートはノードN37に接続されており、ドレインは出力ノードN38に接続されている。抵抗素子R0の一端は出力ノードN38に接続されており、他端は電源ノードN42に接続されている。スイッチング素子S25の一端はノードN37に接続されており、他端は出力ノードN38に接続されている。

【0096】

スイッチング素子S26の一端は出力ノードN38に接続されており、他端はノードN40に接続されている。抵抗素子 $R_c$ の一端はノードN40に接続されており、他端はキャパシタ $C_c$ の一方電極に接続されている。キャパシタ $C_c$ の他方電極は、電源ノードN41に接続されている。スイッチング素子S27の一端はノードN31に接続されており、他端はノードN40に接続されている。

30

【0097】

図10に示した画素25Pの具体的な構成は、図2に示した画素25Pの構成と同様である。

【0098】

入力ノードN30には、階調電圧V1～V64の中から表示データSIGに応じて選択された表示電圧が、入力電圧 $V_I$ として入力される。電源ノードN42には、図1に示した階調電圧生成回路60の低電位VDLと等しい電位が印加されている。以下では、説明の容易化のため、低電位VDLは0Vであるものとする。電源ノードN41には低電位VDLが印加されており、電源ノードN39には正電位V3が印加されている。

40

【0099】

以下、動作について説明する。まず、スイッチング素子S21～S25をオンし、スイッチング素子S26、27をオフする。すると、インバータ回路INV1～INV3の各入力端子の電圧が、インバータ回路INV1～INV3の各しきい値電圧に等しく設定される。つまり、ノードN33の電位がインバータ回路INV1のしきい値電圧に等しく設定され、ノードN35の電位がインバータ回路INV2のしきい値電圧に等しく設定され、ノードN37の電位がインバータ回路INV3のしきい値電圧に等しく設定される。

【0100】

50

キャパシタ C 1 は入力電圧  $V_I$  と電位  $V_3$  との差分電圧を保持し、キャパシタ C 2 は電位  $V_3$  とノード N 3 3 の電位との差分電圧を保持する。つまり、キャパシタ C 1, C 2 は、入力電圧  $V_I$  とインバータ回路 I N V 1 のしきい値電圧との差分電圧を保持する。キャパシタ C 3 は、インバータ回路 I N V 1 のしきい値電圧と、インバータ回路 I N V 2 のしきい値電圧との差分電圧を保持する。同様に、キャパシタ C 4 は、インバータ回路 I N V 2 のしきい値電圧と、インバータ回路 I N V 3 のしきい値電圧との差分電圧を保持する。

#### 【0101】

次に、ゲート線 G L の活性化により書き込み電流  $I_{EL}$  が流れている状態で、スイッチング素子 S 2 1 ~ S 2 5 をオフし、スイッチング素子 S 2 6, 2 7 をオンする。インバータ回路 I N V 1 ~ I N V 3 は、出力電圧  $V_0$  が入力電圧  $V_I$  を下回る場合には出力電圧  $V_0$  を上昇させるよう作用し、逆に出力電圧  $V_0$  が入力電圧  $V_I$  を上回る場合には出力電圧  $V_0$  を低下させるよう作用する。このような現象を繰り返して、出力電圧  $V_0$  は入力電圧  $V_I$  に等しく収束し、安定する。出力電圧  $V_0$  が安定した後は、書き込み電流  $I_{EL}$  の電流値は、

10

$$I_{EL} = V_0 / R_0 = V_I / R_0$$

で与えられるため、上記実施の形態 1 と同様に、入力電圧  $V_I$  に応じて電流値  $I_{EL}$  が直接設定されることとなる。その後は上記実施の形態 1 と同様に、画素 2 5 P への書き込み電流  $I_{EL}$  の書き込みが実行される。

#### 【0102】

このように本実施の形態 9 に係る表示装置によれば、上記実施の形態 1 と同様の効果が得られることに加えて、図 2 に示したオフセットキャンセル回路 1 の配設を省略できるため、駆動回路の回路構成の簡略化を図ることができる。但し、貫通電流を流しながらインバータ回路 I N V 1 ~ I N V 3 を動作させるため、消費電力は大きくなる。

20

#### 【0103】

実施の形態 1 0 .

上記実施の形態 9 では P M O S F E T を有する画素 2 5 P が採用されていたが、本実施の形態 1 0 では、N M O S F E T を有する画素 2 5 N が採用された例について説明する。

#### 【0104】

図 1 1 は、本実施の形態 1 0 に係る E L 駆動回路 8 0 の構成を示す回路図である。N M O S F E T Q 2 N のソースはデータ線 D L に接続されており、ゲートはノード N 3 7 に接続されており、ドレインは出力ノード N 3 8 に接続されている。抵抗素子 R 0 の一端は出力ノード N 3 8 に接続されており、他端は電源ノード N 4 2 に接続されている。電源ノード N 4 2 には、高電位 V D H が印加されている。スイッチング素子 S 2 5 の一端はノード N 3 7 に接続されており、他端は出力ノード N 3 8 に接続されている。本実施の形態 1 0 に係る E L 駆動回路 8 0 のその他の構成及び動作は、上記実施の形態 9 と同様である。また、図 1 0 に示した画素 2 5 N の具体的な構成は、図 4 に示した画素 2 5 N の構成と同様である。

30

#### 【0105】

本実施の形態 1 0 において、入力電圧  $V_I$  は、高電位 V D H を基準として上記の式 ( 5 ) と同様に定義される。また、書き込み電流  $I_{EL}$  の電流値は、上記の式 ( 6 ) と同様に与えられる。従って、階調電圧  $V_n$  に基づいて書き込み電流  $I_{EL}$  の電流値が設定されるため、本実施の形態 1 0 に係る E L 駆動回路 8 0 によっても、上記実施の形態 9 と同様の効果を得ることができる。

40

#### 【0106】

実施の形態 1 1 .

上記実施の形態 1 ~ 1 0 において、抵抗素子 R 0 の抵抗値は、複数の E L 駆動回路 8 0 間で同一の値であることが理想的である。回路間での抵抗値のばらつきが大きいと、画素 2 5 に書き込まれる書き込み電流  $I_{EL}$  の電流値に偏差が生じ、表示色にむらが生じることになるからである。抵抗値のばらつきを小さくするためには、金属薄膜から成る抵抗素子を採用することが有効である。ところが、一般的な金属薄膜抵抗素子は抵抗率が小さく、上記実施の形態 1 ~ 1 0 で用いる抵抗素子 R 0 の抵抗値 ( 5 0 0 k  $\Omega$  以上) を実現するた

50



めには、その平面形状を大きくする必要があり、専有面積が大きくなってしまう。そこで本実施の形態 11 では、平面形状の増大を回避しつつ大きな抵抗値を実現し得る抵抗素子 R0 について説明する。

【0107】

図 12 は、本実施の形態 11 に係る抵抗素子 R0 の構造を示す断面図である。シリコン基板 6 上にシリコン酸化膜 7 が形成されており、シリコン酸化膜 7 上に抵抗素子 8 が形成されている。抵抗素子 8 の両端には、アルミニウムから成る金属配線 9A, 9B が接続されている。抵抗素子 8 は、クロム、酸素、及び窒素を含有し、酸素含有量が 10～40 原子%であり、窒素含有量が 10～20 原子%である金属薄膜として形成されている。このような材質を採用することにより、抵抗素子 8 の抵抗値を大きくすることができる。

10

【0108】

このように本実施の形態 11 に係る表示装置によれば、抵抗値が大きく、かつ EL 駆動回路間での抵抗値のばらつきが小さく、しかも平面形状が増大することもない抵抗素子 R0 を実現でき、表示色のむらの小さい表示装置を実現することができる。

【図面の簡単な説明】

【0109】

【図 1】本発明の実施の形態 1 に係る EL 表示装置の全体構成を示すブロック図である。

【図 2】本発明の実施の形態 1 に係る EL 駆動回路及び画素の構成を示す回路図である。

【図 3】本発明の実施の形態 2 に係る EL 駆動回路の構成の一部を抜き出して示す回路図である。

20

【図 4】本発明の実施の形態 3 に係る、EL 駆動回路の一部の構成及び画素の構成を示す回路図である。

【図 5】本発明の実施の形態 4 に係る EL 駆動回路の構成の一部を抜き出して示す回路図である。

【図 6】本発明の実施の形態 5 に係る EL 駆動回路の構成を示す回路図である。

【図 7】本発明の実施の形態 6 に係る EL 駆動回路の構成を示す回路図である。

【図 8】本発明の実施の形態 7 に係る EL 駆動回路の構成を示す回路図である。

【図 9】本発明の実施の形態 8 に係る EL 駆動回路の構成を示す回路図である。

【図 10】本発明の実施の形態 9 に係る EL 駆動回路の構成を示す回路図である。

【図 11】本発明の実施の形態 10 に係る EL 駆動回路の構成を示す回路図である。

30

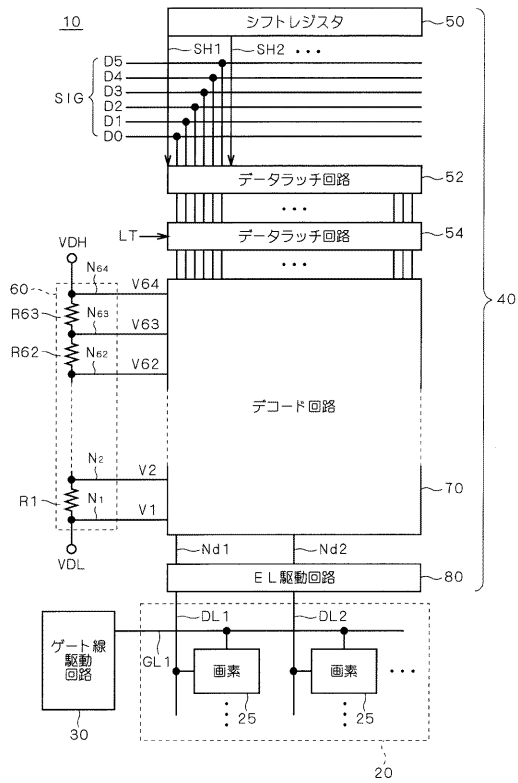
【図 12】本発明の実施の形態 11 に係る抵抗素子の構造を示す断面図である。

【符号の説明】

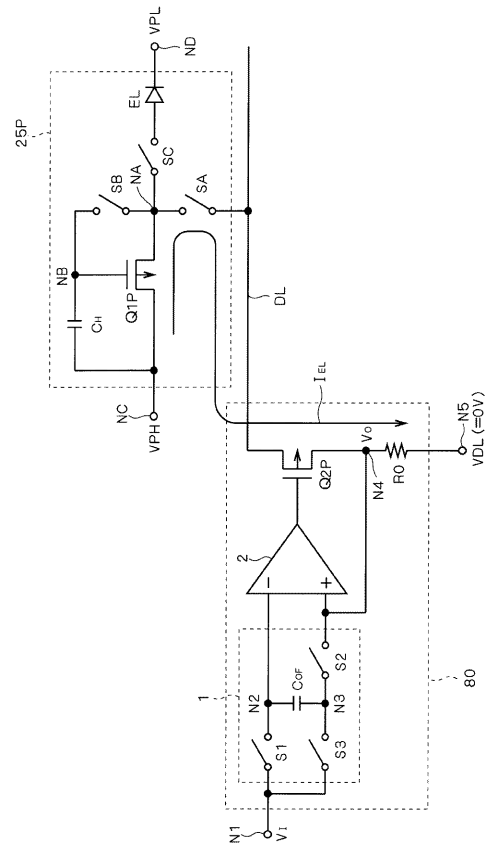
【0110】

1, 41～43 オフセットキャンセル回路、2 差動アンプ、60 階調電圧生成回路、80 EL 駆動回路、25, 25P, 25N 画素、Q2P PMOSFET、Q2N NMOSFET、R0 抵抗素子、EL 表示素子、DL データ線、IEL 書き込み電流、V<sub>I</sub> 入力電圧、V<sub>O</sub> 出力電圧。

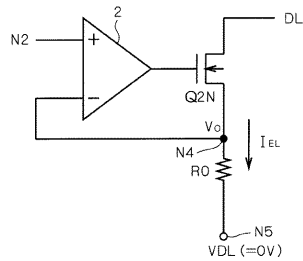
【図 1】



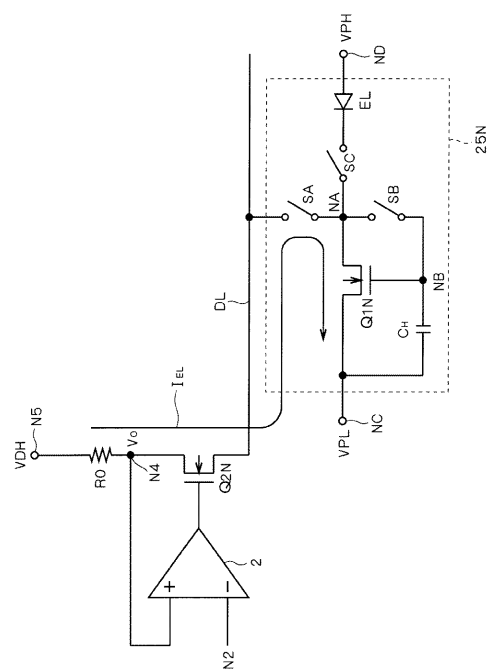
【図 2】



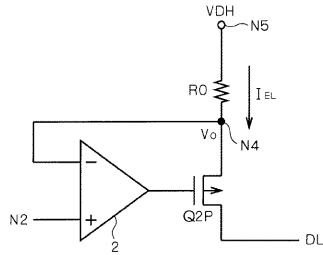
【図 3】



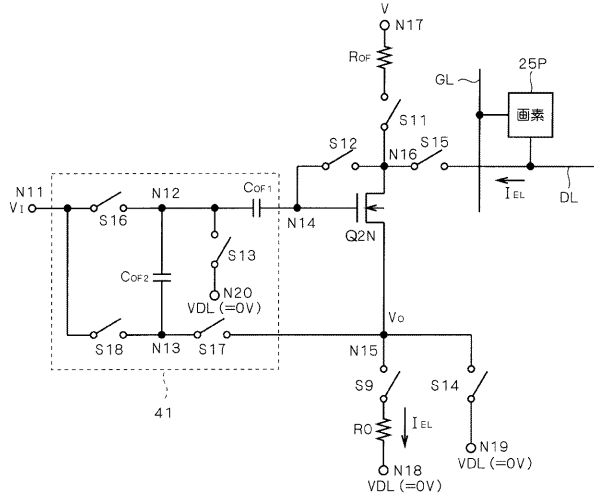
【図 4】



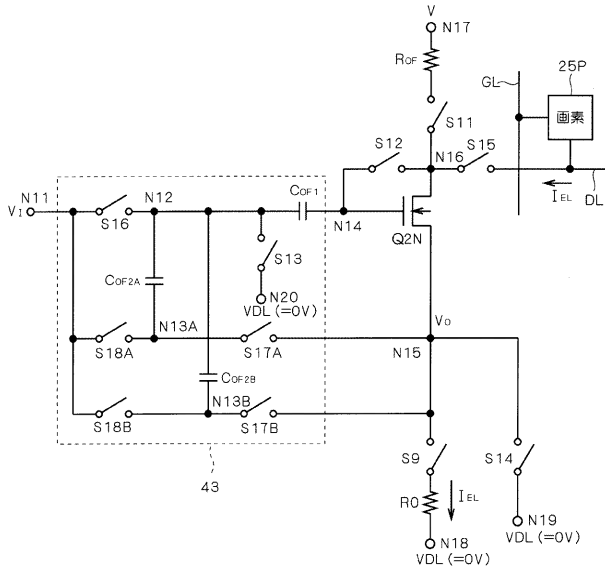
【図 5】



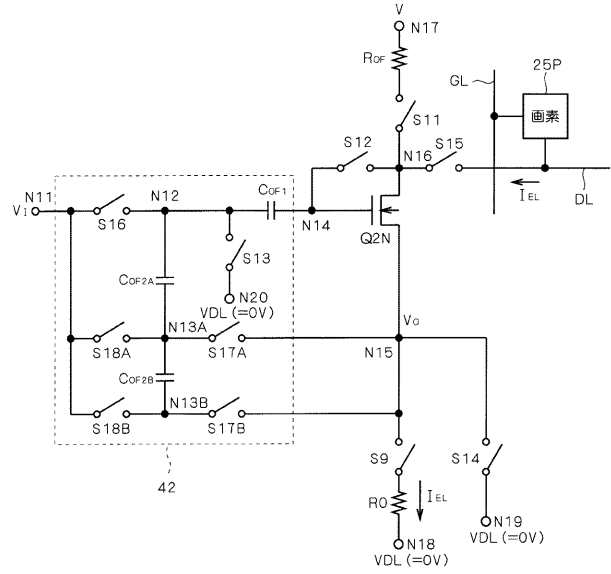
【図 6】



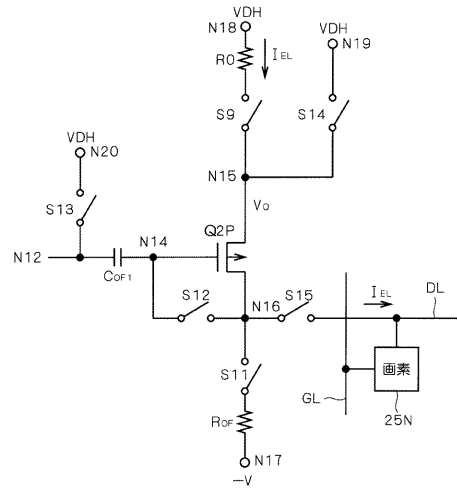
【図 8】



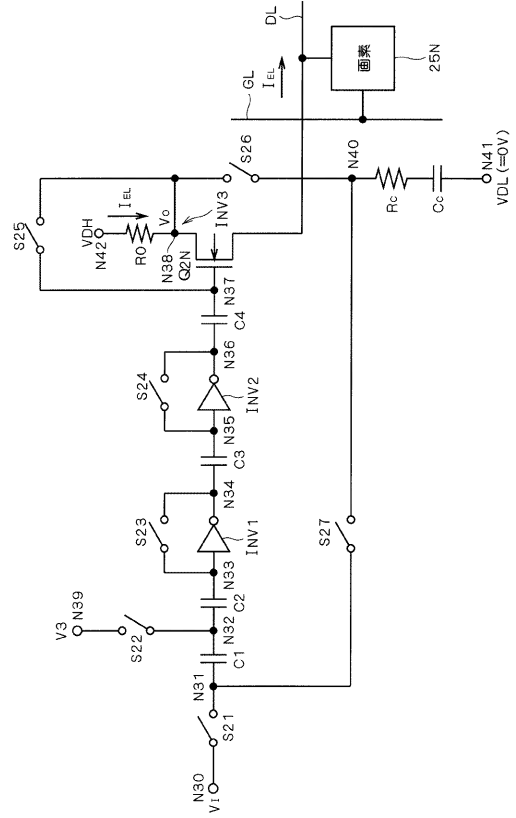
【図 7】



【図 9】



【 図 1 1 】



A cross-sectional view of a semiconductor device. It shows a substrate 6 with a layer 7 on top. Layer 7 has two protrusions, 9A and 9B, which are connected by a layer 8. The layer 8 is shown with a hatched pattern, while the substrate 6 and layer 7 are shown with a solid pattern.

---

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

H 0 5 B 33/14 A

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 表示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP2006084790A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 公开(公告)日 | 2006-03-30 |
| 申请号            | JP2004269637                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 申请日     | 2004-09-16 |
| [标]申请(专利权)人(译) | 三菱电机株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 申请(专利权)人(译)    | 三菱电机株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| [标]发明人         | 飛田 洋一                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| 发明人            | 飛田 洋一                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| FI分类号          | G09G3/30.J G09G3/20.611.J G09G3/20.612.F G09G3/20.621.F G09G3/20.623.B G09G3/20.623.R G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/325 G09G3/3275 G09G3/3283                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| F-TERM分类号      | 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD08 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA24 5C380/BA37 5C380/BB01 5C380/BC20 5C380/CA04 5C380/CA06 5C380/CA08 5C380/CA09 5C380/CA13 5C380/CA26 5C380/CA34 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC64 5C380/CD014 5C380/CE05 5C380/CE07 5C380/CF03 5C380/CF07 5C380/CF09 5C380/CF23 5C380/CF25 5C380/CF28 5C380/CF41 5C380/CF43 5C380/CF48 5C380/CF51 5C380/CF64 5C380/DA02 5C380/DA06 5C380/HA02 5C380/HA07 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |

#### 摘要(译)

获得能够在短时间内设置要提供给显示元件的电流值的显示装置。输入电压 $V_I$ 经由开关元件 $S_1$ 和节点 $N_2$ 输入到差分放大器2的反相输入端子。差分放大器2以包括PMOSFET  $Q_2$  P的电压跟随器模式操作。因此，PMOSFET $Q_2$ P被接通时，输入电压 $V_I$ 等于输出电压 $V_O$ 是被输出到输出节点 $N_4$ 。由于节点 $N_5$ 的电位是 $V_{DL} (= 0V)$ ，所以输出电压 $V_O$ 被施加到电阻元件 $R_0$ 的两端。其结果是，结点 $N_C$ ，像素 $25P$ ，数据线 $DL$ ，PMOSFET $Q_2$ P，以及电阻器 $R_0$ 通过在本顺序中，写入电流 $I_{EL}$ 流向电源节点 $N_5$ 。写入电流 $I_{EL}$ 电流值 ( $I_{EL}$ ) 是， $I_{EL} = V_O / R_0 = V_I / R_0$ 。由于电阻值 $R_0$ 是预设的常数值，因此根据输入电压 $V_I$ 直接设置电流值 $I_{EL}$ 。The

