

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-71919
(P2006-71919A)

(43) 公開日 平成18年3月16日(2006.3.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 621F	
	G09G 3/20 624B	
	G09G 3/20 641A	
審査請求 有 請求項の数 9 O L (全 35 頁) 最終頁に続く		

(21) 出願番号	特願2004-254615 (P2004-254615)	(71) 出願人	000005049
(22) 出願日	平成16年9月1日(2004.9.1)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	110000338
			特許業務法人原謙三国際特許事務所
		(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	沼尾 孝次
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA00 GA04
			最終頁に続く

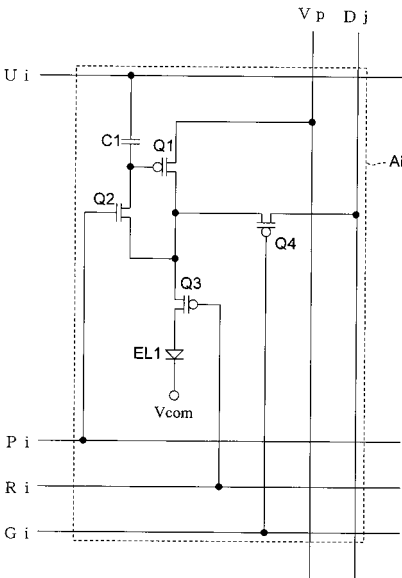
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 駆動用トランジスタの閾値電圧のばらつきを補償しながら、1画素当たりの選択期間の長さを短くすることのできる表示装置およびその駆動方法を実現することにある。

【解決手段】 画素回路Aijにおいて、電位配線Uiを電位Vcc、ゲート配線GiをLow、制御配線RiをHigh、制御配線PiをHighとして駆動用TFT：Q1のゲート端子をデータ配線Djの電位とする。そして、ゲート配線GiをHighとし、駆動用TFTQ1の閾値電圧を補償する。その後、制御配線PiをLowとして電位配線Uiを電位VcとしてコンデンサC1の電圧すなわち駆動用TFTのゲート・ソース間電圧を変化させ、制御配線RiをLowとして有機EL：ELに駆動電流を流す。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表示光源としての電流駆動型の電気光学素子と、電流制御端子と基準電位端子との間に印加される電圧により制御される出力電流を電流出力端子から上記電気光学素子に駆動電流として供給する駆動用トランジスタとが、マトリックス状に設けられた各画素に配置され、上記駆動電流がデータ配線から上記各画素に供給される表示データに対応する表示装置において、

上記駆動用トランジスタと第 1 スイッチ用トランジスタと上記電気光学素子とが直列に接続され、

上記駆動用トランジスタの上記電流制御端子に第 1 コンデンサの一方端子が接続され、

10

上記駆動用トランジスタの上記電流制御端子と上記電流出力端子との間に第 2 スイッチ用トランジスタが接続され、

上記データ配線から上記各画素の表示データに対応する電位が上記駆動用トランジスタの上記電流制御端子に与えられて、上記第 1 コンデンサに、対応する電荷が保持された状態から始まる、あるいは、対応する電荷を保持する動作と同時に進行される第 1 期間において、上記第 2 スイッチ用トランジスタが ON 状態となり、上記第 1 スイッチ用トランジスタが OFF 状態となり、

第 2 期間において、上記第 1 コンデンサの他方端子の電位または、上記駆動用トランジスタの上記基準電位端子の電位が変化することにより、上記駆動用トランジスタの出力電流が設定されることを特徴とする表示装置。

20

【請求項 2】

上記第 1 コンデンサの上記他方端子は第 1 配線に接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

上記駆動用トランジスタの上記電流出力端子と上記データ配線との間に第 3 スイッチ用トランジスタが接続されていることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

上記駆動用トランジスタの上記電流制御端子と上記データ配線との間に第 4 スイッチ用トランジスタが接続されていることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 5】

30

上記駆動用トランジスタの上記電流出力端子と上記データ配線とは第 2 コンデンサを介して接続されていることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 6】

上記駆動用トランジスタの上記基準電位端子と上記データ配線との間に第 5 スイッチ用トランジスタが接続され、

上記駆動用トランジスタの上記基準電位端子と、上記駆動用トランジスタの出力電流を生成する電源の電位を与える電源配線との間に、第 6 スイッチ用トランジスタが接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

上記第 1 コンデンサの上記他方端子と、上記駆動用トランジスタの出力電流を生成する電源の電位を与える電源配線との間に、第 3 コンデンサが接続され、

40

上記第 1 コンデンサの上記他方端子と上記データ配線との間に第 7 スイッチ用トランジスタが接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

上記第 1 コンデンサの上記他方端子と所定の電位を与える第 2 配線との間に第 8 スイッチ用トランジスタが接続され、

上記第 1 コンデンサの上記他方端子と上記データ配線との間に第 7 スイッチ用トランジスタが接続されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

表示光源としての電流駆動型の電気光学素子と、電流制御端子と基準電位端子との間に

50

印加される電圧により制御される出力電流を電流出力端子から上記電気光学素子に駆動電流として供給する駆動用トランジスタとが、マトリックス状に設けられた各画素に配置され、上記駆動電流がデータ配線から上記各画素に供給される表示データに対応する表示装置において、

上記駆動用トランジスタと第１スイッチ用トランジスタと上記電気光学素子とが直列に接続され、

上記駆動用トランジスタの上記電流制御端子に第１コンデンサの一方端子が接続され、

上記駆動用トランジスタの上記電流制御端子と上記電流出力端子との間に第２スイッチ用トランジスタが接続された表示装置の駆動方法であって、

上記データ配線から上記各画素の表示データに対応する電位を上記駆動用トランジスタの上記電流制御端子に与えて、上記第１コンデンサに、対応する電荷を保持させた状態から始まる、あるいは、対応する電荷を保持する動作と同時に行う第１期間において、上記第２スイッチ用トランジスタをＯＮ状態とし、上記第１スイッチ用トランジスタをＯＦＦ状態とし、

第２期間において、上記第１コンデンサの他方端子の電位または、上記駆動用トランジスタの上記基準電位端子電位を変化させることにより、上記駆動用トランジスタの出力電流を設定することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、有機ＥＬ（Electro Luminescence）ディスプレイやＦＥＤ（Field Emission Display）等の電流駆動型の電気光学素子を用いた表示装置およびその駆動方法に関するものである。

【背景技術】

【０００２】

近年、有機ＥＬディスプレイやＦＥＤ等の電流駆動発光素子の研究開発が活発に行われている。特に有機ＥＬディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やＰＤＡ（Personal Digital Assistants）などの携帯機器用として注目されている。

【０００３】

この有機ＥＬディスプレイの電流駆動画素回路構成として、特許文献１（特表２００２－５１４３２０号公報）に示された回路構成を図２５に示す。

【０００４】

図２５に示す画素回路３００は、４つのｐ型ＴＦＴ（Thin Film Transistor）３６０，３６５，３７０，３７５と２つのコンデンサ３５０，３５５と、有機ＥＬ（ＯＬＥＤ）３８０とから構成される。有機ＥＬ３８０は電流駆動型の電気光学素子であり、表示光源となる。電源ライン３９０から共通陰極（ＧＮＤライン）へ至る経路にはＴＦＴ３６５，３７５，有機ＥＬ３８０がこの順で直列に接続されている。駆動用ＴＦＴ（駆動用トランジスタ）３６５のゲート端子（電流制御端子）からデータライン３１０へ至る経路にはコンデンサ３５０とスイッチ用ＴＦＴ３６０とがこの順で直列に接続されている。また、駆動用ＴＦＴ３６５のゲート端子とドレイン端子（電流出力端子）との間にはスイッチ用ＴＦＴ３７０が接続され、駆動用ＴＦＴ３６５のゲート端子とソース端子（基準電位端子）との間にはコンデンサ３５５が接続されている。これらＴＦＴ３６０，３７０，３７５のゲート端子には順にセレクトライン３２０，オートゼロライン３３０，照明ライン３４０が接続されている。

【０００５】

この画素回路３００では、第１期間にオートゼロライン３３０及び照明ライン３４０がＬｏｗとなり、スイッチ用ＴＦＴ３７０及び３７５がＯＮ状態となり、駆動用ＴＦＴ３６５のドレイン端子とゲート端子とが同電位となる。このとき、駆動用ＴＦＴ３６５がＯＮ状態となり、駆動用ＴＦＴ３６５からＯＬＥＤ３８０に向け電流が流れる。

【 0 0 0 6 】

またこのとき、データライン 3 1 0 へ基準電圧を入力し、セレクトライン 3 2 0 を L o w としてコンデンサ 3 5 0 の他方端子 (T F T 3 6 0 側端子) を基準電圧としておく。

【 0 0 0 7 】

次に第 2 期間となり、照明ライン 3 4 0 を H i g h として、T F T 3 7 5 を O F F 状態とする。

【 0 0 0 8 】

このことにより、駆動用 T F T 3 6 5 のゲート電位は徐々に高くなり、駆動用 T F T 3 6 5 の閾値電圧 (- V t h) に対応した値 (+ V D D - V t h) となったとき駆動用 T F T 3 6 5 は O F F 状態となる。

10

【 0 0 0 9 】

次に第 3 期間となり、オートゼロライン 3 3 0 を H i g h として、スイッチ用 T F T 3 7 0 を O F F 状態とする。このことにより、コンデンサ 3 5 0 には、そのゲート電位と基準電位との差が記憶される。

【 0 0 1 0 】

即ち、駆動用 T F T 3 6 5 のゲート電位は、データライン 3 1 0 の電位が基準電位のとき閾値電圧 (- V t h) に対応した値 (+ V D D - V t h) となる。そして、データライン 3 1 0 の電位がその基準電位から変化すれば、駆動用 T F T 3 6 5 の閾値電圧に関係なく、その電位変化に対応した電流が駆動用 T F T 3 6 5 に流れるよう制御される。

【 0 0 1 1 】

そこで、そのような所望の電位変化をデータライン 3 1 0 に与え、セレクトラインをハイ状態とし、スイッチ用 T F T 3 6 0 を O F F 状態して、この駆動用 T F T 3 6 5 のゲート端子電位を維持し、画素の選択期間を終了する。

20

【 0 0 1 2 】

このように、図 2 5 に示す画素回路を用いれば、駆動用 T F T 3 6 5 の閾値電圧のばらつきを補償し、駆動用 T F T 3 6 5 のゲート端子へその閾値電圧を補償した電位 (所望の電位 - 閾値電圧) を与えることができる。

【 0 0 1 3 】

また、有機 E L ディスプレイの別の電流駆動画素回路構成として、特許文献 2 (特表 2 0 0 3 - 5 2 9 8 0 5 号公報) に示された回路構成を図 2 6 に示す。

30

【 0 0 1 4 】

図 2 6 に示す画素回路 A i j は、3 つの p 型 T F T 3 0 , 3 2 , 3 7 と 1 つの n 型 T F T 3 3 と 1 つのコンデンサ 3 8 及び有機 E L (O L E D) 2 0 とから構成される。有機 E L 2 0 は電流駆動型の電気光学素子であり、表示光源となる。電源ライン 3 1 から共通陰極 (G N D ライン) 3 4 に至る経路の間には T F T 3 0 , 3 3 , 有機 E L 2 0 がこの順で直列に接続されている。駆動用 T F T 3 0 のゲート端子 (電流制御端子) とドレイン端子 (電流出力端子) との間にはスイッチ用 T F T 3 2 が配置され、駆動用 T F T 3 0 のゲート端子とソース端子 (基準電位端子) との間にはコンデンサ 3 8 が配置されている。駆動用 T F T 3 0 のドレイン端子とソース配線 S j との間にはスイッチ用 T F T 3 7 が接続されている。これら T F T 3 2 , 3 7 , 3 3 のゲート端子にはゲート配線 G i が配置されて

40

【 0 0 1 5 】

この構成では、ゲート配線 G i が L o w となる間 (選択期間) 、スイッチ用 T F T 3 3 が O F F 状態となり、スイッチ用 T F T 3 2 , 3 7 が O N 状態となる。この結果、電源ライン 3 1 から駆動用 T F T 3 0 およびスイッチ用 T F T 3 7 を介してソース配線 S j へ電流が流れる。このときの電流値をソース配線 S j に繋がる図示しないソースドライバ回路の電流源で制御すれば、駆動用 T F T 3 0 の出力電流値がソースドライバ回路で規定された電流値となるよう、駆動用 T F T 3 0 のゲート電圧を設定できる。

【 0 0 1 6 】

その後、ゲート配線 G i を H i g h とすることで、T F T 3 2 , 3 7 が O F F 状態とな

50

り駆動用TFT30のゲート電圧を保持する。また、TFT33がON状態となり、上記選択期間に設定された電流値が駆動用TFT30から有機EL(OLED)20へ出力される。

【0017】

このように、図26に示す画素回路を用いれば、駆動用TFT30の閾値電圧のばらつきや移動度のばらつきによらず、駆動用TFT30の出力電流値が上記ソースドライバ回路の電流源から与えられた電流値となるよう、駆動用TFT30のゲート電位を設定することができる。

【特許文献1】特表2002-514320号公報(国際公開日:1998年10月29日)

【特許文献2】特表2003-529805号公報(国際公開日:2001年10月11日)

【特許文献3】特開平9-127906号公報(公開日:1997年9月16日)

【非特許文献1】“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method”(SID'00 Digest、pp.924-927、半導体エネルギー研究所)

【非特許文献2】“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”(AM-LCD 2000、pp.25-28、半導体エネルギー研究所)

【非特許文献3】“Polymer Light-Emitting Diodes for use in Flat panel Display”(AM-LCD '01、pp.211-214、半導体エネルギー研究所)

【発明の開示】

【発明が解決しようとする課題】

【0018】

上記のように図25に示した画素回路構成を用いれば、駆動用TFT365の閾値電圧のばらつきを補償することができる。しかし、図25の画素回路構成では、駆動用TFT365がON状態からOFF状態に移るまでに数十 μ sの時間が必要であり、その間データライン310に基準電位を保持しなければならず、1画素当たりの選択期間が長くなり、その分、表示できる画素数が少なくなると言う課題がある。

【0019】

また、図26に示した画素回路構成では、駆動用TFT30の閾値電圧のばらつきと移動度のばらつきとを補償することができる。しかし、上記課題がより顕著に発生する。

【0020】

即ち、図26の画素回路でもソース配線Sjに浮遊容量が存在する。そして、駆動用TFT30からソースドライバ回路へ所望の電流が流れるよう制御するので、その電流値が少ないとき、上記浮遊容量を充電するだけでも数百 μ s以上必要となる。

【0021】

この結果、画素当たりの選択期間が長くなり、その分、表示できる画素数が少なくなると言う課題がある。

【0022】

本発明は上記課題を解決する為のものであり、その目的は、駆動用トランジスタの閾値電圧のばらつきを補償しながら、1画素当たりの選択期間の長さを短くすることのできる表示装置およびその駆動方法を実現することにある。

【課題を解決するための手段】

【0023】

本発明の表示装置は、上記課題を解決するために、表示光源としての電流駆動型の電気光学素子と、電流制御端子と基準電位端子との間に印加される電圧により制御される出力電流を電流出力端子から上記電気光学素子に駆動電流として供給する駆動用トランジスタとが、マトリックス状に設けられた各画素に配置され、上記駆動電流がデータ配線から上記各画素に供給される表示データに対応する表示装置において、上記駆動用トランジスタと第1スイッチ用トランジスタと上記電気光学素子とが直列に接続され、上記駆動用トランジスタの上記電流制御端子に第1コンデンサの一方端子が接続され、上記駆動用トラン

10

20

30

40

50

ジスタの上記電流制御端子と上記電流出力端子との間に第２スイッチ用トランジスタが接続され、上記データ配線から上記各画素の表示データに対応する電位が上記駆動用トランジスタの上記電流制御端子に与えられて、上記第１コンデンサに、対応する電荷が保持された状態から始まる、あるいは、対応する電荷を保持する動作と同時に進行される第１期間において、上記第２スイッチ用トランジスタがＯＮ状態となり、上記第１スイッチ用トランジスタがＯＦＦ状態となり、第２期間において、上記第１コンデンサの他方端子の電位または、上記駆動用トランジスタの上記基準電位端子の電位が変化することにより、上記駆動用トランジスタの出力電流が設定されることを特徴としている。

【００２４】

上記の発明によれば、各画素の表示データに対応する電位が第１期間の前あるいは同時に駆動用トランジスタの電流制御端子に与えられる。そして、第１期間にＯＮ状態とした駆動用トランジスタの閾値電圧を補償することにより、その駆動用トランジスタの電流制御端子の電位が駆動用トランジスタの基準電位端子の電位 V_s より閾値電圧 V_{th} だけ大きい状態となる。また、ＯＦＦ状態とした駆動用トランジスタでは、閾値電圧が補償できないが、元々ＯＦＦ状態は閾値電圧に依存しないので問題ない。そして、第２期間でその駆動用トランジスタの電流制御端子の電位または駆動用トランジスタの基準電位端子の電位を変化させることで、駆動用トランジスタの出力電流を閾値電圧に関わらず所望の電流値に設定できる。

【００２５】

データ配線は、少なくとも、各画素の表示データに対応する電位が駆動用トランジスタの電流制御端子に与えられて、第１コンデンサに対応する電荷が保持される動作が完了するまで画素に接続されていればよい。従って、各画素は、駆動用トランジスタの閾値電圧補償期間において、データ配線を占有する必要がない。この結果、駆動用トランジスタの閾値電圧のばらつきを補償しながら、１画素当たりの選択期間の長さを短くすることのできる表示装置を実現することができるという効果を奏する。

【００２６】

本発明の表示装置は、上記課題を解決するために、上記第１コンデンサの上記他方端子は第１配線に接続されていることを特徴としている。

【００２７】

上記の発明によれば、第１コンデンサの他方端子に第１配線を接続し、第２期間でその第１配線の電位を変化させることで、駆動用トランジスタの電流制御端子の電位を変化させ、駆動用トランジスタの出力電流を所望の値に設定することができるという効果を奏する。

【００２８】

本発明の表示装置は、上記課題を解決するために、上記駆動用トランジスタの上記電流出力端子と上記データ配線との間に第３スイッチ用トランジスタが接続されていることを特徴としている。

【００２９】

上記の発明によれば、第１期間において、第１スイッチ用トランジスタをＯＦＦ状態としてから、第２スイッチ用トランジスタをＯＮ状態とし、更に第３スイッチ用トランジスタをＯＮ状態とできる。このとき、第３スイッチ用トランジスタを通して駆動用トランジスタの電流出力端子へ電位 V_{da} を与える。この電位 V_{da} を制御することで、上記第１期間において、電気光学素子へ電流を流さなくても、駆動用トランジスタのＯＮ／ＯＦＦ状態を制御できるという効果を奏する。

【００３０】

例えば、駆動用トランジスタがｐ型で、基準電位端子電位を V_s とするとき、上記電位 V_{da} が駆動用トランジスタの最小閾値電圧 - $V_{th}(min)$ に対し、

$$V_s - V_{th}(min) < V_{da} \quad \cdots (\text{条件} 1)$$

であれば、駆動用トランジスタ（Ｑ１）はその閾値電圧に依らずＯＦＦ状態となる。

【００３１】

10

20

30

40

50

逆に、上記電位 V_{da} が駆動用トランジスタ (Q_1) の最大閾値電圧 - $V_{th}(\max)$ に対し、

$$V_s - V_{th}(\max) > V_{da} \quad \dots (\text{条件 } 2)$$

であれば駆動用トランジスタはその閾値電圧に依らず ON 状態となる。

【0032】

その後、第 3 スイッチ用トランジスタを OFF 状態とする。このとき、条件 1 では、駆動用トランジスタは OFF 状態となり、駆動用トランジスタの電流制御端子の電位はこの電位 V_{da} のままとなる。条件 2 では、駆動用トランジスタが ON 状態となり、駆動用トランジスタの電流制御端子の電位は $V_s - V_{th}$ となる。

【0033】

そして、第 2 期間でその駆動用トランジスタの電流制御端子の電位または駆動用トランジスタの基準電位端子の電位を変化させることで、駆動用トランジスタの電流制御端子の電位が $V_s - V_{th}$ となった駆動用トランジスタを、その閾値電圧に依らず一定の電流が流れる状態とすることができる。

【0034】

また、この電位変化が電位 V_s から電位 $V_s - V_x$ に変化するとした場合、

$$V_s - V_{th}(\min) < V_{da} - V_x$$

であれば、駆動用トランジスタの電流制御端子の電位が V_{da} である駆動用トランジスタの出力状態を OFF 状態のままとすることができる。

【0035】

本発明の表示装置は、上記課題を解決するために、上記駆動用トランジスタの上記電流制御端子と上記データ配線との間に第 4 スイッチ用トランジスタが接続されていることを特徴としている。

【0036】

上記の発明によれば、第 1 期間において、第 1 スイッチ用トランジスタを OFF 状態としてから、第 4 スイッチ用トランジスタを ON 状態にできる。そして、第 1 期間の最初に第 4 スイッチ用トランジスタを通して駆動用トランジスタの電流出力端子へ電位 V_{da} を与える。この電位 V_{da} を制御することで、上記第 1 期間において、電気光学素子へ電流を流さなくても、駆動用トランジスタの ON / OFF 状態を制御できるという効果を奏する。

【0037】

本発明の表示装置は、上記課題を解決するために、上記駆動用トランジスタの上記電流出力端子と上記データ配線とは第 2 コンデンサを介して接続されていることを特徴としている。

【0038】

上記の発明によれば、第 1 期間において、第 2 スイッチ用トランジスタを ON 状態としてから、第 1 スイッチ用トランジスタを OFF 状態とする。このため、駆動用トランジスタは一端 ON 状態となり、電気光学素子へ向け電流が流れ、その後、駆動用トランジスタが OFF 状態となる。

【0039】

その後、第 2 スイッチ用トランジスタを OFF 状態とする直前に、データ配線の電位を High 電位とすることで、駆動用トランジスタの電流制御端子は閾値電位 $V_s - V_{th}$ より大きな電位となり、駆動用トランジスタの電流制御端子に OFF 電位が保持される。

【0040】

逆に、第 2 スイッチ用トランジスタを OFF 状態とする直前に、データ配線の電位を Low 電位のままとすることで、駆動用トランジスタの電流制御端子は閾値電位 $V_s - V_{th}$ のままとなる。

【0041】

その後、第 2 スイッチ用トランジスタを OFF 状態として、この電位を保持することで、駆動用トランジスタの ON / OFF 状態を制御できるという効果を奏する。また、この

10

20

30

40

50

ON状態は駆動用トランジスタのその閾値電圧に依らず一定の電流を与える状態とすることができるという効果を奏する。

【0042】

なお、第2コンデンサと直列にスイッチ用トランジスタを配置すれば、そのスイッチ用トランジスタをOFF状態とすることで、データ配線に繋がる容量を小さくできる。このため、第2期間における、ソースドライバ回路の負荷を減らし、データ配線の電位変化速度を早くできるので好ましい。

【0043】

本発明の表示装置は、上記課題を解決するために、上記駆動用トランジスタの上記基準電位端子と上記データ配線との間に第5スイッチ用トランジスタが接続され、上記駆動用トランジスタの上記基準電位端子と、上記駆動用トランジスタの出力電流を生成する電源の電位を与える電源配線との間に、第6スイッチ用トランジスタが接続されていることを特徴としている。

10

【0044】

上記の発明によれば、第1期間に駆動用トランジスタの電流制御端子の電位がデータ配線の電位より閾値電位 V_{th} だけ大きい(または小さい)状態となる。そして、第2期間において、駆動用トランジスタの基準電位端子の電位を変化させ、駆動用トランジスタの出力電流を所望の電流値に設定できるという効果を奏する。

【0045】

本発明の表示装置は、上記課題を解決するために、上記第1コンデンサの上記他方端子と、上記駆動用トランジスタの出力電流を生成する電源の電位を与える電源配線との間に、第3コンデンサが接続され、上記第1コンデンサの上記他方端子と上記データ配線との間に第7スイッチ用トランジスタが接続されていることを特徴としている。

20

【0046】

上記の発明によれば、第1期間に駆動用トランジスタの電流制御端子の電位が駆動用トランジスタの基準電位端子の電位 V_s より閾値電位 V_{th} だけ大きい(または小さい)状態となる。そして、第2期間において、上記第1コンデンサの他方端子電位を変化させ、駆動用トランジスタの出力電流を所望の電流値に設定できるという効果を奏する。

【0047】

本発明の表示装置は、上記課題を解決するために、上記第1コンデンサの上記他方端子と所定の電位を与える第2配線との間に第8スイッチ用トランジスタが接続され、上記第1コンデンサの上記他方端子と上記データ配線との間に第7スイッチ用トランジスタが接続されていることを特徴としている。

30

【0048】

上記の発明によれば、第1期間に駆動用トランジスタの電流制御端子の電位が駆動用トランジスタの基準電位端子の電位 V_s より閾値電位 V_{th} だけ大きい(または小さい)状態となる。そして、第2期間において、上記第1コンデンサの他方端子電位を変化させ、駆動用トランジスタの出力電流を所望の電流値に設定できるという効果を奏する。

【0049】

また、第2配線の電位を固定することもできるし、RGB各色で共通化することもできる。

40

【0050】

本発明の表示装置の駆動方法は、上記課題を解決するために、表示光源としての電流駆動型の電気光学素子と、電流制御端子と基準電位端子との間に印加される電圧により制御される出力電流を電流出力端子から上記電気光学素子に駆動電流として供給する駆動用トランジスタとが、マトリックス状に設けられた各画素に配置され、上記駆動電流がデータ配線から上記各画素に供給される表示データに対応する表示装置において、上記駆動用トランジスタと第1スイッチ用トランジスタと上記電気光学素子とが直列に接続され、上記駆動用トランジスタの上記電流制御端子に第1コンデンサの一方端子が接続され、上記駆動用トランジスタの上記電流制御端子と上記電流出力端子との間に第2スイッチ用トラン

50

ジスタが接続された表示装置の駆動方法であって、上記データ配線から上記各画素の表示データに対応する電位を上記駆動用トランジスタの上記電流制御端子に与えて、上記第1コンデンサに、対応する電荷を保持させた状態から始まる、あるいは、対応する電荷を保持する動作と同時に進行する第1期間において、上記第2スイッチ用トランジスタをON状態とし、上記第1スイッチ用トランジスタをOFF状態とし、第2期間において、上記第1コンデンサの他方端子の電位または、上記駆動用トランジスタの上記基準電位端子電位を変化させることにより、上記駆動用トランジスタの出力電流を設定することを特徴としている。

【0051】

上記の発明によれば、各画素は、駆動用トランジスタの閾値電圧補償期間において、データ配線を占有する必要がない。この結果、駆動用トランジスタの閾値電圧のばらつきを補償しながら、1画素当たりの選択期間の長さを短くすることのできる表示装置の駆動方法を実現することができるという効果を奏する。

【発明の効果】

【0052】

本発明の表示装置は、以上のように、上記駆動用トランジスタと第1スイッチ用トランジスタと上記電気光学素子とが直列に接続され、上記駆動用トランジスタの上記電流制御端子に第1コンデンサの一方端子が接続され、上記駆動用トランジスタの上記電流制御端子と上記電流出力端子との間に第2スイッチ用トランジスタが接続され、上記データ配線から上記各画素の表示データに対応する電位が上記駆動用トランジスタの上記電流制御端子に与えられて、上記第1コンデンサに、対応する電荷が保持された状態から始まる、あるいは、対応する電荷を保持する動作と同時に進行する第1期間において、上記第2スイッチ用トランジスタがON状態となり、上記第1スイッチ用トランジスタがOFF状態となることにより、上記駆動用トランジスタの閾値電圧が補償され、第2期間において、上記第1コンデンサの他方端子の電位または、上記駆動用トランジスタの上記基準電位端子の電位が変化することにより、上記駆動用トランジスタの出力電流が設定される。

【0053】

それゆえ、駆動用トランジスタの閾値電圧のばらつきを補償しながら、1画素当たりの選択期間の長さを短くすることのできる表示装置を実現することができるという効果を奏する。

【発明を実施するための最良の形態】

【0054】

本発明の実施の形態について図1ないし図24に基づいて説明すれば、以下の通りである。

【0055】

本発明に用いられるスイッチング素子は低温ポリシリコンTFTやCG(Continuous Grain)シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

【0056】

ここで、CGシリコンTFTの構成は、例えば非特許文献1に発表されており、CGシリコンTFTの製造プロセスは、例えば非特許文献2に発表されている。すなわち、CGシリコンTFTの構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

【0057】

また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば非特許文献3に発表されており公知であるため、ここではその詳細な説明は省略する。

【0058】

〔実施の形態1〕

本実施の形態では、本発明の表示装置の第1の例について説明する。

10

20

30

40

50

【 0 0 5 9 】

本実施の形態の表示装置 1 は、図 2 に示すように、画素回路 A_{ij} ($i = 1 \sim n$ 、 $j = 1 \sim m$) をマトリックス状に配置し、その配線制御回路としてゲートドライバ回路 3、8、ソースドライバ回路 2 を配置し、その内部電圧発生回路として電位発生部 11 を有している。

【 0 0 6 0 】

各画素回路 A_{ij} は、データ配線 D_j とゲート配線 G_i とが交差する領域に対応して配置されている。また、上記ソースドライバ回路 2 は、 m ビットのシフトレジスタ 4、 m ビットのレジスタ 5、 m ビットのラッチ 6、及び、 m 個のアナログスイッチ回路 7 ... から構成される。

10

【 0 0 6 1 】

上記ソースドライバ回路 2 においては、 m ビットのシフトレジスタ 4 の先頭のレジスタヘスタートパルス SP が入力され、そのスタートパルス SP がクロック clk でシフトレジスタ 4 内を転送され、同時にレジスタ 5 にタイミングパルス SSP として出力される。 m ビットのレジスタ 5 は、シフトレジスタ 4 から送られてくるタイミングパルス SSP により、入力された 1 ビットのデータ D_x を対応するデータ配線 D_j の位置に保持する。ラッチ 6 ではこの保持された m ビットのデータをラッチパルス LP のタイミングで取り込み、アナログスイッチ回路 7 へ出力する。アナログスイッチ回路 7 では、入力されたデータに対応する電位 V_H 、 V_L を電位発生部 11 から選択しデータ配線 D_j へ出力する。

【 0 0 6 2 】

また、ゲートドライバ回路 3 は図示しないデコーダ回路とバッファ回路とから構成され、入力されたアドレス Add をデコーダ回路でデコードし、制御信号 OE で制御されたタイミングでバッファを通して、対応したゲート配線 G_i へ出力する。

20

【 0 0 6 3 】

ゲートドライバ回路 8 はシフトレジスタ回路 9 とアナログスイッチ回路 10 ... とから構成され、入力された制御信号 Y_i 等をシフトレジスタ回路 9 の先頭に入力し、クロック yc_k でシフトレジスタ回路 9 内を転送し、アナログスイッチ回路 10 や図示しないバッファ回路へ出力する。アナログスイッチ回路 10 は、入力されたデータに対応して、電位発生部 11 から電圧 V_{cc} か電圧 V_c を選択し電位配線 U_i へ出力する。バッファ回路は入力されたデータを増幅し、対応した制御配線 P_i 、 R_i へ出力する。

30

【 0 0 6 4 】

図 1 に、画素回路 A_{ij} の構成を示す。

【 0 0 6 5 】

この画素回路 A_{ij} ではデータ配線 D_j (第 2 配線) とゲート配線 G_i が交差する付近に駆動用 TFT: Q_1 (駆動用トランジスタ) と有機 EL: EL_1 (電気光学素子) が配置されている。そして、電源配線 V_p から共通配線 V_{com} へ至る経路に駆動用 TFT: Q_1 とスイッチ用 TFT: Q_3 (第 1 スイッチ用トランジスタ) と有機 EL: EL_1 とがこの順で直列に接続されている。有機 EL: EL_1 は電流駆動型の電気光学素子であり、表示光源となる。

【 0 0 6 6 】

駆動用 TFT: Q_1 のゲート端子 (電流制御端子) にはコンデンサ C_1 (第 1 コンデンサ) の一方端子が接続され、駆動用 TFT: Q_1 のゲート端子とドレイン端子 (電流出力端子) との間にはスイッチ用 TFT: Q_2 (第 2 スイッチ用トランジスタ) が接続されている。駆動用 TFT: Q_1 は、ゲート端子とソース端子との間に印加される電圧により出力電流が制御される駆動用トランジスタである。なお、ドレイン端子は駆動用 TFT が n 型の場合は電流が流入する側の端子となるが、この場合も有機 EL 素子の駆動電流を駆動用 TFT が決定しているので、そのドレイン端子を電流出力端子と称する。

40

【 0 0 6 7 】

また、コンデンサ C_1 の他方端子には電位配線 U_i (第 1 配線) が接続され、駆動用 TFT: Q_1 のドレイン端子 (電流出力端子) とデータ配線 D_j との間にはスイッチ用 TFT

50

T : Q 4 (第 3 スイッチ用トランジスタ) が接続されている。

【 0 0 6 8 】

各スイッチ用 T F T : Q 2 , Q 3 , Q 4 のゲート端子には順に制御配線 P i 、制御配線 R i 、ゲート配線 G i が接続されている。

【 0 0 6 9 】

なお、駆動用 T F T : Q 1 , スイッチ用 T F T : Q 3 , Q 4 は p 型 T F T であり、スイッチ用 T F T : Q 2 は n 型 T F T である。

【 0 0 7 0 】

この画素回路構成では、駆動用 T F T : Q 1 が取りうる状態は O N 状態および O F F 状態である。このため、本実施の形態では時間分割階調表示を用いることにする。

10

【 0 0 7 1 】

この時間分割階調表示方法の例として特許文献 3 等があるが、ここでは図 3 に示す時間配列を用いることにする。

【 0 0 7 2 】

図 3 の時間配列は、各画素回路 A i j に 1 フレーム期間に時系列でどのように 1 , 0 のデータを供給するかを表したものである。画素回路 A i j は 1 フレーム期間に 8 ビットからなるデータを 1 ビットずつ時系列でソースドライバ回路 2 から供給される。「 b i t 番号」および「 b i t の重み」の欄から分かるように、各 b i t 1 ~ b i t 8 の重みは 1 : 2 : 4 : 8 : 1 2 : 1 2 : 1 2 : 1 2 となっている。この各重みは点灯 / 消灯期間の長さ 20
を表しており、発光強度を一定にして点灯期間が合計でどのような長さとするかによって 1 フレーム期間に感じる画素の明るさを変えるようにしている。これらの b i t の重みを用いると、重み 1 2 を 0 個用いたときに重み 1、2、4、8 により 0 ~ 1 5 が表現でき、重み 1 2 を 1 個用いたときに 1 2 ~ 2 7 が表現でき、1 2 を 2 個用いたときに 2 4 ~ 3 9 が表現でき、1 2 を 3 個用いたときに 3 6 ~ 5 1 が表現でき、1 2 を 4 個用いたときに 4 8 ~ 6 3 が表現でき、全部で 0 ~ 6 3 の 6 4 階調表示が可能になる。

20

【 0 0 7 3 】

この 6 4 階調表示を、各画素で表示する順番を「占有期間の番号」が重ならないように 1 2 : 1 2 : 1 : 4 : 2 : 8 : 1 2 : 1 2 とする。すなわち画素回路 A i j に供給する「 b i t 番号」の順番を 6 5 1 3 2 4 8 7 となるよう並べ替えて行う。これはこれら「占有期間の番号」に対応する「 b i t の重み」に更に非表示期間 (プランキン 30
グ期間) を加えた「 b i t の長さ」が、欄のように 1 4 : 1 4 : 3 : 6 : 4 : 1 0 : 1 5 : 1 4 とし、0 / 8 の余り 0、1 4 / 8 の余り 6、(1 4 + 1 4) / 8 の余り 4、(1 4 + 1 4 + 3) / 8 の余り 7、・・・等が互いに重ならないようにするためである。従って、1 フレーム期間は、b i t の長さの合計 1 4 + 1 4 + 3 + 6 + 4 + 1 0 + 1 5 + 1 4 = 8 0 となる。b i t の長さ 1 を 1 b i t 期間とすると、1 フレーム期間は 8 0 b i t 期間となる。また、1 b i t 期間は、画素回路 A i j に 1 b i t 分のデータを設定するために、データ配線 D j にデータに対応した電位を出力する期間である。

30

【 0 0 7 4 】

これをライン数 (ゲート配線 G i の数) が 1 0 である場合で考え、あるデータ配線 D j に、各 b i t 期間にどのゲート配線 G i につながる画素用の何 b i t 目のデータを供給 40
するかを図 4 および図 5 に示す。図 4 は 1 フレーム期間の前半部分のデータ供給を表し、図 5 は 1 フレーム期間の後半部分のデータ供給を表す。

40

【 0 0 7 5 】

図 4 および図 5 において、ゲート配線 G 1 の欄は、あるデータ配線 D j のゲート配線 G 1 につながる画素 A 1 j に時系列でどのように b i t データを供給するのかを表している。この画素 A 1 j には、第 1 b i t 期間で b i t 6 のデータが供給され、1 4 b i t 期間後の第 1 5 b i t 期間で b i t 5 のデータが供給され、さらに 1 4 b i t 期間後の第 2 9 b i t 期間で b i t 1 のデータが供給され、さらに 3 b i t 期間後の第 3 2 b i t 期間で b i t 3 のデータが供給され、さらに 6 b i t 期間後の第 3 8 b i t 期間で b i t 2 のデータが供給され、さらに 4 b i t 期間後の第 4 2 b i t 期間で b i t 4 のデータが供給さ 50

50

れ、さらに10bit期間後の第52bit期間でbit8のデータが供給され、さらに15bit期間後の第67bit期間でbit7のデータが供給される。そして、さらに14bit期間後の第81bit期間で最初の第1bit期間に戻り、bit6のデータをデータ配線Djに供給する。

【0076】

なお、ゲート配線G1によって選択される画素A1jについて、図4および図5の最下部に、bitの長さのうちブランキング期間を除いたbitの重みに対応する期間、すなわちその画素A1jが点灯しうる期間を示してある。このように、bit番号6, 5, 1, 3, 2, 4, 7の各bitの長さの最初の2bit期間、および、bit番号8のbitの長さの最初の3bit期間はブランキング期間とする。これは他のゲート配線でも同

10

【0077】

上記データ配線Djにつながる画素のうち次のゲート配線Gi+1につながる画素には、ゲート配線Giに対応するbitデータの供給タイミングを8bit期間遅らせたタイミングでデータ配線Djに供給する。例えばゲート配線G2の欄には、上記ゲート配線G1のbitデータの供給タイミングを8bit期間遅らせてデータ配線Djに供給することが示されている。このように各ゲート配線Giにbitデータを供給するタイミングを作っていくと、同じデータ配線Djに対して、第1bit期間にゲート配線G1につながる画素A1jへのbit6のデータを供給し、第2bit期間にゲート配線G6につながる画素A6jへのbit4のデータを供給し、第3bit期間にゲート配線G3につながる画素A3jへのbit7のデータを供給する、といったようにデータ供給が行われる。

20

【0078】

このように、各ゲート配線Giに対応するbitデータは、同じデータ配線Djに、互いにタイミングが重なることなく供給される。また、同じデータ配線Djに対し、各bit期間にはいずれかのゲート配線Giに対応するbitデータが供給される。

【0079】

そこで、図4および図5の1フレーム期間に相当する80bit期間を8bit期間毎にまとめてグループ化し、各グループに順に単位期間1~10という記号を割り当てる。また、各単位期間内の8つのbit期間に順に占有期間0~7という記号を割り当てる。そうすると、bit6, 5, 1, 3, 2, 4, 8, 7は順に必ず占有期間0, 6, 4, 7, 5, 1, 3, 2に出現する。

30

【0080】

そこで、上記対応を、各bitを縦軸、占有期間を横軸にして、対応するところに『』で記すことにより示すと、図3の「bitの長さ」対「占有期間の番号」のようになる。

【0081】

なお、上記時間配列では、各bitの長さが各bitの重みより大きくなっている。この期間の差は、後述する図6のタイミングチャートに示すように、電位配線UiをVcc等にして、強制的に駆動用TF T: Q1をOFF状態とするブランキング期間で埋めることにする。ブランキング期間は各bitの全占有期間の最初に設けられる。

40

【0082】

以下、図1の画素回路Aijの動作を、このブランキング期間を含め図6に示すタイミングチャートを用いて説明する。

【0083】

図6においてUi, Gi, Ri, Piは画素回路Aijに対応し、Ui+1, Gi+1, Ri+1, Pi+1は画素回路Ai+1jに対応する。Djはデータ配線Djに供給するbit1~8のデータを示している。また、t1分の期間は1bit期間の2分の1である。

【0084】

時刻4t1~6t1の期間は画素回路Aijにbit7のデータを設定するbit期間

50

であり、時刻 $4t_1 \sim 8t_1$ の期間はブランキング期間である。

【0085】

時刻 $4t_1$ において、電位配線 U_i を電位 V_{cc} としてブランキング期間を開始する。そして、制御配線 R_i を $High (GH)$ として、スイッチ用 T F T : Q_3 を OFF 状態とする。また、制御配線 P_i を $High (GH)$ として、スイッチ用 T F T : Q_2 を ON 状態とする。また、ゲート配線 G_i を $Low (GL)$ として、スイッチ用 T F T : Q_4 を ON 状態とする。

【0086】

このとき、データ配線 D_j に与える電位を V_L とすれば駆動用 T F T : Q_1 はゲート電位が低くなって ON 状態となり、 V_H とすれば駆動用 T F T : Q_1 はゲート電位が高くなって OFF 状態となる。 10

【0087】

即ち、電源配線 V_p の電位を V_p 、駆動用 T F T : Q_1 の閾値電圧の絶対値がばらつきの最大（絶対値が最大）で $V_{th} (max)$ 、ばらつきの最小（絶対値が最小）で $V_{th} (min)$ であるとして、

$$V_L < V_p - V_{th} (max)$$

$$V_H > V_p - V_{th} (min)$$

とする。

【0088】

これにより、例えば、データ配線 D_j に電位 V_L を与えると、スイッチ用 T F T : Q_2 , Q_4 が ON 状態であるので、駆動用 T F T : Q_1 のゲート電位も V_L となる。このため、駆動用 T F T : Q_1 はその閾値電圧 V_{th} がばらつきのどこにあってても ON 状態となる。逆に、データ配線 D_j に電位 V_H を与えると、駆動用 T F T : Q_1 のゲート電位も V_H となる。このため、駆動用 T F T : Q_1 はその閾値電位 V_{th} がばらつきのどこにあってても OFF 状態となる。 20

【0089】

その後、時刻 $5t_1$ でゲート配線 G_i を $High (GH)$ として、スイッチ用 T F T : Q_4 を OFF 状態とする。

【0090】

次に、時刻 $5t_1 \sim 7t_1$ の期間は、駆動用 T F T : Q_1 の閾値補償期間（第 1 期間）となる。時刻 $5t_1$ で駆動用 T F T : Q_1 が ON 状態である場合、すなわちデータ配線 D_j が電位 V_L である場合、閾値補償期間に電源配線 V_p から駆動用 T F T : Q_1 のドレインを介して駆動用 T F T : Q_1 のゲートおよびコンデンサ C_1 の一方端子に電流が流れ込むため、駆動用 T F T : Q_1 のゲート電位は $V_p - V_{th}$ まで上昇して OFF 状態となる（以下、状態 V_L と称する）。一方、時刻 $5t_1$ で駆動用 T F T : Q_1 が OFF 状態である場合、すなわちデータ配線 D_j が電位 V_H である場合、閾値補償期間に駆動用 T F T : Q_1 のゲート電位は V_H のままとなる（以下、状態 V_H と称する）。 30

【0091】

その後、時刻 $7t_1$ で制御配線 P_i を $Low (GL)$ として、スイッチ用 T F T : Q_2 を OFF 状態とし、駆動用 T F T : Q_1 の閾値補償期間を終了する。これにより、コンデンサ C_1 の電荷、従って駆動用 T F T : Q_1 のゲート・ソース間電圧が保持される。従って、駆動用 T F T : Q_1 のゲート電位は閾値補償期間に状態 V_L となった場合には電位 $V_p - V_{th}$ に保持され、閾値補償期間に状態 V_H となった場合には電位 V_H に保持される。本実施の形態では、第 1 期間としての閾値補償期間は、データ配線 D_j から各画素の表示データに対応する電位が駆動用 T F T Q_1 のゲート端子に与えられて、コンデンサ C_1 に、対応する電荷が保持された状態から始まる。 40

【0092】

そして、時刻 $8t_1$ で制御配線 R_i を $Low (GL)$ として、スイッチ用 T F T : Q_3 を ON 状態とし、電位配線 U_i の電位を V_c ($V_c < V_{cc}$) に変化させ、ブランキング期間を終了する。時刻 $8t_1$ 以降は第 2 期間である。 50

【0093】

このとき、電位配線 U_i は $V_{cc} - V_c$ だけ電位が下降するので、閾値補償期間に状態 V_H となった場合には、電位が V_H であった駆動用 T F T : Q 1 のゲート電位、すなわちコンデンサ C_1 の一方端子の電位は $V_H - (V_{cc} - V_c)$ に変化する。従って、

$$V_H - (V_{cc} - V_c) > V_p - V_{th}(\min)$$

としておけば、状態 V_H の駆動用 T F T : Q 1 は O F F 状態のままとなる。一方、閾値補償期間に状態 V_L となった場合の駆動用 T F T : Q 1 のゲート電位は

$$V_p - V_{th} - (V_{cc} - V_c)$$

となり、駆動用 T F T : Q 1 の閾値状態から $V_{cc} - V_c$ という一定電圧だけ低い電位となる。従って、駆動用 T F T : Q 1 は、その閾値電圧 V_{th} に依らず一定電流が流れる状態となる。

10

【0094】

そこで、閾値補償期間に状態 V_L となる場合の駆動用 T F T : Q 1 のゲート電位 V_g 、ドレイン電位 V_d 、ソース・ドレイン間電流 I_{ds} をシミュレーションした結果を図 7 に示す。なお、電圧および電流の符号に付されている (1) は、閾値 V_{th} が最小 ($V_{th}(\min)$) で移動度 μ が最大である場合に対応し、(2) は、閾値 V_{th} が最大 ($V_{th}(\max)$) で移動度 μ が最小である場合に対応する。また、図 7 の電圧の立ち上がりおよび立ち下がりタイミングは図 6 と一致しておらず、制御配線 R_i が High (GH) となってから制御配線 P_i が High (GH)、ゲート配線 G_i が Low (GL) となっているが、これはスイッチ用 T F T : Q 3 を先に O F F 状態としたものであり、図 6 と本質的には差はない。

20

【0095】

図 7 のシミュレーション結果から判るとおり、制御配線 R_i を Low (GL) として、電位配線 U_i を V_c とした後、駆動用 T F T : Q 1 のソース・ドレイン間電流 I_{ds} は、その閾値電圧に依らず (移動度の影響を残し) ほぼ一定となる。

【0096】

なお、このとき駆動用 T F T : Q 1 を流れる電流は、電位 V_{cc} と電位 V_c との差の二乗に比例する。

【0097】

そこで、表示装置の点灯画素数が多くなるほど、電位 V_{cc} が低くなるよう、電位 V_c を電源配線 V_p から得るようにする。そして、表示装置外の電源と電源配線 V_p との間に抵抗等を配置し、表示装置の点灯画素数が多くなるほど電位 V_{cc} が低くなるようにする。一方、電位 V_c についてはロジック電源から抵抗分圧等により作製し、常時一定の電位となるようにする。

30

【0098】

このことにより、本実施の形態の画素回路のような構成では、表示画素数が少ないほど白色表示の輝度が上がるピーク輝度を実現できる。

【0099】

また、状態 V_H とした駆動用 T F T : Q 1 のゲート電位 V_g 、ドレイン電位 V_d 、ソース・ドレイン間電流 I_{ds} をシミュレーションした結果を図 8 に示す。なお、電圧および電流の符号に付されている (1) は、閾値 V_{th} が最小 ($V_{th}(\min)$) で移動度 μ が最大である場合に対応し、(2) は、閾値 V_{th} が最大 ($V_{th}(\max)$) で移動度 μ が最小である場合に対応する。また、図 8 の電圧の立ち上がりおよび立ち下がりタイミングは図 6 と一致しているが、これも図 7 と同様に、図 6 と本質的には差はない。

40

【0100】

図 8 のシミュレーション結果から判るとおり、制御配線 R_i を Low (GL) として、電位配線 U_i を V_c とした後でも、駆動用 T F T : Q 1 のソース・ドレイン間電流 I_{ds} は 0 である。

【0101】

以上、本実施の形態によれば、図 6 のタイミングチャートから明らかなように、ブラン

50

キング期間である時刻 $4t_1 \sim 8t_1$ の期間のうち、データ配線 D_j に画素回路 A_{ij} に対応する b_{it_1} のデータを与える時間（選択期間）は時刻 $4t_1 \sim 6t_1$ で済む。データ配線 D_j には時刻 $4t_1$ から時刻 $6t_1$ まで第7ビットの電圧を出力する期間が割り当てられるが、実際、データ配線 D_j の電圧を画素回路 A_{ij} に用いているのは、ゲート配線 G_i が Low である時刻 $4t_1$ から時刻 $5t_1$ までである。時刻 $6t_1$ から時刻 $8t_1$ までは他のゲート電極 G_i につながる画素回路 A_{ij} の第8ビットの電圧をデータ配線 D_j に出力する期間に割り当てられる。そして、このブランキング期間を自在に伸ばしても、選択期間は $2t_1$ の期間のまま変化することはない。

【0102】

このように本実施の形態では、ブランキング期間のうち一部の時間だけを選択期間とするので、より多くのゲート配線 G_i を駆動でき、大容量化が可能となる。

【0103】

ところで、図3で示した時間配列は、図4及び図5のタイミングチャートを示すためにゲート配線数を10本とした例についてのものである。しかし、実際には図9に示すようにゲート配線数320本のQVGA（縦型）の表示を行う。

【0104】

図9に示す時間配列では各 b_{it_1} の長さを各 b_{it_1} の重みより5 b_{it_1} 期間分長くしている。これは、図10のタイミングチャートに示すように、各 b_{it_1} 当たりブランキング期間が5 b_{it_1} 期間あることを示している。

【0105】

このブランキング期間が5選択期間である例を図10に示す。図10のタイミングチャートでは、時刻0において、電位配線 U_i を電位 V_{cc} として駆動用 TFT : Q1 のゲート電位を OFF 電位とし、ブランキング期間を開始する。そして、同時に制御配線 R_i を High (GH) として、スイッチ用 TFT : Q3 を OFF 状態とする。

【0106】

その後、時刻 $2t_1$ において、制御配線 P_i を High (GH) として、スイッチ用 TFT : Q2 を ON 状態とする。また、同時にゲート配線 G_i を Low (GL) として、スイッチ用 TFT : Q4 を ON 状態とする。そして、同時にデータ配線 D_j から所望の電位（図10では第4 b_{it_1} の電位）を駆動用 TFT : Q1 のゲート端子に与え、時刻 $3t_1$ にてゲート配線 G_i を High (GH) として、スイッチ用 TFT : Q4 を OFF 状態とする。

【0107】

その後、時刻 $8t_1$ で制御配線 P_i を Low (GL) として、スイッチ用 TFT : Q2 を OFF 状態とする。このことにより、駆動用 TFT : Q1 のゲート電位は $V_p - V_{th}$ の状態（状態 VL）か VH の状態（状態 VH）で保持される。

【0108】

そして、時刻 $10t_1$ で制御配線 R_i を Low (GL) として、スイッチ用 TFT : Q3 を ON 状態とし、同時に電位配線 U_i の電位を V_c に変化させる。

【0109】

このことにより、電位配線 U_i を電位 V_c とした後、状態 VL とした駆動用 TFT : Q1 を流れる電流は、その閾値電圧に依らずほぼ一定となる。

【0110】

また、電位配線 U_i を電位 V_c とした後、状態 VH とした駆動用 TFT : Q1 を流れる電流は0となる。

【0111】

本実施の形態では、データ配線 D_j は、少なくとも、各画素の表示データに対応する電位が駆動用 TFT（駆動用トランジスタ）：Q1 のゲート端子に与えられて、コンデンサ（第1コンデンサ）C1に対応する電荷が保持される動作が完了するまで画素に接続されていればよい。従って、各画素は、駆動用 TFT（駆動用トランジスタ）：Q1 の閾値電圧補償期間において、データ配線を占有する必要がない。このように、本実施の形態では

10

20

30

40

50

ブランキング期間を選択期間の長さとは無関係に長くできるので、より多くのゲート配線 G_i を駆動でき、大容量化が可能となる。このことは、以下の実施の形態でも同様である。

【0112】

〔実施の形態2〕

本実施の形態では、本発明の表示装置の第2の例について説明する。

【0113】

本実施の形態に係る表示装置1も、図2に示す構成は同じであるので、その説明は省略する。

【0114】

図11に、本実施の形態に係る画素回路 A_{ij} の構成を示す。

【0115】

この画素回路 A_{ij} は、図1の画素回路 A_{ij} の構成からスイッチ用 T F T : Q_4 (第3スイッチ用トランジスタ) を外し、代わりに、駆動用 T F T : Q_1 (駆動用トランジスタ) のゲート端子 (電流制御端子) とデータ配線 D_j との間に n 型のスイッチ用 T F T : Q_5 (第4スイッチ用トランジスタ) が配置されたものである。その他は、図1の画素回路 A_{ij} と同様なので、ここではそれ以上の説明は省略する。

【0116】

以下、この画素回路 A_{ij} の動作を図12のタイミングチャートを用いて説明する。

【0117】

図12において U_i , G_i , R_i , P_i は画素回路 A_{ij} に対応し、 U_{i+1} , G_{i+1} , R_{i+1} , P_{i+1} は画素回路 A_{i+1j} に対応する。 D_j はデータ配線 D_j に供給する第1bit ~ 第8bit のデータを示している。

【0118】

図12のタイミングチャートでは、ブランキング期間は、制御配線 R_i が High となる、または電位配線 U_i が V_{cc} となる、時刻 $t_1 \sim 11t_1$ の期間である。また、閾値補償期間 (第1期間) は、制御配線 P_i が High となる、時刻 $4t_1 \sim 10t_1$ の期間である。また、時刻 $2t_1 \sim 4t_1$ の期間は画素回路 A_{ij} に第4bit のデータを設定する選択期間である。

【0119】

時刻 t_1 において、電位配線 U_i を電位 V_{cc} として駆動用 T F T : Q_1 のゲート電位を OFF 電位とし、同時に、制御配線 R_i を High (GH) として、スイッチ用 T F T : Q_3 を OFF 状態とする。

【0120】

その後、時刻 $2t_1 \sim 3t_1$ の期間に、ゲート配線 G_i を High (GH) として、スイッチ用 T F T : Q_5 を ON 状態とする。そしてこのとき、データ配線 D_j から与える電位を VL とするか、VH とするかにより、駆動用 T F T : Q_1 を ON 状態にするか、OFF 状態にするかを設定する。

【0121】

即ち、電源配線 V_p の電位を V_p 、駆動用 T F T : Q_1 の閾値電圧の絶対値がばらつきの最大 (絶対値が最大) で $V_{th}(max)$ 、ばらつきの最小 (絶対値が最小) で $V_{th}(min)$ であるとして、

$$V_L < V_p - V_{th}(max)$$

$$V_H > V_p - V_{th}(min)$$

とする。

【0122】

例えば、データ配線 D_j から与える電位を VL とすると、駆動用 T F T : Q_1 のゲート電位は VL となる。このため、駆動用 T F T : Q_1 はその閾値電圧 V_{th} に依らず ON 状態となる。逆に、データ配線 D_j から与える電位を VH とすると、駆動用 T F T : Q_1 のゲート電位は VH となる。このため、駆動用 T F T : Q_1 はその閾値電圧 V_{th} に依らず

10

20

30

40

50

OFF 状態となる。

【0123】

その後、時刻 $4t_1$ において制御配線 P_i を High (GH) として、スイッチ用 TFT : Q2 を ON 状態とする。このことにより、ON 状態の駆動用 TFT : Q1 のゲート電位は $V_p - V_{th}$ に変化する。一方、OFF 状態の駆動用 TFT : Q1 のゲート電位は V_H のままとなる。

【0124】

その後、時刻 $10t_1$ で制御配線 P_i を Low (GL) として、スイッチ用 TFT : Q2 を OFF 状態とする。このことにより、駆動用 TFT : Q1 のゲート電位は $V_p - V_{th}$ の状態 (状態 VL) か V_H の状態 (状態 VH) で保持される。

10

【0125】

そして、時刻 $11t_1$ で制御配線 R_i を Low (GL) として、スイッチ用 TFT : Q3 を ON 状態とし、電位配線 U_i の電位を V_c に変化させる。

【0126】

このとき、

$$V_H - (V_{cc} - V_c) > V_p - V_{th}(\min)$$

としておけば、状態 VH の駆動用 TFT : Q1 は OFF 状態のままとなる。一方、状態 VL の駆動用 TFT : Q1 のゲート電位は

$$V_p - V_{th} - (V_{cc} - V_c)$$

となり、駆動用 TFT : Q1 の閾値電圧 V_{th} に依らず駆動用 TFT : Q1 に一定電流が

20

流れる状態となる。

【0127】

このように、本実施の形態によれば、図12のタイミングチャートから明らかなように、ブランキング期間のうち、データ配線 D_j に所望の電位 V_H / V_L を与える時間 (選択期間) は、閾値補償期間が時刻 $4t_1 \sim 10t_1$ の期間であるのに対し、時刻 $2t_1 \sim 4t_1$ の期間で済む。そして、このブランキング期間を自在に伸ばしても、選択期間は $2t_1$ の期間のままで済ませられる。本実施の形態では、第1期間としての閾値補償期間は、データ配線 D_j から各画素の表示データに対応する電位が駆動用 TFT : Q1 のゲート端子に与えられて、コンデンサ C_1 に、対応する電荷が保持された状態から始まる。時刻 $11t_1$ 以降は第2期間となる。

30

【0128】

このように本実施の形態によれば、ブランキング期間のうち一部の時間だけを選択期間とするので、より多くのゲート配線 G_i を駆動でき、大容量化が可能となる。

【0129】

次に、図13に、駆動用 TFT を n 型の駆動用 TFT : Q6 とする場合の画素回路 A_{ij} の構成を示しておく。

【0130】

図13では、電源配線 V_p と共通電極 V_{com} との間に、第1スイッチ用 TFT : Q8 (第1スイッチ用トランジスタ) と駆動用 TFT : Q6 (駆動用トランジスタ) と有機 EL : EL1 (電気光学素子) がこの順で直列に接続されている。また、駆動用 TFT : Q6 のゲート端子 (電流制御端子) にはコンデンサ C_2 (第1コンデンサ) の一方端子が接続され、駆動用 TFT : Q6 のゲート端子とドレイン端子 (電流出力端子) との間にはスイッチ用 TFT : Q7 (第2スイッチ用トランジスタ) が接続されている。

40

【0131】

コンデンサ C_2 の他方端子は電位配線 U_i (第1配線) に接続され、駆動用 TFT : Q6 (駆動用トランジスタ) のゲート端子 (電流制御端子) とデータ配線 D_j との間にスイッチ用 TFT : Q9 (第4スイッチ用トランジスタ) が接続されている。各スイッチ用 TFT : Q7, Q8, Q9 のゲート端子は順に制御配線 P_i 、制御配線 R_i 、ゲート配線 G_i に接続されている。

【0132】

50

なお、駆動用 T F T : Q 6 およびスイッチ用 T F T : Q 7 , Q 8 , Q 9 は n 型 T F T である。

【 0 1 3 3 】

図 1 4 に、この画素回路 A i j のタイミングチャートを示す。

【 0 1 3 4 】

図 1 4 のタイミングチャートでは、駆動用 T F T : Q 6 が n 型であることから、 $V_{cc} < V_c$ となる。また、信号配線 R i の極性が図 1 2 とは反対となるが、これは、図 1 3 の画素回路構成では制御配線 R i に繋がるスイッチ用 T F T : Q 8 (第 1 スイッチ用トランジスタ) が n 型であるからである。

【 0 1 3 5 】

それ以外、図 1 4 のタイミングチャートは図 1 2 のタイミングチャートと等しいので、ここでは説明は省略する。

【 0 1 3 6 】

このように、本実施の形態は、駆動用 T F T が p 型の場合だけでなく、n 型の場合にも成り立つ。

【 0 1 3 7 】

〔 実施の形態 3 〕

本実施の形態では、本発明の表示装置の第 3 の例について説明する。

【 0 1 3 8 】

本実施の形態に係る表示装置 1 も、図 2 に示す構成は同じであるので、その説明は省略する。

【 0 1 3 9 】

図 1 5 に、本実施の形態に係る画素回路 A i j の構成を示す。

【 0 1 4 0 】

この画素回路 A i j は、図 1 の画素回路 A i j の構成からスイッチ用 T F T : Q 4 (第 3 スイッチ用トランジスタ) を外し、代わりに、駆動用 T F T : Q 1 (駆動用トランジスタ) のドレイン端子 (電流出力端子) とデータ配線 D j との間にコンデンサ C 3 (第 2 コンデンサ) を接続したものとなっている。また、スイッチ用 T F T : Q 4 のゲート電圧を制御するためのゲート配線 G i も外してある。その他は、図 1 の画素回路 A i j と同様なので、ここではそれ以上の説明は省略する。

【 0 1 4 1 】

以下、この画素回路 A i j の動作を図 1 6 のタイミングチャートを用いて説明する。

【 0 1 4 2 】

図 1 6 において U i , R i , C i は画素回路 A i j に対応し、U i + 1 , R i + 1 , C i + 1 は画素回路 A i + 1 j に対応する。D j はデータ配線 D j に供給する第 1 b i t ~ 第 8 b i t のデータを示している。

【 0 1 4 3 】

図 1 6 のタイミングチャートでは、ブランキング期間は、電位配線 U i が電位 V c c となる、時刻 0 ~ 1 0 t 1 の期間である。また、閾値補償期間 (第 1 期間) は、後述の説明から分かるように時刻 8 t 1 ~ 9 t 1 の期間である。また、時刻 8 t 1 ~ 1 0 t 1 の期間は画素回路 A i j に第 3 b i t のデータを設定する選択期間である。

【 0 1 4 4 】

データ配線 D j に供給される b i t データは、O F F 状態に対応するデータである場合には 2 t 1 分の選択期間の前半で V H、後半で V L となり、O N 状態に対応するデータである場合には選択期間の前半で V L、後半で V H となる。

【 0 1 4 5 】

時刻 8 t 1 ~ 1 0 t 1 の選択期間に先立ち、時刻 0 において、電位配線 U i を電位 V c c として駆動用 T F T : Q 1 のゲート電位を O F F 電位とする。そして、時刻 t 1 において、制御配線 C i を H i g h (G H) として、スイッチ用 T F T : Q 2 を O N 状態とする。このとき、制御配線 R i は L o w (G L) のままなので、スイッチ用 T F T : Q 3 は O

10

20

30

40

50

N 状態である。この結果、駆動用 T F T : Q 1 のゲート電位が低下し、駆動用 T F T : Q 1 は O N 状態となる。

【 0 1 4 6 】

その後、時刻 2 t 1 において、制御配線 R i が H i g h (G H) となるので、スイッチ用 T F T : Q 3 が O F F 状態となる。その後、データ配線 D j が電位 V L となる毎に、駆動用 T F T : Q 1 のゲート電位が、コンデンサ C 3 を通して変化する。その結果、駆動用 T F T : Q 1 の閾値電圧を V t h とすると、駆動用 T F T : Q 1 のゲート電位は $V_p - V_{th}$ となる。

【 0 1 4 7 】

そこで、時刻 9 t 1 において制御信号 C i を L o w (G L) としてスイッチ用 T F T : Q 2 を O F F 状態とする。このとき、この直前に、データ配線 D j の電位が V L (第 3 b i t のデータが O N となるデータ) であれば、駆動用 T F T : Q 2 のゲート電位は $V_p - V_{th}$ となる。データ配線 D j の電位が V H (第 3 b i t のデータが O F F となるデータ) であれば、駆動用 T F T : Q 2 のゲート電位は $V_p - V_{th} + (V_H - V_L)$ となる。

【 0 1 4 8 】

その後、時刻 10 t 1 において、電位配線 U i の電位を V c c から V c へ変化させ、駆動用 T F T : Q 1 のゲート電位を設定する。このため、時刻 9 t 1 においてデータ配線 D j の電位が V L のとき、駆動用 T F T : Q 1 のゲート電位は時刻 10 t 1 において $V_p - V_{th} - V_{cc} + V_c$ となり、駆動用 T F T : Q 1 は O N 状態となる。一方、時刻 9 t 1 においてデータ配線 D j の電位が V H のとき、駆動用 T F T : Q 1 のゲート電位は時刻 10 t 1 において $V_p - V_{th} + (V_H - V_L) - V_{cc} + V_c$ となる。そこで、 $V_H - V_L > V_{cc} - V_c$ とすれば、駆動用 T F T : Q 1 は O F F 状態となる。

【 0 1 4 9 】

このことにより、時刻 10 t 1 において電位配線 U i の電位を V c c から V c へ変化させることで、時刻間 9 t 1 においてデータ配線 D j の電位が V L の場合の駆動用 T F T : Q 1 は、時刻 10 t 1 において O N 状態となる。また、時刻 9 t 1 においてデータ配線 D j の電位が V H の場合の駆動用 T F T : Q 1 は、時刻 10 t 1 において O F F 状態となる。

【 0 1 5 0 】

そして、時刻 9 t 1 において、データ配線 D j の電位が V L の場合、駆動用 T F T : Q 1 の出力電流は駆動用 T F T : Q 1 の閾値電圧のばらつきに依らず一定となる。

【 0 1 5 1 】

このように、本実施の形態によれば、図 15 の画素回路 A i j を用いることにより、ブランキング期間である時刻 0 ~ 10 t 1 の期間のうち、データ配線 D j に所望の電位 V H / V L を与える時間 (選択期間) は時刻 8 t 1 ~ 10 t 1 の 2 t 1 分で済む。そして、このブランキング期間を自在に伸ばしても、選択期間は 2 t 1 の期間のままで済ませられる。本実施の形態では、第 1 期間としての閾値補償期間は、データ配線 D j から各画素の表示データに対応する電位が駆動用 T F T Q 1 のゲート端子に与えられて、コンデンサ C 1 に、対応する電荷が保持される動作と同時 (時刻 8 t 1 ~ 9 t 1) に行われる。時刻 10 t 1 以降は第 2 期間となる。

【 0 1 5 2 】

このように本実施の形態によれば、ブランキング期間のうち一部の期間だけを選択期間とするので、より多くのゲート配線 G i を駆動でき、大容量化が可能となる。

【 0 1 5 3 】

次に、図 17 に駆動用 T F T : Q 1 のドレイン端子 (電流出力端子) とデータ配線 D j (第 2 の配線) の間にコンデンサ C 4 (第 2 コンデンサ) とスイッチ用 T F T : Q 10 (第 8 スイッチ用トランジスタ) とを接続した回路構成を示す。

【 0 1 5 4 】

データ配線 D j (第 2 の配線) に設けたコンデンサ C 4 (第 2 コンデンサ) の容量が大きいときはデータ配線 D j の配線容量が増えて、波形が歪みやすくなり、選択期間内に波

10

20

30

40

50

形が立ち上がらなくなる可能性がある。従って、それを防ぐために、コンデンサC4（第2コンデンサ）と直列にスイッチ用TFT：Q10（第8スイッチ用トランジスタ）を接続し、制御配線RiがLowとなっている間にコンデンサC4と駆動用TFT：Q1との接続を絶つのが有効である。スイッチ用TFT：Q10がOFFになると、コンデンサC4と駆動用TFT：Q1との間の接続が絶たれるので、コンデンサC4の端子の1つがオープンになって、コンデンサC4の容量はデータ配線Djの配線容量として働かなくなる。

【0155】

この図17に対応するタイミングチャートは図16と同じであるので、ここではその説明を省略する。

10

【0156】

〔実施の形態4〕

本実施の形態では、本発明の表示装置の第4の例について説明する。

【0157】

本実施の形態に係る表示装置1も、図2に示す構成は同じであるので、その説明は省略する。

【0158】

図18に、本実施の形態に係る画素回路Aijの構成を示す。

【0159】

この画素回路Aijは、データ配線Djとゲート配線Giとが交差する付近に駆動用TFT：Q1（駆動用トランジスタ）と有機EL：EL1（電気光学素子）とが配置されたものである。そして、電源配線Vpと共通配線Vcomとの間に、スイッチ用TFT：Q12（第6スイッチ用トランジスタ）と、駆動用TFT：Q1と、スイッチ用TFT：Q3（第1スイッチ用トランジスタ）と有機EL：EL1とがこの順で直列に接続されている。

20

【0160】

駆動用TFT：Q1のゲート端子（電流制御端子）と電源配線Vpとの間にはコンデンサC5（第1コンデンサ）が接続されている。また、駆動用TFT：Q1のゲート端子とドレイン端子（電流出力端子）との間にはスイッチ用TFT：Q2（第2スイッチ用トランジスタ）が接続されている。また、駆動用TFT：Q1のソース端子（基準電位端子）とデータ配線Djとの間にスイッチ用TFT：Q11（第5スイッチ用トランジスタ）が接続されている。

30

【0161】

各スイッチ用TFT：Q2，Q3のゲート端子は順に制御配線Pi，Riに接続され、スイッチ用TFT：Q11，Q12のゲート端子はゲート配線Giに接続されている。

【0162】

なお、駆動用TFT：Q1およびスイッチ用TFT：Q3，Q12はp型TFTであり、スイッチ用TFT：Q2，Q11はn型TFTである。

【0163】

以下、この画素回路Aijの動作を図19のタイミングチャートを用いて説明する。

40

【0164】

図19においてGi，Ri，Piは画素回路Aijに対応し、Gi+1，Ri+1，Pi+1は画素回路Ai+1jに対応する。Djはデータ配線Djに供給する第1bit～第8bitのデータを示している。

【0165】

図19のタイミングチャートでは、ブランキング期間は、制御配線RiがHighとなる、時刻3t1～6t1の期間である。あるいは、ゲート配線GiがHighとなる、時刻2t1～6t1の期間をブランキング期間とすることもできる。また、閾値補償期間（第1期間）は、後述の説明から分かるように、時刻4t1～5t1の期間である。また、時刻4t1～6t1の期間は画素回路Aijに第7bitのデータを設定する選択期間で

50

ある。

【0166】

時刻 $2t_1$ において、ゲート配線 G_i を High (GH) としてスイッチ用 T F T : Q_{12} を OFF 状態として、スイッチ用 T F T : Q_{11} を ON 状態とする。また、同時に制御配線 P_i を High (GH) として、スイッチ用 T F T : Q_2 を ON 状態とする。制御配線 R_i は時刻 $3t_1$ まで Low (GL) のままなので、駆動用 T F T : Q_1 のゲート電位は低下し、駆動用 T F T : Q_1 は ON 状態となる。そして、データ配線 D_j からスイッチ用 T F T : Q_{11} 、駆動用 T F T : Q_1 、スイッチ用 T F T : Q_3 を通して有機 EL : EL1 へ電流が流れる。

【0167】

その後、時刻 $3t_1$ において、制御配線 R_i が High (GH) となるので、スイッチ用 T F T : Q_3 が OFF 状態となる。そして、第 7 bit のデータがデータ配線 D_j に与えられ始める時刻 $4t_1$ から、時刻 $5t_1$ において制御配線 P_i が Low (GL) となってスイッチ用 T F T : Q_2 が OFF となるまで、駆動用 T F T : Q_1 の閾値補償期間が続く。この閾値補償期間の最後にデータ配線 D_j に与えられる電位を V_{da} とすると、駆動用 T F T : Q_1 のゲート電位は $V_{da} - V_{th}$ となる。そして、この駆動用 T F T : Q_1 のゲート電位が、時刻 $5t_1$ において制御配線 P_i が Low (GL) となることで、保持される。

【0168】

その後、時刻 $6t_1$ において、ゲート配線 G_i を Low (GL) としてスイッチ用 T F T : Q_{11} を OFF 状態として、スイッチ用 T F T : Q_{12} を ON 状態とする。この結果、駆動用 T F T : Q_1 のソース端子電位は電位 V_{da} から電位 V_p に変化する。一方、駆動用 T F T : Q_1 のゲート電位は $V_{da} - V_{th}$ から変化しない。

【0169】

その結果、選択期間である時刻 $4t_1 \sim 6t_1$ の期間においてデータ配線 D_j に供給する電位 V_{da} と電源配線 V_p の電位 V_p との間に

$$V_p > V_{da}$$

の関係があれば、駆動用 T F T : Q_1 のゲート・ソース間電圧 V_{ds} の絶対値が $V_p - V_{da}$ だけ大きくなるので、駆動用 T F T : Q_1 は ON 状態となる。

【0170】

逆に、

$$V_p < V_{da}$$

であれば、駆動用 T F T : Q_1 のゲート・ソース間電圧 V_{ds} の絶対値が $V_{da} - V_p$ だけ小さくなるので、駆動用 T F T : Q_1 は OFF 状態となる。

【0171】

その結果、上記 ON 状態となった駆動用 T F T : Q_1 を流れる電流は、その閾値電圧 V_{th} に依らず一定となる。本実施の形態では、第 1 期間としての閾値補償期間は、データ配線 D_j から各画素の表示データに対応する電位が駆動用 T F T : Q_1 のゲート端子に与えられて、コンデンサ C_1 に、対応する電荷が保持される動作と同時 (時刻 $4t_1 \sim 5t_1$) に行われる。時刻 $6t_1$ 以降は第 2 期間となる。

【0172】

以上のように、本実施の形態によれば、また、上記ブランキング期間のうち一部の時間だけ選択期間とするので、より多くのゲート配線 G_i を駆動でき、大容量化が可能となる。

【0173】

〔実施の形態 5〕

本実施の形態では、本発明の表示装置の第 5 の例について説明する。

【0174】

本実施の形態に係る表示装置 1 も、図 2 に示す構成は同じであるので、その説明は省略する。

10

20

30

40

50

【0175】

図20に、本実施の形態に係る画素回路A_{ij}の構成を示す。

【0176】

この画素回路A_{ij}でも、データ配線D_jとゲート配線G_iとが交差する付近に駆動用TFT：Q₁（駆動用トランジスタ）と有機EL：EL₁（電気光学素子）とが配置されている。

【0177】

そして、電源配線V_pと共通配線V_{com}との間に駆動用TFT：Q₁と、スイッチ用TFT：Q₃（第1スイッチ用トランジスタ）と、有機EL：EL₁とがこの順で直列に接続されている。

10

【0178】

駆動用TFT：Q₁のゲート端子（電流制御端子）にはコンデンサC₈（第1コンデンサ）の一方端子が接続され、そのコンデンサC₈の他方端子と電位配線V_s（第2配線）との間にはスイッチ用TFT：Q₁₅（第8スイッチ用トランジスタ）が接続されている。また、コンデンサC₈の他方端子とデータ配線D_jとの間にスイッチ用TFT：Q₁₄（第7スイッチ用トランジスタ）が接続されている。

【0179】

駆動用TFT：Q₁のゲート端子とドレイン端子（電流出力端子）の間にはスイッチ用TFT：Q₂（第2スイッチ用トランジスタ）が接続されている。

【0180】

各スイッチ用TFT：Q₂，Q₃ゲート端子は、順に制御配線P_i，R_iに接続され、スイッチ用TFT：Q₁₄，Q₁₅のゲート端子はゲート配線G_iに接続されている。

20

【0181】

この、駆動用TFT：Q₁，スイッチ用TFT：Q₃，Q₁₅はp型TFTであり、スイッチ用TFT：Q₂，Q₁₄はn型TFTである。

【0182】

以下、この画素回路A_{ij}の動作を図21のタイミングチャートを用いて説明する。

【0183】

図26においてG_i，R_i，P_iは画素回路A_{ij}に対応し、G_{i+1}，R_{i+1}，P_{i+1}は画素回路A_{i+1j}に対応する。D_jはデータ配線D_jに供給する第1bit～第8bitのデータを示している。

30

【0184】

図21のタイミングチャートでは、ブランキング期間は、制御配線R_iがHighとなる、時刻3t₁～6t₁の期間である。あるいは、ゲート配線G_iがHighとなる、時刻2t₁～6t₁の期間をブランキング期間とすることもできる。また、閾値補償期間（第1期間）は、後述の説明から分かるように、時刻4t₁～5t₁の期間である。また、時刻4t₁～6t₁の期間は画素回路A_{ij}に第7bitのデータを設定する選択期間である。

【0185】

時刻2t₁において、ゲート配線G_iをHigh（GH）としてスイッチ用TFT：Q₁₅をOFF状態として、スイッチ用TFT：Q₁₄をON状態とする。また、同時に制御配線P_iをHigh（GH）として、スイッチ用TFT：Q₂をON状態とする。制御配線R_iは時刻3t₁までLow（GL）のままなので、駆動用TFT：Q₁のゲート電位は低下し、駆動用TFT：Q₁はON状態となる。そして、電源配線V_pから駆動用TFT：Q₁、スイッチ用TFT：Q₃を通して有機EL：EL₁へ電流が流れる。

40

【0186】

その後、時刻3t₁において、制御配線R_iがHigh（GH）となるので、スイッチ用TFT：Q₃がOFF状態となる。そして、第7bitのデータがデータ配線D_jに与えられ始める時刻4t₁から、時間5t₁において制御配線P_iがLow（GL）となってスイッチ用TFT：Q₂がOFFとなるまで、駆動用TFT：Q₁の閾値補償期間が続

50

く。

【0187】

この閾値補償期間の最後にデータ配線 D_j に与えられる電位を V_{da} とすると、駆動用 $TFT: Q_1$ のゲート電位は $V_p - V_{th}$ となる。そして、コンデンサ C_8 の両端に溜まる電荷は $V_{da} - (V_p - V_{th})$ となる。

【0188】

そして、この駆動用 $TFT: Q_1$ のゲート電位が、時刻 $5t_1$ において制御配線 P_i が $Low (GL)$ となることで、保持される。

【0189】

その後、時刻 $6t_1$ において、ゲート配線 G_i を $Low (GL)$ としてスイッチ用 $TFT: Q_{14}$ を OFF 状態として、スイッチ用 $TFT: Q_{15}$ を ON 状態とする。 10

【0190】

この結果、コンデンサ C_8 の他方端子電位は電位 V_{da} から V_s に変化する。

【0191】

その結果、選択期間である時刻 $4t_1 \sim 6t_1$ の期間においてデータ配線 D_j に供給する電圧 V_{da} と電位配線 V_s の電位 V_s との間に、

$$V_s < V_{da}$$

の関係があれば、駆動用 $TFT: Q_1$ のゲート・ソース間電圧 V_{ds} の絶対値が大きくなるので、駆動用 $TFT: Q_1$ は ON 状態となる。

【0192】

20

逆に、

$$V_s > V_{da}$$

であれば、駆動用 $TFT: Q_1$ のゲート・ソース間電圧 V_{ds} の絶対値が小さくなるので、駆動用 $TFT: Q_1$ は OFF 状態となる。

【0193】

その結果、上記 ON 状態となった駆動用 $TFT: Q_1$ を流れる電流は、その閾値電圧 V_{th} に依らず一定となる。本実施の形態では、第1期間としての閾値補償期間は、データ配線 D_j から各画素の表示データに対応する電位が駆動用 $TFT: Q_1$ のゲート端子に与えられて、コンデンサ C_1 に、対応する電荷が保持される動作と同時（時刻 $4t_1 \sim 5t_1$ ）に行われる。時刻 $6t_1$ 以降は第2期間となる。 30

【0194】

また、上記ブランキング期間のうち一部の時間だけ選択期間とするので、より多くのゲート配線 G_i を駆動でき、大容量化が可能となる。

【0195】

〔実施の形態6〕

本実施の形態では、本発明の表示装置の第6の例について説明する。

【0196】

本実施の形態に係る表示装置1も、図2に示す構成は同じであるので、その説明は省略する。

【0197】

40

図22に、本実施の形態に係る画素回路 A_{ij} の構成を示す。

【0198】

この画素回路 A_{ij} でも、データ配線 D_j とゲート配線 G_i とが交差する付近に駆動用 $TFT: Q_1$ （駆動用トランジスタ）と有機 $EL: EL_1$ （電気光学素子）とが配置されている。そして、電源配線 V_p と共通配線 V_{com} との間に駆動用 $TFT: Q_1$ と、スイッチ用 $TFT: Q_3$ （第1スイッチ用トランジスタ）と、有機 $EL: EL_1$ とがこの順で直列に接続されている。

【0199】

駆動用 $TFT: Q_1$ のゲート端子（電流制御端子）にはコンデンサ C_6 （第1コンデンサ）の一方端子が接続され、そのコンデンサ C_6 の他方端子と電源配線 V_p との間にはコ 50

ンデンサC7（第3コンデンサ）が接続されている。また、コンデンサC6の他方端子とデータ配線Djとの間にスイッチ用TF T：Q13（第7スイッチ用トランジスタ）が接続されている。駆動用TF T：Q1のゲート端子とドレイン端子（電流出力端子）の間にはスイッチ用TF T：Q2（第2スイッチ用トランジスタ）が接続されている。

【0200】

各スイッチ用TF T：Q2，Q3，Q13のゲート端子は、順に制御配線Pi、制御配線Ri、ゲート配線Giに接続されている。

【0201】

また、駆動用TF T：Q1およびスイッチ用TF T：Q3はp型TF Tであり、スイッチ用TF T：Q2，Q13はn型TF Tである。

10

【0202】

なお、この画素回路構成で用いる時間分割階調表示は、図23に示す時間配列とする。即ち、第1bit～第8bitの各重みは1：2：4：7：14：17：18：0とする。この64階調表示を、各画素で表示する順番をbit重みが18：17：1：2：7：4：14：0となるよう並べ替える。そして、最後の重み0の第8bitのデータは全期間をブランキング期間とし、長さを9bit期間とする。第1bit～第7bitにはブランキング期間は存在しない。

【0203】

以下、この画素回路Aijの動作を図24のタイミングチャートを用いて説明する。

【0204】

20

図24においてGi，Ri，Piは画素回路Aijに対応し、Gi+1，Ri+1，Pi+1は画素回路Ai+1jに対応する。Djはデータ配線Djに供給する第1bit～第8bitのデータを示している。

【0205】

時刻14t1～16t1の期間は画素回路Aijに第8bitのデータを設定する選択期間である。時刻14t1～15t1にかけて、ゲート配線GiをHigh（GH）としてスイッチ用TF T：Q13をON状態として、データ配線Djより電位Vxを入力する。その後、時刻15t1において制御配線PiをHigh（GH）としてスイッチ用TF T：Q2をON状態とし、この電位Vxに対応する電荷をコンデンサC6，C7に保持させる。制御配線Riは時刻16t1までLow（GL）のままなので、駆動用TF T：Q1のドレイン電位は低下する。駆動用TF T：Q1のドレイン端子とゲート端子とはスイッチ用TF T：Q2で短絡されているので、駆動用TF T：Q1のゲート電位も低下し、駆動用TF T：Q1はON状態となる。そして、電源配線Vpから駆動用TF T：Q1およびスイッチ用TF T：Q3を通して有機EL：EL1へ電流が流れる。

30

【0206】

その後、時刻16t1において、制御配線RiをHigh（GH）とし、スイッチ用TF T：Q3をOFF状態とする。そして、時刻31t1で制御配線PiをLowとする迄、この状態を保持する。

【0207】

この結果、電源配線Vpの電位をVp、駆動用TF T：Q1の閾値電圧をVthとすると、駆動用TF T：Q1のゲート電位はVp - Vthとなる。

40

【0208】

そして、時刻31t1において、制御配線PiをLow（GL）として、この駆動用TF T：Q1のゲート電位Vp - Vthを保持する。

【0209】

本実施の形態では、上記コンデンサC6の両端の電位差を設定するために、この全期間がブランキング期間である第8bitデータが必要である。

【0210】

即ち、第8bitデータとしてVHを用い、コンデンサC7の両端の電位をVp - VHに設定する（図24では時刻14t1～15t1の間がこの設定期間になる）。そして

50

、図 2 4 に示すように、その後、時刻 $15t_1 \sim 31t_1$ の間（この長さはブランキング期間以内なら適当でも良い）、制御配線 P_i をハイとして、スイッチ用 T F T : Q_2 をオンさせることで、駆動用 T F T : Q_1 の閾値補償を行う。その結果、コンデンサ C_6 の両端の電位差は $V_H - (V_p - V_{th})$ となる。

【0211】

このように、他の $b_i t$ のデータ書き込みにブランキング期間がないため、この第 8 $b_i t$ データ表示期間（時刻 $14t_1 \sim 32t_1$ の期間）をブランキング期間として用い、駆動用 T F T : Q_1 の閾値補償を行うのがこの実施の形態である。

【0212】

次に、時刻 $32t_1$ において、制御配線 R_i を Low (GL) としてスイッチ用 T F T : Q_3 を ON 状態とする。また、時刻 $32t_1 \sim 33t_1$ にかけて、ゲート配線 G_i を High (GH) として、スイッチ用 T F T : Q_{13} を ON として、データ配線 D_j よりコンデンサ C_6 , C_7 へ第 7 $b_i t$ に対応した電位 V_{da} を与える。

【0213】

この電位 V_{da} と先に与えた電位 V_x との間に、

$$V_x > V_{da}$$

の関係があれば、駆動用 T F T : Q_1 のゲート・ソース間電圧 V_{gs} の絶対値が大きくなり、駆動用 T F T : Q_1 は ON 状態となる。

【0214】

逆に、

$$V_x < V_{da}$$

であれば、駆動用 T F T : Q_1 のゲート・ソース間電圧 V_{gs} の絶対値が小さくなるので、駆動用 T F T : Q_1 は OFF 状態となる。

【0215】

第 1 $b_i t \sim$ 第 7 $b_i t$ の表示について詳述すれば以下の通りである。

【0216】

図 2 4 にあるように、ゲート配線 G_i が High のとき、スイッチ用 T F T : Q_{13} が ON になって、コンデンサ C_7 の電位を V_H か V_L に置き換える。

【0217】

このとき、コンデンサ C_6 の電荷は変化しないので、 V_H (オフ) のとき駆動用 T F T : Q_1 のゲート電位は $V_p - V_{th}$ ($V_{th} > 0$) となる。即ち、このときのコンデンサ C_6 の両端の電位は $V_H - (V_p - V_{th})$ となる。 V_L (オン) のとき駆動用 T F T : Q_1 のゲート電位は $V_p - V_{th} - V_H + V_L$ ($V_{th} > 0$) となる。

【0218】

$V_H > V_L$ であるから、駆動用 T F T : Q_1 のゲート電位は $V_p - V_{th}$ より低い電圧（即ちオン電圧）になる。

【0219】

このようにゲート配線 G_i が High の時のデータ配線 D_j の電位により、駆動用 T F T : Q_1 のゲート電位が設定される。

【0220】

本実施の形態では、第 1 期間としての閾値補償期間は、データ配線 D_j から各画素の表示データに対応する電位が第 8 $b_i t$ のデータの電位で代用されて駆動用 T F T Q_1 のゲート端子に与えられて、コンデンサ C_1 に、対応する電荷が保持された状態から始まる。第 2 期間は、第 1 $b_i t \sim$ 第 7 $b_i t$ のそれぞれについてゲート配線 G_i が High になる時刻以降の期間（図 2 4 の第 7 $b_i t$ では時刻 $32t_1$ 以降の期間）となる。

【0221】

このように本実施の形態によれば、閾値補償期間のうち一部の時間だけ選択期間とするので、より多くのゲート配線 G_i を駆動でき、大容量化が可能となる。このように、本発明の効果は明らかである。

【0222】

10

20

30

40

50

以上、各実施の形態について述べた。

【0223】

以上のように本発明の表示装置およびその駆動方法によれば、各画素は、駆動用トランジスタ(Q1)の閾値電圧補償期間において、データ配線(データ配線Dj)を占有する必要がない。このため、1画素当たりの選択期間を短くでき、表示できる画素数を増やすことができる。

【0224】

特に、1フレームに複数回、駆動用トランジスタ(Q1)の出力状態を切り替えて時間分割階調表示を行う場合、駆動用トランジスタ(Q1)の出力状態を設定するためにデータ配線(データ配線Dj)を占有できる時間(選択期間)を短くする必要がある。

10

【0225】

例えば、8bit階調の場合、QVGAを表示するためには、1回当たりのデータ配線(データ配線Dj)の占有時間は

$$1 / (60 \times 320 \times 8) \quad 6.5 \mu s$$

以下に収める必要がある。ここで、「60」は1秒当たりのフレーム数、「320」は図9の320ライン、「8」は図4の1単位時間の占有時間数である。

【0226】

しかし、従来例で示した画素回路構成及びその駆動方法では、1回当たりのデータ配線(データ配線Dj)を占有時間が数十 μs 必要であり、QVGA表示はできないことになる。

20

【0227】

一方、本発明を用いれば、1回当たりのデータ配線(データ配線Dj)を数 μs 以下に収められるので、QVGA表示も可能となる。

【0228】

このように、本発明を用いれば、表示パネルの大容量化が可能となるので、その効果は明らかである。

【産業上の利用可能性】

【0229】

本発明は、電流駆動型の電気光学素子を用いる表示装置に広く適用することができる。

【図面の簡単な説明】

30

【0230】

【図1】本発明の実施の形態1に係る表示装置における画素回路構成を示す回路図である。

【図2】本発明の表示装置の構成を示す回路ブロック図である。

【図3】本発明の実施の形態1～5に係る表示装置の第1の時間配列を示す図である。

【図4】図3の時間配列における1フレーム期間のデータ信号を示す前半部分のタイミング図である。

【図5】図3の時間配列における1フレーム期間のデータ信号を示す後半部分のタイミング図である。

【図6】図4の画素回路の動作タイミングを示す第1の波形図である。

40

【図7】図4の画素回路において、駆動用TFTのゲート電位Vg、ドレイン電位Vdおよびソース・ドレイン間電流Idsの変化をシミュレーションした結果を示す第1のグラフである。

【図8】図4の画素回路において、駆動用TFTのゲート電位Vg、ドレイン電位Vdおよびソース・ドレイン間電流Idsの変化をシミュレーションした結果を示す第2のグラフである。

【図9】本発明の実施の形態1～5に係る表示装置の第2の時間配列を示す図である。

【図10】図4の画素回路の動作タイミングを示す第2の波形図である。

【図11】本発明の実施の形態2に係る表示装置における画素回路構成を示す回路図である。

50

【図 1 2】図 1 1 の画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 1 3】本発明の実施の形態 2 に係る表示装置における変形例の画素回路構成を示す回路図である。

【図 1 4】図 1 3 の画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 1 5】本発明の実施の形態 3 に係る表示装置における画素回路構成を示す回路図である。

【図 1 6】図 1 5 の画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 1 7】本発明の実施の形態 3 に係る表示装置における変形例の画素回路構成を示す回路図である。

【図 1 8】本発明の実施の形態 4 に係る表示装置における画素回路構成を示す回路図である。 10

【図 1 9】図 1 8 の画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 2 0】本発明の実施の形態 5 に係る表示装置における画素回路構成を示す回路図である。

【図 2 1】図 2 0 の画素回路及び駆動回路の動作タイミングを示す波形図である。

【図 2 2】本発明の実施の形態 6 に係る表示装置における画素回路構成を示す回路図である。

【図 2 3】本発明の実施の形態 6 に係る表示装置の時間配列を示す図である。

【図 2 4】図 2 2 の画素回路構成の動作タイミングを示す波形図である。

【図 2 5】従来の表示装置における画素回路の第 1 の構成例を示す回路図である。 20

【図 2 6】従来の表示装置における画素回路の第 2 の構成例を示す回路図である。

【符号の説明】

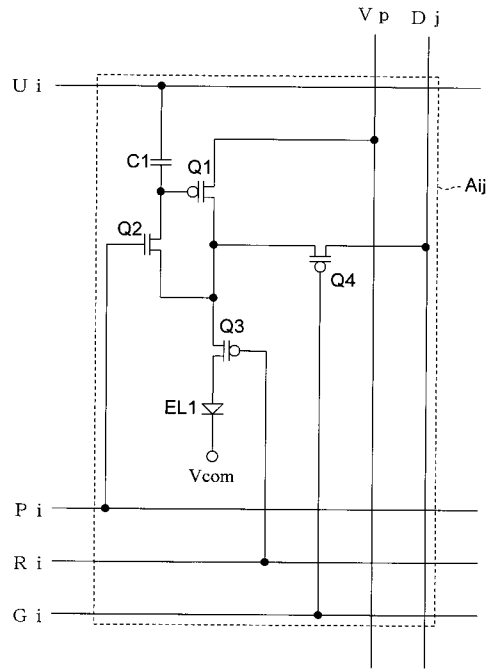
【 0 2 3 1 】

Q 1	駆動用 T F T (駆動用トランジスタ)
Q 2	スイッチ用 T F T (第 2 スイッチ用トランジスタ)
Q 3	スイッチ用 T F T (第 1 スイッチ用トランジスタ)
Q 4	スイッチ用 T F T (第 3 スイッチ用トランジスタ)
Q 5	スイッチ用 T F T (第 5 スイッチ用トランジスタ)
Q 6	駆動用 T F T (駆動用トランジスタ)
Q 7	スイッチ用 T F T (第 2 スイッチ用トランジスタ)
Q 8	スイッチ用 T F T (第 1 スイッチ用トランジスタ)
Q 9	スイッチ用 T F T (第 4 スイッチ用トランジスタ)
Q 1 1	スイッチ用 T F T (第 5 スイッチ用トランジスタ)
Q 1 2	スイッチ用 T F T (第 6 スイッチ用トランジスタ)
Q 1 3	スイッチ用 T F T (第 7 スイッチ用トランジスタ)
Q 1 4	スイッチ用 T F T (第 7 スイッチ用トランジスタ)
Q 1 5	スイッチ用 T F T (第 8 スイッチ用トランジスタ)
C 1	コンデンサ (第 1 コンデンサ)
C 3	コンデンサ (第 2 コンデンサ)
C 4	コンデンサ (第 2 コンデンサ)
C 5	コンデンサ (第 1 コンデンサ)
C 6	コンデンサ (第 1 コンデンサ)
C 7	コンデンサ (第 3 コンデンサ)
E L 1	有機 E L (電気光学素子)
D j	データ配線
U i	電位配線 (第 1 配線)
V p	電源配線
V s	電位配線 (第 2 配線)

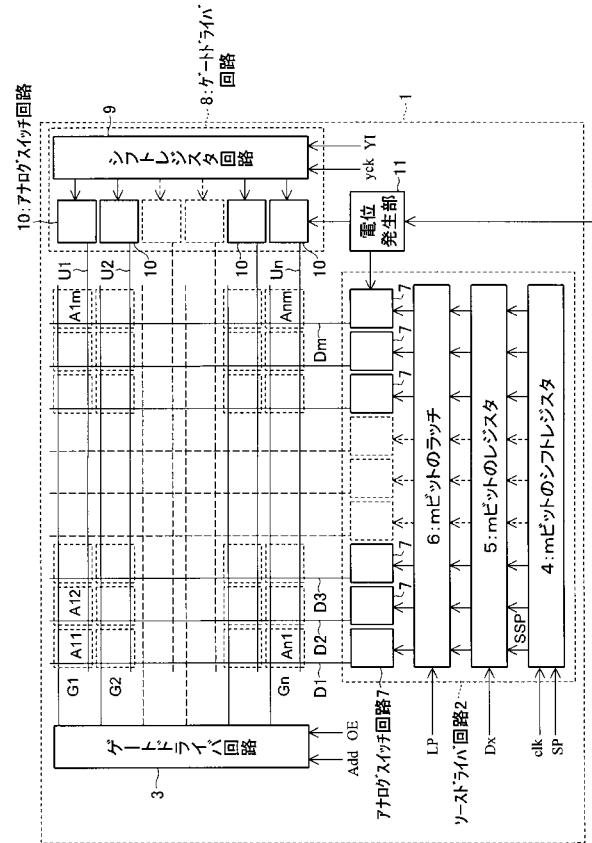
30

40

【図 1】



【図 2】

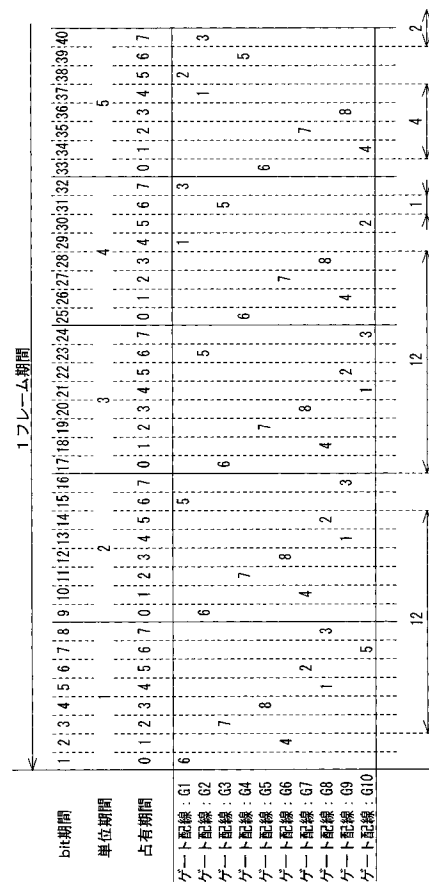


【図 3】

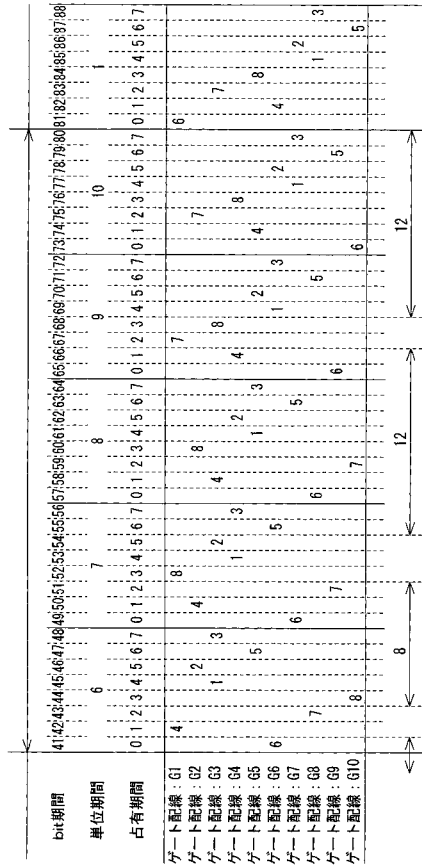
占有期間の番号																
bit 番号	bit の重み	bit の長さ	0	1	2	3	4	5	6	7						
6	12	14	●													
5	12	14														
4	1	3														
3	4	6														
2	2	4														
1	8	10														
8	12	15														
7	12	14														
合計			●													

ライン数	データ数	合計	表示期間	B 長
10	8	80	63	17

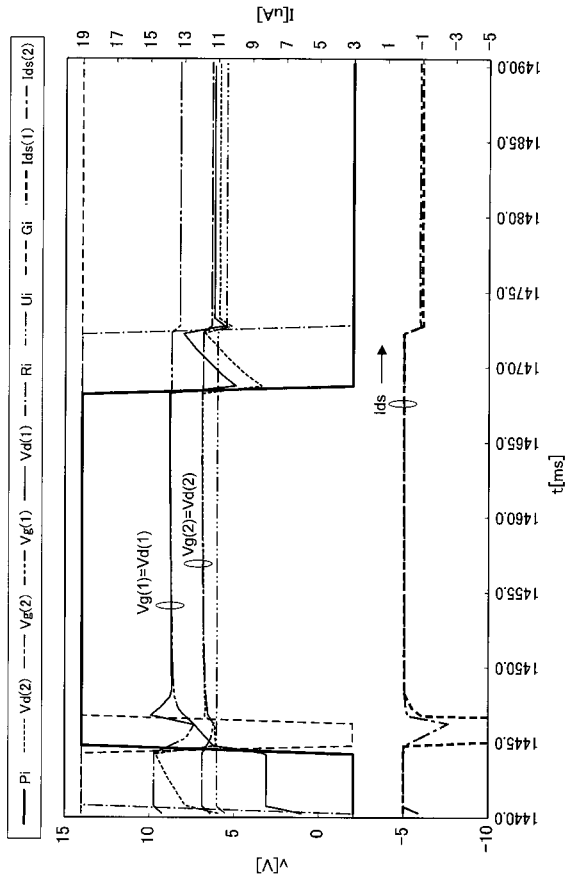
【図 4】



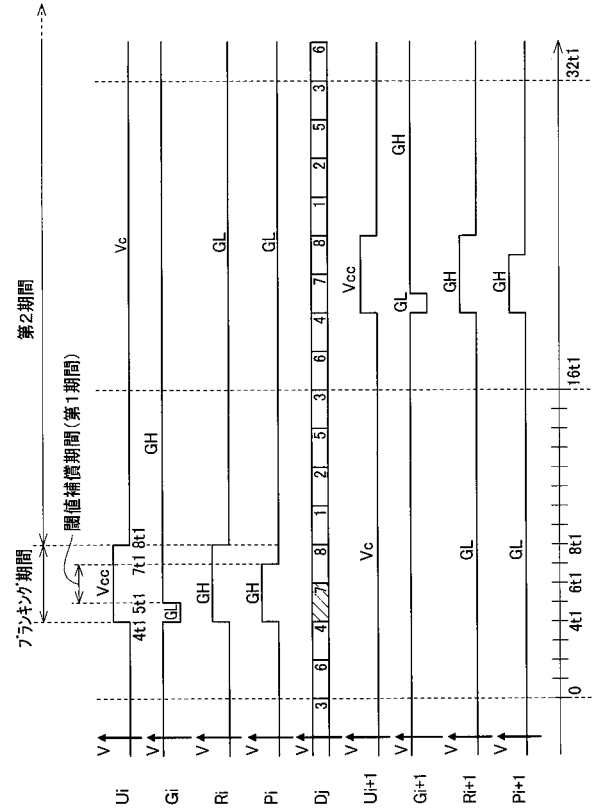
【図 5】



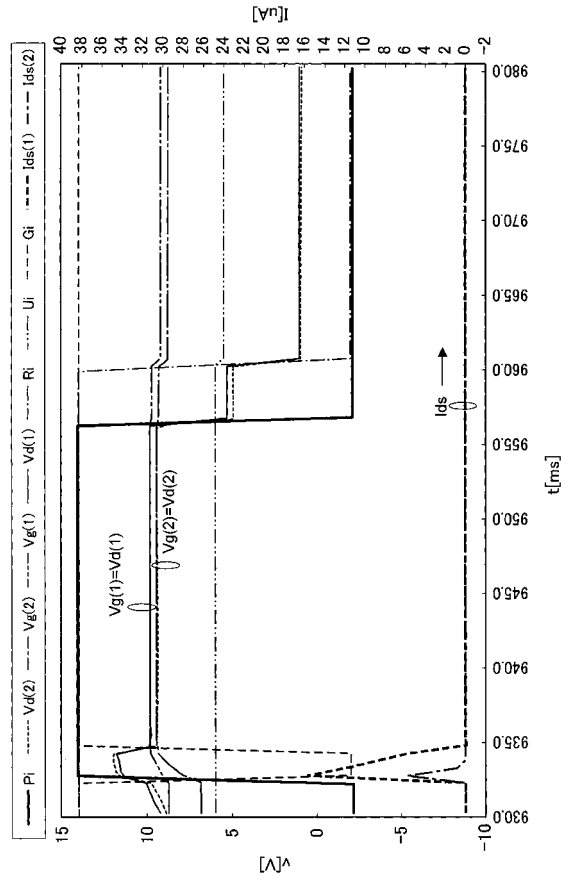
【図 7】



【図 6】



【図 8】

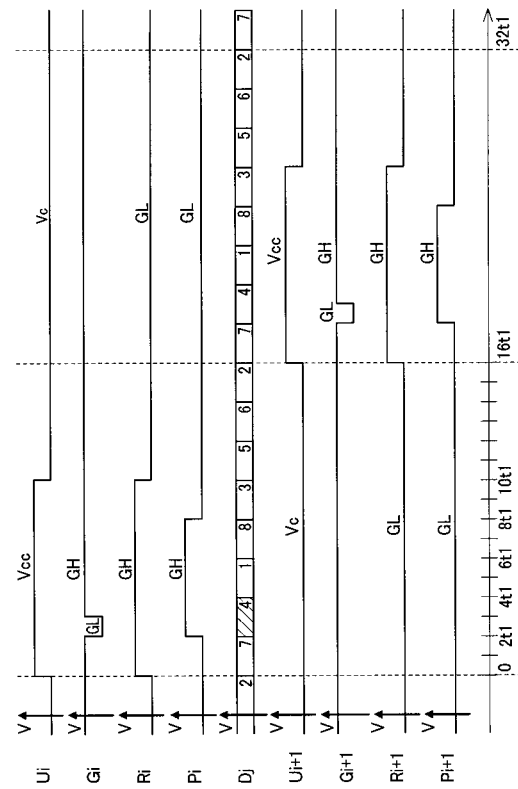


【図 9】

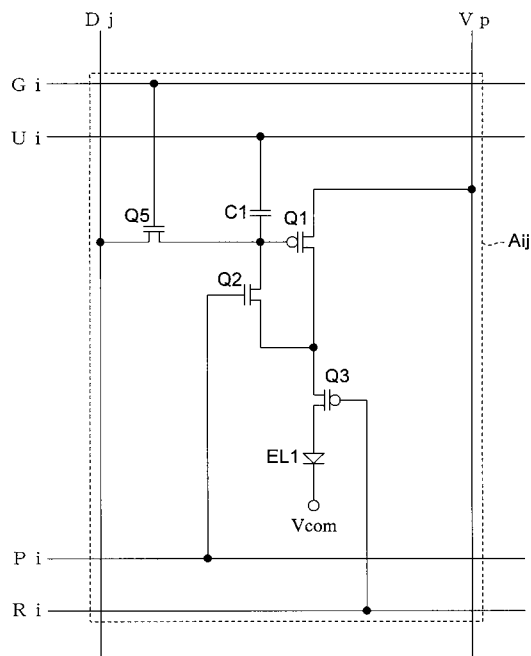
			占有期間の番号							
bit 番号	bit の 重み	bit の 長さ	0	1	2	3	4	5	6	7
7	480	485	●							
5	480	485						●		
1	40	45			●					
2	80	85								●
3	160	165					●			
4	320	325		●						
6	480	485							●	
8	480	485				●				
	合計		●							
			7	4	1	8	3	5	6	2

ライン数	データ数	合計	表示期間	日長
320	8	2560	2520	40

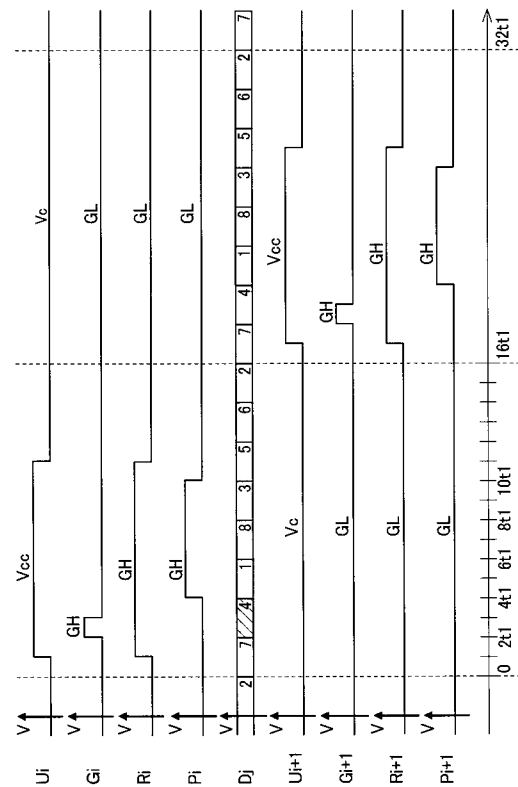
【図 10】



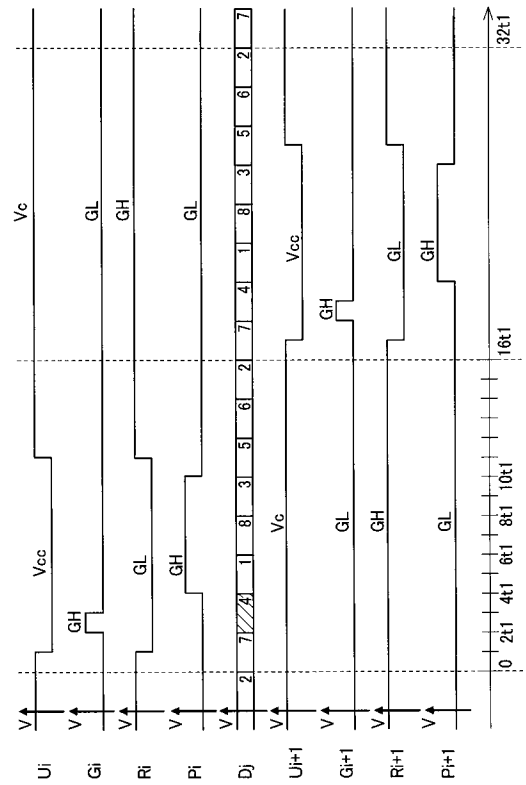
【図 11】



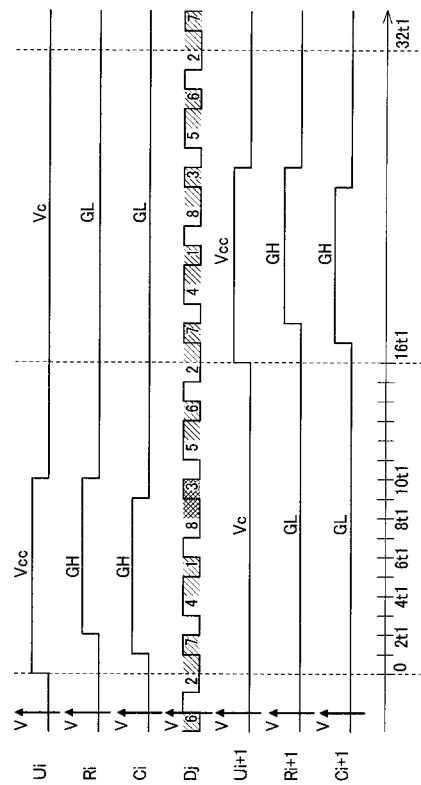
【図 12】



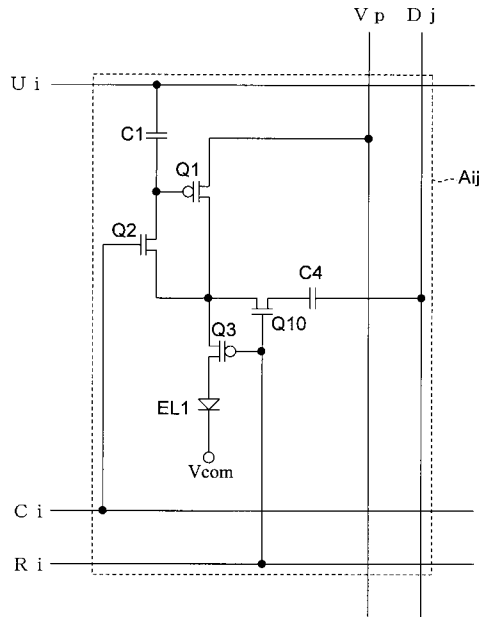
【 図 1 4 】



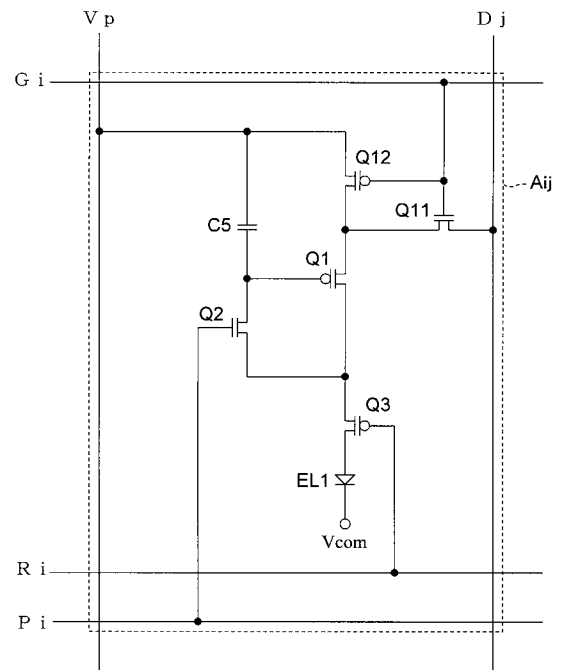
【 図 1 6 】



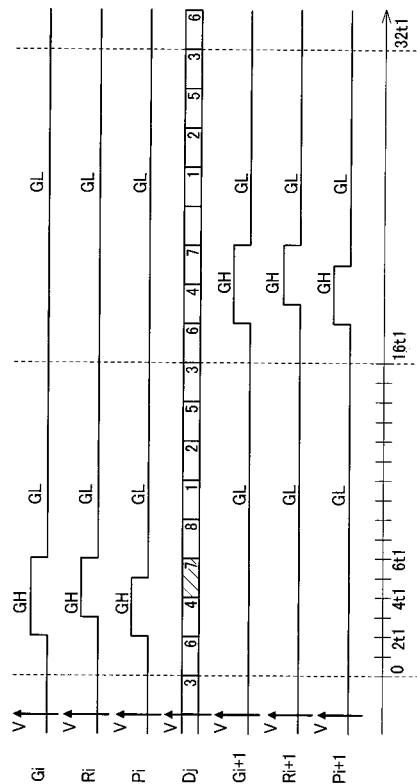
【図 17】



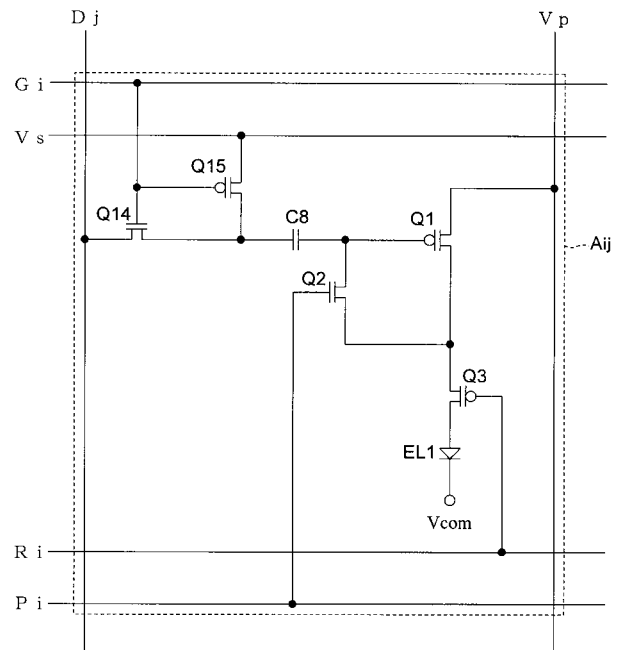
【図 18】



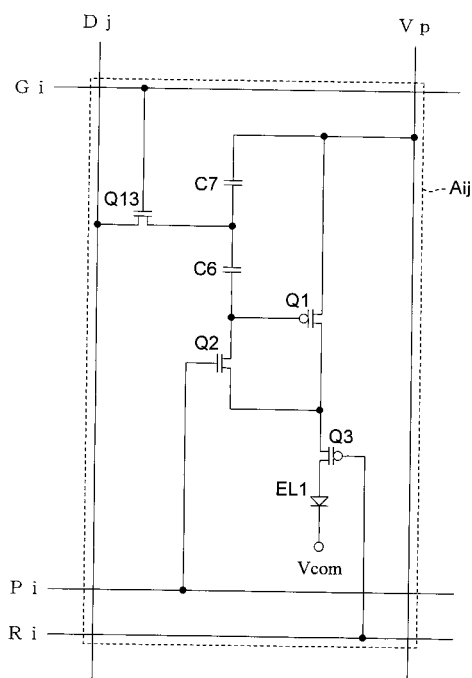
【図 19】



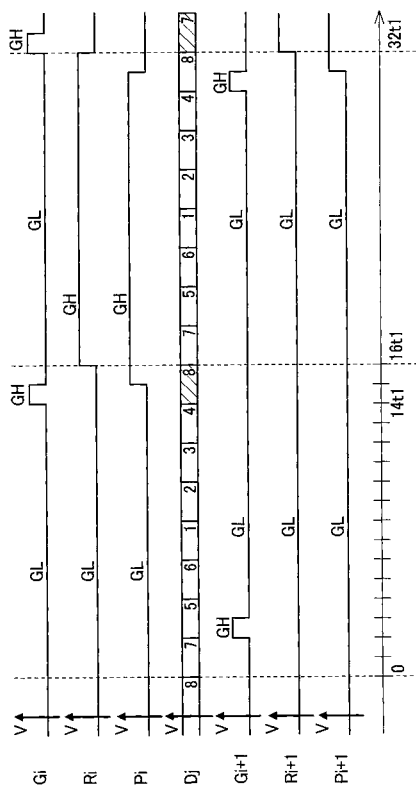
【図 20】



【 ㊦ 2 2 】



【 図 2 4 】



ライン数	データ数	合計	表示期間	日長
9	8	72	63	9

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

F ターム(参考) 5C080 AA06 BB05 DD08 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2006071919A	公开(公告)日	2006-03-16
申请号	JP2004254615	申请日	2004-09-01
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	沼尾孝次		
发明人	沼尾 孝次		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2300/0866 G09G2300/0876 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.F G09G3/20.624.B G09G3/20.641.A H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB34 5C380/AC11 5C380/AC12 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB23 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA14 5C380/CA33 5C380/CA53 5C380/CB04 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB19 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC12 5C380/CC21 5C380/CC26 5C380/CC33 5C380/CC35 5C380/CC39 5C380/CC42 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD015 5C380/CD023 5C380/CD024 5C380/CE04 5C380/CF07 5C380/CF09 5C380/CF41 5C380/CF48 5C380/CF51 5C380/CF64 5C380/DA06 5C380/DA09 5C380/DA20 5C380/DA32 5C380/DA49 5C380/DA57		
代理人(译)	木岛隆一 金子 一郎		
其他公开文献	JP4160032B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了实现显示装置及其驱动方法，允许缩短每个像素的选定周期长度，同时补偿驱动晶体管的阈值电压的变化。
 ŽSOLUTION：在像素电路Aij中，通过将电位Vcc施加到电位布线Ui；电位低至栅极线Gi；电位高控制接线Ri；并且控制布线Pi至电位高，驱动TFT的栅极端电位：Q为数据布线Dj的电位。然后，使栅极布线Gi为高，以补偿驱动TFT Q1的阈值电压。之后，使控制布线Pi变为低电平，并使电位布线Ui为电位Vc，以使电容器C1的电压，即驱动TFT的栅极 - 源极电压变化，从而制作控制布线Ri。为了使驱动电流流过有机EL； EL。 Ž

