

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-173420

(P2005-173420A)

(43) 公開日 平成17年6月30日(2005.6.30)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

テーマコード (参考)

3K007

G09G 3/30

K

5C080

G09G 3/20 611H

G09G 3/20 622A

G09G 3/20 623A

審査請求 未請求 請求項の数 1 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-415889 (P2003-415889)

(22) 出願日 平成15年12月15日 (2003.12.15)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100096828

弁理士 渡辺 敬介

(74) 代理人 100110870

弁理士 山口 芳広

(72) 発明者 井関 正己

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 川野 藤雄

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 EE28 FF11

JJ02 JJ03 JJ04 JJ05

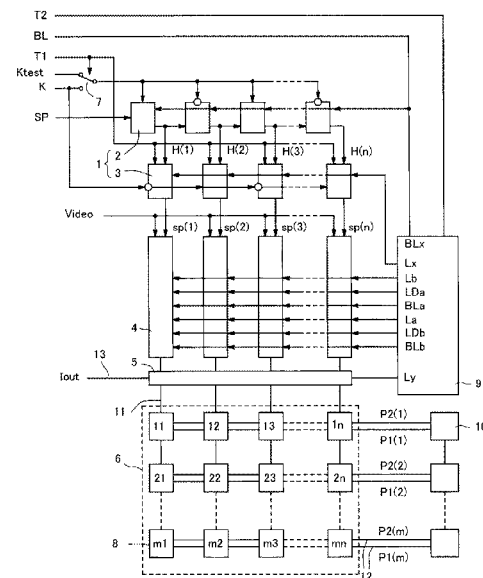
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 電流駆動型のEL表示装置において、列制御回路から出力される電流信号のばらつきを効率よく検出する。

【解決手段】 画素回路8と列制御回路4との間にスイッチ5を設け、列制御回路4から出力される電流信号を該スイッチ5の切り替えによって共通出力線13に総和電流I_{out}として出力する構造とし、列走査制御回路1においては、シフトレジスタ2の進みと、ゲート回路3からのサンプリング信号の出力タイミングとを独立して制御することにより、検査対象となる列制御回路4にのみ所定のサンプリング信号を入力してサンプリングを行い、電流信号を検出する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素回路を複数個マトリクス配置し、各行の画素回路を共通に走査線に接続し、各列の画素回路を共通にデータ線に接続してなる画像表示部と、走査線を順次選択すると同時に、選択した行の各画素の表示に応じたレベルの電流信号を当該画素回路が接続されたデータ線に印加する駆動回路とを備え、画像表示を行う表示装置であって、

データ線毎に、

該当映像信号のサンプリングを制御するサンプリング信号を出力する列走査制御回路と、列走査制御回路から出力されたサンプリング信号によって、映像信号をサンプリングして各画素回路に入力する電流信号をデータ線に出力する列制御回路と、

10

該列制御回路から出力された電流信号の転送先を、共通出力線と画素回路に接続されたデータ線との間で切り替えるスイッチと、

を有し、

第 1 の期間において、上記各列走査制御回路が、第 1 の制御信号の入力によって順次サンプリング信号を出力し、上記スイッチが列制御回路と画素回路とを接続し、

第 2 の期間において、第 2 の制御信号の入力によって、任意の列走査制御回路が任意の期間にサンプリング信号を出力し、上記スイッチが全列制御回路と共通出力線とを接続し、各列制御回路から出力された電流信号を該共通出力線より総和電流として出力することを特徴とする表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、外部より入力された映像信号に基づいて、各画素回路に表示に応じた電流信号を入力して画像を表示する表示装置、特に、エレクトロルミネッセンス（EL）素子を用いた表示装置に関する。

【背景技術】

【0002】

EL 素子や液晶素子などを用いて構成されたフラットな表示装置においては、複数行、複数列に配置した画素を、行毎に走査線に、列毎にデータ線に共通に接続し、行走査回路より各走査線を選択すると同時に、列走査回路より各データ線に所定の表示信号を印加して、選択された該当行の画素に所定の表示を行わせるマトリクス駆動が一般的である。

30

【0003】

図 9 に、従来の電流駆動型 EL 表示装置の表示パネルの構成例を示す。図中、1 は列走査制御回路、2 はシフトレジスタ、3 はゲート回路、4 は列制御回路、6 は表示部、8 は画素回路、9 はタイミング制御回路、10 は行走査制御回路、11 はデータ線、12 は走査線である。

【0004】

図 9 において、列走査制御回路 1 はシフトレジスタ 2 とゲート回路 3 で構成され、当該表示パネル外部より入力されるクロック信号 K、スタート信号 SP、及びタイミング制御回路 9 より入力される制御信号 Lx により、サンプリング信号 sp(1) ~ sp(n) を順次列制御回路 4 に出力する。

40

【0005】

列制御回路 4 には、列走査制御回路 1 から出力されたサンプリング信号 sp(q) (q = 1 ~ n) と、当該表示パネル外部より映像信号（点順次 RGB ビデオ電圧信号；Video）、基準電圧信号 REF、及び、タイミング制御回路 9 より制御信号 La, Lb が入力される。各列制御回路 4 においては、サンプリング信号 sp(q) の入力タイミングに応じて、映像信号 Video をサンプルホールドし、電圧 - 電流変換した電流信号 i(data) をデータ線 11 に出力する。

【0006】

各列制御回路 4 は、サンプルホールド及び電圧 - 電流変換にかかる回路を 2 系統有し、

50

各回路において行毎に相補的にサンプルホールドを行う。さらに、各列制御回路 4 から出力される電流信号 $i(\text{data})$ は、映像信号 Video を線順次化した信号である。

【0007】

表示部 6 は、複数の画素回路 8 を n 列 $\times m$ 行に配置し、同一行の画素回路 8 は共通に走査線 12 に接続し、同一列の画素回路 8 は共通にデータ線 11 に接続されている。表示部 6 においては、各データ線 11 への電流信号 $i(\text{data})$ の出力に応じて、行走査制御回路 10 より、各行の走査線 12 に順次走査信号 $P1(r)$, $P2(r)$ ($r = 1 \sim m$) が出力され、該当行の画素回路 8 において電流プログラミング動作が行われ、入力された電流信号 $i(\text{data})$ が記憶され、該電流プログラミング動作終了後に記憶された電流信号 $i(\text{data})$ のレベルに応じた電流が EL 素子に供給されて、該 EL 素子が所定の輝度で発光する。 10

【0008】

図 10 に、図 9 の列走査制御回路 1 の構成例を示す。

【0009】

図 10 の回路において、シフトレジスタ 2 はクロックインバータによるフリップフロップの縦続接続により構成されている。図中の Kb はクロック信号 K の極性反転信号であり、クロック信号 K , Kb が、縦続接続される隣接フリップフロップで互いに逆の入力となっている。ゲート回路 3 は、AND ゲートで構成されており、対応するシフトレジスタ 2 のフリップフロップ出力と、該フリップフロップの入力側クロックインバータに入力されるクロック信号 K , Kb とは逆極性のクロック信号が入力される。 20

【0010】

図 11 に、図 9 の列制御回路 4 の構成例を示す。図中 111 は電圧電流変換回路、 $M1 \sim M8$ はトランジスタ、 $C1 \sim C4$ は容量である。尚、以下の説明において、トランジスタのソース、ドレイン、ゲートをそれぞれ、 $/S$ 、 $/D$ 、 $/G$ と記載する。

【0011】

図 11 の回路において、入力された映像信号 Video と基準電圧信号 REF はそれぞれ、 $M1/S$, $M2/S$ 、及び、 $M5/S$, $M6/S$ に入力される。 $sp(a)$, $sp(b)$ は、列走査制御回路 1 から出力されたサンプリング信号 $sp(q)$ であり、図 11 の回路の $M1/G$, $M5/G$ 、及び、 $M2/G$, $M6/G$ に入力される。 $M1/D$, $M2/D$, $M5/D$, $M6/D$ にはそれぞれ $C1$, $C2$, $C3$, $C4$ が接続されるとともに、 $M3/S$, $M4/S$, $M7/S$, $M8/S$ が接続される。 $M3/D$ と $M4/D$ 、及び、 $M7/D$ と $M8/D$ は各々接続されて $v(\text{data})$ 及び $v(\text{REF})$ として電圧電流変換回路 111 に入力される。電圧電流変換回路 111 には基準電流設定バイアス V_B が入力され、制御信号 La 及び Lb に応じて電流信号 $i(\text{data})$ を出力する 30

図 11 の列制御回路 4 中の電圧電流変換回路 111 の構成例を図 13 に示す。図中、 $M1 \sim M10$ はトランジスタである。

【0012】

図 13 の回路において、第 1 のソースカップル回路 $M2$, $M3$ の各ドレインに $M6/D$, $M7/D$ が接続されており、 $M6$, $M7$ はそれぞれソースが接地され、ドレインとゲートが短絡されている。さらに、ソースが電源 V_{CC} に接続され、ゲートが基準電流バイアス V_B に接続された第 2 の基準電流源として動作する $M8$ を設け、 $M8/D$ を第 2 のソースカップル回路 $M9$, $M10$ のソースに接続し、 $M9/G$ 及び $M10/G$ を各々 $M7/D$, $M6/D$ に接続する。そして、 $M10/D$ から $M4$ 及び $M5$ のカレントミラー回路を介して、電流データ $i(\text{data})$ を出力する。図 13 において、 $M6$ 及び $M7$ の電流駆動能力を $M9$ 及び $M10$ より小さくするため、 $M6$ 及び $M7$ のゲート領域の W/L 比を、 $M9$ 及び $M10$ のゲート領域の W/L 比より小さくしておく。このように設計された図 13 の電圧電流変換回路の電圧電流変換特性を図 14 に示す。当該回路によれば、電圧電流変換特性の線形性を崩すことなく、黒レベル V_1 における黒電流 I_1 を小さくすることができる。 40

【0013】

図 1 1 の列制御回路 4 の動作を図 1 2 のタイムチャートにより説明する。

【 0 0 1 4 】

時刻 t_1 において、制御信号 L_a , L_b は各々 L、H に変化する。時刻 $t_1 \sim t_4$ 間の有効期間において、サンプリング信号 $s p a$ が発生する。時刻 $t_2 \sim t_3$ において、該当列の $s p a (q)$ が発生し、この時点の映像信号 $V i d e o$ 及び基準電圧信号 $R E F$ を容量 C_1 及び C_3 にサンプリングして、時刻 t_3 以降ホールドする。時刻 t_4 において、制御信号 L_a , L_b は各々 H、L に変換し、電圧電流変換回路 1 1 1 に入力される $v (d a t a) - v (R E F)$ は d_1 となり、時刻 $t_2 \sim t_3$ 間にサンプリングされた映像信号 $V i d e o$ に基づいた電流信号 $i (d a t a)$ を、時刻 $t_4 \sim t_7$ の間、データ線 1 1 に出力する。

10

【 0 0 1 5 】

時刻 $t_4 \sim t_7$ 間の有効期間において、サンプリング信号 $s p b$ が発生し、時刻 $t_5 \sim t_6$ において、該当列の $s p b (q)$ が発生し、この時点の映像信号 $V i d e o$ 及び基準電圧信号 $R E F$ を容量 C_2 及び C_4 にサンプリングして、時刻 t_6 以降ホールドする。時刻 t_7 において、制御信号 L_a , L_b は再び L、H に変換し、電圧電流変換回路 1 1 1 に入力される $v (d a t a) - v (R E F)$ は d_2 となり、時刻 $t_5 \sim t_6$ 間にサンプリングされた映像信号 $V i d e o$ に基づいた電流信号 $i (d a t a)$ を、時刻 t_7 以降、データ線 1 1 に出力する。

【 0 0 1 6 】

上記 $t_1 \sim t_7$ 間の動作を t_7 以降、繰り返し、映像信号 $V i d e o$ は水平走査周期毎に更新される線順次信号に変換される。

20

【 0 0 1 7 】

図 1 5 に、図 9 の画素回路 8 の構成例を示す。図中、1 5 1 は E L 素子、 $M_1 \sim M_4$ はトランジスタ、 C_1 は容量である。

【 0 0 1 8 】

図 1 5 の画素回路 8 は、電流設定方式の構成例であり、走査線 1 2 より走査信号 $P_1 (r)$, $P_2 (r)$ ($r = 1 \sim m$) が、データ線 1 1 より電流信号 $i (d a t a)$ が入力される。 M_4 / D は接地された E L 素子 1 5 1 の電流注入端子に接続されている。当該画素回路 8 の動作を図 1 6 のタイムチャートにより説明する。

【 0 0 1 9 】

時刻 t_0 以前において、該当 r 行の $P_1 (r)$, $P_2 (r)$ は H 及び L であるので、 M_2 及び M_3 はともにオフであり、 M_4 がオンであるため、容量 C_1 及び M_1 のゲート容量に保持された充電電圧によって決定された M_1 / G 電圧によって E L 素子 1 5 1 に電流が注入され、これに応じて該 E L 素子 1 5 1 は発光している。時刻 t_0 において、該当 r 行の $P_1 (r)$, $P_2 (r)$ が L、H に変換するとともに、 r 行目の電流信号 $i (r)$ が確定する。 M_2 , M_3 がともにオンし、 M_4 がオフするため、該当 r 行の E L 素子 1 5 1 への電流注入は停止して、E L 素子 1 5 1 は消灯する。さらに、 M_2 に電流信号 $i (r)$ が供給されるため、これに応じて M_2 / G 電圧が設定され、容量 C_1 及び M_1 のゲート容量が充電される。電流信号 $i (r)$ が確定している時刻 t_1 において、 $P_1 (r)$ は再び H に変化して M_2 はオフとなり、 M_1 / G 電圧の設定動作が終了して保持動作に移行する。時刻 t_2 において、 $P_2 (r)$ は L に変化して M_1 への電流供給を停止するとともに M_4 がオンして M_1 / G 電圧で設定された M_1 のドレイン電流が E L 素子 1 5 1 に注入され、E L 素子 1 5 1 が発光を開始する。

30

40

【 0 0 2 0 】

アクティブマトリクス駆動する表示装置において、表示パネルは T F T 回路までの製造工程で不良品の検査を行うことが望まれており、画素回路の検査を行うことを目的として、画素回路の駆動トランジスタの電流を、シフトレジスタ等の走査信号で開閉される点順次スイッチを介して共通線に出力して検査する方法が、特許文献 1 に開示されている。また、画素回路の駆動トランジスタのソースまたはドレインに接続されるデータドライバと、該駆動トランジスタのゲートに接続される走査線ドライバの不良を検査することを目的

50

として、各データ線ドライバの出力をスイッチを介して共通線に出力する方法が特許文献 2 に開示されている。

【0021】

さらに、アクティブマトリクス駆動の EL 表示装置は、列制御回路に含まれる電圧電流変換回路のトランジスタ特性ばらつきが列単位の輝度ばらつきとなり、縦縞の画像劣化となるため、映像信号レベルに対する電流変換出力を補正することが望まれており、電圧プログラミング型パネルにおける補正方法が特許文献 3 に開示されている。

【0022】

【特許文献 1】特開平 9 - 265063 号公報

【特許文献 2】特公平 8 - 27463 号公報

10

【特許文献 3】特開 2002 - 278513 公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

電流プログラミング型の EL 表示装置においては、図 9 に示したように、列制御回路 4 がデータ線 11 に線順次化電流信号 $i(\text{data})$ を出力し、一般にその 1 列あたりの電流値は数 μA 以下と非常に小さい。

【0024】

先に示した特許文献 1 に開示された方法では、点順次動作する水平切り替えスイッチを介して電流信号を出力するため、非常に小さい 1 画素（列）の電流を共通線に出力しなければならず、共通線または外部の検出系回路まで含んだ経路の容量負荷を駆動するのに長時間が必要となってしまう。

20

【0025】

また、特許文献 2 に開示された方法は、特定の画素回路において点順次動作の出力を共通線に出力したものであり、同一時間では 1 つのデータ線の画素情報を共通線に出力していることになるため、非常に小さな 1 画素（列）の電流を共通線に出力しなければならず、やはり長時間が必要になってしまう。

【0026】

特許文献 3 に開示された技術は、電圧プログラミング型における画素回路の電力供給線の電流測定に関するものであるが、実動作時の電流測定素子が影響し、階調性を崩す原因となる。また、電流プログラミング型 EL 表示装置において映像信号を線順次化する場合には、階調性への影響の問題に加え、列制御回路の線順次化電流出力を測定することは、例えば図 13 の M5 のソースのみに電力を供給する電力線の電流を測定することになり、新たな電力線が必要となる。

30

【0027】

本発明の課題は、上記問題を解決し、製造工程において、列制御回路や列制御回路による電圧 - 電流変換特性のばらつきを、簡易な構成によって高精度に、且つ短時間で検出する手段を提供し、表示のばらつきのない表示装置を提供することにある。

【課題を解決するための手段】

【0028】

40

本発明は、画素回路を複数個マトリクス配置し、各行の画素回路を共通に走査線に接続し、各列の画素回路を共通にデータ線に接続してなる画像表示部と、走査線を順次選択すると同時に、選択した行の各画素の表示に応じたレベルの電流信号を当該画素回路が接続されたデータ線に印加する駆動回路とを備え、画像表示を行う表示装置であって、データ線毎に、
該当映像信号のサンプリングを制御するサンプリング信号を出力する列走査制御回路と、列走査制御回路から出力されたサンプリング信号によって、映像信号をサンプリングして各画素回路に入力する電流信号をデータ線に出力する列制御回路と、
該列制御回路から出力された電流信号の転送先を、共通出力線と画素回路に接続されたデータ線との間で切り替えるスイッチと、

50

を有し、

第 1 の期間において、上記各列走査制御回路が、第 1 の制御信号の入力によって順次サンプリング信号を出力し、上記スイッチが列制御回路と画素回路とを接続し、
第 2 の期間において、第 2 の制御信号の入力によって、任意の列走査制御回路が任意の期間にサンプリング信号を出力し、上記スイッチが全列制御回路と共通出力線とを接続し、各列制御回路から出力された電流信号を該共通出力線より総和電流として出力することを特徴とする表示装置。

【発明の効果】

【0029】

本発明によれば、列制御回路出力電流を共通出力線に出力できるようにすることにより、列制御回路からの出力電流値を比較的大きな総和電流値として検出することが可能な構成にできる。そのため、外部容量負荷のドライブ能力を上げ、上記電流値の検出時間を短縮することができる。さらに、シフトレジスタの進みと該シフトレジスタを含む列制御回路からのサンプリング信号の出力とを独立して制御するため、必要な列制御回路のみサンプリングを行い、他の列制御回路ではサンプリング動作を省略することができるため、検出時間を大幅に短縮することができる。よって、本発明によれば、表示装置製造工程における TFT パネルの検査時間、輝度ムラ補正のための電流ばらつき検出時間を大幅に短縮し、製造コストを削減して、高画質の画像表示が可能な表示パネルをより安価に提供することができる。

【発明を実施するための最良の形態】

【0030】

本発明の表示装置は、サンプリング信号を出力する列走査制御回路において、第 1 の制御信号と第 2 の制御信号を切り替えて入力するように構成し、第 1 の制御信号が入力される第 1 の期間においては、従来と同様の列毎に順次サンプリング信号を出力する構成とし、第 2 の制御信号が入力される第 2 の期間においては、任意の列走査制御回路において、任意の期間にサンプリング信号が出力されるように構成したことに特徴を有する。即ち、本発明にかかる列走査制御回路においては、第 2 の期間において、各シフトレジスタを独立に動作させる。さらに、本発明においては、映像信号をサンプリングする列制御回路と画素回路との間にスイッチを設け、該スイッチの切り替えによって、上記第 1 の期間においては、列制御回路から出力された電流信号をそのまま画素回路に転送するが、第 2 の期間においては、全てのデータ線を共通出力線に接続し、列制御回路から出力された電流信号を総和電流として出力する。

【0031】

上記構成により、本発明においては、通常の表示駆動時には、上記第 1 の期間の動作を行うが、列制御回路のばらつき等を検査する際には、上記第 2 の期間の動作を行う。従来、同様の検査を行う場合には、シフトレジスタが順次動作することから、1 列のデータ線のみから電流信号を取り出すか、或いは、1 列のデータ線にのみ所定のレベルの電流信号が出力されるような映像信号を列制御回路に供給し、サンプリング動作は全ての列制御回路で行っていた。本発明においては、上記したように、各シフトレジスタを独立して動作させるため、検査対象の列制御回路のみサンプリング動作を行い、検査対象でない列制御回路のサンプリング動作を省略することができる。即ち、省略したサンプリング動作にかかる期間分、検査にかかる時間を短縮することができる。

【0032】

図 1 に、本発明の表示装置の一実施形態の EL 表示パネルの構成例を示す。図中、5, 7 はスイッチ、13 は共通出力線であり、図 9 と同じ部材には同じ符号を付した。図 9 の従来の表示パネルとの違いを説明する。

【0033】

図 1 において、スイッチ 7 の共通端子はシフトレジスタ 2 のクロック入力端子に接続され、被選択端子の一方には、従来同様のクロック信号 K (第 1 の制御信号) が、他方には制御信号 K t e s t (第 2 の制御信号) が入力される。スイッチ 7 は、制御信号 T 1 = L

の時（第 1 の期間）にクロック信号 K を、 $T1 = H$ の時（第 2 の期間）に K_{test} を選択してシフトレジスタ 2 に入力させる。

【0034】

さらに、図 1 において、列制御回路 4 と画素回路 8 との間には、スイッチ 5 が配置され、その共通端子が、各列制御回路 4 の出力側に接続され、被選択端子の一方が画素回路 8 に接続されたデータ線 11 に、他方が共通出力線 13 に接続されている。スイッチ 5 は、制御信号 $Ly = L$ の時（第 1 の期間）に各列制御回路 4 をデータ線 11 に接続し、 $Ly = H$ の時（第 2 の期間）に全列制御回路 4 を共通出力線 13 に接続する。

【0035】

図 2 に、図 1 の列走査制御回路 1 の構成例を示す。

10

【0036】

図 2 の回路が、図 10 の従来の列走査制御回路と異なる点は、AND ゲート回路が 3 入力となっており、2 入力 NAND ゲートが追加されている点である。2 入力 NAND ゲートの一方の入力端子には、制御信号 $T1$ が入力され、他方の入力端子には各列のシフトレジスタの出力が入力される。また、NAND ゲートの出力端子は、前段の AND ゲートの入力端子に接続されている。

【0037】

図 2 の回路において、制御信号 $T1 = L$ の時、NAND ゲートの出力は、もう一方の入力に係わらず H であるので、当該回路においては、図 10 の回路と全く同じ動作を行う。即ち、通常の表示動作である。

20

【0038】

図 2 の回路において、制御信号 $T1 = H$ の時、シフトレジスタ 2 においては、制御信号 $T1$ によって制御されるスイッチ 7 より制御信号 K_{test} が入力される。クロックインバータにより構成されるシフトレジスタ 2 は、スタート信号 SP の入力後、シフトを制御する制御信号 K_{test} の立ち上がり、立ち下がりに応じてシフトレジスタ信号 $H(q)$ を出力する。列走査制御回路 1 の出力は AND ゲート出力であり、制御信号 $T1$ が L の時は、該当列のシフトレジスタ出力が H の期間において、クロック信号 K 、 Kb に応じたパルスが出力される。制御信号 $T1 = H$ の時は、該当列のシフトレジスタ出力が H 、且つ、1 つ後段のシフトレジスタ出力が L の期間においてクロック信号 K 、 Kb に応じたパルスが出力される。

30

【0039】

以上の構成により、制御信号 $T1 = L$ の第 1 の期間においては、シフトレジスタ 2 と列走査制御回路 1 の出力のタイミングは、同一のクロック信号 K 、 Kb により制御され、第 q 列のサンプリング信号の立ち下がりと同時に、第 $q + 1$ 列のサンプリング信号出力が立ち上がり、第 q 列目の列制御回路 4 において、第 q 列目の映像信号 $Video$ のサンプリング及び電圧 - 電流変換動作後、第 $q + 1$ 列目のサンプリング信号出力の立ち上がりにおいて、第 $q + 1$ 列目の列制御回路 4 は、第 $q + 1$ 列目の映像信号サンプリング及び電圧 - 電流変換動作を開始する。

【0040】

また、制御信号 $T1 = H$ の第 2 の期間においては、シフトレジスタ 2 の進みと、列走査制御回路 1 の出力タイミングを独立に制御可能となるため、第 q 列の列走査制御回路 1 の出力の立ち下がりにおいて、第 $q + 1$ 列目の列走査制御回路 1 の出力の立ち上がりが発生することはなく、第 q 列目の映像信号サンプリング及び電圧 - 電流変換動作後、第 $q + 1$ 列目の列制御回路 4 は、サンプリング信号の入力待機状態であることができる。

40

【0041】

図 1 の列制御回路 4 の構成例を図 3 に示す。図中、 $MN1a \sim MN5a$ 、 $MN1b \sim MN5b$ は n 型トランジスタ、 $MP1a$ 、 $MP1b$ は p 型トランジスタ、 $C1a$ 、 $C1b$ 、 $C2a$ 、 $C2b$ は容量、 VCC は電源であり、点線で囲まれた gma と gmb は同じ構成の電圧電流変換回路である。図 3 の列制御回路の動作において、前記列走査制御回路の出力サンプリング信号は、図 2 に図示しない OR 回路によってブランキング信号 BL が選択

50

的に論理加算される。

【 0 0 4 2 】

図 3 の構成において、MN 1 a は $g m a$ 回路のサンプリングスイッチ、MN 1 b は $g m b$ 回路のサンプリングスイッチである。サンプリングスイッチ MN 1 a , MN 1 b のゲートには、それぞれサンプリング信号 $s p a (q)$, $s p b (q)$ が入力される。MN 1 a , MN 1 b のソース（またはドレイン）は映像信号 $V i d e o$ が入力される。MN 1 a , MN 1 b のドレイン（またはソース）は、それぞれ $g m a$, $g m b$ の容量 $C 1 a$, $C 1 b$ の一端に接続されている。以下、 $g m a$ について説明する。

【 0 0 4 3 】

$C 1 a$ の他端は、一方が接地された容量 $C 2 a$ の他端に接続されると同時に、ソースが接地されている MN 2 a のゲートに接続されている。MN 2 a のゲート - ドレイン間を接続する MN 3 a のゲートには、制御信号 $B L a$ が入力される。MN 2 a / D はさらに MN 4 a , MN 5 a に接続されており、MN 4 a / G に入力される制御信号 $L D a$ に応じて、ダイオード接続された MP 1 a を介して電源 $V C C$ との間の経路を形成する。また、MN 2 a / D は、制御信号 $L b$ でオン・オフを制御される MN 5 a を介してデータ線 1 1 に接続されている。

【 0 0 4 4 】

図 3 の回路の動作を図 4 のタイムチャートにより説明する。尚、トランジスタのゲート - ソース間電圧を $V g s (x)$ 、ドレイン電流を $I d (y)$ と記す (x 、 y はトランジスタ番号)。

【 0 0 4 5 】

時刻 $t 0 \sim t 1$ 間において、MN 1 a , MN 3 a , MN 4 a がオンとなり、MN 5 a がオフとなる。この状態において、映像信号 $V i d e o$ には基準電位 $V r e f$ が設定されていて、MN 2 a はダイオード接続されているため、MN 2 a のゲート電圧は、

$$V C C - V g s (M P 1 a) = V g s (M N 2 a) + G N D \quad (1)$$

の関係である、スレッシュ電圧 $V t h$ 以上の電圧 $V 1 a$ となる。

【 0 0 4 6 】

時刻 $t 1 \sim t 2$ 間において、MN 1 a , MN 3 a がオンとなり、MN 4 a , MN 5 a がオフとなる。この状態において、映像信号 $V i d e o$ には変更はなく、基準電位 $V r e f$ が設定されていて、MN 2 a のドレイン電流の電流供給経路は、MN 3 a を介し、MN 2 a のゲートが接続された $C 1 a$, $C 1 b$ となる。 $V g s (M N 2 a)$ は、 $I d (M N 2 a)$ による容量 $C 1 a$, $C 2 a$ が放電されるため、 $I d (M N 2 a) = 0$ になるまで降下する。時刻 $t 1 \sim t 2$ 間の時間が十分であれば、 $I d (M N 2 a) = 0$ または、 $I d (M N 2 a) = 0$ となり、 $V g s (M N 2 a)$ はスレッシュ電圧 $V t h$ またはスレッシュ電圧 $V t h$ に非常に近い電圧となる。よって、時刻 $t 1 \sim t 2$ 間の動作を $V t h$ リセット動作とする。この $V t h$ リセット動作終了時の MN 2 a ゲート電圧を $V t$ とする。

【 0 0 4 7 】

時刻 $t 2 \sim t 3$ 間において、MN 1 a , MN 3 a , MN 4 a , MN 5 a はオフとなり、 $V g s (M N 2 a)$ は $V t h$ リセット動作終了の状態を保持する。

【 0 0 4 8 】

時刻 $t 3 \sim t 4$ 間において、MN 4 a はオンし、MN 1 a , MN 3 a , MN 5 a がオフであり、 $V g s (M N 2 a)$ は、 $V t h$ リセット動作終了の状態を保持し、ドレイン電流 $I d (M N 2 a) = 0$ である。

【 0 0 4 9 】

時刻 $t 4 \sim t 5$ 間において、MN 1 a , MN 4 a はオンし、MN 3 a , MN 5 a はオフであり、映像信号 $V i d e o$ の入力端子には、該当する列に表示する映像電圧信号が入力され、サンプリング動作が行われる。サンプリング動作が十分定常状態に収束した時刻 $t 5$ において、 $V g s (M N 2 a)$ は、 $V i d e o$ 入力レベル $V (V i d e o)$ と、 $V t h$ リセット動作時の $V i d e o$ 入力レベル $V r e f$ に応じて、

【 0 0 5 0 】

10

20

30

40

50

【数 1】

$$V_{gs} (MN2a) = \{V (Video) - V_{ref}\} \times \frac{C1a}{C1a + C2a} + V_t \quad (2)$$

となり、電圧 - 電流変換結果 $i (data)$ となる $MN2a$ のドレイン電流は、 $V_t = V_{th}$ であるので、

【0051】

【数 2】

$$I_d (MN2a) = \beta \times \frac{W}{L} \times \left\{ V (Video) - V_{ref} \right\} \times \frac{C1a}{C1a + C2a} \quad (3)$$

10

$$\beta = \mu \cdot C_{ox}$$

μ : 移動度、 C_{ox} : ゲート酸化膜容量、 W : ゲート幅、 L : ゲート長

となる。ドレイン電流 $I_d (MN2a)$ は、 V_{th} リセット動作時の $Video$ 入力電圧と差電圧の二乗に応じた電流に変換される。また、各列及び $gma - gmb$ による電圧 - 電流変換ばらつきは、 β が支配的となることが上記式 (3) よりわかる。

【0052】

時刻 $t_5 \sim t_6$ 間においては、時刻 $t_3 \sim t_4$ 間と同様の状態であり、 $MN2a$ のドレイン電流は、時刻 t_5 の状態を保持する。

【0053】

20

時刻 $t_6 \sim t_{12}$ 間においては、 $MN5a$ がオンし、 $MN1a$, $MN3a$, $MN4a$ がオフであり、 $MN2a$ のドレインは、 $MN5a$ を介して、データ線 11 に接続されている。この時、 $I_d (MN2a)$ は時刻 t_5 の状態を保持している。 gmb は時刻 $t_6 \sim t_{12}$ 間において、 gma の時刻 $t_0 \sim t_6$ と同様の動作を行う。

【0054】

以上の動作によって、列制御回路 4 においては、 gma , gmb がそれぞれ相補的にサンプリングホールドを担当し、映像信号 $Video$ を電圧 - 電流変換した線順次電流 $i (data)$ をデータ線 11 に出力する。

【0055】

次に、制御信号 $Ly = H$ の時の動作を図 5 のタイムチャートにより説明する。

30

【0056】

制御信号 Ly は、外部より入力される制御信号 $T1$ により制御され、 $T1 = L$ の時、 $Ly = L$ で、 $T1 = H$ の時、 $Ly = H$ である。 $T1 = H$ となると、シフトレジスタ 2 のクロック入力端子には、制御信号 $Ktest$ が入力される。

【0057】

図 5 において、時刻 t_0 以前に、スタート信号 SP 及び制御信号 $Ktest$ がいずれも H となることによって、第 1 列のシフトレジスタ 2 の出力 $H(1) = H$ となり、第 2 列目のシフトレジスタ 2 は出力 $H(2) = H$ となるための、 $Ktest = H$ の入力待機状態である。

【0058】

40

時刻 $t_0 \sim t_1$ 間において、ブランキング信号 $BL = H$ 、次いでクロック信号 $K = H$ が入力されると、第 1 列のサンプリング信号 $s pa(1)$ には、ブランキング信号 $BL = H$ 入力期間に V_{th} リセット動作パルス、及び、クロック信号 $K = H$ 入力期間に映像信号 $Video$ サンプリング用パルスがそれぞれ出力される。第 1 列目以外のサンプリング信号 $s pa(2) \sim s pa(n)$ には、ブランキング信号 $BL = H$ 入力期間に、 V_{th} リセット動作パルスのみが出力される。

【0059】

時刻 $t_1 \sim t_2$ 間において、ブランキング信号 $BL = H$ 、次いでクロック信号 $K = H$ が入力されると、第 1 列のサンプリング信号 $s pb(1)$ には、ブランキング信号 $BL = H$ 入力期間に V_{th} リセット動作パルス、及び、クロック信号 $K = H$ 入力期間に映像信号

50

V i d e o サンプリング用パルスがそれぞれ出力される。第 1 列目以外のサンプリング信号 $s p b (2) \sim s p b (n)$ には、ブランキング信号 $B L = H$ 入力期間に、 $V t h$ リセット動作のパルスのみが出力される。また、第 1 列目の列制御回路 4 からは、時刻 $t 0 \sim t 1$ 間に $g m a$ によりサンプリングされた第 1 列目の線順次電流 $i (d a t a)$ が出力され、第 2 列目～第 n 列目の列制御回路 4 からは、該当する $g m a$ の $V t h$ リセット電流即ちゼロ電流が出力される。 $T 1 = H$ においては、図 1 のスイッチ 5 が、全列制御回路 4 からの出力電流を共通出力線 1 3 に出力するように切り替えられているため、共通出力線 1 3 には、第 1 列目の線順次電流 $i (d a t a)$ と、第 2 列目～第 n 列目のゼロ電流の総和電流が $I o u t$ として出力される。

【 0 0 6 0 】

10

時刻 $t 2 \sim t 3$ 間において、ブランキング信号 $B L = L$ 、クロック信号 $K = L$ 、制御信号 $K t e s t = L$ の状態で、制御信号 $T 2 = H$ が入力されると、通常の表示駆動動作とは異なり、制御信号 $L a, L b$ がいずれも H となり、図 3 の $g m a, g m b$ はそれぞれ、第 1 列目については時刻 $t 0 \sim t 1$ 間、 $t 1 \sim t 2$ 間に映像信号 $V i d e o$ よりサンプリングした電流 $i (d a t a)$ 、及び、第 2 列目～第 n 列目については $V t h$ リセット電流（ゼロ電流）をホールドして共通出力線 1 3 に出力する。

【 0 0 6 1 】

時刻 $t 3 \sim t 6$ 間において、 $K t e s t = H$ が入力されると、シフトレジスタ 2 は 1 段進み、第 2 列目がアクティブとなり、 $t 0 \sim t 3$ 間の第 1 列目の列制御回路 1 と同様の動作を、第 2 列目の列制御回路 1 が行う。具体的に説明する。

20

【 0 0 6 2 】

時刻 $t 3 \sim t 4$ 間において、ブランキング信号 $B L = H$ 、次いでクロック信号 $K = H$ が入力されると、第 2 列のサンプリング信号 $s p a (2)$ には、ブランキング信号 $B L = H$ 入力期間に $V t h$ リセット動作パルス、及び、クロック信号 $K = H$ 入力期間に映像信号 $V i d e o$ サンプリング用パルスがそれぞれ出力される。第 2 列目以外のサンプリング信号 $s p a (1), s p a (3) \sim s p a (n)$ には、ブランキング信号 $B L = H$ 入力期間に、 $V t h$ リセット動作のパルスのみが出力される。

【 0 0 6 3 】

また、当該期間には、時刻 $t 1 \sim t 2$ 間に $g m b$ によりサンプリングされた第 1 列目の線順次電流 $i (d a t a)$ 、及び、第 2 列目～第 n 列目の $g m b$ の $V t h$ リセット電流（ゼロ電流）の総和電流が共通出力線 1 3 に出力されている。

30

【 0 0 6 4 】

時刻 $t 4 \sim t 5$ 間において、ブランキング信号 $B L = H$ 、次いでクロック信号 $K = H$ が入力されると、第 2 列のサンプリング信号 $s p b (2)$ には、ブランキング信号 $B L = H$ 入力期間に $V t h$ リセット動作パルス、及び、クロック信号 $K = H$ 入力期間に映像信号 $V i d e o$ サンプリング用パルスがそれぞれ出力される。第 2 列目以外のサンプリング信号 $s p b (1), s p b (3) \sim s p b (n)$ には、ブランキング信号 $B L = H$ 入力期間に、 $V t h$ リセット動作のパルスのみが出力される。

【 0 0 6 5 】

また、当該期間には、時刻 $t 3 \sim t 4$ 間に $g m a$ によりサンプリングされた第 2 列目の線順次電流 $i (d a t a)$ 、及び、第 1 列目と第 3 列目～第 n 列目の $g m a$ の $V t h$ リセット電流（ゼロ電流）の総和電流が共通出力線 1 3 に出力されている。

40

【 0 0 6 6 】

時刻 $t 5 \sim t 6$ 間において、ブランキング信号 $B L = L$ 、クロック信号 $K = L$ 、制御信号 $K t e s t = L$ の状態で、制御信号 $T 2 = H$ が入力されると、通常の表示駆動動作とは異なり、制御信号 $L a, L b$ がいずれも H となり、図 3 の $g m a, g m b$ はそれぞれ、第 2 列目については時刻 $t 3 \sim t 4$ 間、 $t 4 \sim t 5$ 間に、映像信号 $V i d e o$ よりサンプリングした電流 $i (d a t a)$ 、及び、第 1 列目、第 3 列目～第 n 列目については $V t h$ リセット電流（ゼロ電流）をホールドして共通出力線 1 3 に出力する。

【 0 0 6 7 】

50

時刻 t_6 以降は、対象列を順次、第 3 列、第 4 列と、クロック信号 K の立ち上がり、立ち下がりに応じて進めながら、時刻 t_0 からの動作を繰り返す。

【0068】

以上の動作により、図 5 の I_{out} に示されるように、順次、
 第 1 列目の g_{ma} 出力電流と、他の列の g_{ma} の V_{th} リセット電流の総和電流
 第 1 列目の g_{ma} , g_{mb} 出力電流と、他の列の g_{ma} , g_{mb} の V_{th} リセット電流の
 総和電流
 第 1 列目の g_{mb} 出力電流と、他の列の g_{mb} の V_{th} リセット電流の総和電流
 第 2 列目の g_{ma} 出力電流と、他の列の g_{ma} の V_{th} リセット電流の総和電流
 第 2 列目の g_{ma} , g_{mb} 出力電流と、他の列の g_{ma} , g_{mb} の V_{th} リセット電流の 10
 総和電流
 第 2 列目の g_{mb} 出力電流と、他の列の g_{mb} の V_{th} リセット電流の総和電流
 第 3 列目の g_{ma} 出力電流と、他の列の g_{ma} の V_{th} リセット電流の総和電流
 第 3 列目の g_{ma} , g_{mb} 出力電流と、他の列の g_{ma} , g_{mb} の V_{th} リセット電流の
 総和電流
 第 3 列目の g_{mb} 出力電流と、他の列の g_{mb} の V_{th} リセット電流の総和電流
 と、各タイミングにおいて列走査制御回路 1 の出力によって選択された列制御回路 1 の電
 圧 - 電流変換出力 $i(d_{ata})$ を、他の列の V_{th} リセット電流との総和電流として共
 通出力線 13 に出力することができ、 V_{th} リセット電流は、理想的にはゼロであるため
 、総和電流は 1 列ごとの電圧 - 電流変換出力を示すことになる。 20

【0069】

また、通常、表示パネルには、 R (赤)、 G (緑)、 B (青) の 3 色に相当する例えば
 3 本の映像信号 V_{ideo} が入力される。上記説明において、 RGB 3 本の映像信号 V_{ideo}
 に有効レベルを入力すれば、 g_{ma} , g_{mb} の和電流を出力するタイミング (例え
 ば、図 5 の $t_2 \sim t_3$ 間) では、 g_{ma} , g_{mb} の RGB 分の計 6 回路分の電圧 - 電流変
 換出力 $i(d_{ata})$ を取り出すことができ、画素回路 8 に供給されるべき電流信号 $i(d_{ata})$
 の 6 倍の電流をパネル外部に出力することにより、外部の容量性負荷のドライ
 ブ能力も 6 倍にでき、検出時間を短縮することができる。必要に応じて、例えば RGB 3
 本の映像信号 V_{ideo} のうち、1 本のみ有効レベルを印加し、他の 2 本には、 V_{th} リ
 セット時の印加電圧を与えておけば、有効レベルを印加した系の列制御回路の出力のみを 30
 評価することもできる。

【0070】

図 6 に、本発明の表示装置における列毎の電流信号のばらつきの補正のシステムを示す。
 図中、61 は表示パネル、62 は外部制御部、63 は A/D コンバータ、64 , 66 は
 演算回路、65 はメモリ、67 は DAC である。

【0071】

図 6 において、図 5 で説明したタイミング及び動作によって、制御信号 $T_1 = H$ におい
 て、各列に同一レベルの映像信号 V_{ideo} を入力したときの各列制御回路 4 の出力電流
 $i(d_{ata})$ を I_{out} に出力させることができる。 I_{out} に出力された総和電流を
 、例えば抵抗によって電圧変換し、外部制御部 62 に取り込み、演算回路 64 において各 40
 列の電流値のばらつきを検出し、表示パネル 61 における電流値が均一になるような映像
 信号 V_{ideo} に対する補正係数を算出し、各列補正係数をメモリ 65 に格納する。補正
 係数は例えば、各列の電流値が検出した総和電流の最小値となるように、電流値が大きい
 列の映像信号 V_{ideo} を圧縮する係数を演算する。制御信号 $T_1 = L$ における通常の表
 示駆動において、外部制御部 62 に入力されるデジタル映像信号 V_{dat} は、メモリ 65
 に格納された各列の補正係数に応じて演算回路 66 において圧縮され、 DAC 67 によ
 って D/A 変換されたアナログの映像信号 V_{ideo} が表示パネル 61 に出力される。

【0072】

図 7 に、本発明の表示装置の製造時における列制御回路の検査システムを示す。図中、
 71 は検査装置であり、図 6 と同じ部材には同じ符号を付した。

【 0 0 7 3 】

図 7 において、図 5 で説明したタイミング及び動作によって、制御信号 $T1 = H$ において、各列に同一レベルの映像信号 V_{ideo} を入力したときの各列制御回路 4 の出力電流 $i(\text{data})$ を I_{out} に出力させることができる。 I_{out} に出力された総和電流を、例えば抵抗によって電圧変換し、検査装置 71 に取り込み、演算回路 64 において各列の電流値を検出し、前列の検出値の最大値、最小値、平均値を演算し、これらの値の比較によって、列制御回路の良否を判定する。例えば、任意の列の RGB 及び gma, gmb の 6 回路分の電流信号と、その他の列の V_{th} リセット電流の総和電流を検出する場合、
 (該当列の検出値 / 平均値) < (5 / 6) の場合を不合格とする、(最大値 / 最小値) < (6 / 5) で不合格とする、或いは、 $80\% < (\text{第 } q \text{ 列目の検出値} / \text{第 } q + 1 \text{ 列目の検出値}) < 120\%$ 以外を不合格とする、などである。判定基準は、各列の検出値、及び最大値、最小値、平均値によって様々に設定することができる。列制御回路 4 の 6 回路分以下の電流を検出する場合でも、第 q 列目の検出において、1 列分のサンプリング信号を出力すればよいので、全列分のサンプリング信号を出力させて、該当列以外のゼロ電流をサンプリングし、該当列及び電圧 - 電流結果を検出することに比べると、サンプリングに必要な時間は、例えば 320 列の表示パネルでは、 $1 / 320$ となる。検出時間は、例えば列制御回路の 2 回路分のサンプリング期間と列制御回路の総和電流の出力期間の和となる。従って、従来におけるサンプリング期間と総和電流の出力期間を同じとすると、本発明によればサンプリング期間が $1 / 320$ となりほぼ無視できるため、検出時間を約 $1 / 3$ とすることができる。

【 0 0 7 4 】

図 8 に、本発明の表示装置を用いたデジタルビデオカメラ或いはデジタルスチルカメラの構成例を示す。図中 80 はシステム全体、81 は撮影部、82 は映像信号処理部、83 は表示パネル、85 はメモリ、86 は CPU、87 は操作部である。

【 0 0 7 5 】

図 8 のシステムにおいては、撮影部 81 で撮影した映像またはメモリ 85 に記憶された映像を、映像信号処理部 82 で信号処理し、表示パネル 83 で見ることができる。CPU 86 では、操作部 87 からの入力によって、撮影部 81、メモリ 85、映像信号処理部 82 などを制御して、状況に適した撮影、記録、再生、表示を行う。映像信号処理部 82 ~ 表示パネル 83 間において、 I_{out} による列電流の総和電流検出及び補正を行い、良好な画像を表示する。総和電流の検出 (第 2 の期間) は、電源起動時または、垂直ブランキング期間など、画面に画像を表示しない期間に行う。

【 0 0 7 6 】

上記本発明の説明においては、画素回路が EL 素子を備えた EL 表示装置を例に挙げて述べたが、本発明の表示装置はこれに限定されるものではなく、電流プログラミング方式の表示装置であれば、好ましく適用される。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 本発明の表示装置の一実施形態の EL 表示パネルの構成を示す図である。

【 図 2 】 図 1 の表示パネルの列走査制御回路の構成例を示す図である。

【 図 3 】 図 1 の表示パネルの列制御回路の構成例を示す図である。

【 図 4 】 図 3 の回路の動作のタイムチャートである。

【 図 5 】 図 1 , 図 3 の回路の動作のタイムチャートである。

【 図 6 】 本発明の表示装置における列毎の電流信号のばらつきの補正のシステムを示す図である。

【 図 7 】 本発明の表示装置の製造時における列制御回路の検査システムを示す図である。

【 図 8 】 本発明の表示装置を用いたデジタルビデオカメラ或いはデジタルスチルカメラの構成例を示す図である。

【 図 9 】 従来の電流駆動型 EL 表示装置の表示パネルの構成例を示す図である。

【 図 10 】 図 9 の表示パネルの列走査制御回路の構成例を示す図である。

【図 1 1】図 9 の表示パネルの列制御回路の構成例を示す図である。

【図 1 2】図 1 1 の列制御回路の動作のタイムチャートである。

【図 1 3】図 1 1 の列制御回路中の電圧電流変換回路の構成例を示す図である。

【図 1 4】図 1 3 の電圧電流変換回路の電圧 - 電流変換特性を示す図である。

【図 1 5】図 9 の表示パネルの画素回路 8 の構成例を示す図である。

【図 1 6】図 1 5 の画素回路の動作のタイムチャートである。

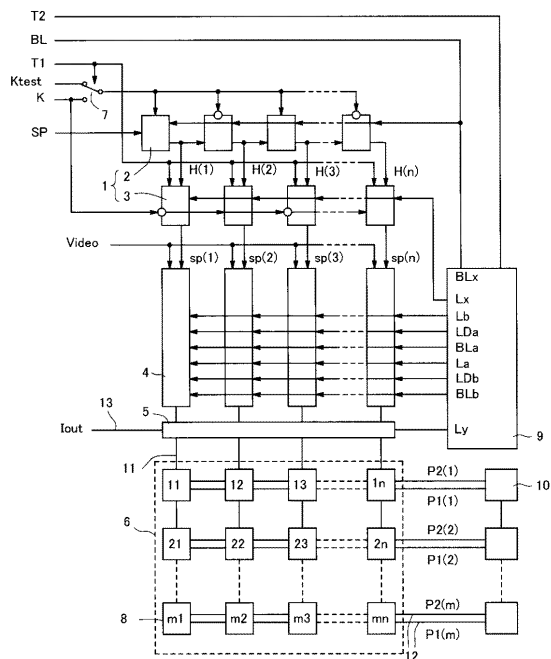
【符号の説明】

【 0 0 7 8 】

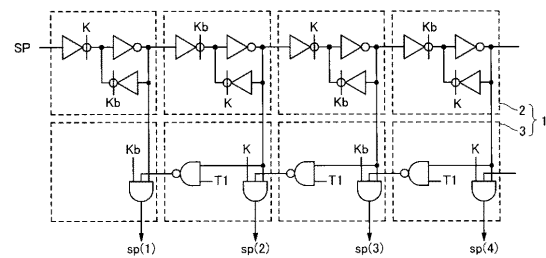
1	列走査制御回路	
2	シフトレジスタ	10
3	ゲート回路群	
4	列制御回路	
5, 7	スイッチ	
6	表示部	
8	画素回路	
9	タイミング制御回路	
1 0	行走査制御回路	
1 1	データ線	
1 2	走査線	
1 3	共通出力線	20
6 1	表示パネル	
6 2	外部制御回路	
6 3	A / D コンバータ	
6 4, 6 6	演算回路	
6 5	メモリ	
6 7	D A C	
7 1	検査装置	
8 0	システム	
8 1	撮影部	
8 2	映像信号処理回路	30
8 3	表示パネル	
8 5	メモリ	
8 6	C P U	
8 7	操作部	
1 1 1	電圧電流変換回路	
1 5 1	E L 素子	
B L	ブランキング信号	
B L a、B L b	制御信号	
C 1 ~ C 4, C 1 a, C 2 a, C 1 b, C 2 b	容量	
K、K b	クロック信号	40
g m a, g m b	電圧電流変換回路	
i (d a t a)	電流信号	
I o u t	共通出力線出力	
K t e s t	制御信号	
L D a, L D b	制御信号	
L x, L y	制御信号	
L a, L b	制御信号	
M 1 ~ M 8, M N 1 a ~ M N 5 a, M N 1 b ~ M N 5 b, M P 1 a, M P 1 b	トランジスタ	
P 1 (r), P 2 (r)	走査信号	50

R E F 基準電圧信号
 S P スタート信号
 s p、s p a (q)、s p b (q) サンプルング信号
 T 1、T 2 制御信号、
 V B 基準電流設定バイアス
 V C C 電源線
 V d a t デジタル映像信号
 V i d e o 映像信号

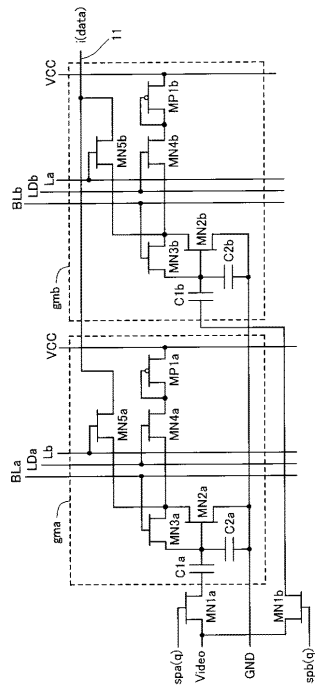
【図 1】



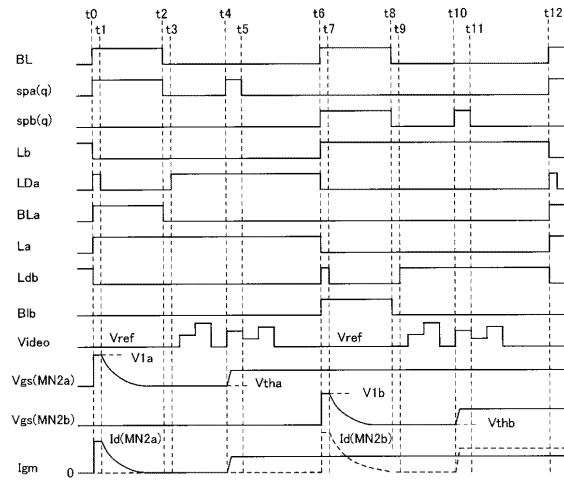
【図 2】



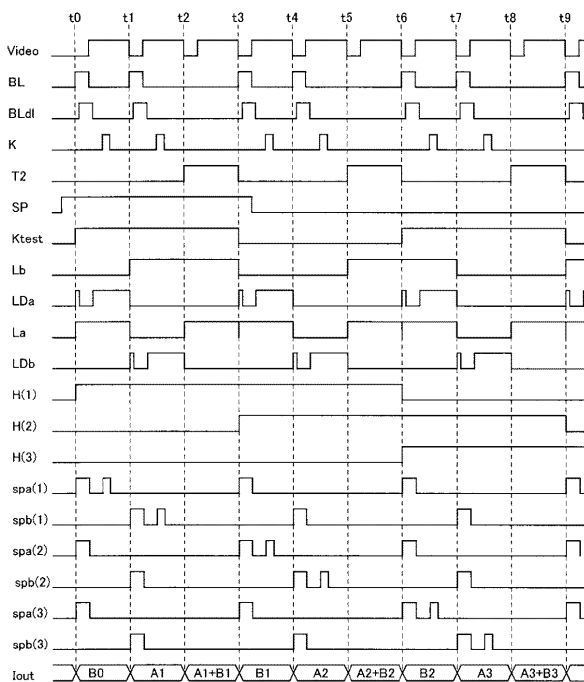
【図 3】



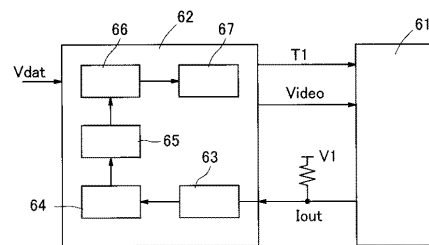
【図 4】



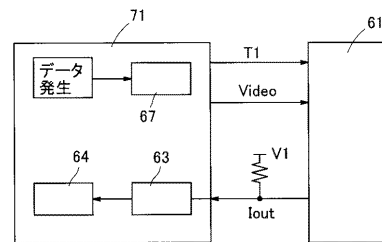
【図 5】



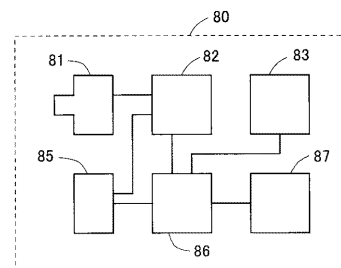
【図 6】



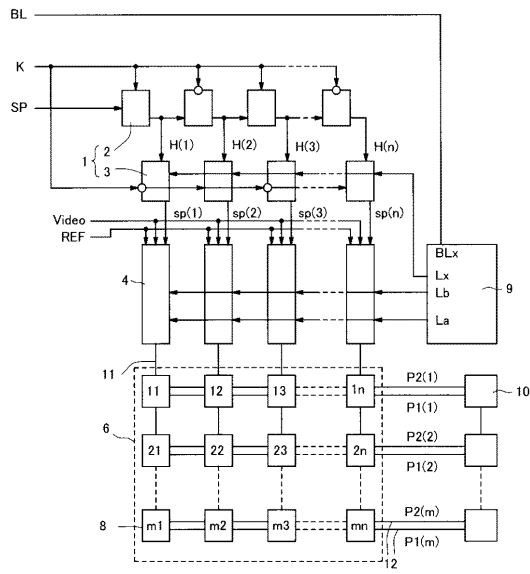
【図 7】



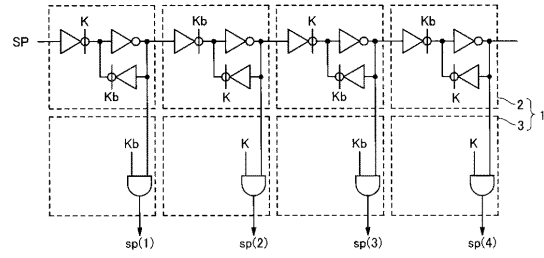
【図 8】



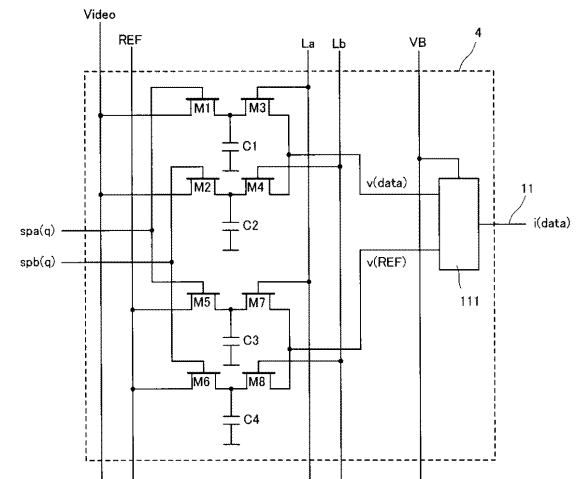
【図 9】



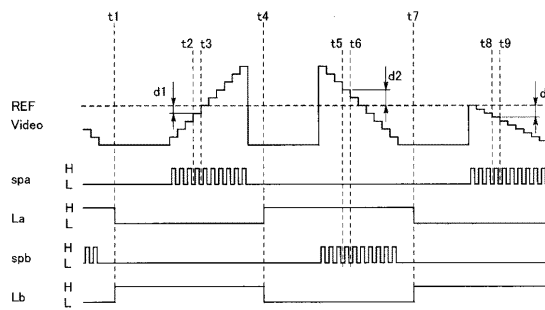
【図 10】



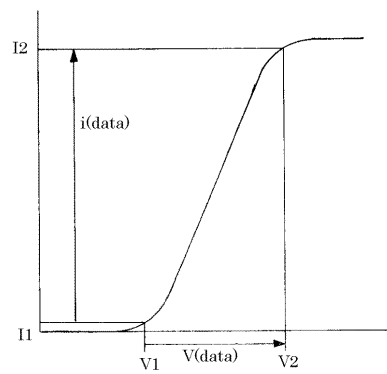
【図 11】



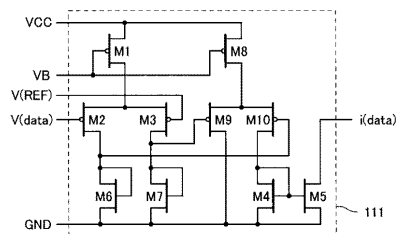
【図 12】



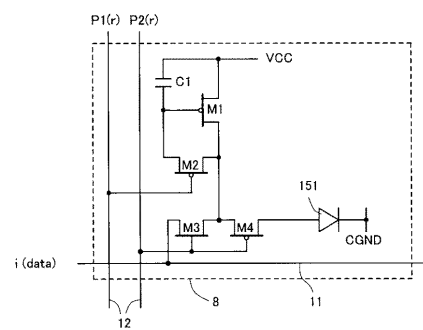
【図 14】



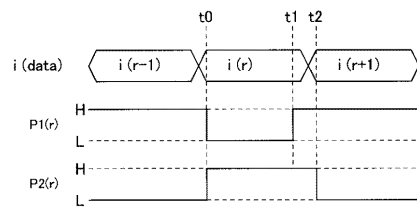
【図 13】



【図 15】



【図 16】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 7 0 Q
H 0 5 B	33/14	A

专利名称(译)	表示装置		
公开(公告)号	JP2005173420A	公开(公告)日	2005-06-30
申请号	JP2003415889	申请日	2003-12-15
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	井関正己 川野藤雄		
发明人	井関 正己 川野 藤雄		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.622.A G09G3/20.623.A G09G3/20.623.R G09G3/20.624.B G09G3/20.641.D G09G3/20.670.Q H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/GG56 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB34 5C380/AC09 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB03 5C380/BB04 5C380/CA02 5C380/CA05 5C380/CA08 5C380/CA13 5C380/CA23 5C380/CA24 5C380/CA29 5C380/CA30 5C380/CA51 5C380/CA52 5C380/CA54 5C380/CA57 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC13 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC63 5C380/CD014 5C380/CE11 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF10 5C380/CF17 5C380/CF23 5C380/CF26 5C380/CF28 5C380/CF31 5C380/CF32 5C380/CF33 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA47 5C380/FA03 5C380/FA18 5C380/FA28 5C380/GA04 5C380/GA05 5C380/HA13		
代理人(译)	渡边圭佑 山口 芳広		
外部链接	Espacenet		

摘要(译)

解决的问题：为了有效地检测从电流驱动型EL显示装置中的列控制电路输出的电流信号的变化。在像素电路8和列控制电路4之间设置有开关5，并且通过切换开关5将从列控制电路4输出的电流信号作为总电流I_{out}输出到公共输出线13的结构。在列扫描控制电路1中，通过独立地控制移位寄存器2的进程和来自门电路3的采样信号的输出定时，由列控制电路4仅执行预定采样以进行检查。输入信号并执行采样以检测电流信号。[选型图]图1

