

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5517364号
(P5517364)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611J
	G09G 3/20 621F
	G09G 3/20 623R
	G09G 3/20 623Y

請求項の数 18 (全 16 頁)

(21) 出願番号	特願2011-522550 (P2011-522550)	(73) 特許権者	597063048
(86) (22) 出願日	平成21年8月13日(2009.8.13)		ケンブリッジ ディスプレイ テクノロジ
(65) 公表番号	特表2012-500407 (P2012-500407A)		ー リミテッド
(43) 公表日	平成24年1月5日(2012.1.5)		イギリス・ケンブリッジシャー・CB23
(86) 国際出願番号	PCT/GB2009/001990		・6DW・キャンボーン・キャンボーン・
(87) 国際公開番号	W02010/018380		ビジネス・パーク・(番地なし)・ビルデ
(87) 国際公開日	平成22年2月18日(2010.2.18)		イング・2020
審査請求日	平成24年7月26日(2012.7.26)	(74) 代理人	230104019
(31) 優先権主張番号	0814931.2		弁護士 大野 聖二
(32) 優先日	平成20年8月15日(2008.8.15)	(74) 代理人	100106840
(33) 優先権主張国	英国 (GB)		弁理士 森田 耕司
		(74) 代理人	100105991
			弁理士 田中 玲子
		(74) 代理人	100113549
			弁理士 鈴木 守

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のOLED画素の列を載せるガラスパネルを備え、各画素はOLEDおよび関連付けられたアクティブマトリクスドライバ回路を備え、前記各アクティブマトリクスドライバ回路が、関連付けられたOLEDの輝度をプログラムするためのプログラミング接続部を含み、前記OLED画素の列のプログラミング接続部が前記表示装置のプログラミングラインに接続され、前記アクティブマトリクスOLED表示装置はさらに、前記それぞれのプログラミングラインの端部に接続された第1の極板と、前記プログラミングラインの静電容量を補償する負性キャパシタ回路に接続するための第2の極板とをそれぞれが有する複数のキャパシタを前記ガラスパネル上に備え、

前記プログラミングラインが、前記表示装置にプログラミング接続部を設けるための外側接続部を有し、前記キャパシタが、前記外側接続部と反対側の前記プログラミングラインの端部に接続される、アクティブマトリクスOLED表示装置。

【請求項 2】

前記キャパシタが前記プログラミングラインの各端部に接続されて、前記プログラミングラインの各端部でそれぞれの前記負性静電容量回路に接続する、請求項1に記載のアクティブマトリクスOLED表示装置。

【請求項 3】

複数の前記負性キャパシタ回路をさらに備え、前記キャパシタ回路の各々は前記プログラミングラインに接続された前記キャパシタの前記第2の極板に結合され、前記負性キャ

パシタ回路が前記ガラスパネル上に製造される、請求項 1 または 2 に記載のアクティブマトリクス O L E D 表示装置。

【請求項 4】

複数の前記負性キャパシタ回路をさらに備え、前記キャパシタ回路の各々は前記プログラミングラインに接続された前記キャパシタの前記第 2 の極板に結合され、前記負性キャパシタ回路は前記ガラスパネルに取り付けられたチップレット上に製造される、請求項 1 または 2 に記載のアクティブマトリクス O L E D 表示装置。

【請求項 5】

前記負性キャパシタ回路は増幅器を備え、前記キャパシタの前記第 1 の極板が前記増幅器の入力部に結合され、前記キャパシタの前記第 2 の極板が前記増幅器の出力部に結合される、請求項 1 ~ 4 のいずれか記載のアクティブマトリクス O L E D 表示装置。

10

【請求項 6】

前記負性キャパシタ回路は複数のトランジスタを備え、前記トランジスタが N M O S デバイスだけを含む結果、前記負性キャパシタ回路は P M O S トランジスタを備えない、請求項 1 ~ 5 のいずれか記載のアクティブマトリクス O L E D 表示装置。

【請求項 7】

前記負性キャパシタ回路は複数のトランジスタを備え、1 つまたは複数の前記トランジスタの劣化による閾電圧変化を補償する回路を含む、請求項 1 ~ 6 のいずれかに記載のアクティブマトリクス O L E D 表示装置。

【請求項 8】

前記キャパシタが、前記プログラミングラインの前記静電容量の 0 . 0 5 倍から 2 倍の値を有する、請求項 1 ~ 7 のいずれかに記載のアクティブマトリクス O L E D 表示装置。

20

【請求項 9】

O L E D 表示装置を駆動しているときに前記 O L E D 表示装置のプログラミングラインの静電容量を補償する方法であって、

前記プログラミングラインの前記静電容量を模する参照静電容量を使用するステップと、

前記プログラミングライン上の電圧と前記参照キャパシタ上の電圧との比較に応じて、前記プログラミングラインおよび前記参照キャパシタの両方を並行して駆動するステップと、

30

前記プログラミングラインに対する駆動を低減させるために、前記参照キャパシタを前記プログラミングライン上の電圧付近になるよう放電するステップと、を含む方法。

【請求項 10】

前記プログラミングラインの前記静電容量と前記参照静電容量の間の正帰還による不安定な状態を緩和するために前記駆動を制御するステップをさらに含む、請求項 9 に記載の方法。

【請求項 11】

前記参照キャパシタが、前記プログラミングラインの前記静電容量の $1 / 10$ 未満の静電容量を有し、好ましくは前記プログラミングラインの前記静電容量の $1 / 20$ 、 $1 / 50$ または $1 / 100$ 未満の静電容量を有する、請求項 9 または 10 に記載の方法。

40

【請求項 12】

前記駆動ステップが、前記参照静電容量および前記プログラミングラインに対するそれぞれの電流駆動を制御するステップを含む、請求項 9 ~ 11 のいずれか記載の方法。

【請求項 13】

前記参照静電容量に対する前記電流駆動を制御する前記制御ステップが、前記参照静電容量に 100% 未満のデューティサイクルで電流駆動を加えるステップを含む、請求項 12 に記載の方法。

【請求項 14】

前記それぞれの電流駆動を制御する前記ステップが、前記参照静電容量と前記プログラミングラインの前記静電容量との静電容量比で、前記参照静電容量に対する電流駆動を前

50

記プログラミングラインの前記静電容量に対する電流駆動と一致させるステップを含む、請求項 1 2 または 1 3 に記載の方法。

【請求項 1 5】

前記 O L E D 表示装置がパッシブマトリクス表示装置を含む、請求項 9 から 1 4 のいずれか記載の方法。

【請求項 1 6】

前記駆動ステップが、比較器を使用して前記比較を実施するステップと、前記比較器を使用して、前記参照静電容量および前記プログラミングラインに供給する電流発生器を切り替えるそれぞれのスイッチングデバイスを制御するステップとを含む、請求項 1 ~ 1 5 のいずれか記載の方法。

10

【請求項 1 7】

O L E D 表示装置を駆動しているときに前記 O L E D 表示装置のプログラミングラインの静電容量を補償するシステムであって、

前記プログラミングラインの前記静電容量を模する参照静電容量を使用する手段と、
前記プログラミングライン上の電圧と前記参照キャパシタ上の電圧との比較に応じて、
前記プログラミングラインおよび前記参照キャパシタの両方を並行して駆動する手段と、
前記プログラミングラインに対する駆動を低減させるために、前記参照キャパシタを前記プログラミングライン上の電圧付近になるよう放電する手段と、を含むシステム。

【請求項 1 8】

O L E D 表示装置のプログラミングラインの静電容量を補償する O L E D 表示ドライバであって、静電容量補償回路を含み、前記静電容量補償回路が、参照静電容量と、前記参照静電容量に結合された第 1 の入力部、および前記プログラミングラインの接続部に結合された第 2 の入力部、および出力部を有する比較器と、前記プログラミングラインに対し第 1 の電流駆動を行う第 1 の電流ドライバ、および前記参照静電容量に対し第 2 の電流駆動を行う第 2 の電流ドライバと、前記比較器の前記出力部で両方が駆動される第 1 および第 2 のデバイスとを備え、その結果、使用時に、前記第 1 の電流駆動により前記プログラミングラインに注入される電荷が、前記プログラミングラインの前記静電容量を補償するようになる、O L E D 表示ドライバ。

20

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本発明は、アクティブマトリクス O L E D (有機発光ダイオード) 表示装置に関し、具体的には、集積化された負性静電容量回路を有する表示パネルに関する。本発明の諸態様はまた、O L E D 表示装置におけるアクティブ静電容量補償の方法および装置にも関し、パッシブマトリクス表示装置に対する特有の(しかし専用ではない)適用可能性を備える。

【背景技術】

【0 0 0 2】

有機発光ダイオード(O L E D)は、電子-光表示における特に有利な形態を備える。これらは明るく、色が鮮やかで、高速スイッチングし、広い視野角が得られ、様々な基板上に製作するのが容易で安価である。有機(ここでは有機金属を含む) L E D は、ポリマー、小分子および dendrimer を含む材料を使用して、その使用材料によって決まる色の範囲で製作することができる。ポリマーをベースとする O L E D の例は、国際公開 9 0 / 1 3 1 4 8 号、国際公開 9 5 / 0 6 4 0 0 号、および国際公開 9 9 / 4 8 1 6 0 号に記載されている。Dendrimer をベースとする材料の例は、国際公開 9 9 / 2 1 9 3 5 号および国際公開 0 2 / 0 6 7 3 4 3 号に記載され、いわゆる小分子をベースとするデバイスは、米国特許第 4 , 5 3 9 , 5 0 7 号に記載されている。

40

【0 0 0 3】

有機 L E D は、基板上に画素のマトリクスとして堆積させて、単色または多色の画素化表示装置を形成することができる。多色表示装置は、赤、緑および青色を発するサブ画素

50

の群を使用して構築することができる。いわゆるアクティブマトリクス (AM) 表示装置は、通常は蓄積キャパシタであるメモリ要素、および各画素と関連付けられたトランジスタを有する (それに対してパッシブマトリクス表示装置は、そのようなメモリ要素を有さず、代わりに、繰返し走査されるために静止画像の印象を与える)。ポリマー、および小分子のアクティブマトリクス表示ドライバの例は、それぞれ国際公開 99/42983号、および欧州特許出願公開第 0,717,446号に見出すことができる。

【0004】

アクティブマトリクス表示装置は、発光レベルを設定するのが画素にデータを (列またはデータラインを介して) 電流信号として供給することにより、あるいは、電圧信号として供給することにより、それぞれ電流プログラムされるもの、または電圧プログラムされるものに分類することができる。

10

【0005】

電圧プログラムされるアクティブマトリクスドライバ回路に関連する背景の従来技術は、"The impact of the transient response of organic light emitting diodes on the design of active matrix OLED display" (Dawson et al, IEEE International Electron Device Meeting, San Francisco, Ca, 875-875, 1998)に見出すことができる。電流プログラムされるアクティブマトリクス画素ドライバ回路に関連する背景の従来技術は、"Solution for Large-Area Full-Color OLED Television - Light Emitting Polymer and a-Si TFT Technologies" (Shirasaki et al, of Casio Computer Co Ltd and Kyushu University, Invited paper AMD3/OLED5 -1, 11th International Display Workshops, 8-10 December 2004, IDW '04 Conference Proceedings pp. 275-278, 2004)に見出すことができる。

20

【0006】

図 1 a および図 1 b は、IDW '04論文から引用されており、例示的な電流プログラムされるアクティブマトリクス画素回路、および対応するタイミング図を示す。動作の際、第 1 の段階で、データラインは短時間接地されて C_s 、および OLED の接合静電容量が放電される (V_{select} 、 V_{reset} High; V_{source} low)。次に、データシンク I_{data} が加えられ、その結果、対応する電流が T3 を通って流れるようになり、 C_s は、この電流に必要なゲート電圧を蓄積する (V_{source} は low であり、そのため電流は OLED を通って流れず、T1 はオンであり、したがって T3 はダイオード接続される)。最後に、選択ラインがディアサートされ、 V_{source} が High にされ、その結果、プログラムされた電流 (C_s に蓄積されたゲート電圧によって決まる) が OLED を通って流れるようになる (I_{OLED})。

30

【0007】

OLED の輝度は、デバイスを通して流れる電流によって決まり、この電流により、デバイスで発生する光子の数が決まる。したがって、アクティブマトリクス画素回路は、OLED デバイスを通して流れるこのような電流を制御する手段を用意しなければならない。この電流を設定することは、電流または電圧プログラミング信号によって可能である。電圧プログラミングは、簡単さおよび速度という利点を有するが、時間と共に変化することが多い設定電圧と供給電流の関係の再現可能性が要求される。電流プログラムされる回路は、OLED への電流をコピーし、したがってどんな間接的關係にも依拠せず、したがってパネル老朽化による変化を起こしにくい、電流プログラミング法は、データラインの寄生静電容量が比較的大きいことにより、より長い設定時間 (充電時間) を呈する。

40

【0008】

"Acceleration of Current Programming Speed for AMOLED using Active Negative-Capacitance Circuit" (C.-H. Shim and R. Hattori, 14th International Display Workshops, December 2007, IDW '07 Conference Proceedings pp. 1985-1986, 2007)では、寄生静電容量と符号が反対であるが同じ値を有する等価回路を実施することによってパネルの寄生静電容量の影響を除去する「負性静電容量」の概念を提案している。図 2 a および図 2 b は、Shim および Hattori の論文から引用されており、AMOLED の

50

画素駆動トランジスタ、寄生静電容量、および負性キャパシタからなる簡略化等価回路、ならびに実施されたアクティブ負帰還回路の概念図を示す。これはまた、表示列を事前充電することで知られている。

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、改善された技法が必要とされている。

【課題を解決するための手段】

【0010】

アクティブマトリクス表示装置

10

本発明の第1の態様によれば、アクティブマトリクスOLED表示装置が提供され、この表示装置は、複数のOLED画素列を載せるガラスパネルを備え、個々の画素がOLEDおよび関連付けられたアクティブマトリクスドライバ回路を備え、前記各アクティブマトリクスドライバ回路が、関連付けられたOLEDの輝度をプログラムするためのプログラミング接続部を含み、前記OLED画素の列のプログラミング接続部が前記表示装置のプログラミングラインに接続され、前記アクティブマトリクスOLED表示装置はさらに、前記それぞれのプログラミングラインの端部に接続された第1の極板と、前記プログラミングラインの静電容量を補償する負性キャパシタ回路に接続するための第2の極板とをそれぞれが有する複数のキャパシタを前記ガラスパネル上に備える。

【0011】

20

いくつかの好ましい実施形態では、キャパシタは、プログラミングラインへの外側接続部と反対側のプログラミング(列)ラインの端部に接続される。この外側接続部はキャパシタを通してルーティングする必要がないので、これにより外側プログラミング接続のルーティングが容易になる。しかし、別の実施形態では、キャパシタがプログラミングラインの両端に設けられる。これは、キャパシタによって供給される電流(電荷)が半分になるだけでなく、各キャパシタが電流を列ラインの半分にしか供給しないために実効抵抗も半分となり、それによって4倍の性能改善をもたらされるので有利である。

【0012】

いくつかの好ましい実施形態では、負性キャパシタ回路はまた、表示装置のガラスパネル上にも製造される。しかし、代替形態の構成では、前記負性キャパシタ回路は、ガラスパネル上に、例えば印刷されて取り付けられるチップレットとして製造することもできる。印刷技法の例は、www.semiprius.comで見出すことができる。

30

【0013】

大まかに言えば、負性キャパシタ回路のキャパシタは、プログラミングラインの静電容量に蓄積されたものと等しい電荷を供給することを目的とする。プログラミングライン静電容量 C_{line} では、電流の流れは $C_{line} (dV/dt)$ になる。プログラミングラインの静電容量は、各画素ドライバ回路の選択トランジスタのソース/ドレイン接続部の入力静電容量からプログラミングラインまでの幹線路内にある。いくつかの好ましい実施形態では、負性キャパシタ回路は、前記キャパシタの一方の極板に結合された入力部と、前記キャパシタの他方の極板に結合された出力部とを有する増幅器を備える。しかし、当業者であれば、より複雑な回路、例えば dV/dt 項が明示的に生成されて増幅器に渡され、増幅器の出力を用いてプログラミングラインに電流を注入する電流発生器を制御する回路が使用されてよいことを理解されよう。

40

【0014】

いくつかの好ましい実施形態では、負性キャパシタ回路はNMOS形のトランジスタだけを使用する。いくつかの好ましい実施形態では、LTPS(低温ポリシリコン)プロセスを使用し、これにより、アクティブマトリクス画素ドライバ回路に自己整合ゲートを使用することが可能になり、入力静電容量が低減される(アモルファスシリコン中のパターンニングされたゲート金属は一般に、許容誤差を見越すためにいくらかの部分的重なりを必要とし、したがって入力静電容量がより大きい)。

50

【 0 0 1 5 】

いくつかの特に好ましい実施形態では、負性キャパシタ回路は、その回路の1つまたは複数のトランジスタの老朽化による閾電圧変化を補償する回路を含む。いくつかの実施形態では、負性キャパシタ回路は、ロングテールトランジスタ対 (long-tailed transistor pair) に電流源またはシンクを提供するカレントミラーも備え、ダイオード接続されたトランジスタがトランジスタ対の出力トランジスタにある。このような構成では、主にロングテール対のトランジスタにおける閾電圧変化 (V_T) が補償される。いくつかの異なる回路構成を、例えば使用可能な回路面積、加えられる補償の複雑さと程度のトレードオフに応じて、使用することができる。

【 0 0 1 6 】

いくつかの好ましい実施形態では、負性キャパシタ回路のキャパシタは、プログラミングラインの静電容量の $1/20$ から2倍の値を有する。これにより、正の実際の静電容量を補償するために必要な電流を負性キャパシタ回路が供給できないリスクが減るので、プログラミングライン静電容量の正確な補償が容易になる。供給される電流が、例えば電源電圧制約により不十分である場合には、補償は、それが dV/dt 項に依拠するので、そのような制約から回復しない。

【 0 0 1 7 】

関連する一態様では、本発明は、アクティブマトリクスOLED表示装置のプログラミングラインの静電容量を補償する方法を提供し、この表示装置は複数のOLED画素の列を載せるガラスパネルを備え、個々の画素はOLEDおよび関連付けられたアクティブマトリクスドライバ回路を備え、前記各アクティブマトリクスドライバ回路が、関連付けられたOLEDの輝度をプログラムするためのプログラミング接続部を含み、前記OLED画素の列のプログラミング接続部が前記表示装置のプログラミングラインに接続されており、この方法は、前記プログラミングラインの前記静電容量を補償するための電荷を供給するそれぞれのキャパシタを含む負性キャパシタ回路を使用して前記各プログラミングラインを駆動するステップと、前記キャパシタを前記表示装置の前記ガラスパネルの境界部分に設置するステップとを含む。

【 0 0 1 8 】

別の関連する一態様では、本発明は、AMOLED表示装置に使用するための回路を提供し、この表示装置がガラスパネル、およびこのパネル上の複数のプログラミングラインを備え、回路は、静電容量手段と、この静電容量手段に結合された増幅手段とを、動作の際に前記静電容量手段および前記増幅手段が前記プログラミングラインに負性静電容量を与えるように備え、少なくとも前記静電容量手段がガラスパネルの境界内に配置される。

【 0 0 1 9 】

アクティブ静電容量補償

次に、アクティブマトリクス表示装置とパッシブマトリクス表示装置の両方で使用できる別の技法を説明するが、これらの技法では、表示部静電容量を補償するために加えられるべき電荷の度合いを追跡する参照キャパシタを使用する。これらの技法は、1列当たり $1 \sim 2 \text{ nF}$ の静電容量で数百列を有しうるパッシブマトリクス表示装置に特に適している。このような場合では、上述の負性静電容量回路の静電容量の物理的サイズが問題になりうる。したがって、駆動電流源から失われた電荷を補償するために、小さな内部参照キャパシタを使用して、行われているプログラミングラインの静電容量のアクティブ充電の量を追跡する技法を説明する。

【 0 0 2 0 】

本発明の別の態様によれば、OLED表示装置を駆動しているときにOLED表示装置のプログラミングラインの静電容量を補償する方法が提供され、この方法は、前記プログラミングラインの前記静電容量を模する参照静電容量を使用するステップと、前記プログラミングライン上の電圧と前記参照キャパシタ上の電圧との比較に応じて、前記プログラミングラインおよび前記参照キャパシタの両方を並行して駆動するステップとを含む。

【 0 0 2 1 】

10

20

30

40

50

この技法の実施形態では、表示部静電容量のより正確で適応できる補償が容易になる。より具体的には、諸実施形態で、補償回路からの必要なピーク電流出力がより小さくなり、より小さな蓄積キャパシタを使用することができる。

【 0 0 2 2 】

この方法の諸実施形態では、プログラミングラインの静電容量の影響は、ラインの最初および最後の電圧を追跡し、これを用いて実際にラインの電荷を（静電容量×電圧差から）決定することによって補償できることが認められる。参照キャパシタを使用することで、電圧差を記憶しておくための機構、したがって、以前に電荷がどれだけプログラミングラインに加えられたかを決定するための機構が得られ、その結果、必要な追加電荷（電流）を決定することができるようになる。

10

【 0 0 2 3 】

この技法により、参照キャパシタの静電容量を、プログラミングラインの静電容量の何分の1か、例えば1/10、1/20、1/50または1/100未満にするとともに、参照キャパシタの物理的サイズも同様に低減することが可能となる。

【 0 0 2 4 】

諸実施形態では、この方法は、比較器を備える回路を使用して実施され、この比較器は、第1の入力部がプログラミングラインに結合され、第2の入力部が参照キャパシタに結合されると共に、電流発生器を制御する出力部を有し、この電流発生器は、参照キャパシタおよびプログラミングラインそれぞれに対し、好ましくは一致した、好ましくは参照キャパシタとプログラミングラインの比で電流を発生する。参照キャパシタとプログラミングライン静電容量の両方を並行して駆動することによって、参照キャパシタ上の電圧が実質的に追跡し、したがって、プログラミングライン静電容量を補償するために必要な電荷が決定する。このような構成により、プログラミングライン（静電容量）上の電圧が参照キャパシタ上の電圧より小さい場合に、比較器の反転入力から非反転入力へのダイオード順方向導通などの機構を用いて、参照キャパシタ上の電圧を、この電圧がプログラミングライン静電容量と同時に放電するようにプルダウンすることができる（ダイオード導通）。

20

【 0 0 2 5 】

このような構成では、特定の状況のもとで、プログラミングライン上の電圧の増加が参照キャパシタ上の電圧を増加させることで、また、これとは逆の動作によって、正帰還を引き起こす可能性がある。したがって、回路/方法の諸実施形態は、このような正帰還による不安定な状態を緩和するシステムを含むことが、例えば、プログラミングライン静電容量上の電圧を常に参照静電容量上の電圧よりもわずかに小さく設定する、かつ/またはプログラミングライン静電容量に対する駆動が参照キャパシタに対する駆動よりわずかに遅れるように設定することによって可能である。当業者であれば、他の技法、例えばプログラミングラインと参照静電容量に対する各電流駆動のわずかな不一致を意図的に導入する技法もまた用いることができることを理解されよう。

30

【 0 0 2 6 】

諸実施形態では、参照静電容量に対する電流駆動は、プログラミングラインに対する電流駆動よりもずっと小さい（参照静電容量がずっと小さい静電容量値を有するため）。したがって、参照静電容量に対する電流駆動は、100%未満のデューティサイクルを有しうる（ここで100%は常にオンを意味する）。プログラミングラインおよび参照静電容量に対するそれぞれの電流駆動は、それぞれの静電容量値の比に一致することが好ましい。当業者であれば、これを実現する方法が多くあることを理解されようが、いくつかの例を後で説明する。

40

【 0 0 2 7 】

関連する一態様では、本発明は、OLED表示装置を駆動しているときにOLED表示装置のプログラミングラインの静電容量を補償するシステムを提供し、このシステムは、前記プログラミングラインの前記静電容量を模する参照静電容量を使用する手段と、前記プログラミングライン上の電圧と前記参照キャパシタ上の電圧との比較に応じて、前記プ

50

プログラミングラインおよび前記参照キャパシタの両方を並行して駆動する手段とを含む。

【0028】

別の一態様では、本発明は、OLED表示装置のプログラミングラインの静電容量を補償するOLED表示ドライバを提供し、このOLED表示ドライバは、静電容量補償回路を含み、前記静電容量補償回路が、参照静電容量と、前記参照静電容量に結合された第1の入力部、および前記プログラミングラインの接続部に結合された第2の入力部、および出力部を有する比較器と、前記プログラミングラインに対し第1の電流駆動を行う第1の電流ドライバ、および前記参照静電容量に対し第2の電流駆動を行う第2の電流ドライバと、前記比較器の前記出力部で両方が駆動される第1および第2のデバイスとを備え、その結果、使用時に、前記第1の電流駆動により前記プログラミングラインに注入される電荷が、前記プログラミングラインの前記静電容量を補償するようになる。

10

【0029】

これらの技法の好ましい実施形態では、OLED表示装置はパッシブマトリクス表示装置である。

【0030】

次に、上記およびその他の本発明の態様を例示的にのみ、添付の図を参照してさらに説明する。

【図面の簡単な説明】

【0031】

【図1a】従来技術による画素回路の例を示す図である。

20

【図1b】図1aの画素回路に対応するタイミング図である。

【図2a】AMOLEDの画素駆動トランジスタ、寄生静電容量、および負性キャパシタからなる等価回路を示す図である。

【図2b】従来技術によるアクティブ負性静電容量帰還の実施回路を示す図である。

【図3】本発明の一態様の一実施形態による負性静電容量回路の一例を示す図である。

【図4】本発明の一態様の一実施形態による負性静電容量回路の一例を示す図である。

【図5a】本発明の諸実施形態によるアクティブマトリクスOLED表示回路の概略図である。

【図5b】本発明の諸実施形態によるアクティブマトリクスOLED表示回路の概略図である。

30

【図5c】本発明の諸実施形態によるアクティブマトリクスOLED表示回路の概略図である。

【図6】本発明の一態様の一実施形態によるアクティブ充電補償回路の一例を示す図である。

【発明を実施するための形態】

【0032】

プログラミング時間に及ぼす列静電容量の影響を克服するために、負性キャパシタ回路の導入箇所を、実用的でない場合があるドライバチップから、アクティブマトリクス表示パネルへと移動させる技法について説明する。

【0033】

40

現在のプログラミング方式と比較して、説明する技法ではプログラミング時間の大幅な低減が実現し、それによってこの方式が、より大型のパネルサイズに対してより実用的なものになる。OLED表示パネルに関する他の負性静電容量の実証と比較して、典型的な負性静電容量の実施では、大きく寸法設定されたキャパシタ、および/または大きな電圧範囲を必要とする。そのような大型のキャパシタをドライバチップ上に経済的に集積することは不可能であり、シリコンプロセスに用いられる以上の電圧を許容することは、コストの劇的な増加につながる。

【0034】

関連する展開では、表示部静電容量を補償するのに必要な電荷量を追跡するために参照キャパシタを使用する技法についても説明する。

50

【 0 0 3 5 】

標準的な事前充電方式と比較して、説明する技法では、より正確で適応性のある表示部静電容量の補償を実現し、一方、負性静電容量と比較して、回路からのピーク電流出力がより小さくなり、蓄積キャパシタがより小さくなることが実現する。

【 0 0 3 6 】

アクティブマトリクス表示装置

まず、アクティブマトリクス表示装置においてプログラミング時間に及ぼす列静電容量の影響を軽減する態様に注目すると、負性静電容量回路は、キャパシタと反対の電流 - 電圧 ($I - V$) 応答を示すアクティブ回路である。キャパシタでは、 $I = C (dV / dt)$ である。負性キャパシタを作るには、この関係が、 $I = - C (dV / dt)$ となるように反転される。データライン上の静電容量は、電流または電圧駆動である所与の駆動に対してライン上の電圧が安定する速さを低減させる。相等しい反対の負性静電容量を追加すると、それが完全である場合、ライン静電容量の充電状態を適切に変更するために必要なすべての電流を自動的に供給する負性静電容量になりうる。言い換えると、これにより、存在する静電容量を相殺して安定時間を激減させ、したがってプログラミング時間を激減させることができる。この方式が成功することに対する制限要因は、トラック抵抗である。しかし、この制限要因を考慮しても、負性静電容量により、プログラミング中の安定時間を大幅に低減させることができる。

【 0 0 3 7 】

基本的な負性静電容量回路 3 0 0 が図 3 に示されており、これは、非反転演算増幅器 3 0 2 を含み、キャパシタ 3 0 4 が演算増幅器 3 0 2 の入力部と出力部の間にある。この回路の静電容量応答は $C_p (1 - A)$ になり、ここで A は演算増幅器の利得である。したがって、 $A > 1$ であれば静電容量は負になる。原則として小信号では A の値を高くすることが可能であり、したがって、小さなキャパシタを使用して大きな負性静電容量を実現することが可能である。より大きな信号では、高い利得の影響により、演算増幅器の出力が電圧レールに当たり、正常に動作しない可能性がある。より一般的には、この回路の利得が約 2 となるように設計することが好ましい。

【 0 0 3 8 】

図 4 は、例示的な負性静電容量回路を示す。回路 4 0 0 は、トランジスタ M_1 、 M_2 、 M_3 、 M_4 を備える演算増幅器を含み、ここで負荷トランジスタ M_3 は、 V_{DD} ライン 4 0 2 に結合されている。トランジスタ M_3 は、利用可能な領域が限られている場合は、設けなくても良い。トランジスタ M_1 および M_2 は、バイアス電圧 (V_{DC_bias}) 4 0 6 を用いて単一電源供給 V_{in} に結び付けられた差動入力対を形成する。入力 V_{in} は、キャパシタ 4 0 8 の一方の極板に結合され、出力 4 0 4 がキャパシタ 4 0 8 の他方の極板に結合される。図示の回路はまた、ロングテールトランジスタ対 M_4 、 M_5 に電流源またはシンク (V_{SS}) 4 1 0 を提供するカレントミラーも含み、ダイオード接続されたトランジスタ M_5 がトランジスタ対の出力トランジスタとして設けられる。

【 0 0 3 9 】

図 4 に示された回路では、すべてのトランジスタが n チャネル $TFET$ であり、したがって、この回路はアモルファスシリコンで実施するのに適している。しかし、当業者は、 p チャネルだけを使用する代替設計もまた可能でありうることを理解されよう。

【 0 0 4 0 】

さらに、 $s - Si$ 上での実施において、この回路を設置するには、デバイス上に現れる可能性がある閾電圧ドリフトを補償するために、追加回路が必要になることもある。低温ポリシリコン ($LTPS$) 上での実施では、 $TFET$ 不均一性の影響により回路動作が過度に妨げられないことを確実にするように注意を払う必要があり、これらの影響を補償するための追加回路が組み込まれることがある。

【 0 0 4 1 】

トランジスタ構成要素をパネル上に印刷されたチップレット ($chiplet$) の形で実施することもまた可能であり、この場合キャパシタはパネル上にとどまることになる。

この場合、回路はCMOS（nおよびpチャネルデバイス）で実施されることが好ましい。

【0042】

図3および図4に示された負性静電容量回路は、AMOLED表示装置において多くの方法で実施することができ、その例が図5a~5cに提示されている。

【0043】

図5aに、M行N列の電流プログラムされるアクティブマトリクス画素回路504をガラスパネル502上に有する、アクティブマトリクスOLED表示装置500を示す。分かりやすくするために9つの画素回路だけが示されているが、表示装置500の構造および動作原理は容易に確認することができる。各アクティブマトリクス画素回路504は、例えば図1aを参照して説明したものと類似の回路を備えるが、任意の適切なアクティブマトリクス画素回路を別方法として実施することもできる。各アクティブマトリクス画素は、列ドライバ508によって駆動される列（データ）ライン506と、行ドライバ512によって駆動される行（選択）ライン510とに接続される。ここで、列ドライバ508は、列ごとの電流源516を含む列制御回路514を含む。

10

【0044】

図5aに示された具体的実施形態では、各負性静電容量回路518（列ライン506ごとに1つ）の演算増幅器Aおよび対応するキャパシタCpの両方が、列ドライバ508に隣接するガラスパネル502の縁部520とアレイの第1の行（Row1）のアクティブマトリクス画素回路との間のガラスパネル502上で、列ライン506と接続される。

20

【0045】

図5bに示された別の具体的実施形態では、同じ参照番号が図5aのものと同じ部分または相当する部分を示すが、各負性静電容量回路518'（列ライン506'ごとに1つ）の演算増幅器Aおよび対応するキャパシタCpの両方が、列ライン506'と列ドライバ508'の間の接続部と反対側のガラスパネル502'上で、列ライン506の端部と結合される。

【0046】

図5aおよび図5bは、AMOLEDの簡略化図を表し、各列間の空間は、ミクロンで測定できる例えば150 μ mとすることができ、一方、アクティブ領域とガラスパネルの縁部間の空間は、ミリメートルで測定可能とすることができ、しかし、負性静電容量回路の実施は、とりわけ、サイズ、複雑さ（レイアウト）、および表示パネルに対し行われる材料選択によって決まることを理解されたい。例えば、少しずつずらした負性静電容量回路の幾何学的配置を実施することができる。

30

【0047】

ある列の組み合わせられた静電容量は一般に、その列に接続された要素の全寄生静電容量の合計、例えば約100pFの組合せ静電容量値を約1 μ Aの電流源と共に含むので、負性静電容量回路を使用することは、表示パネルサイズ（したがって画素回路の数および静電容量）が増加するにつれてより魅力的になる。いくつかの映像フォーマットの空間解像度を下表に示す。

【0048】

40

【表 1】

表示フォーマット	空間解像度(画素)
WQVGA	428×240
HVGA	480×320
WVGA	854×480
HD720	1280×720
HD1080	1920×1080

10

【0049】

前述の負性静電容量方式を実施することに対する制限要因がトラック抵抗であるということ considering、本発明によるアクティブマトリクス表示装置の別の具体的実施形態では、負性静電容量回路が列ラインの片側端に設けられる。このような構成では、各キャパシタによって供給される電流（電荷）が半分になるだけでなく、各キャパシタが電流を列ラインの半分にしか供給しないので、実効抵抗もまた低減する。

【0050】

ソース/ドレイン・ゲートの重なりが付随する入力静電容量の増加と共に起こるパターンニング技術を採用した AMOLED 表示装置で、負性静電容量回路を実施することが望ましいこともある。これは、自己整合プロセスを用いる AMOLED 表示装置ではそれほど問題にならないことがある。

20

【0051】

図 5c には、本発明によるアクティブマトリクス表示装置 500 の別の具体的実施形態が示されており、各負性静電容量回路 518 のキャパシタ C_p がガラスパネル 502 上に与えられ、対応する演算増幅器 A は、列ドライバ 508 内に、例えばそれぞれの列制御回路 514 内に組み込まれている。このような実施では、ドライバからパネルまでの接続部数を 2 倍にする必要があり、そのためコストが大幅に増加する可能性がある。それでもなお、この構成により、キャパシタサイズを列ライン静電容量に正しく適合するように設計することができ、ガラス上のひとまとまりの構成要素（キャパシタ）が半分になるという利点と、高品質という利点とを得ることができる。

30

【0052】

本発明によるアクティブマトリクス表示装置の別の具体的実施形態では、負性静電容量回路を表示パネル全体に分散させることができる。

【0053】

さらに別の具体的実施形態では、負性キャパシタ回路は、ガラスパネル上に、例えば印刷されて取り付けられるチップレットとして製造することもできる。より複雑な負性静電容量回路もまた実現可能であり、例えば、微分器が電圧の変化に基づいて必要な信号を算出し、この信号が次に、電流源を駆動するために使用される。このような回路もまた、場合によってはガラス上で実施することができる。

40

【0054】

アクティブ静電容量補償

次に、アクティブ充電補償について説明する。以下の説明は、パッシブマトリクス表示装置に関して提示するが、根底にある概念は、アクティブマトリクス表示装置にも等しく適用できることを理解されたい。

【0055】

大型の OLED パッシブマトリクス表示装置は、（他の OLED よりも）大きな静電容量を有し、所与の列で活性状態にある 1 つまたは複数の OLED デバイスとともに駆動する必要がある。V0 がある列の初期電圧状態、V1 が安定状態駆動中の電圧状態、 $C_{c,0}$ がその列の静電容量であるとすれば、あるアドレス指定段階の開始時に、 $C_{c,0,1}$ (V

50

1 - V₀) に等しい電荷量を用いて列ラインを、O L E D 自体が駆動される前に充電することができる。これは信号の損失であり、補償する必要がある。そうする方法の1つは、電圧事前充電をすることであり、それによって電圧源が、ある設定された時間、列ラインに接続される。

【0056】

このような手法は許容できるが、特にO L E D が老朽化し駆動電圧が増加するにつれ、名目上の事前充電電圧から駆動電圧に充電が必要とされることに対応できない。負性静電容量法では、大きな度合いで適応的に補償するが、初期に非常に高い電流出力が必要とされ、そのため、大型の出力デバイスが必要になることがある。あるいは、デバイスが限定される場合には、必要な電流と充電のために供給される実際の電流との間に不適合がある可能性があり、そのためやはり充電エラーが残ることになる。

10

【0057】

図6の回路は、列充電の影響を補償する別の手法を示している。回路600は、列ドライバA、列充電電源B、および充電電源Bよりも小さいが尺度を合わせた参照源Cを備える。比較器602は、プログラミングライン604に接続された第1の入力部と、参照キャパシタ606に接続された第2の入力部とを有する演算増幅器を備え、出力610をカレントミラー構成のトランジスタ612、614に供給する。I_Bを充電電源電流、I_Cを参照源電流、C_{col}を列静電容量、C_{ref}を参照静電容量とすると、電流および参照静電容量は、 $I_B / I_C = C_{col} / C_{ref}$ となるように選ぶことができる。

【0058】

20

その場合、回路の動作は以下ようになる。

列(Col_n)は電圧V₀で起動し、参照キャパシタ606は同じ電圧まで充電される。

列ドライバAは、O L E D 用の表示部に電流を供給し、この電流は最初、列静電容量充電に当てられる。

列静電容量は充電されて、列電圧がV₀よりも高くなる。

列電圧とC_{ref}上の電圧の差により比較器が切り替わり、電流源B, Cが接続される。

電流源Bは電流を列に供給して、O L E D を駆動するのではなく列の充電に当てられたAからの電流を補償する。Bが列を駆動するように、Cは参照キャパシタ606を駆動する。

30

列電圧がC_{ref}の電圧よりも高い間、BおよびCは電流を供給し続ける。

列電圧とC_{ref}の電圧が一致したとき、BおよびCは切り離される。

駆動電圧V₁に達すると、そのとき列静電容量に入っている電荷はC_{col}(V₁ - V₀)に等しい。

参照キャパシタ中に供給された電荷はC_{ref}(V₁ - V₀)になる。

Bによって列中に供給された電荷は、 $(I_B / I_C) \times C_{ref} (V_1 - V_0)$ になる。

これを、 $I_B / I_C = C_{col} / C_{ref}$ に代入することにより、Bによって供給される電荷はC_{col}(V₁ - V₀)として得られる。すなわち、Bは、列を充電するのに必要なすべての電荷を供給しており、したがって、Aによって供給されるすべての電荷がO L E D の駆動に当てられることになる。

40

【0059】

この方法では、列充電の影響が正確に補償され、個別の事前充電段階が不要になり、したがって、O L E D 画素を駆動するための時間がより多く得られる。

【0060】

次に、放電の問題について説明する。特に、列が放電されるとき、参照キャパシタを同様に放電させるための手段が設けられることが好ましい。これは、参照キャパシタと列ラインの間のダイオードによって、あるいは、放電ラインへのスイッチを、列ラインに設けているものと同じように、参照キャパシタにも設けることによって、簡単に実現すること

50

ができる。

【0061】

ダイオード法が用いられる場合、比較器でダイオード固有電圧を考慮する必要がある。すなわちキャパシタが（例えば） $V_0 + 0.6V$ まで放電することを考慮していることが確実である必要があり、したがって、この具体的な場合の比較器が、参照キャパシタが列ラインよりも $0.6V$ 高くなった後にBがスイッチオフするように設計される必要がある。

【0062】

この回路の背後の原理が他の方法でも実現できることは明らかであろう。主な目的は、生じた電圧差にかかわらず、 $C_{c.o.1} (V_1 - V_0)$ に等しい電荷を供給することである。したがって、一つの代替形態では、電圧を測定し（例えばデジタル式で）、次に適切な追加電流を供給することが可能である。別の、演算増幅器を要するより複雑な実施もまた可能である。しかし、根底にある設計考慮事項は同じであり、電圧変化の速度に依存する電流を供給する負性静電容量回路とは対照的に、電圧差に比例した電荷を列ラインに供給する回路を実現することができる。

10

【0063】

この回路の別の改変形態では、非常に小さな電流源（C電流源）の問題のいくつかを、例えば、より高い電流出力源を使用し、その出力のデューティサイクルを調整して時間平均電流を低減させて、解決することができる。別の例は、BとCの代わりに単一の電流源を使用し、それを参照キャパシタと列ラインの間で時分割するものである。

20

【0064】

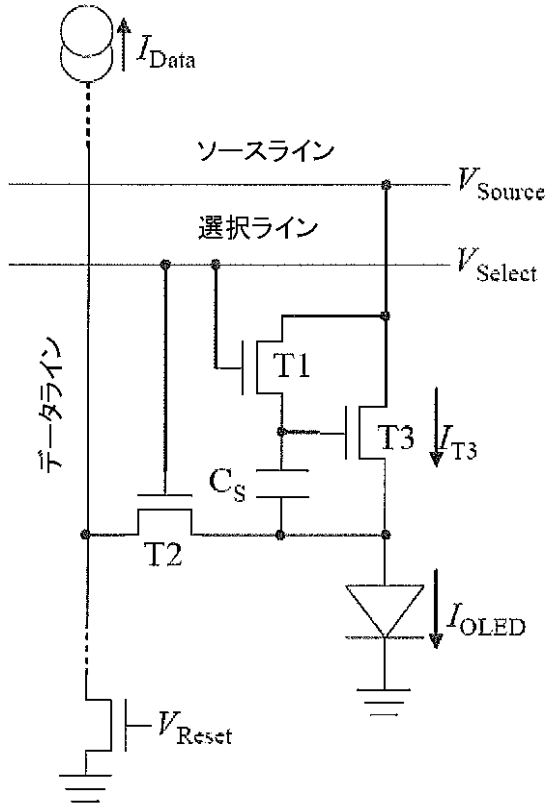
$I_B / I_C = C_{c.o.1} / C_{r.e.f}$ に一致させるためのいくつかの手段もまた、ドライバが様々な表示デバイスに対処する必要があるので、実施できることが好ましい。1つの可能性は、外部抵抗を使用してこれらのデバイスの一方または両方のレベルを設定することでありうる。別のものは、これらのデバイスの一方または両方のデューティサイクルを調整して、正しい時間平均比を得ることでありうる。最後に、別の手法は、単一の電流源の2つの出力間での時分割の比を調整するものでありうる。

【0065】

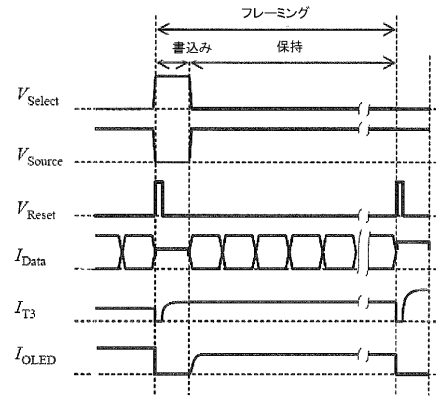
多くの効果的な代替形態が当業者には想起されよう。本発明は、説明した諸実施形態に限定されることはなく、当業者にとって明らかな変形例も、特許請求の範囲に含まれるものである。

30

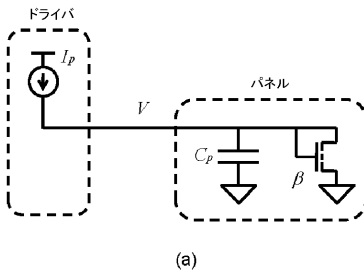
【図1 a】



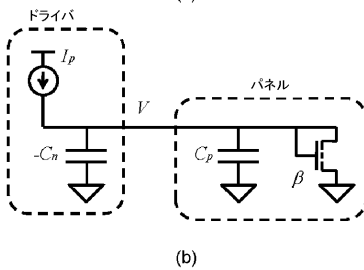
【図1 b】



【図2 a】

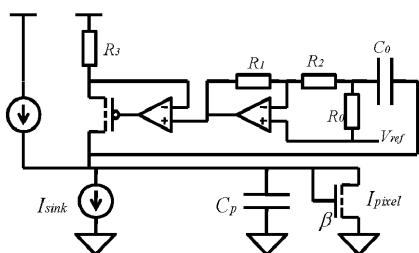


(a)

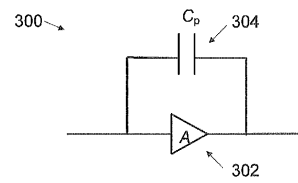


(b)

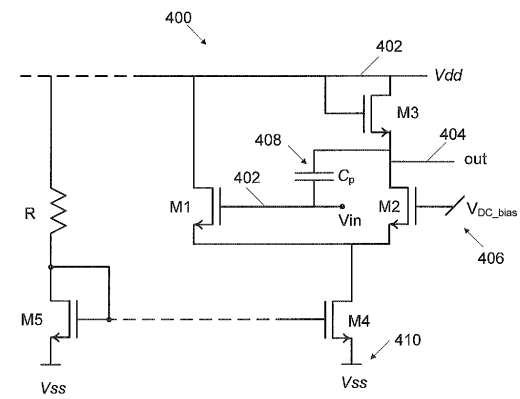
【図2 b】



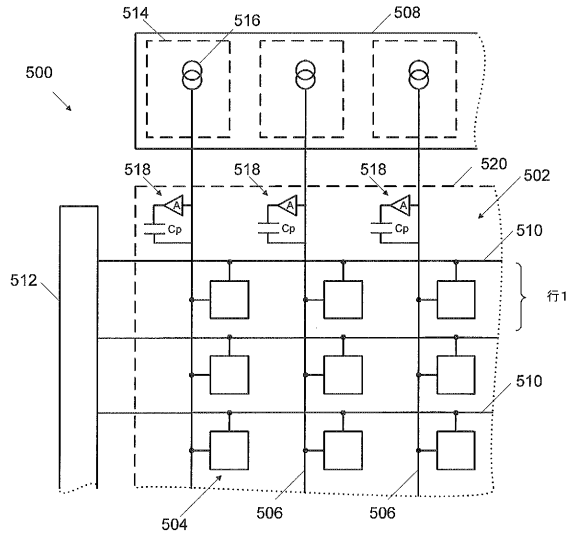
【図3】



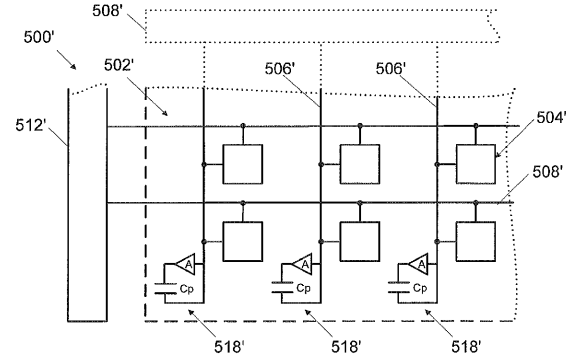
【図4】



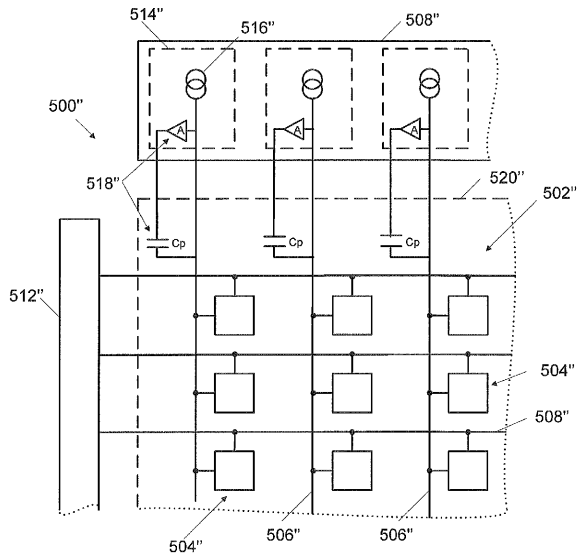
【図 5 a】



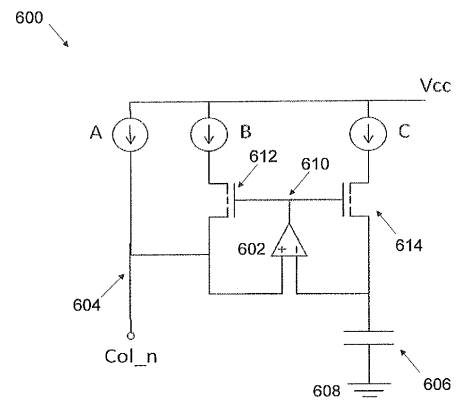
【図 5 b】



【図 5 c】



【図 6】



フロントページの続き

- (74)代理人 100119183
弁理士 松任谷 優子
- (74)代理人 100115808
弁理士 加藤 真司
- (74)代理人 100131451
弁理士 津田 理
- (74)代理人 230112025
弁護士 小林 英了
- (72)発明者 スミス, ユアン
イギリス国 シービー3 6ディーダブリュ ケンブリッジシャー, キャンボーン ビジネス パーク, ビルディング 2020, ケンブリッジ ディスプレイ テクノロジー リミテッド内
- (72)発明者 ランコフ, アレクサンドラ
イギリス国 シービー23 6ディーダブリュ ケンブリッジシャー, キャンボーン ビジネス パーク, ビルディング 2020, ケンブリッジ ディスプレイ テクノロジー リミテッド内
- (72)発明者 トムソン, バリー
アメリカ合衆国 94025 カリフォルニア州, メンロー パーク, パートリッジ アベニュー 874

審査官 中村 直行

- (56)参考文献 特表2008-530599(JP, A)
特開2006-184898(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38

专利名称(译)	有源矩阵显示装置		
公开(公告)号	JP5517364B2	公开(公告)日	2014-06-11
申请号	JP2011522550	申请日	2009-08-13
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
当前申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	スミスユアン ランコフアレクサンドラ トムソンバリー		
发明人	スミス,ユアン ランコフ,アレクサンドラ トムソン,バリー		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3283 G09G3/3216 G09G3/3241 G09G2300/0408 G09G2300/0465 G09G2310/0248 G09G2320/0223		
FI分类号	G09G3/30.J G09G3/20.611.J G09G3/20.621.F G09G3/20.623.R G09G3/20.623.Y		
代理人(译)	森田浩二 田中玲子 鈴木 守 松任谷裕子 加藤真司 津田誠		
审查员(译)	中村直之		
优先权	2008014931 2008-08-15 GB		
其他公开文献	JP2012500407A		
外部链接	Espacenet		

摘要(译)

本发明涉及有源矩阵OLED (有机发光二极管) 显示器, 尤其涉及具有集成负电容电路和有源电容补偿的显示面板。我们描述了一种有源矩阵OLED显示器, 包括带有多行OLED像素的玻璃面板, 每个OLED像素具有相关的有源矩阵驱动器电路, 该有源矩阵驱动器电路具有用于编程相关OLED的亮度的编程连接, 编程连接的像素线的连接。到所述显示器的编程线, 并且其中所述有源矩阵OLED显示器还包括在所述玻璃面板上的多个电容器, 每个电容器具有连接到相应所述编程线的一端的第一板, 并且具有用于连接到所述编程线的第二板。负电容器电路用于补偿所述编程线的电容。

表示フォーマット	空間解像度(画素)
WQVGA	428×240
HVGA	480×320
WVGA	854×480
HD720	1280×720
HD1080	1920×1080