

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4977460号
(P4977460)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	642A
H01L	51/50	(2006.01)	G09G	3/20	642C
			G09G	3/20	623F
			G09G	3/20	623B

請求項の数 12 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2006-511546 (P2006-511546)
 (86) (22) 出願日 平成17年3月28日 (2005.3.28)
 (86) 国際出願番号 PCT/JP2005/005674
 (87) 国際公開番号 WO2005/093702
 (87) 国際公開日 平成17年10月6日 (2005.10.6)
 審査請求日 平成20年3月5日 (2008.3.5)
 (31) 優先権主張番号 特願2004-95006 (P2004-95006)
 (32) 優先日 平成16年3月29日 (2004.3.29)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町21番地
 (74) 代理人 100079555
 弁理士 梶山 信是
 (74) 代理人 100079957
 弁理士 山本 富士男
 (72) 発明者 阿部 真一
 京都市右京区西院溝崎町21番地 ローム
 株式会社内
 (72) 発明者 前出 淳
 京都市右京区西院溝崎町21番地 ローム
 株式会社内

最終頁に続く

(54) 【発明の名称】有機EL駆動回路および有機EL表示装置

(57) 【特許請求の範囲】

【請求項 1】

入力端子に接続されるダイオード接続された入力側トランジスタとこのトランジスタのゲートあるいはベースにそのゲートあるいはベースが共通に接続された多数の出力側トランジスタとを有し前記多数の出力側トランジスタにはスイッチ回路を構成するトランジスタがそれぞれに直列に接続され多数の前記出力側トランジスタの出力側の一端が共通に出力端子に接続されるカレントミラー回路で構成されるD/A変換回路が所定の電流を前記入力端子に受け、前記スイッチ回路を構成するトランジスタが表示データを受けてON/OFFされて前記表示データをD/A変換して有機ELパネルの端子pinに出力するための駆動電流あるいはこれの元となる電流を生成する有機EL駆動回路において、

前記カレントミラー回路の前記入力側トランジスタと前記入力端子との間に設けられた第1のトランジスタと、

前記カレントミラー回路の前記出力側トランジスタの出力側の共通に接続される一端と前記出力端子との間に設けられた第2のトランジスタと、

前記出力端子と電源ラインとの間に設けられた第3のトランジスタとを有し、

前記入力側トランジスタと前記出力側トランジスタと前記第3のトランジスタが前記第1および第2のトランジスタよりも耐圧の低いトランジスタであって、前記入力側トランジスタと前記第1のトランジスタの接続点と、前記出力側トランジスタと前記第2のトランジスタの接続点とは、実質的に同じ電位になるように、前記第1および第2のトランジスタがバイアスされる有機EL駆動回路。

10

20

【請求項 2】

前記第1および第2のトランジスタのそれぞれのゲートあるいはベースが所定の定電圧に設定されることで各前記接続点が実質的に同じ電位にされる請求項1記載の有機EL駆動回路。

【請求項 3】

前記第1および第2のトランジスタは、10V以上の電源電圧に対応する比較的高耐圧のトランジスタである請求項2記載の有機EL駆動回路。

【請求項 4】

前記第3のトランジスタは、リセットスイッチである請求項3記載の有機EL駆動回路。

10

【請求項 5】

前記第3のトランジスタは、前記駆動電流を発生する出力段電流源を構成するトランジスタの1つである請求項3記載の有機EL駆動回路。

【請求項 6】

前記入力側トランジスタと前記出力側トランジスタとは、それぞれ電源ラインと基準電位ラインとの間ににおいて従属接続される複数のトランジスタで構成される請求項2記載の有機EL駆動回路。

【請求項 7】

前記入力側トランジスタは、スイッチ回路を構成する他のトランジスタをさらに直列に有し、前記入力側トランジスタとスイッチ回路を構成する前記他のトランジスタ、そして前記出力側トランジスタとこれに接続される前記スイッチ回路を構成するトランジスタとはそれぞれにセル回路として形成され、前記入力側トランジスタのスイッチ回路を構成する前記他のトランジスタはON状態に設定される請求項3記載の有機EL駆動回路。

20

【請求項 8】

前記有機ELパネルは、前記端子ピンを多数有し、前記D/A変換回路は、前記多数の端子ピンに対応してそれぞれ設けられている請求項7記載の有機EL駆動回路。

【請求項 9】

各前記D/A変換回路の前記カレントミラー回路の入力側トランジスタは、各前記端子ピンに対応して分配された基準電流あるいはこの基準電流に応じて生成された基準駆動電流を受ける請求項8記載の有機EL駆動回路。

30

【請求項 10】

前記出力端子は、アクディブマトリックス型有機ELパネルのデータ線に接続される請求項9記載の有機EL駆動回路。

【請求項 11】

前記出力端子は、前記出力段電流源の出力端子であって、パッシブマトリックス型有機ELパネルのカラムラインに接続される請求項5記載の有機EL駆動回路。

【請求項 12】

請求項1～11のいずれか1項記載の有機EL駆動回路を有する有機EL表示装置。

【発明の詳細な説明】**【技術分野】**

40

【0001】

この発明は、有機EL駆動回路および有機EL表示装置に関し、詳しくは、アクディブマトリックス型有機ELパネルにおけるピクセル回路のコンデンサを充電する電流駆動回路において、例えば、10V以上の比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや表示装置ごとの輝度ばらつきを抑えることができるようなD/A変換回路（以下D/A）を用いた有機EL駆動回路に関する。

【背景技術】**【0002】**

従来の液晶表示装置では、デジタル信号をアナログ信号に変換するD/Aを設けてこのD/Aでデータ線を駆動する駆動回路が知られている。これをアクディブマトリックス型

50

有機ELパネルにおけるピクセル回路に適用し、表示パネルに内蔵しようとした場合には小型化できないという問題がある点がすでに公知となっている（特許文献1）。

特許文献1：特開2000-276108号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、このアクティブマトリックス型有機ELパネルを駆動する有機EL駆動回路を表示パネルの外部回路として設ければ、その分、有機ELパネルを小型化することができる。この場合、駆動電流値の書き込みは、通常、数百pFのピクセル回路のコンデンサを0.1μA～10μA程度の電流で充電することになる。しかし、アクティブマトリックス型有機ELパネルの表示輝度を階調制御する場合には、駆動電流の最小電流が1nA～30nA程度と、精度の高い電流値が要求される。その電流の方向は、シンク型とソース型の2種類があって、電源電圧+Vccは、アクティブマトリックス型有機ELパネルでもパッシブマトリックス型有機ELパネルでも、現在のところ10V～20V程度である。

電流シンク型は、ピクセル回路のコンデンサをリセットする電圧が電源電圧+Vccあるいはその近傍になる関係からD/Aを比較的高い耐圧の素子で構成することが必要になる。そのため、各素子の占有面積が大きくなり、有機ELパネルの端子ピン対応あるいはカラムピン対応に設けられるD/A全体の、ICにおける占有面積が増加する問題がある。しかも、酸化膜の厚さのばらつきが影響してカレントミラー回路を用いたD/Aにすると、各素子のペア性や素子間のマッチング精度が低下して高い電流変換精度を確保できなくなる。

その結果、D/A変換特性にはばらつきを生じて、それが有機ELパネルの端子ピン相互あるいはカラムピン相互の出力電流のばらつきとなって現れ、さらに表示画面の輝度むら、表示装置ごとの輝度ばらつきとなって現れてくる。これは、パッシブマトリックス型有機ELパネルでも同様である。

この発明の目的は、前記のような従来技術の問題点を解決するものであって、比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや表示装置ごとの輝度ばらつきを抑えることができるD/Aを用いた有機EL駆動回路および有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0004】

このような目的を達成するためのこの発明の有機EL駆動回路および有機EL表示装置の構成は、入力端子に接続されるダイオード接続された入力側トランジスタとこのトランジスタのゲートあるいはベースにそのゲートあるいはベースが共通に接続された多数の出力側トランジスタとを有し多数の出力側トランジスタにはスイッチ回路を構成するトランジスタがそれぞれに直列に接続され多数の出力側トランジスタの出力側の一端が共通に出力端子に接続されるカレントミラー回路で構成されるD/A変換回路が所定の電流を入力端子に受け、スイッチ回路を構成するトランジスタが表示データを受けてON/OFFされて表示データをD/A変換して有機ELパネルの端子ピンに出力するための駆動電流あるいはこれの元となる電流を生成する有機EL駆動回路において、

カレントミラー回路の入力側トランジスタと入力端子との間に設けられた第1のトランジスタと、カレントミラー回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、出力端子と電源ラインとの間に設けられた第3のトランジスタとを有していて、入力側トランジスタと出力側トランジスタと第3のトランジスタが第1および第2のトランジスタよりも耐圧の低いトランジスタであって、入力側トランジスタと第1のトランジスタの接続点と、出力側トランジスタと第2のトランジスタの接続点とは、実質的に同じ電位になるように、第1および第2のトランジスタがバイアスされるものである。

【発明の効果】

【0005】

10

20

30

40

50

この発明は、例えば、10V以上の比較的耐圧の高いトランジスタをD/Aの入力側と出力側にそれぞれ1個づつ設けて、D/Aを構成する他のトランジスタを耐圧の低いトランジスタで構成する。さらに、D/Aの出力側に設けられるリセットスイッチ等の第3のトランジスタも耐圧の低いトランジスタとして設けるものである。これにより、比較的高い耐圧の素子は、D/Aの入力側と出力側だけの2箇所で済み、比較的高い耐圧の素子の数を低減することができる。

このように、D/Aを構成する多くのトランジスタを耐圧の低いトランジスタにすることで、各トランジスタの占有面積が小さくなり、D/A全体のICにおける占有面積を低減することができる。また、IC内に多くのトランジスタを形成することが可能となるので、各素子のペア性や素子間のマッチング精度を向上させることができ。その結果、D/A変換精度を向上させることができ、出力電流のばらつきを抑えることができる。10

このように、この発明は、比較的高い耐圧の素子の数を低減することができるので、出力段電流源にD/Aを用いた有機EL駆動回路等においては、その回路規模の増加を抑えることができる。

【発明を実施するための最良の形態】

【0006】

図1は、この発明の有機EL駆動回路を適用した一実施例のアクディブマトリックス型有機ELパネルにおける有機EL駆動回路のブロック図、図2は、そのセル回路の回路構成の説明図である。

図1において、10は、有機EL駆動回路のカラムドライバ(データ線駆動ドライバ)であって、11は、そのD/A、12は、基準駆動電流Irを発生する定電流源、13、14は、定電圧バイアス回路、15は、コントロール回路、16は表示データを記憶するレジスタ、そして17はMPUである。20

D/A11は、入力側トランジスタセル回路TNaと出力側トランジスタセル回路TNb～TNnとによるカレントミラー回路で構成される。

【0007】

各トランジスタセル回路TNa～TNnは、ドレイン端子Dとゲート端子G1、G2、入力端子Din、そしてソース端子Sとを有する図2に示すNチャネルトランジスタT1～T3が電源ラインとグランドライン(基準電位ライン)との間で従属接続される(直列に接続される)形のトランジスタセル回路1により構成されている。これらのうちトランジスタT3は、スイッチ回路を構成するトランジスタである。30

それぞれのセル回路1のソース端子Sは、グランドGNDに接続されている。トランジスタセル回路TNaの入力端子Dinは、通常は、バイアスラインVaに接続されてON状態にされている。各トランジスタセル回路TNb～TNnの各入力端子Dinは、表示レジスタ16から表示データD0～Dn-1をそれぞれ受け、図2のトランジスタT3の入力端子Dinに対応している。各トランジスタセル回路TNb～TNnのスイッチ回路SW(トランジスタT3)は、表示データD0～Dn-1に応じてそれぞれON/OFFされる。表示データD0～Dn-1は、コントロール回路15のラッチパルスLPに応じてMPU17からレジスタ16にセットされる。

【0008】

各トランジスタセル回路TNa～TNnのゲート端子G1、G2はそれぞれが共通に接続されている。さらに、トランジスタセル回路TNaのセル回路1のゲート端子G2は、D/A11の入力端子11aに接続されている。また、トランジスタセル回路TNaのセル回路1のドレイン端子Dは、10Vを超える比較的耐圧の高いNチャネルのトランジスタQ1のソース-ドレインを介してD/A11の入力端子11aに接続されている。これにより、トランジスタセル回路TNaのセル回路1のトランジスタT2がダイオード接続されて、このトランジスタT2がカレントミラー回路の入力側トランジスタとなって、定電流源12から駆動電流Irを受ける。

定電流源12は、バイアスラインVbに接続され、基準電流分配回路の出力電流源に対応している。基準電流分配回路は、カレントミラー回路で構成される入力側トランジスタ

1020304050

が基準電流を受けて、カラムドライバ10の出力端子pinに対応に並列に設けられた多数の出力側トランジスタにミラー電流として基準電流を生成する。そして、有機ELパネルのカラムpin(出力端子pin)に対応に基準電流あるいは基準駆動電流を分配する。

【0009】

各トランジスタセル回路TNb～TNnのドレイン端子Dは、D/A11の出力端子11bにNチャネルの比較的耐圧の高いトランジスタQ2のソース-ドレインを介して接続されている。この出力端子11bは出力pin10aに接続され、出力pin10aと電源ライン+Vccとの間にはリセットスイッチ回路2が設けられている。リセットスイッチ回路2は、PチャネルのトランジスタTPaからなり、そのソースが電源ライン+Vccに接続され、そのドレインが出力pin10aに接続されている。電源ライン+Vccの電圧は、10V～20V程度である。10

トランジスタTPaのゲートは、コントロール回路15からリセット信号RSを受ける。各トランジスタセル回路TNa～TNnの共通に接続されたゲート端子G1は、定電圧バイアス回路13に接続され、定電圧バイアス回路13により設定されるゲート電圧VGLでそれぞれのトランジスタの各セル回路1の上流側のトランジスタT1が所定の抵抗値を以てON状態に設定され、かつ、各トランジスタT1のソース側は、定電圧バイアス回路13が発生する定電圧より0.7V程度低い電圧に等しく設定される。

【0010】

トランジスタQ1とトランジスタQ2のゲートは共通に接続されて、定電圧バイアス回路14に接続されて、これにより設定されるゲート電圧VGHで所定の抵抗値を以てON状態に設定され、かつ、各トランジスタQ1, Q2のソース側は、定電圧バイアス回路14が発生する定電圧より0.7V程度低い電圧に等しく設定される。20

このようにトランジスタQ1を入力側に、そしてトランジスタQ2を出力側に配置して、ここで、比較的大きな降下電圧を発生させることで、トランジスタTPaと各トランジスタセル回路TNa～TNnの動作電圧を下げることができる。

さらに、トランジスタQ1とトランジスタQ2のゲートが定電圧バイアス回路14に接続されることで、各トランジスタセル回路TNa～TNnのドレイン端子Dの電圧を実質的に等しい値に設定することができる。これらにより、カラムドライバ10は、D/Aの占有面積を低減し、かつ、D/A変換精度を向上させることができる。30

その結果、D/Aの変換特性のばらつきが減少して有機ELパネルのカラムpin相互あるいは端子pin相互の出力電流のばらつきが低減し、それにより表示装置の表示画面の輝度むら、表示装置ごとの輝度ばらつきを抑えることができる。

ところで、各トランジスタセル回路に対応して示す、×1, ×2, ×4…の数字は、パラレルに接続されたセル回路1の数を示している。×1の場合にパラレル接続はない。×nのセル回路数に応じて出力側トランジスタセル回路TNb～TNnは、それぞれの出力に桁重みが付けられている。

【0011】

さて、D/A11の各トランジスタセル回路TNa～TNnを構成するセル回路1は、図2に示すように、ソース-ドレインと順次電源ライン+VccとグランドラインGNDとの間で縦に積上げられる形で従属接続された3個のNチャネルのトランジスTr1～Tr3となる。トランジスTr3はスイッチ回路を構成し、そのソースはソース端子Sに接続されている。トランジスTr1のドレインはドレイン端子Dに接続されている。40

トランジスタTr2のゲートはゲート端子G1に接続され、トランジスタTr3のゲートはゲート端子G2に接続されている。

なお、トランジスタTr1～Tr3のバックゲートは、共通にソース端子Sに接続されている。

【0012】

ここで図1に戻り、3は、ピクセル回路(表示セル)であって、有機ELパネルの表示画素対応に設けられていて、データ線X, 接続端子3aを介して出力pin10aに接続されている。ピクセル回路3は、X, Yのマトリックス配線(データ線X, 走査線Y1, Y250

…) の交点に対応して設けられている。このピクセル回路 3 内には各データ線 X と各走査線 Y との各交点にドレイン側とゲートが接続された P チャネル M O S トランジスタ TP1 , TP2 が配置されている。O E L 素子 4 は、ピクセル回路 3 に設けられた P チャネル M O S の駆動トランジスタ TP3 , TP4 により駆動される。トランジスタ TP3 のソース - ゲート間にコンデンサ C が接続されている。

トランジスタ TP1 のソースは、トランジスタ TP3 のゲートに接続され、トランジスタ TP2 のソースは、トランジスタ TP3 のドレインに接続されている。これによりこれらトランジスタ TP1 , TP2 が O N したときにはトランジスタ TP3 のゲートとドレインとがダイオード接続されて、駆動電流がトランジスタ TP3 に流されて駆動電流に対応した電圧値がコンデンサ C に高い精度で記憶される。

トランジスタ TP3 のソースは、電源ライン + Vcc に接続され、そのドレイン側は、トランジスタ TP4 のソース - ドレインを介して O E L 素子 4 の陽極に接続されている。O E L 素子 4 の陰極は、ロー側走査回路 7 のスイッチ回路 7 a に接続され、このスイッチ回路 7 a を介してグランド G N D に接続されている。

トランジスタ TP1 , TP2 のゲートは、走査線 Y1 (書込線) を介して書込制御回路 5 に接続され、書込制御回路 5 によりこれらトランジスタが走査されて走査線 Y1 が L O W レベル (以下 “ L ”) になることでトランジスタ TP1 , TP2 が O N になる。リセット信号 R S によるリセット終了後 (後述) に電源ライン + Vcc からトランジスタ TP3 、コンデンサ C 、トランジスタ TP1 , TP2 、データ線 X , 端子 3 a 、出力ピン 10 a を経て D / A 11 がシンクする所定の駆動電流が流れ、コンデンサ C には駆動電流値に対応する電圧値が書き込まれ、記憶される。そして、走査線 Y1 が H I G H レベル (以下 “ H ”) になり、トランジスタ TP1 , TP2 が O F F になる。

トランジスタ TP4 のゲートは、走査線 Y2 を介して書込制御回路 5 に接続され、書込制御回路 5 によりトランジスタ TP4 が走査されてこのとき走査線 Y2 (駆動線) が “ L ” になることでトランジスタ T4 が O N になる。これによりトランジスタ TP3 , TP4 が O N 状態に維持されて、O E L 素子 4 の陽極に駆動電流が供給される。なお、このときには、走査線 Y1 は “ H ” になっていて、トランジスタ TP1 , TP2 は O F F である。

トランジスタ TP3 , TP4 の駆動終了時点で、ロー側が次の走査ラインに移り、走査線 Y2 が “ H ” になり、トランジスタ TP4 が O F F する。そのタイミングで走査線 Y1 が “ L ” になり、これにより O N したトランジスタ TP1 , TP2 と、リセット信号 R S により O N したトランジスタ TPa とによりコンデンサ C の電圧がリセットされる。

このリセットの終了後に、出力ピン 10 a を経て D / A 11 がシンクする所定の駆動電流が流れ前記したコンデンサ C への駆動電流値の書き込みが行われる。

なお、リセット信号 R S によるリセットとコンデンサ C への書き込みは、水平走査の帰線期間に相当するリセット期間内に行われる。

また、図示していないが、トランジスタセル回路 TNa のセル 1 のスイッチ回路 SW (トランジスタ T3) は、コンデンサ C の電圧がリセットされるリセット期間においてはトランジスタセル回路 TNa の入力端子 D in をリセット信号 R S に応じて “ L ” にすることで O F F することができる。スイッチ回路 SW が O F F することにより各トランジスタセル回路 TNb ~ TNn も O F F する。これによりリセット信号 R S によりトランジスタ TPa が O N したときには D / A 11 の各トランジスタセル回路 TNa ~ TNn に流れる電流を阻止して消費電流を低減することができる。

【産業上の利用可能性】

【 0 0 1 3 】

以上説明してきたが、実施例では、出力段電流源に D / A を用いているが、この発明は、カレントミラー回路等の出力段電流源をさらに設けて、D / A の出力電流でこの出力段電流源を電流駆動するようにしてもよい。このような場合、リセットスイッチとなるトランジスタ TPa (この発明における第 3 のトランジスタ) は、前記出力段電流源を構成するトランジスタの 1 つなどであってもよく、リセットスイッチとなるトランジスタ以外の他のトランジスタであってもよい。

なお、このような出力段電流源を設ければ、パッシブマトリックス型有機ELパネルの駆動回路に適したものとなる。

したがって、実施例では、アクディブマトリックス型有機ELパネルにおける駆動回路を例としているが、この発明は、パッシブマトリックス型有機ELパネルの駆動回路にも適用できることはもちろんである。

さらに、実施例では、NチャネルMOSトランジスタを主体としたD/Aを示しているが、このD/Aは、PチャネルMOSトランジスタあるいはこれとNチャネルMOSトランジスタとを組み合わせた回路であってもよいことはもちろんである。

実施例では、MOSトランジスタを用いているが、この発明は、MOSトランジスタに換えてバイポーラトランジスタを用いてもよいことはもちろんある。なお、その場合には、ゲートはベースに、ソースはエミッタに、ドレインがコレクタに対応する。
10

【図面の簡単な説明】

【0014】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例のアクディブマトリックス型有機ELパネルにおける有機EL駆動回路のブロック図である。

【図2】図2は、そのセル回路の回路構成の説明図である。

【符号の説明】

【0015】

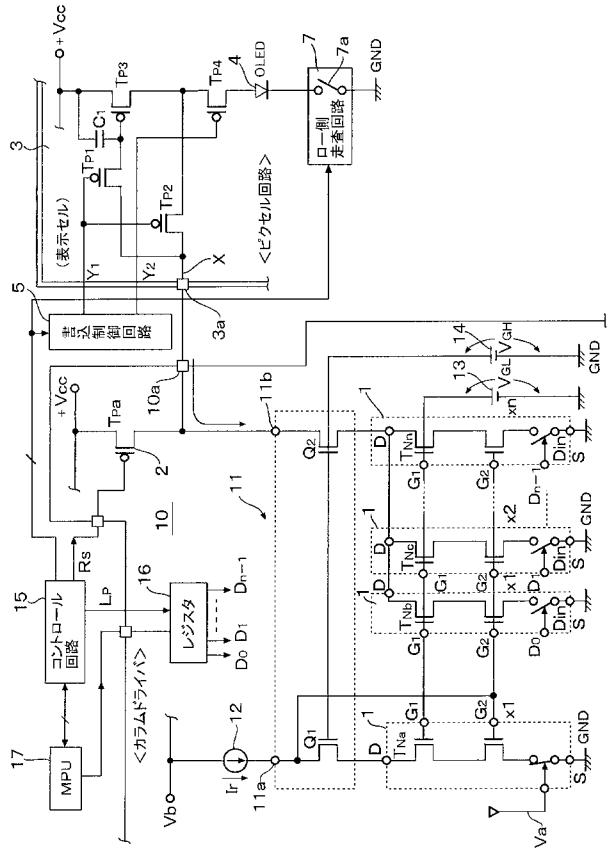
- 1 ... トランジスタセル回路、
- 2 ... リセットスイッチ回路、 3 ... ピクセル回路（表示セル）、
20
- 4 ... 有機EL素子（OEL素子）、 5 ... 書込制御回路、
- 7 ... 口一側走査回路、 7a ... スイッチ回路、
- 10 ... カラムドライバ、
- 10a ... 出力ピン、 11 ... D/A、
- 12 ... 定電流源、 13, 14 ... 定電圧バイアス回路、
- 15 ... コントロール回路、 16 ... レジスタ、
- 17 ... MPU、
- Q1~Q3 ... MOSトランジスタ、
- Tr1~Tr7 ... MOSトランジスタ、
- TNa~TNn-1 ... MOSトランジスタ。

10

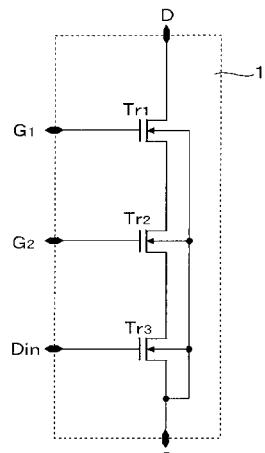
20

30

【図1】



【図2】



フロントページの続き

(51)Int.Cl.

F I

H 05 B 33/14

A

(72)発明者 藤沢 雅憲

京都市右京区西院溝崎町21番地 ローム株式会社内

審査官 福村 拓

(56)参考文献 実開昭63-169719 (JP, U)

再公表特許第2003/092165 (JP, A1)

特開2004-078163 (JP, A)

特開2003-140756 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30

G09G 3/20

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP4977460B2	公开(公告)日	2012-07-18
申请号	JP2006511546	申请日	2005-03-28
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
当前申请(专利权)人(译)	ROHM株式会社		
[标]发明人	阿部真一 前出淳 藤沢雅憲		
发明人	阿部 真一 前出 淳 藤沢 雅憲		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H03F3/345 H03M1/74		
CPC分类号	H03M1/747 G09G3/325 G09G3/3283 G09G2300/0842 G09G2300/0861 G09G2310/027		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.642.C G09G3/20.623.F G09G3/20.623.B H05B33/14.A		
代理人(译)	梶山 信是 山本富士雄		
审查员(译)	福村 拓		
优先权	2004095006 2004-03-29 JP		
其他公开文献	JPWO2005093702A1		
外部链接	Espacenet		

摘要(译)

亲切的代码： 提供一种有机EL驱动电路和使用D / A的有机EL显示装置，其能够减少相对高耐压元件的数量，抑制电路规模的增加，并且抑制显示屏的亮度不均匀和亮度变化就是这样。一本发明中，在输入端子和构成d / A的电流镜电路的输入侧晶体管之间设置第一晶体管之间，并且电流镜电路的输出侧晶体管和一个输出端第二晶体管，具有与输出端和电源线，第三晶体管的输入侧晶体管和输出侧晶体管和之间的第三晶体管是并且是具有低于第一和第二晶体管的耐压的晶体管。发明背景

