

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4709169号  
(P4709169)

(45) 発行日 平成23年6月22日 (2011.6.22)

(24) 登録日 平成23年3月25日 (2011.3.25)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>H01L 51/50 (2006.01)</b>	H05B 33/14 A
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 623A
	G09G 3/20 623H
	G09G 3/20 623G
請求項の数 26 (全 32 頁) 最終頁に続く	

(21) 出願番号 特願2007-1601 (P2007-1601)  
 (22) 出願日 平成19年1月9日 (2007.1.9)  
 (65) 公開番号 特開2007-279684 (P2007-279684A)  
 (43) 公開日 平成19年10月25日 (2007.10.25)  
 審査請求日 平成19年1月9日 (2007.1.9)  
 (31) 優先権主張番号 10-2006-0031637  
 (32) 優先日 平成18年4月6日 (2006.4.6)  
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 308040351  
 三星モバイルディスプレイ株式会社  
 Samsung Mobile Display Co., Ltd.  
 大韓民国京畿道龍仁市器興区農書洞山24  
 San #24 Nongseo-Dong,  
 Giheung-Gu, Yongin-City,  
 Gyeonggi-Do 446-711  
 Republic of KOREA  
 (74) 代理人 110000671  
 八田国際特許業務法人  
 (72) 発明者 申 東 蓉  
 大韓民国ソウル特別市冠岳区奉天1洞96  
 9-37

最終頁に続く

(54) 【発明の名称】 データ駆動部及びこれを利用した有機電界発光表示装置

(57) 【特許請求の範囲】

【請求項1】

第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記デジタルデータの前記各ビット及び前記各反転ビットが入力される期間ハイレベルで供給され供給が中断されるときに前記入力された各ビット及び各反転ビットを出力するためのチャージング信号、及び前記サンプリングパルスに対応して、前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含み、

前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、

前記第1もしくは第2クロック信号、前記サンプリングパルス、または前記第1イネーブル信号が入力される第2入力端子にゲート電極が接続され、第2電極が第1ノードに接

10

20

続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての入力端子である外部入力端子に第1電極が接続される第1PMOSトランジスタと、

ゲート電極が前記第1ノードに接続され、前記第1もしくは第2クロック信号、前記チャージング信号、または前記第2インエーブル信号が入力される第1入力端子に第1電極が接続され、第2電極が出力端子に接続される第2PMOSトランジスタと、

ゲート電極が前記第2入力端子に接続され、第1電極が第2ノードに接続され、ローレベルの電圧を有する第4電源に第2電極が接続される第3PMOSトランジスタと、

ゲート電極が前記第1ノードに接続され、第1電極が前記第2入力端子に接続され、第2電極が前記第2ノードに接続される第4PMOSトランジスタと、

ゲート電極が前記第2ノードに接続され、ハイレベルの電圧を有する第3電源に第1電極が接続され、第2電極が前記出力端子に接続される第5PMOSトランジスタと、

前記第2PMOSトランジスタのゲート電極と当該第2PMOSトランジスタの第2電極との間に接続されるキャパシタと、を具備することを特徴とするデータ駆動部。

【請求項2】

前記シフトレジスタ部は、一つのチャンネルごとに一つのシフトレジスタを具備することを特徴とする請求項1記載のデータ駆動部。

【請求項3】

前記サンプリングラッチ部は、一つのチャンネルごとに前記デジタルデータのビット数の2倍の個数のサンプリングラッチを具備することを特徴とする請求項1または2に記載のデータ駆動部。

【請求項4】

前記ホールディングラッチ部は、一つのチャンネルごとに前記デジタルデータのビット数の2倍の個数のホールディングラッチを具備することを特徴とする請求項1～3のいずれか1項に記載のデータ駆動部。

【請求項5】

前記デジタル-アナログコンバータは、前記ホールディングラッチ部から出力される前記デジタルデータの前記各ビット及び前記各反転ビットの入力を受け、これらの前記各ビット及び前記各反転ビットに対応して複数の階調電圧の中から一つの階調電圧を選択することを特徴とする請求項1～4のいずれか1項に記載のデータ駆動部。

【請求項6】

前記第1クロック信号及び前記第2クロック信号は、互いに位相が反対であることを特徴とする請求項1～5のいずれか1項に記載のデータ駆動部。

【請求項7】

前記第1クロック信号及び前記第2クロック信号がハイレベルを示す領域が所定範囲にわたって重なることを特徴とする請求項6記載のデータ駆動部。

【請求項8】

前記第3電源は、前記第4電源よりも高い電圧値に設定されることを特徴とする請求項1～7のいずれか1項に記載のデータ駆動部。

【請求項9】

前記シフトレジスタのうち、奇数番目シフトレジスタの第1入力端子には前記第1クロック信号が供給され、第2入力端子には第2クロック信号が供給されることを特徴とする請求項1～8のいずれか1項に記載のデータ駆動部。

【請求項10】

前記シフトレジスタのうち、偶数番目シフトレジスタの第1入力端子には前記第2クロック信号が供給され、第2入力端子には第1クロック信号が供給されることを特徴とする請求項1～9のいずれか1項に記載のデータ駆動部。

【請求項11】

前記サンプリングラッチは、前記第2入力端子に前記サンプリングパルスの供給を受け、前記第1入力端子に前記チャージング信号の供給を受けることを特徴とする請求項1～10のいずれか1項に記載のデータ駆動部。

10

20

30

40

50

## 【請求項 1 2】

前記サンプリングラッチは、前記サンプリングパルスがローレベルに供給されるときに前記デジタルデータの前記各ビットまたは前記各反転ビットの入力を受け、前記サンプリングパルス及び前記チャージング信号の供給が中断されるときに前記デジタルデータの前記各ビットまたは前記各反転ビットを出力することを特徴とする請求項 1 1 記載のデータ駆動部。

## 【請求項 1 3】

前記ホールディングラッチは、前記第 2 入力端子に前記第 1 イネーブル信号の供給を受け、前記第 1 入力端子に前記第 2 イネーブル信号の供給を受けることを特徴とする請求項 1 ~ 1 2 のいずれか 1 項に記載のデータ駆動部。

10

## 【請求項 1 4】

前記第 1 イネーブル信号及び前記第 2 イネーブル信号は、互いに位相が反対であることを特徴とする請求項 1 3 記載のデータ駆動部。

## 【請求項 1 5】

前記第 1 イネーブル信号は、前記複数のサンプリングラッチから前記各ビット及び前記各反転ビットが入力される期間、ローレベルを維持し、前記複数のサンプリングラッチから前記各ビット及び前記各反転ビットがすべて入力された後にハイレベルに変更されることを特徴とする請求項 1 3 記載のデータ駆動部。

## 【請求項 1 6】

第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、

20

内在する複数のトランジスタが P M O S トランジスタのみで具現され、前記第 1 クロック信号、前記第 2 クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

30

内在する複数のトランジスタが P M O S トランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含み、

前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、

前記第 1 もしくは第 2 クロック信号、前記サンプリングパルス、または前記第 1 イネーブル信号が入力される第 2 入力端子にゲート電極が接続され、第 2 電極が第 1 ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての

40

ゲート電極が前記第 1 ノードに接続され、前記第 1 もしくは第 2 クロック信号、前記チャージング信号、または前記第 2 イネーブル信号が入力される第 1 入力端子に第 1 電極が接続され、第 2 電極が出力端子に接続される第 2 P M O S トランジスタと、

ゲート電極が前記第 2 入力端子に接続され、第 1 電極が第 2 ノードに接続され、ローレベルの電圧を有する第 4 電源に第 2 電極が接続される第 3 P M O S トランジスタと、

ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 入力端子に接続され、第 2 電極が前記第 2 ノードに接続される第 4 P M O S トランジスタと、

ゲート電極が前記第 2 ノードに接続され、ハイレベルの電圧を有する第 3 電源に第 1 電極が接続され、第 2 電極が前記出力端子に接続される第 5 P M O S トランジスタと、

前記第 2 P M O S トランジスタのゲート電極と当該第 2 P M O S トランジスタの第 2 電

50

極との間に接続されるキャパシタと、を具備することを特徴とするデータ駆動部。

【請求項 17】

前記コンバージョン部は、一つのチャンネルごとに一つのコンバージョン回路を具備することを特徴とする請求項 16 記載のデータ駆動部。

【請求項 18】

前記コンバージョン回路は、

第 3 入力端子に入力される前記サンプリングパルスに対応して供給する電圧を制御する入力部と、

前記第 3 入力端子に入力される前記サンプリングパルス及び前記入力部から供給される電圧に対応して前記コンバージョン信号の出力可否を制御する出力部と、を具備することを特徴とする請求項 17 記載のデータ駆動部。

10

【請求項 19】

前記出力部は、

第 1 電極が第 3 電源に接続され、第 2 電極が出力端子に接続される第 11 PMOS トランジスタと、

第 1 電極が前記出力端子に接続され、第 2 電極が前記第 3 電源よりも低い電圧値を有する第 4 電源に接続される第 12 PMOS トランジスタと、

ゲート電極が前記第 11 PMOS トランジスタのゲート電極に接続され、第 1 電極が前記第 11 PMOS トランジスタの第 2 電極に接続され、第 2 電極が前記第 12 PMOS トランジスタのゲート電極に接続される第 13 PMOS トランジスタと、

20

第 1 電極が前記第 13 PMOS トランジスタの第 2 電極および前記第 12 PMOS トランジスタのゲート電極に接続され、第 2 電極が前記第 4 電源に接続され、ゲート電極が前記入力部に接続される第 14 PMOS トランジスタと、

第 1 電極が前記第 3 入力端子に接続され、第 2 電極が前記第 11 PMOS トランジスタのゲート電極に接続され、ゲート電極が第 4 入力端子に接続される第 15 PMOS トランジスタと、

前記第 11 PMOS トランジスタのゲート電極と当該第 11 PMOS トランジスタの第 1 電極との間に接続される第 12 キャパシタと、

前記第 12 PMOS トランジスタのゲート電極と当該第 12 PMOS トランジスタの第 1 電極との間に接続される第 11 キャパシタと、を具備することを特徴とする請求項 18 記載のデータ駆動部。

30

【請求項 20】

前記出力部は、前記出力端子と前記第 4 電源との間に接続される第 14 キャパシタをさらに具備することを特徴とする請求項 19 記載のデータ駆動部。

【請求項 21】

前記入力部は、

第 1 電極が前記第 14 PMOS トランジスタのゲート電極に接続され、第 2 電極が前記第 4 入力端子に接続される第 16 PMOS トランジスタと、

第 1 電極が前記第 16 PMOS トランジスタのゲート電極に接続され、ゲート電極及び第 2 電極が第 5 入力端子に接続される第 17 PMOS トランジスタと、

40

ゲート電極が前記第 3 入力端子に接続され、第 1 電極が前記第 3 電源に接続され、第 2 電極が前記第 16 PMOS トランジスタのゲート電極に接続される第 18 PMOS トランジスタと、

前記第 16 PMOS トランジスタのゲート電極と当該第 16 PMOS トランジスタの第 1 電極との間に接続される第 13 キャパシタと、を具備することを特徴とする請求項 19 または 20 に記載のデータ駆動部。

【請求項 22】

前記コンバージョン回路のうち、奇数番目コンバージョン回路は、前記第 4 入力端子に前記第 1 クロック信号の供給を受け、前記第 5 入力端子に前記第 2 クロック信号の供給を受けることを特徴とする請求項 21 記載のデータ駆動部。

50

## 【請求項 2 3】

前記コンバージョン回路のうち、偶数番目コンバージョン回路は、前記第 4 入力端子に前記第 2 クロック信号の供給を受け、前記第 5 入力端子に前記第 1 クロック信号の供給を受けることを特徴とする請求項 2 1 または 2 2 に記載のデータ駆動部。

## 【請求項 2 4】

前記コンバージョン回路は、前記第 4 入力端子にローレベルの電圧が入力されれば、前記第 3 入力端子と反対レベルの電圧を出力し、前記第 4 入力端子にハイレベルの電圧が入力されれば、直前の期間の出力を維持することを特徴とする請求項 2 1 ~ 2 3 のいずれかが 1 項に記載のデータ駆動部。

## 【請求項 2 5】

複数の走査線に走査信号を順次に供給するための走査駆動部と、  
 複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、  
 前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、

前記データ駆動部は、

第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記デジタルデータの前記各ビット及び前記各反転ビットが入力される期間ハイレベルで供給され供給が中断されるときに前記入力された各ビット及び各反転ビットを出力するためのチャージング信号、及び前記サンプリングパルスに対応して、前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

内在する複数のトランジスタが P M O S トランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含み、

前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、

前記第 1 もしくは第 2 クロック信号、前記サンプリングパルス、または前記第 1 イネーブル信号が入力される第 2 入力端子にゲート電極が接続され、第 2 電極が第 1 ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての入力端子である外部入力端子に第 1 電極が接続される第 1 P M O S トランジスタと、

ゲート電極が前記第 1 ノードに接続され、前記第 1 もしくは第 2 クロック信号、前記チャージング信号、または前記第 2 イネーブル信号が入力される第 1 入力端子に第 1 電極が接続され、第 2 電極が出力端子に接続される第 2 P M O S トランジスタと、

ゲート電極が前記第 2 入力端子に接続され、第 1 電極が第 2 ノードに接続され、ローレベルの電圧を有する第 4 電源に第 2 電極が接続される第 3 P M O S トランジスタと、

ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 入力端子に接続され、第 2 電極が前記第 2 ノードに接続される第 4 P M O S トランジスタと、

ゲート電極が前記第 2 ノードに接続され、ハイレベルの電圧を有する第 3 電源に第 1 電極が接続され、第 2 電極が前記出力端子に接続される第 5 P M O S トランジスタと、

前記第 2 P M O S トランジスタのゲート電極と当該第 2 P M O S トランジスタの第 2 電極との間に接続されるキャパシタと、を具備することを特徴とする有機電界発光表示装置。

## 【請求項 2 6】

複数の走査線に走査信号を順次に供給するための走査駆動部と、

複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、

10

20

30

40

50

前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、

前記データ駆動部は、

第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、

内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記第1クロック信号、前記第2クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含み、

前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、

前記第1もしくは第2クロック信号、前記サンプリングパルス、または前記第1イネーブル信号が入力される第2入力端子にゲート電極が接続され、第2電極が第1ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての入力端子である外部入力端子に第1電極が接続される第1PMOSトランジスタと、

ゲート電極が前記第1ノードに接続され、前記第1もしくは第2クロック信号、前記チャージング信号、または前記第2イネーブル信号が入力される第1入力端子に第1電極が接続され、第2電極が出力端子に接続される第2PMOSトランジスタと、

ゲート電極が前記第2入力端子に接続され、第1電極が第2ノードに接続され、ローレベルの電圧を有する第4電源に第2電極が接続される第3PMOSトランジスタと、

ゲート電極が前記第1ノードに接続され、第1電極が前記第2入力端子に接続され、第2電極が前記第2ノードに接続される第4PMOSトランジスタと、

ゲート電極が前記第2ノードに接続され、ハイレベルの電圧を有する第3電源に第1電極が接続され、第2電極が前記出力端子に接続される第5PMOSトランジスタと、

前記第2PMOSトランジスタのゲート電極と当該第2PMOSトランジスタの第2電極との間に接続されるキャパシタと、を具備することを特徴とする有機電界発光表示装置

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ駆動部及びこれを利用した有機電界発光表示装置に関し、特に、PMOS形態のトランジスタで構成されるデータ駆動部及びこれを利用した有機電界発光表示装置に関する。

【背景技術】

【0002】

近年、陰極線管(Cathode Ray Tube)の短所である重さと体積を減らすことができる各種平板表示装置が開発されている。平板表示装置には、液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマ表示パネル(Plasma Display Panel)、及び有機電界発光表示装置(Organic Light Emitting Display)などがある。

## 【 0 0 0 3 】

平板表示装置の中で有機電界発光表示装置は、電子と正孔の再結合によって光を発生する有機発光ダイオード(Organic Light Emitting Diode: OLED)を利用して画像を表示する。このような有機電界発光表示装置は、速い応答速度を持つと同時に低い消費電力で駆動されるという長所がある。

## 【 0 0 0 4 】

このような有機電界発光表示装置は、マトリクス形態に配列された画素と、画素に接続されたデータ線を駆動するためのデータ駆動部と、画素に接続された走査線を駆動するための走査駆動部と、を具備する。

## 【 0 0 0 5 】

データ駆動部は、水平期間ごとにデータに対応するデータ信号を供給することにより画素で所定の画像が表示されるようにする。走査駆動部は、水平期間ごとに走査信号を順次に供給することでデータ信号が供給される画素を選択する。

## 【 0 0 0 6 】

一方、有機電界発光表示装置が大型パネルになるほど、サイズ、重さ、及び製造費用を低減する必要が高まり、データ駆動部がパネルに実装されなければならなくなる。しかし、従来のデータ駆動部は、PMOSトランジスタ及びNMOSトランジスタで構成されるので、パネルに実装されにくいという問題がある。したがって、PMOSトランジスタのみで構成されて、パネルに実装されうるデータ駆動部が要求されている。

【特許文献1】大韓民国特許出願公開第2005-0111919号明細書

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 0 7 】

したがって、本発明は、PMOS形態のトランジスタで構成されるデータ駆動部及びこれを利用した有機電界発光表示装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 0 8 】

上記目的を達成するために、本発明の第1側面は、第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記デジタルデータの前記各ビット及び前記各反転ビットが入力される期間ハイレベルで供給され供給が中断されるときに前記入力された各ビット及び各反転ビットを出力するためのチャージング信号、及び前記サンプリングパルスに対応して、前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含み、前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、前記第1もしくは第2クロック信号、前記サンプリングパルス、または前記第1イネーブル信号が入力される第2入力端子にゲート電極が接続され、第2電極が第1ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての入力端子である外部入力端子に第1電極が接続される第1PMOSトランジスタと、ゲート電極が前記第1ノードに接続され、前記第1もしくは第2クロック信号、前記チャージング信号、または前記第2イネーブル信号が入力される第1入力端子に第1電極が接続され、第2電極が出力端子に接続される第2PMOSトランジスタと、ゲート電極が前記第2入力端子に接続され、第1電極が第2ノードに接続され、ローレベルの電圧を有する第4電源に第2電極が接続される第3PMOS

10

20

30

40

50

トランジスタと、ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 入力端子に接続され、第 2 電極が前記第 2 ノードに接続される第 4 P M O S トランジスタと、ゲート電極が前記第 2 ノードに接続され、ハイレベルの電圧を有する第 3 電源に第 1 電極が接続され、第 2 電極が前記出力端子に接続される第 5 P M O S トランジスタと、前記第 2 P M O S トランジスタのゲート電極と当該第 2 P M O S トランジスタの第 2 電極との間に接続されるキャパシタと、を具備することを特徴とするデータ駆動部を提供する。

【 0 0 0 9 】

また、本発明の第 2 側面は、第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、内在する複数のトランジスタが P M O S トランジスタのみで具現され、前記第 1 クロック信号、第 2 クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、内在する複数のトランジスタが P M O S トランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含み、前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、前記第 1 もしくは第 2 クロック信号、前記サンプリングパルス、または前記第 1 イネーブル信号が入力される第 2 入力端子にゲート電極が接続され、第 2 電極が第 1 ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての入力端子である外部入力端子に第 1 電極が接続される第 1 P M O S トランジスタと、ゲート電極が前記第 1 ノードに接続され、前記第 1 もしくは第 2 クロック信号、前記チャージング信号、または前記第 2 イネーブル信号が入力される第 1 入力端子に第 1 電極が接続され、第 2 電極が出力端子に接続される第 2 P M O S トランジスタと、ゲート電極が前記第 2 入力端子に接続され、第 1 電極が第 2 ノードに接続され、ローレベルの電圧を有する第 4 電源に第 2 電極が接続される第 3 P M O S トランジスタと、ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 入力端子に接続され、第 2 電極が前記第 2 ノードに接続される第 4 P M O S トランジスタと、ゲート電極が前記第 2 ノードに接続され、ハイレベルの電圧を有する第 3 電源に第 1 電極が接続され、第 2 電極が前記出力端子に接続される第 5 P M O S トランジスタと、前記第 2 P M O S トランジスタのゲート電極と当該第 2 P M O S トランジスタの第 2 電極との間に接続されるキャパシタと、を具備することを特徴とするデータ駆動部を提供する。

【 0 0 1 0 】

また、本発明の第 3 側面は、複数の走査線に走査信号を順次に供給するための走査駆動部と、複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、前記データ駆動部は、第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記デジタルデータの前記各ビット及び前記各反転ビットが入力される期間ハイレベルで供給され供給が中断されるときに前記入力された各ビット及び各反転ビットを出力するためのチャージング信号、及び前記サンプリングパルスに対応して、前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力

10

20

30

40

50

するホールディングラッチ部と、内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含み、前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、前記第1もしくは第2クロック信号、前記サンプリングパルス、または前記第1イネーブル信号が入力される第2入力端子にゲート電極が接続され、第2電極が第1ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての外部入力端子に第1電極が接続される第1PMOSトランジスタと、ゲート電極が前記第1ノードに接続され、前記第1もしくは第2クロック信号、前記チャージング信号、または前記第2イネーブル信号が入力される第1入力端子に第1電極が接続され、第2電極が出力端子に接続される第2PMOSトランジスタと、ゲート電極が前記第2入力端子に接続され、第1電極が第2ノードに接続され、ローレベルの電圧を有する第4電源に第2電極が接続される第3PMOSトランジスタと、ゲート電極が前記第1ノードに接続され、第1電極が前記第2入力端子に接続され、第2電極が前記第2ノードに接続される第4PMOSトランジスタと、ゲート電極が前記第2ノードに接続され、ハイレベルの電圧を有する第3電源に第1電極が接続され、第2電極が前記出力端子に接続される第5PMOSトランジスタと、前記第2PMOSトランジスタのゲート電極と当該第2PMOSトランジスタの第2電極との間に接続されるキャパシタと、を具備することを特徴とする有機電界発光表示装置を提供する。

10

20

【0011】

また、本発明の第4側面は、複数の走査線に走査信号を順次に供給するための走査駆動部と、複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、前記データ駆動部は、第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス<sub>を生成するシフトレジスタ部と、内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記第1クロック信号、前記第2クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、内在する複数のトランジスタがPMOSトランジスタのみで具現され、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含み、前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、前記第1もしくは第2クロック信号、前記サンプリングパルス、または前記第1イネーブル信号が入力される第2入力端子にゲート電極が接続され、第2電極が第1ノードに接続され、前記シフトレジスタ、サンプリングラッチ、及びホールディングラッチとしての外部入力端子に第1電極が接続される第1PMOSトランジスタと、ゲート電極が前記第1ノードに接続され、前記第1もしくは第2クロック信号、前記チャージング信号、または前記第2イネーブル信号が入力される第1入力端子に第1電極が接続され、第2電極が出力端子に接続される第2PMOSトランジスタと、ゲート電極が前記第2入力端子に接続され、第1電極が第2ノードに接続され、ローレベルの電圧を有する第4電源に第2電極が接続される第3PMOSトランジスタと、ゲート電極が前記第1ノードに接続され、第1電極が前記第2入力端子に接続され、第2電極が前記第2ノードに接続される第4PMOSトランジスタと、ゲート電極が前記第2ノードに接続され、ハイレベ</sub>

30

40

50

ルの電圧を有する第3電源に第1電極が接続され、第2電極が前記出力端子に接続される第5PMOSトランジスタと、前記第2PMOSトランジスタのゲート電極と当該第2PMOSトランジスタの第2電極との間に接続されるキャパシタと、を具備することを特徴とする有機電界発光表示装置を提供する。

【発明の効果】

【0012】

上述したように、本発明のデータ駆動部及びこれを利用した有機電界発光表示装置によれば、データ駆動部に含まれるシフトレジスタ、サンプリングラッチ、ホールディングラッチ、デジタル-アナログコンバータをPMOSトランジスタのみで構成することができるため、パネルに実装可能であり、これによって製造費用を低減することができるという長所がある。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明が属する技術分野において通常の知識を有する者が本発明を容易に実施することができる好ましい実施形態を、添付の図1ないし図14を参照して、詳しく説明する。

【0014】

図1は、本発明の一実施形態による有機電界発光表示装置を示す図面である。

【0015】

図1を参照すれば、本発明の一実施形態による有機電界発光表示装置は、走査線S1ないしSn及びデータ線D1ないしDmに接続された複数の画素40を含む画素部30と、走査線S1ないしSnを駆動するための走査駆動部10と、データ線D1ないしDmを駆動するためのデータ駆動部20と、走査駆動部10及びデータ駆動部20を制御するためのタイミング制御部50と、を具備する。

20

【0016】

タイミング制御部50は、外部から供給される同期信号に対応して、データ駆動制御信号DCS及び走査駆動制御信号SCSを生成する。タイミング制御部50で生成されたデータ駆動制御信号DCSは、データ駆動部20に供給され、走査駆動制御信号SCSは、走査駆動部10に供給される。そして、タイミング制御部50は、外部から供給されるデータDataをデータ駆動部20に供給する。

30

【0017】

データ駆動部20は、タイミング制御部50からデータ駆動制御信号DCSの供給を受ける。データ駆動制御信号DCSの供給を受けたデータ駆動部20は、データ信号を生成し、生成したデータ信号を走査信号と同期するようにデータ線D1ないしDmに供給する。

【0018】

画素部30は、外部から第1電源ELVDD及び第2電源ELVSSの供給を受けて、それぞれの画素40に供給する。第1電源ELVDD及び第2電源ELVSSの供給を受けた画素40のそれぞれは、データ信号に対応して第1電源ELVDDから発光素子を經由して第2電源ELVSSに流れる電流を制御することによりデータ信号に対応する光を生成する。

40

【0019】

また、走査駆動部10は、タイミング制御部50から走査駆動制御信号SCSの供給を受ける。走査駆動制御信号SCSの供給を受けた走査駆動部10は、走査信号を生成して、生成された走査信号を走査線S1ないしSnに順次に供給する。

【0020】

図2は、図1に示された画素の構造を示す図面である。図2では、説明の便宜性のために、n番目走査線Sn及びm番目データ線Dmに接続された画素40を示す。

【0021】

図2を参照すれば、本発明の画素は、有機発光ダイオードOLEDと、データ線Dm及

50

び走査線  $S_n$  に接続されて有機発光ダイオード  $OLED$  の発光要否を制御するための画素回路 42 と、を具備する。

【0022】

有機発光ダイオード  $OLED$  のアノード電極は、画素回路 42 に接続されて、カソード電極は、第 2 電源  $ELVSS$  に接続される。このような有機発光ダイオード  $OLED$  は、画素回路 42 から供給される電流に対応して発光する。

【0023】

画素回路 42 は、走査線  $S_n$  に走査信号が供給されるときに、データ線  $D_m$  に供給されるデータ信号に対応して有機発光ダイオード  $OLED$  の発光要否を制御する。このために、画素回路 42 は、第 1 電源  $ELVDD$  と有機発光ダイオード  $OLED$  との間に接続された第 2 トランジスタ  $M_2$  と、第 2 トランジスタ  $M_2$ 、データ線  $D_m$ 、及び走査線  $S_n$  に接続される第 1 トランジスタ  $M_1$  と、第 2 トランジスタ  $M_2$  のゲート電極と第 1 電極との間に接続されたストレージキャパシタ  $C$  と、を具備する。

10

【0024】

第 1 トランジスタ  $M_1$  のゲート電極は、走査線  $S_n$  に接続され、第 1 電極はデータ線  $D_m$  に接続される。そして、第 1 トランジスタ  $M_1$  の第 2 電極は、ストレージキャパシタの一方端子に接続される。このような第 1 トランジスタ  $M_1$  は、走査線  $S_n$  に走査信号が供給されるときにターンオンされて、データ線  $D_m$  に供給されるデータ信号をストレージキャパシタ  $C$  に供給する。ここで、第 1 電極は、ソース電極及びドレーン電極のうちいずれか一方の電極であり、第 2 電極は、第 1 電極と異なる電極である。例えば、第 1 電極がソ

20

【0025】

第 2 トランジスタ  $M_2$  のゲート電極は、ストレージキャパシタ  $C$  の一方端子に接続され、第 1 電極は、ストレージキャパシタ  $C$  の他側端子及び第 1 電源  $ELVDD$  に接続される。そして、第 2 トランジスタ  $M_2$  の第 2 電極は、有機発光ダイオード  $OLED$  に接続される。このような第 2 トランジスタ  $M_2$  は、ストレージキャパシタ  $C$  に保存された電圧に対応して有機発光ダイオード  $OLED$  の発光要否を制御する。すなわち、第 2 トランジスタ  $M_2$  は、ストレージキャパシタ  $C$  にデータ信号に相当する所定の電圧が充電されれば、これに対応する電流が有機発光ダイオード  $OLED$  に流れるようにして、有機発光ダイオード  $OLED$  を発光させる。

30

【0026】

図 3 は、図 1 に示されたデータ駆動部を概略的に示す図面である。

【0027】

ただし、データ駆動部は、 $m$  個のチャンネル (  $channels$  ) を有すると仮定して説明する。

【0028】

図 3 を参照すれば、本発明の一実施形態によるデータ駆動部 20 は、シフトレジスタ部 100、サンプリングラッチ部 300、ホールディングラッチ部 400、及びデジタル - アナログコンバータ (  $DAC$  ) 500 を具備する。

【0029】

シフトレジスタ部 100 は、スタートパルス  $SP$ 、第 1 クロック信号  $CLK_1$ 、及び第 2 クロック信号  $CLK_2$  の供給を受けて、サンプリングパルス  $Sap$  を順次に生成する。このために、シフトレジスタ部 100 は、 $m$  個のシフトレジスタを具備する。

40

【0030】

サンプリングラッチ部 300 は、サンプリングパルス  $Sap$  及びチャージング信号  $CH$  の供給を受ける。サンプリングパルス  $Sap$  及びチャージング信号  $CH$  の供給を受けたサンプリングラッチ部 300 は、入力されるデジタルデータの各ビット (  $Data$  ) 及び当該各ビット (  $Data$  ) に対する各反転ビット (  $/Data$  ) の供給を受けて、各ビット (  $Data$  ) 及び各反転ビット (  $/Data$  ) を一時保存する。このために、サンプリングラッチ部 300 は、各チャンネルに入力されるデジタルデータのビット数の 2 倍の個数

50

のサンプリングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、各チャンネルにサンプリングラッチは、6の2倍の個数、すなわち、12個具備される。

【0031】

ここで、それぞれのサンプリングラッチは、1ビットのデータまたは反転データを保存する。

【0032】

ホールディングラッチ部400は、第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受ける。第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受けたホールディングラッチ部400は、サンプリングラッチ部300から出力される各ビット及び各反転ビットの入力を同時に受けて、入力された各ビット及び各反転ビットをDAC500に出力する。

10

【0033】

これによって、ホールディングラッチ部400もまた、サンプリングラッチ部300と同様に、各チャンネルに入力されるデジタルデータのビット数の2倍の個数のホールディングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、各チャンネルにホールディングラッチは、6の2倍の個数、すなわち、12個具備される。

【0034】

DAC500は、ホールディングラッチ部400から出力されるデジタルデータの各ビット及び/または各反転ビットの値(ビット値)に対応するアナログ信号を生成するもので、ホールディングラッチ部400から供給されるデジタルデータのビット値に対応して、複数の階調電圧の中から一つの階調電圧を選択することにより、ビット値に対応するアナログデータ信号を生成して、当該アナログデータをデータ線D1ないしDmに供給する。

20

【0035】

図4は、図3に示されたデータ駆動部を詳しく示す図面であり、図5は、図4に示されたデータ駆動部の駆動方法を示す波形図である。

【0036】

ただし、データ駆動部は、m個のチャンネルを有し、6ビットデジタルデータが入力されると仮定して説明する。また、図5は、各チャンネルにデジタルデータのMSB(Most Significant Bit:最上位ビット)、すなわちD[5]及び反転されたMSB、すなわち/D[5]が入力される場合に対応する波形図である。

30

【0037】

図4を参照すれば、シフトレジスタ部100は、一つのチャンネルごとに一つのシフトレジスタS/R1ないしS/Rmを具備する。そして、サンプリングラッチ部300は、一つのチャンネルごとに12個のサンプリングラッチSAL1\_1ないしSAL1\_12, ..., SALm\_1ないしSALm\_12を具備し、ホールディングラッチ部400もまた、一つのチャンネルごとに12個のホールディングラッチSAL1\_1ないしSAL1\_12, ..., SALm\_1ないしSALm\_12を具備する。ただし、図4では、1番目チャンネルに対する構成が中心に示されている。

40

【0038】

シフトレジスタS/R1ないしS/Rmのうち、奇数番目シフトレジスタS/R1, S/R3, ...は、第1入力端子clkに第1クロック信号CLK1の入力を受け、第2入力端子/clkに第2クロック信号CLK2の入力を受ける。シフトレジスタS/R1ないしS/Rmのうち、偶数番目シフトレジスタS/R2, S/R4, ...は、第1入力端子clkに第2クロック信号CLK2の入力を受け、第2入力端子/clkに第1クロック信号CLK1の入力を受ける。ここで、第1クロック信号CLK1及び第2クロック信号CLK2は180°の位相差を有する。ただし、図6に示された実施形態の場合、第1クロック信号CLK1及び第2クロック信号CLK2がハイレベルを示す領域(期間)が所定範囲にわたって重なるように、第1クロック信号CLK1及び第2クロック信号CLK2

50

は提供される。

【0039】

シフトレジスタ $S/R_1$ ないし $S/R_m$ のうち、第1シフトレジスタ $S/R_1$ は、第1クロック信号 $CLK_1$ 、第2クロック信号 $CLK_2$ 、及びスタートパルス $SP$ の供給を受けて、第1サンプリングパルス $sap_1$ を生成する。そして、第2シフトレジスタ $S/R_2$ は、第1クロック信号 $CLK_1$ 、第2クロック信号 $CLK_2$ 、及び第1サンプリングパルス $sap_1$ の供給を受けて、第2サンプリングパルス $sap_2$ を生成する。実際に、シフトレジスタ $S/R_1$ ないし $S/R_m$ は、スタートパルス $SP$ または前段のサンプリングパルス $sap$ の供給を受けて、図5に示されるように、サンプリングパルス $sap$ を順次に生成する。

10

【0040】

サンプリングラッチ $SAL_{1\_1}$ ないし $SAL_{1\_12}$ , ...,  $SAL_{m\_1}$ ないし $SAL_{m\_12}$ は、第1入力端子 $clk$ にチャージング信号 $CH$ の入力を受け、第2入力端子/ $clk$ にサンプリングパルス $sap$ の入力を受ける。サンプリングパルス $sap$ 及びチャージング信号 $CH$ の供給を受けたサンプリングラッチ $SAL_{1\_1}$ ないし $SAL_{1\_12}$ は、デジタルデータの各ビットまたは各反転ビットの入力を受けて、各ビットまたは各反転ビットを一時保存する。

【0041】

一例で、1番目チャンネルに相当するサンプリングラッチ $SAL_{1\_1}$ ないし $SAL_{1\_12}$ の場合、第1入力端子 $clk$ にチャージング信号 $CH$ の入力を受けて、第2入力端子/ $clk$ に第1サンプリングパルス $sap_1$ の入力を受け、1番目チャンネルに相当するデジタルデータの各ビットまたは各反転ビットの入力を受けて、各ビットまたは各反転ビットを一時保存する。

20

【0042】

すなわち、1番目チャンネルに具備された第1サンプリングラッチ $SAL_{1\_1}$ は、第1サンプリングパルス $sap_1$ 及びチャージング信号 $CH$ が供給されるときに、デジタルデータの $MSB$ 、すなわち $D[5]$ (図5の $a_1$ )の入力を受けて、デジタルデータの $MSB$ を一時保存し、第2サンプリングラッチ $SAL_{1\_2}$ は、第1サンプリングパルス $sap_1$ 及びチャージング信号 $CH$ が供給されるときに、デジタルデータの反転された $MSB$ 、すなわち $/D[5]$ (図5の $/a_1$ )の入力を受けて、デジタルデータの反転された $MSB$ を一時保存する。

30

【0043】

1番目チャンネルに具備された残りのサンプリングラッチ $SAL_{1\_3}$ ないし $SAL_{1\_12}$ の場合もこれと同様に、第1サンプリングパルス $sap_1$ 及びチャージング信号 $CH$ が供給されるときに、デジタルデータの各ビットまたは各反転ビット( $D[4]$ ,  $/D[4]$ ,  $D[3]$ ,  $/D[3]$ ,  $D[2]$ ,  $/D[2]$ ,  $D[1]$ ,  $/D[1]$ ,  $D[0]$ ,  $/D[0]$ )の入力を受けて、これを一時保存する。

【0044】

ここで、チャージング信号 $CH$ は、図5に示されたように、デジタルデータが入力される期間の間、ハイレベルで提供される。

40

【0045】

また、ホールディングラッチ $HOL_{1\_1}$ ないし $HOL_{1\_12}$ , ...,  $HOL_{m\_1}$ ないし $HOL_{m\_12}$ は、第1入力端子 $clk$ に第2イネーブル信号 $EN_2$ の入力を受け、第2入力端子/ $clk$ に第1イネーブル信号 $EN_1$ の入力を受ける。第1イネーブル信号 $EN_1$ 及び第2イネーブル信号 $EN_2$ の入力を受けたホールディングラッチ $HOL_{1\_1}$ ないし $HOL_{1\_12}$ , ...,  $HOL_{m\_1}$ ないし $HOL_{m\_12}$ は、サンプリングラッチ $SAL_{1\_1}$ ないし $SAL_{1\_12}$ , ...,  $SAL_{m\_1}$ ないし $SAL_{m\_12}$ に一時保存されたデジタルデータの各ビットまたは各反転ビットの入力を同時に受ける。そして、ホールディングラッチは、入力を受けたデジタルデータの各ビットまたは各反転ビットを $DAC$ に出力する。

50

## 【 0 0 4 6 】

一例で、1番目チャンネルに相当するホールディングラッチHOL1\_\_1ないしHOL1\_\_12の場合、第1入力端子clkに第2イネーブル信号EN2の入力を受け、第2入力端子/clkに第1イネーブル信号EN1の入力を受けて、1番目チャンネルに相当するサンプリングラッチSAL1\_\_1ないしSAL1\_\_12に一時保存されたデジタルデータの各ビットまたは各反転ビットの入力を同時に受けて、各ビットまたは各反転ビットをDACに出力する。

## 【 0 0 4 7 】

ここで、1番目チャンネルに具備された第1ホールディングラッチHOL1\_\_1は、第1サンプリングラッチSAL1\_\_1に一時保存されたD[5]の供給を受け、第2ホールディングラッチHOL1\_\_2は、第2サンプリングラッチSAL1\_\_2に一時保存された/D[5]の供給を受ける。

10

## 【 0 0 4 8 】

1番目チャンネルに具備された残りのホールディングラッチHOL1\_\_3ないしHOL1\_\_12の場合もこれと同様に、サンプリングラッチSAL1\_\_3ないしSAL1\_\_12に一時保存されたデジタルデータの各ビットまたは各反転ビット(D[4], /D[4], D[3], /D[3], D[2], /D[2], D[1], /D[1], D[0], /D[0])の入力を同時に受けて、これをDACに出力する。

## 【 0 0 4 9 】

また、ホールディングラッチから出力されるデジタルデータのビット及び反転ビットは、各チャンネルに具備されたDACの対応する端子にそれぞれ入力されて、DACは、ホールディングラッチから供給されるデジタルデータのビット値に対応して複数の階調電圧の中から一つの階調電圧を選択することにより、ビット値に対応するアナログデータ信号を生成して、当該アナログデータ信号をデータ線D1ないしDmに供給する。

20

## 【 0 0 5 0 】

図6は、図4に示されたシフトレジスタの一実施形態を示す回路図である。

## 【 0 0 5 1 】

図6を参照すれば、本発明の一実施形態によるシフトレジスタS/Rは、スタートパルスSPまたは前段サンプリングパルスsapの供給を受けるものであって、ゲート電極が第2入力端子/clkに接続される第1トランジスタM1と、第1トランジスタM1と出力端子outとの間に接続される第2トランジスタM2と、第2入力端子/clkと第4電源VSSとの間に接続される第4トランジスタM4及び第3トランジスタM3と、第3電源VDDと出力端子outとの間に接続される第5トランジスタM5と、第2トランジスタM2のゲート電極と第2電極との間に接続されるキャパシタC1と、を具備する。ここで、第1トランジスタM1ないし第5トランジスタM5は、PMOSトランジスタに形成される。そして、第3電源VDDは、第4電源VSSよりも高い電圧値に設定される。

30

## 【 0 0 5 2 】

第1トランジスタM1の第1電極は、スタートパルスSPまたは前段サンプリングパルスsapの供給を受ける(すなわち、第1電極は、外部入力端子に接続される)。そして、第1トランジスタM1のゲート電極は、第2入力端子/clkに接続されて、第2電極は、第1ノードN1に接続される。このような第1トランジスタM1は、第2入力端子/clkに供給される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされる。

40

## 【 0 0 5 3 】

第2トランジスタM2のゲート電極は、第1ノードN1に接続され、第1電極は、第1入力端子clkに接続される。そして、第2トランジスタM2の第2電極は、出力端子outに接続される。このような第2トランジスタM2は、第1ノードN1に印加される電圧に対応してターンオンまたはターンオフされる。

## 【 0 0 5 4 】

第3トランジスタM3の第1電極は、第2ノードN2に接続され、第2電極は、第4電

50

源VSSに接続される。そして、第3トランジスタM3のゲート電極は、第2入力端子/c1kに接続される。このような第3トランジスタM3は、第2入力端子/c1kに供給される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされる。

【0055】

第4トランジスタM4の第1電極は、第2入力端子/c1kに接続され、第2電極は、第2ノードN2に接続される。そして、第4トランジスタM4のゲート電極は、第1ノードN1に接続される。このような第4トランジスタM4は、第1ノードN1に印加される電圧に対応してターンオンまたはターンオフされる。

【0056】

第5トランジスタM5の第1電極は、第3電源VDDに接続され、第2電極は、出力端子outに接続される。そして、第5トランジスタM5のゲート電極は、第2ノードN2に接続される。このような第5トランジスタM5は、第2ノードN2に印加される電圧に対応してターンオンまたはターンオフされる。

【0057】

キャパシタC1は、第2トランジスタM2のゲート電極と第2電極との間に接続される。このようなキャパシタC1は、第1トランジスタM1がターンオンされたときに、第1ノードN1に印加されるスタートパルスSPまたは前段サンプリングパルスsapに対応する電圧を充電する。

【0058】

次に、図6に示されたシフトレジスタS/Rを第1シフトレジスタS/R1と仮定して動作過程を説明する。なお、説明の便宜性のために、クロック信号CLK1, CLK2のローレベルの電圧は第4電源VSSに設定され、ハイレベルの電圧は第3電源VDDに設定されると仮定する。ここで、第4電源VSSは、第3電源VDDよりも低い電圧、例えば、グラウンド電圧GNDに設定されうる。

【0059】

まず、図5に示されたように、第1クロック信号CLK1がハイレベル、第2クロック信号CLK2がローレベルで、スタートパルスSP(ローレベル)が入力されれば、ローレベルの第2クロック信号CLK2の入力を受ける第1トランジスタM1及び第3トランジスタM3がターンオンされる。第1トランジスタM1がターンオンされれば、スタートパルスSPが第1ノードN1に供給される。この場合、第2トランジスタM2及び第4トランジスタM4がターンオンされる。

【0060】

第4トランジスタM4がターンオンされれば、ローレベルの第2クロック信号CLK2が第2ノードN2に入力される。そして、第3トランジスタM3がターンオンされれば、第4電源VSSが第2ノードN2に入力される。この場合、第5トランジスタM5がターンオンされて第3電源VDDの電圧が出力端子outに供給される。一方、第2トランジスタM2がターンオンされれば、ハイレベルの第1クロック信号CLK1が出力端子outに供給される。

【0061】

このとき、キャパシタC1には第1ノードN1と出力端子outとの差に対応する電圧が充電される。言い換えれば、スタートパルスSPのロー電圧と第3電源VDDとの差に対応する電圧がキャパシタC1に充電される。

【0062】

その後、第1クロック信号CLK1がローレベル、第2クロック信号CLK2がハイレベルに転換され、スタートパルスSPの供給が中断される。すると、ハイレベルの第2クロック信号CLK2の入力を受ける第1トランジスタM1及び第3トランジスタM3がターンオフされる。このとき、第1ノードN1は、キャパシタC1に充電された電圧に対応してローレベルに設定される。すると、第2トランジスタM2がターンオンされて、出力端子outの電圧が第1クロック信号CLK1のローレベルの電圧に下降される。すなわ

10

20

30

40

50

ち、図5に示されたように、第1サンプリングパルス  $sap_1$  が生成される。

【0063】

一方、第1ノード  $N_1$  の電圧がローレベルに設定されれば、第4トランジスタ  $M_4$  がターンオンされる。第4トランジスタ  $M_4$  がターンオンされれば、ハイレベルの第2クロック信号  $CLK_2$  が第2ノード  $N_2$  に供給されて第5トランジスタ  $M_5$  がターンオフされる。

【0064】

その後、第1クロック信号  $CLK_1$  がハイレベル、第2クロック信号  $CLK_2$  がローレベルに転換され、スタートパルス  $SP$  は供給されない。すると、ローレベルの第2クロック信号  $CLK_2$  の入力を受けた第1トランジスタ  $M_1$  及び第3トランジスタ  $M_3$  がターンオンされる。第3トランジスタ  $M_3$  がターンオンされれば、第2ノード  $N_2$  に第4電源  $V_{SS}$  の電圧が供給されて第5トランジスタ  $M_5$  がターンオンされ、これによって出力端子  $out$  に第3電源  $V_{DD}$  の電圧が供給される。

【0065】

そして、第1トランジスタ  $M_1$  がターンオンされれば、ハイレベルの電圧が第1ノード  $N_1$  に供給される。すると、キャパシタ  $C_1$  は電圧を充電しない。したがって、次のクロック信号  $CLK_1$ 、 $CLK_2$  の位相が反転されても第2トランジスタ  $M_2$  及び第4トランジスタ  $M_4$  はターンオフ状態を維持し、これによって、シフトレジスタ  $S/R$  はハイ状態の出力を維持する。

【0066】

すなわち、本発明のシフトレジスタ  $S/R$  は、外部入力端子からローレベルの電圧が入力されるときに、クロック信号  $CLK_1$ 、 $CLK_2$  の半周期の間、ローレベルの電圧をキャパシタ  $C_1$  に保存し、クロック信号  $CLK_1$ 、 $CLK_2$  の残りの半周期の間、ローレベルの電圧、すなわち、サンプリングパルス  $sap$  を出力する。

【0067】

一方、第2シフトレジスタ  $S/R_2$  は、第1クロック信号  $CLK_1$  がローレベル、第2クロック信号  $CLK_2$  がハイレベルに設定されて、第1サンプリングパルス  $sap_1$  が入力されるときに、第1サンプリングパルス  $sap_1$  に対応する電圧をキャパシタ  $C_1$  に充電する。そして、第2シフトレジスタ  $S/R_2$  は、第1クロック信号  $CLK_1$  がハイレベル、第2クロック信号  $CLK_2$  がローレベルに反転されるときに、第2サンプリングパルス  $sap_2$  を出力する。実際に、本発明のシフトレジスタ  $S/R_1$  ないし  $S/R_n$  は、上記のような過程を繰り返しながら、サンプリングパルス  $sap_1$  ないし  $sap_n$  を順次出力する。

【0068】

ただし、第1及び第2クロック信号  $CLK_1$ 、 $CLK_2$  が両方ともハイレベルの場合、直前に第1クロック信号  $CLK_1$  がローレベル、第2クロック信号  $CLK_2$  がハイレベルで提供された場合には、直前の出力を維持し、反対に第1クロック信号  $CLK_1$  がハイレベル、第2クロック信号  $CLK_2$  がローレベルで提供された場合には、出力がハイレベルになるので、第1及び第2クロック信号  $CLK_1$ 、 $CLK_2$  がハイレベルを示す領域がオーバーラップされればされるほど、隣接したシフトレジスタ  $S/R$  の出力パルスの間に関

隔が発生する。

【0069】

図7は、図4に示されたサンプリングラッチの一実施形態を示す回路図である。

【0070】

ただし、図7は、各チャンネルに具備された複数のサンプリングラッチ  $SAL_1\_1$  ないし  $SAL_1\_12$ 、 $\dots$ 、 $SAL_m\_1$  ないし  $SAL_m\_12$  のうち、デジタルデータの  $MSB$ 、すなわち、 $D[5]$  の入力を受ける第1サンプリングラッチ  $SAL_1\_1$ 、 $SAL_2\_1$ 、 $\dots$ 、 $SAL_m\_1$  をその例として説明する。

【0071】

図7を参照すれば、図4に示されたサンプリングラッチ  $SAL_1\_1$  ないし  $SAL_1\_1$

10

20

30

40

50

1 2 , ... , S A L m \_ 1 ないし S A L m \_ 1 2 のそれぞれは、図 6 に示されたシフトレジスタ S / R と同じ回路に形成される。ただし、サンプリングラッチは、第 1 入力端子 c l k にチャージング信号 C H の入力を受け、第 2 入力端子 / c l k にサンプリングパルス s a p の入力を受ける。

【 0 0 7 2 】

図 5 の波形図と結び付けて、1 番目チャンネルに具備された第 1 サンプリングラッチ S A L 1 \_ 1 の動作過程を説明すれば、まず、第 1 サンプリングラッチ S A L 1 \_ 1 は、第 1 サンプリングパルス s a p 1 がローレベルに設定されて、チャージング信号 C H がハイレベルに設定されるときに、デジタルデータの M S B、すなわち、D [ 5 ] ( 図 5 の a 1、ハイまたはロー ) の入力を受ける。ここで、第 1 サンプリングラッチ S A L 1 \_ 1 に入 10  
力された D [ 5 ] ( 図 5 の a 1 ) は、キャパシタ C 1 に保存される。一方、第 1 サンプリングパルス s a p 1 がローレベルに設定されるため、第 5 トランジスタ M 5 がターンオンされて、出力端子 o u t にはハイレベルの電圧が出力される。

【 0 0 7 3 】

その後、第 1 サンプリングパルス s a p 1 の供給が中断されて ( ハイレベル )、チャージング信号 C H の供給が中断されれば、出力端子 o u t には、D [ 5 ]、すなわち、a 1 に対応する電圧が出力される。例えば、D [ 5 ]、すなわち a 1 がローレベル電圧の場合、出力端子 o u t でローレベルの電圧が出力されて、ハイレベル電圧の場合、出力端子 o u t でハイレベルの電圧が出力される。

【 0 0 7 4 】

これと同様に、2 番目チャンネルに具備された第 1 サンプリングラッチ S A L 2 \_ 1 の場合、同じく第 2 サンプリングパルス s a p 2 がローレベルに設定されて、チャージング信号 C H がハイレベルに設定されるときに、デジタルデータの M S B、すなわち、D [ 5 ] ( 図 5 の a 2、ハイまたはロー ) の入力を受け、D [ 5 ] はキャパシタ C 1 に保存されて、その後、第 2 サンプリングパルス s a p 2 の供給が中断されて ( ハイレベル )、チャージング信号 C H の供給が中断されれば ( ローレベル ) 出力端子 o u t には、D [ 5 ]、すなわち、a 2 に対応する電圧が出力される。

【 0 0 7 5 】

これは、各チャンネルに具備された第 2 サンプリングラッチ S A L 1 \_ 2 , S A L 2 \_ 2 , ... , S A L m \_ 2 に同一に適用され、各サンプリングパルス s a p 1 , s a p 2 , ... , s a p m がローレベルに設定されて、チャージング信号 C H がハイレベルに設定されるときに、/ D [ 5 ]、すなわち、/ a 1 , / a 2 , ... , / a n がキャパシタ C 1 に保存され、その後、各サンプリングパルス s a p 1 , s a p 2 , ... , s a p m の供給が中断され ( ハイレベル )、チャージング信号 C H の供給が中断されれば ( ローレベル )、出力端子 o u t には、/ D [ 5 ] すなわち、/ a 1 , / a 2 , ... , / a n に対応する電圧が出力される。

【 0 0 7 6 】

実際に、本発明のサンプリングラッチ S A L 1 \_ 1 ないし S A L 1 \_ 1 2 , ... , S A L m \_ 1 ないし S A L m \_ 1 2 は、サンプリングパルス s a p 及びチャージング信号 C H に対応してデジタルデータの各ビットまたは各反転ビットの入力を受けて、入力を受けたビ 40  
ットに対応する電圧を出力端子 o u t に出力する。

【 0 0 7 7 】

図 8 は、図 4 に示されたホールディングラッチの一実施形態を示す回路図である。

【 0 0 7 8 】

図 8 を参照すれば、図 4 に示されたホールディングラッチ H O L 1 \_ 1 ないし H O L 1 \_ 1 2 , ... , H O L m \_ 1 ないし H O L m \_ 1 2 のそれぞれは、図 6 に示されたシフトレジスタ S / R と同じ回路に形成される。ただし、ホールディングラッチ H O L 1 \_ 1 ないし H O L 1 \_ 1 2 , ... , H O L m \_ 1 ないし H O L m \_ 1 2 は、第 1 入力端子 c l k に第 2 イネーブル信号 E N 2 の入力を受けて、第 2 入力端子 / c l k に第 1 イネーブル信号 E N 1 の入力を受ける。

10

20

30

40

50

## 【 0 0 7 9 】

図 5 の波形図と結び付けて、動作過程を説明すれば次のようである。

## 【 0 0 8 0 】

まず、サンプリングラッチ  $SAL1$  ないし  $SALm$  から出力されるデジタルデータビット、一例で、図 5 に示されたように、 $D[5]$  または  $/D[5]$  の入力完了後、第 1 イネーブル信号  $EN1$  がローレベルに設定され、第 2 イネーブル信号  $EN2$  がハイレベルに設定される。そうすれば、ホールディングラッチのそれぞれは、サンプリングラッチ  $SAL1$  ないし  $SALm$  のそれぞれから出力されるデータビットの入力を受ける。ここで、ホールディングラッチに入力されたデータビットは、ホールディングラッチのそれぞれに含まれるキャパシタ  $C1$  に保存される。

10

## 【 0 0 8 1 】

その後、第 1 イネーブル信号  $EN1$  がハイレベルに設定され、第 2 イネーブル信号  $EN2$  がローレベルに設定されれば、ホールディングラッチのそれぞれは、自身に保存されたデータビットに対応する電圧（ハイまたはロー）を  $DAC$  に出力する。

## 【 0 0 8 2 】

すなわち、1 番目チャンネルに具備された第 1 ホールディングラッチ  $HOL1\_1$  は、第 1 イネーブル信号  $EN1$  がローレベルに設定されて、第 2 イネーブル信号  $EN2$  がハイレベルに設定されれば、第 1 サンプリングラッチ  $SAL1\_1$  から出力された  $D[5]$ （図 5 の  $a1$ ）の入力を受けてキャパシタ  $C1$  に保存する。

## 【 0 0 8 3 】

その後、第 1 イネーブル信号  $EN1$  がハイレベルに設定されて、第 2 イネーブル信号  $EN2$  がローレベルに設定されれば、第 1 ホールディングラッチ  $HOL1\_1$  は、保存された  $D[5]$ 、すなわち、 $a1$  に対応する電圧（ハイまたはロー）を  $DAC$  に出力する。

20

## 【 0 0 8 4 】

これと同様に、2 番目チャンネルに具備された第 1 ホールディングラッチ  $HOL2\_1$  の場合、同じく第 1 イネーブル信号  $EN1$  がローレベルに設定されて、第 2 イネーブル信号  $EN2$  がハイレベルに設定されるときに、第 1 サンプリングラッチ  $SAL2\_1$  から出力された  $D[5]$ （図 5 の  $a2$ ）の入力を受けてキャパシタ  $C1$  に保存し、第 1 イネーブル信号  $EN1$  がハイレベルに設定され、第 2 イネーブル信号  $EN2$  がローレベルに設定されれば、第 1 ホールディングラッチ  $HOL1\_1$  は、保存された  $D[5]$ 、すなわち、 $a2$  に対応する電圧（ハイまたはロー）を  $DAC$  に出力する。

30

## 【 0 0 8 5 】

これは各チャンネルに具備された第 2 ホールディングラッチ  $SAL1\_2$ ,  $SAL2\_2$ , ...,  $SALm\_2$  に同一に適用されて、 $/D[5]$ 、すなわち、 $/a1$ ,  $/a2$ , ...,  $/an$  に対応する電圧を、上記動作を経て  $DAC$  に出力する。

## 【 0 0 8 6 】

図 9 は、図 4 に示されたデジタル - アナログコンバータ ( $DAC$ ) の一実施形態に対応する回路図である。ただし、これは、6 ビットデジタルデータの入力を受ける  $DAC$  をその例として説明する。

## 【 0 0 8 7 】

図 9 に示されたように、本発明による  $DAC$  は、すべて  $PMOS$  トランジスタで具現され、ホールディングラッチを通じて出力される 6 ビットデジタルデータの各ビット及び各反転ビットの入力を受けて、これらの各ビット及び各反転ビットに対応して複数の階調電圧の中から一つの階調電圧を選択することにより、各ビット及び各反転ビットの値に対応するアナログデータ信号を生成して、アナログデータ信号をデータ線  $D1$  ないし  $Dm$  に供給する役割を果たす。

40

## 【 0 0 8 8 】

すなわち、入力されるデジタルデータが  $[000000]$  の場合には、階調電圧の中から  $V0$  が選択されて出力され、 $[000001]$  が入力される場合には、階調電圧の中から  $V1$  が選択されて出力され、 $[111111]$  の場合には、階調電圧の中から  $V63$  が

50

選択されて出力されるものであり、6ビットデジタルデータが入力されれば、64種類の階調電圧を表現することができるようになり、特定デジタルデータに対応する階調電圧が選択されれば、選択された階調電圧は該当するデータ線に供給される。

【0089】

上述したシフトレジスタS/R、サンプリングラッチSAL、ホールディングラッチHOL、及びデジタル-アナログコンバータDACの動作過程を参照して、図5の波形を説明すれば下記のようなものである。

【0090】

ただし、図5は、各チャンネルにデジタルデータのMSBまたは反転されたMSBが入力される場合に対応する波形図である。

10

【0091】

まず、奇数番目シフトレジスタS/R1, S/R3, ...は、第2クロック信号CLK2のローレベル期間にスタートパルスSPまたは前段サンプリングパルスsapに対応する電圧を充電する。そして、第2クロック信号CLK2のハイレベル期間に充電されたスタートパルスSPまたは前段サンプリングパルスsapに対応してローレベル電圧を出力する。

【0092】

そして、偶数番目シフトレジスタS/R2, S/R4, ...は、第1クロック信号CLK1のローレベル期間に前段サンプリングパルスsapに対応する電圧を充電する。そして、第1クロック信号CLK1のハイレベル期間に充電されたサンプリングパルスsapに対応してローレベルの電圧を出力する。したがって、シフトレジスタS/R1ないしS/Rmは、図6に示されたように、サンプリングパルスsap1ないしsapmを順次に生成するようになる。

20

【0093】

ただし、前述したように、第1及び第2クロック信号CLK1, CLK2がすべてハイレベルの場合、直前に第1クロック信号CLK1がローレベル、第2クロック信号CLK2がハイレベルで提供された場合には、直前の出力を維持し、反対に、第1クロック信号CLK1がハイレベル、第2クロック信号CLK2がローレベルで提供された場合には、出力がハイレベルになるので、第1及び第2クロック信号CLK1, CLK2がハイレベルを示す領域がオーバーラップされればされるほど、隣接したシフトレジスタS/Rの出力パルス間に間隔が発生する。

30

【0094】

また、各チャンネルに具備された第1及び第2サンプリングラッチSAL1\_1, SAL1\_2, ..., SALm\_1, SALm\_2のそれぞれは、チャージング信号CHがハイレベルで提供されて、自身にサンプリングパルス(sap1ないしsapmのうち、いずれか一つ)が供給されるときに(ローレベル期間)、デジタルデータのMSB、すなわち、D[5]または反転されたMSB、すなわち、/D[5]の入力を受けて、これを一時保存し、サンプリングパルス(sap1ないしsapmのうち、いずれか一つ)の供給が中断(ハイレベル)期間になって、チャージング信号CHがローレベルで提供されるときに、一時保存されたデータビットに対応する電圧を同時に出力する。

40

【0095】

すなわち、各チャンネルに具備された第1及び第2サンプリングラッチSAL1\_1, SAL1\_2, ..., SALm\_1, SALm\_2では、各サンプリングパルスsap1, sap2, ..., sapmがローレベルに設定され、チャージング信号CHがハイレベルに設定されるときに、D[5]a1, a2, ..., an及び/D[5]/a1, /a2, ..., /anの入力を受けてキャパシタC1に保存し、その後、各サンプリングパルスsap1, sap2, ..., sapmの供給が中断され(ハイレベル)、チャージング信号CHの供給が中断されれば(ローレベル)、出力端子outにD[5]a1, a2, ..., an及び/D[5]/a1, /a2, ..., /anに対応する電圧が同時に出力される。

【0096】

50

これに対して、各チャンネルに具備された第1及び第2ホールディングラッチHOL1\_\_1, HOL1\_\_2, ..., HOLm\_\_1, HOLm\_\_2のそれぞれは、第1イネーブル信号EN1がローレベルに設定され、第2イネーブル信号EN2がハイレベルに設定されるときに、各チャンネルに具備された第1及び第2サンプリングラッチSAL1\_\_1, SAL1\_\_2, ..., SALm\_\_1, SALm\_\_2から出力されたデータビットの入力を受ける。そして、各チャンネルに具備された第1及び第2ホールディングラッチHOL1\_\_1, HOL1\_\_2, ..., HOLm\_\_1, HOLm\_\_2のそれぞれは、第1イネーブル信号EN1がハイレベルに設定され、第2イネーブル信号EN2がローレベルに設定されるときに、自身に保存されたデータに対応してハイレベルまたはローレベルの電圧をDACに出力する。

10

【0097】

また、ホールディングラッチから出力されるデジタルデータのビット及び反転ビットは、各チャンネルに具備されたDACの該当する端子にそれぞれ入力されて、DACは、ホールディングラッチから供給されるデータのビット値に対応して、複数の階調電圧の中から一つの階調電圧を選択することで、ビット値に対応するアナログデータ信号を生成してこれをデータ線D1ないしDmに供給する。

【0098】

すなわち、本発明では上述したように、PMOSトランジスタのみを利用してデータ駆動部20を具現することができる。このようにデータ駆動部20を具現すれば、パネルに実装されうるし、これによって製造費用を低減することができる。

20

【0099】

図10は、図1に示されたデータ駆動部の他の実施形態を示す図面である。

【0100】

ただし、データ駆動部は、m個のチャンネルを持つと仮定して説明する。

【0101】

図10に示されたデータ駆動部20は、シフトレジスタ部100、コンバージョン部200、サンプリングラッチ部300、ホールディングラッチ部400、及びデジタル-アナログコンバータ(DAC)500を具備する。

【0102】

すなわち、図3に示された本発明の一実施形態と比べる場合、コンバージョン部200が追加され、チャージング信号CHの代わりに、コンバージョン部200から出力されるコンバージョン信号CVが出力される。

30

【0103】

シフトレジスタ部100は、スタートパルスSP、第1クロック信号CLK1、及び第2クロック信号CLK2の供給を受けてサンプリングパルスSapを順次に生成する。このために、シフトレジスタ部100は、m個のシフトレジスタを具備する。

【0104】

コンバージョン部200は、第1クロック信号CLK1、第2クロック信号CLK2、及びサンプリングパルスSapの供給を受けてコンバージョン信号CVを順次に生成する。このために、コンバージョン部200は、m個のコンバージョン回路を具備する。

40

【0105】

サンプリングラッチ部300は、サンプリングパルスSap及びコンバージョン信号CVの供給を受ける。サンプリングパルスSap及びコンバージョン信号CVの供給を受けたサンプリングラッチ部300は、入力されるデジタルデータの各ビット及び当該各ビットに対する各反転ビットの供給を受けて、各ビット及び各反転ビットを一時保存する。このために、サンプリングラッチ部300は、チャンネルごとに入力されるデジタルデータのビット数の2倍の個数のサンプリングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、チャンネルごとにサンプリングラッチは、6の2倍の個数、すなわち、12個具備される。

【0106】

50

ここで、それぞれのサンプリングラッチは、1ビットのデータまたは反転データを保存する。

【0107】

ホールディングラッチ部400は、第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受ける。第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受けたホールディングラッチ部400は、サンプリングラッチ部300から出力されるそれぞれのデータビット（各ビット及び各反転ビット）の入力を同時に受けて、これをDACに出力する。

【0108】

これによって、ホールディングラッチ部400もまた、サンプリングラッチ部300と同様に、チャンネルごとに入力されるデジタルデータのビット数の2倍の個数のホールディングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、チャンネルごとに、ホールディングラッチは、6の2倍の個数、すなわち、12個具備される。

10

【0109】

DAC500は、ホールディングラッチ部400から出力されるデジタルデータの各ビット値に対応するアナログ信号を生成するもので、ホールディングラッチ部400から供給されるデータのビット値に対応して複数の階調電圧の中から一つの階調電圧を選択することにより、それに対応するアナログデータ信号を生成して、当該アナログデータ信号をデータ線D1ないしDmに供給する。

【0110】

20

図11は、図10に示されたデータ駆動部の具体的な構成を示す図面で、図12は、図11に示されたデータ駆動部の駆動方法を示す波形図である。

【0111】

ただし、データ駆動部は、m個のチャンネルを有し、6ビットデジタルデータが入力されると仮定して説明する。また、図12は、各チャンネルにデジタルデータのMSB及び反転されたMSBが入力される場合に対応する波形図である。

【0112】

これは、前述の図4及び図5に示された本発明の一実施形態の構成及び構成方法と比べる場合、シフトレジスタ部とサンプリングラッチ部との間にコンバージョン部が追加構成されており、それによって、チャージング信号CHの代わりに、コンバージョン部から出力されるコンバージョン信号CVが使用され、具体的な動作は上述した一実施形態と同様である。

30

【0113】

図11を参照すれば、シフトレジスタ部100及びコンバージョン部200は、一つのチャンネルごとに一つのシフトレジスタS/R1ないしS/Rm及びコンバージョン回路CC1ないしCCmを具備する。そして、サンプリングラッチ部300は、一つのチャンネルごとに12個のサンプリングラッチSAL1\_1ないしSAL1\_12, ..., SALm\_1ないしSALm\_12を具備し、ホールディングラッチ部400もまた、一つのチャンネルごとに12個のホールディングラッチSAL1\_1ないしSAL1\_12, ..., SALm\_1ないしSALm\_12を具備する。ただし、図11では、1番目チャンネルに対応する構成が中心に示されている。

40

【0114】

シフトレジスタS/R1ないしS/Rmのうち、奇数番目シフトレジスタS/R1, S/R3, ...は、第1入力端子clkに第1クロック信号CLK1の入力を受け、第2入力端子/c1kに第2クロック信号CLK2の入力を受ける。シフトレジスタS/R1ないしS/Rmのうち、偶数番目シフトレジスタS/R2, S/R4, ...は、第1入力端子clkに第2クロック信号CLK2の入力を受け、第2入力端子/c1kに第1クロック信号CLK1の入力を受ける。ここで、第1クロック信号CLK1及び第2クロック信号CLK2は、180°の位相差を有する。ただし、図12に示される本実施形態の場合、第1クロック信号CLK1及び第2クロック信号CLK2がハイレベルを示す領域が所定範

50

囲にわたって重なるように、第1クロック信号CLK1及び第2クロック信号CLK2が提供される。

【0115】

シフトレジスタS/R1ないしS/Rmのうち、第1シフトレジスタS/R1は、第1クロック信号CLK1、第2クロック信号CLK2、及びスタートパルスSPの供給を受けて、第1サンプリングパルスsap1を生成する。そして、第2シフトレジスタS/R2は、第1クロック信号CLK1、第2クロック信号CLK2、及び第1サンプリングパルスsap1の供給を受けて、第2サンプリングパルスsap2を生成する。実際に、シフトレジスタS/R1ないしS/Rmは、スタートパルスSPまたは前段のサンプリングパルスsapの供給を受けて、図12に示すように、サンプリングパルスsapを順次に生成する。

10

【0116】

コンバージョン回路CC1ないしCCmのうち、奇数番目コンバージョン回路CC1, CC3, ...は、第1入力端子clkに第1クロック信号CLK1の入力を受け、第2入力端子/clkに第2クロック信号CLK2の入力を受ける。コンバージョン回路CC1ないしCCmのうち、偶数番目コンバージョン回路CC2, CC4, ...は、第1入力端子clkに第2クロック信号CLK2の入力を受け、第2入力端子/clkに第1クロック信号CLK1の入力を受ける。

【0117】

このようなコンバージョン回路CC1ないしCCmは、第1クロック信号CLK1、第2クロック信号CLK2、及びシフトレジスタ部100から出力されるサンプリングパルスsapの供給を受けてコンバージョン信号CVを生成する。言い換えれば、第1コンバージョン回路CC1は、第1サンプリングパルスsap1、第1クロック信号CLK1、及び第2クロック信号CLK2の供給を受けて、第1コンバージョン信号CV1を生成する。そして、第2コンバージョン回路CC2は、第2サンプリングパルスsap2、第1クロック信号CLK1、及び第2クロック信号CLK2の供給を受けて、第2コンバージョン信号CV2を生成する。ここで、第2コンバージョン信号CV2は、図12に示されるように、第1コンバージョン信号CV1と所定期間重畳されるように生成される。

20

【0118】

また、サンプリングラッチSAL1\_\_1ないしSAL1\_\_12, ..., SALm\_\_1ないしSALm\_\_12は、第1入力端子clkでコンバージョン信号CVの入力を受け、第2入力端子/clkにサンプリングパルスsapの入力を受ける。サンプリングパルスsap及びコンバージョン信号CVの供給を受けたサンプリングラッチSAL1\_\_1ないしSAL1\_\_12, ..., SALm\_\_1ないしSALm\_\_12は、デジタルデータの各ビットまたは各反転ビットの入力を受けて、これを一時保存する。

30

【0119】

一例で、1番目チャンネルに相当するサンプリングラッチSAL1\_\_1ないしSAL1\_\_12の場合、第1入力端子clkに第1コンバージョン信号CV1の入力を受け、第2入力端子/clkに第1サンプリングパルスsap1の入力を受けて、1番目チャンネルに相当するデジタルデータの各ビットまたは各反転ビットの入力を受け、これを一時保存する。

40

【0120】

すなわち、1番目チャンネルに具備された第1サンプリングラッチSAL1\_\_1は、第1サンプリングパルスsap1及び第1コンバージョン信号CV1が供給されるときに、デジタルデータのMSB、すなわち、D[5] (図5のa1)の入力を受けて、これを一時保存し、第2サンプリングラッチSAL1\_\_2は、第1サンプリングパルスsap1及び第1コンバージョン信号CV1が供給されるときに、デジタルデータの反転されたMSB、すなわち、/D[5] (図5の/a1)の入力を受けて、これを一時保存する。

【0121】

1番目チャンネルに具備された残りのサンプリングラッチSAL1\_\_3ないしSAL1

50

\_\_ 1 2 の場合もこれと同様に、第 1 サンプリングパルス  $sap_1$  及び第 1 コンバージョン信号  $CV_1$  が供給されるときに、デジタルデータの各ビットまたは各反転ビット ( $D[4]$ ,  $\neg D[4]$ ,  $D[3]$ ,  $\neg D[3]$ ,  $D[2]$ ,  $\neg D[2]$ ,  $D[1]$ ,  $\neg D[1]$ ,  $D[0]$ ,  $\neg D[0]$ ) の入力を受けて、これを一時保存する。

【 0 1 2 2 】

また、ホールディングラッチ  $HOL_1\_1$  ないし  $HOL_1\_1 2$ , ...,  $HOL_m\_1$  ないし  $HOL_m\_1 2$  は、第 1 入力端子  $clk$  に第 2 イネーブル信号  $EN_2$  の入力を受け、第 2 入力端子  $\neg clk$  に第 1 イネーブル信号  $EN_1$  の入力を受ける。

【 0 1 2 3 】

第 1 イネーブル信号  $EN_1$  及び第 2 イネーブル信号  $EN_2$  の入力を受けるホールディングラッチ  $HOL_1\_1$  ないし  $HOL_1\_1 2$ , ...,  $HOL_m\_1$  ないし  $HOL_m\_1 2$  は、サンプリングラッチ  $SAL_1\_1$  ないし  $SAL_1\_1 2$ , ...,  $SAL_m\_1$  ないし  $SAL_m\_1 2$  に一時保存されているデジタルデータの各ビットまたは各反転ビットの入力を受ける。そして、ホールディングラッチは、入力を受けたデジタルデータの各ビットまたは各反転ビットを  $DAC$  に出力する。

10

【 0 1 2 4 】

一例で、1 番目チャンネルに相当するホールディングラッチ  $HOL_1\_1$  ないし  $HOL_1\_1 2$  の場合、第 1 入力端子  $clk$  に第 2 イネーブル信号  $EN_2$  の入力を受け、第 2 入力端子  $\neg clk$  に第 1 イネーブル信号  $EN_1$  の入力を受けて、1 番目チャンネルに相当するサンプリングラッチ  $SAL_1\_1$  ないし  $SAL_1\_1 2$  に一時保存されたデジタルデータの各ビットまたは各反転ビットの入力を受けて、これを  $DAC$  に出力する。

20

【 0 1 2 5 】

ここで、1 番目チャンネルに具備された第 1 ホールディングラッチ  $HOL_1\_1$  は、第 1 サンプリングラッチ  $SAL_1\_1$  に一時保存された  $D[5]$  の供給を受けてこれを  $DAC$  に出力し、第 2 ホールディングラッチ  $HOL_1\_2$  は、第 2 サンプリングラッチ  $SAL_1\_2$  に一時保存された  $\neg D[5]$  の供給を受けてこれを  $DAC$  に出力する。

【 0 1 2 6 】

1 番目チャンネルに具備された残りのホールディングラッチ  $HOL_1\_3$  ないし  $HOL_1\_1 2$  の場合もこれと同様に、サンプリングラッチ  $SAL_1\_3$  ないし  $SAL_1\_1 2$  に一時保存されたデジタルデータの各ビットまたは各反転ビット ( $D[4]$ ,  $\neg D[4]$ ,  $D[3]$ ,  $\neg D[3]$ ,  $D[2]$ ,  $\neg D[2]$ ,  $D[1]$ ,  $\neg D[1]$ ,  $D[0]$ ,  $\neg D[0]$ ) の入力を受けて、これを  $DAC$  に出力する。

30

【 0 1 2 7 】

また、ホールディングラッチから出力されるデジタルデータのビット及び反転ビットは、各チャンネルに具備された  $DAC$  の該当する端子にそれぞれ入力されて、 $DAC$  は、ホールディングラッチから供給されるデータのビット値に対応して複数の階調電圧の中から一つの階調電圧を選択することにより、ビット値に対応するアナログデータ信号を生成して、当該アナログデータ信号をデータ線  $D_1$  ないし  $D_m$  に供給する。

【 0 1 2 8 】

図 1 3 は、図 1 1 に示されたコンバージョン回路を示す図面である。

40

【 0 1 2 9 】

図 1 3 を参照すれば、本発明の他の実施形態によるコンバージョン回路  $CC_1$  ないし  $CC_m$  のそれぞれは、入力部 2 0 2 及び出力部 2 0 4 を具備する。ここで、入力部 2 0 2 及び出力部 2 0 4 のそれぞれに含まれるトランジスタ  $M_1$  ないし  $M_1 8$  は、PMOS トランジスタに形成される。

【 0 1 3 0 】

出力部 2 0 4 は、入力部 2 0 2 から入力されるハイレベルまたはローレベルの電圧、第 1 入力端子  $clk$  に入力されるクロック信号 ( $CLK_1$  または  $CLK_2$ ) の状態、及び第 3 入力端子  $in$  に入力されるサンプリングパルス  $sap$  に対応して、コンバージョン信号  $CV$  の出力要否を制御する。

50

## 【0131】

このために、出力部204は、第3電源VDDと出力端子outとの間に接続される第11トランジスタM11と、出力端子outと第4電源VSSとの間に接続される第12トランジスタM12及び第14キャパシタC14と、第12トランジスタM12のゲート電極と第12トランジスタM12の第1電極との間に接続される第13トランジスタM13及び第11キャパシタC11と、第12トランジスタM12のゲート電極及び入力部202の出力端に接続される第14トランジスタM14と、第3入力端子inと第11トランジスタM11との間に接続される第15トランジスタM15と、第11トランジスタM11のゲート電極と第11トランジスタM11の第1電極との間に接続される第12キャパシタC12と、を具備する。

10

## 【0132】

第11トランジスタM11のゲート電極は、第15トランジスタM15の第2電極及び第12キャパシタC12の一端端子に接続されて、第1電極は、第3電源VDDに接続される。そして、第11トランジスタM11の第2電極は、出力端子outに接続される。このような第11トランジスタM11は、第15トランジスタM15がターンオンされるときに、第3入力端子inから入力される電圧または第12キャパシタC12に保存されている電圧に対応してターンオンまたはターンオフされる。

## 【0133】

第12キャパシタC12は、第11トランジスタM11の第1電極とゲート電極との間に接続される。このような第12キャパシタC12は、第11トランジスタM11のター

20

## 【0134】

第12トランジスタM12のゲート電極は、第14トランジスタM14の第1電極、第11キャパシタC11の一端端子、及び第13トランジスタM12の第2電極に接続される。そして、第12トランジスタM12の第1電極は、出力端子outに接続され、第2電極は、第4電源VSSに接続される。このような第12トランジスタM12は、自身の

30

## 【0135】

第11キャパシタC11は、第12トランジスタM12の第1電極とゲート電極との間に接続される。このような第11キャパシタC11は、第12トランジスタM12のター

## 【0136】

第13トランジスタM13のゲート電極は、第11トランジスタM11のゲート電極に接続され、第1電極は、第11トランジスタM11の第2電極に接続される。そして、第13トランジスタM13の第2電極は、第12トランジスタM12のゲート電極に接続される。このような第13トランジスタM13は、第11トランジスタM11と同時にター

40

## 【0137】

第14トランジスタM14のゲート電極は、入力部202の出力端に接続され、第1電極は、第12トランジスタM12のゲート電極に接続される。そして、第14トランジスタM14の第2電極は、第4電源VSSに接続される。このような第14トランジスタM

50

14は、入力部202の出力端から供給される電圧に対応してターンオンまたはターンオフされつつ、第12トランジスタM12のゲート電極に供給される電圧を制御する。

【0138】

第15トランジスタM15のゲート電極は、第1入力端子clkに接続され、第1電極は、第3入力端子inに接続される。そして、第15トランジスタM15の第2電極は、第11トランジスタM11のゲート電極に接続される。このような第15トランジスタM15は、第1入力端子clkに入力される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされつつ、第3入力端子inの電圧を第11トランジスタM11のゲート電極に供給する。

【0139】

第14キャパシタC14は、出力端子outと第4電源VSSとの間に接続される。このような第14キャパシタC14は、出力端子outの電圧を安定化するために使用される。

【0140】

入力部202は、第1入力端子clk、第2入力端子/clk、及び第3入力端子inに供給される電圧に対応して、出力部204にハイレベルまたはローレベルの電圧を供給する。

【0141】

このために、第3電源VDD及び第3入力端子inに接続される第18トランジスタM18と、第18トランジスタM18と出力部204との間に接続される第16トランジスタM16と、第18トランジスタM18と第2入力端子/clkとの間に接続される第17トランジスタM17を具備する。

【0142】

第16トランジスタM16の第1電極は、出力部204の入力端に接続され、第2電極は、第1入力端子clkに接続される。そして、第16トランジスタM16のゲート電極は、第18トランジスタM18の第2電極及び第17トランジスタM17の第1電極に接続される。このような第16トランジスタM16は、第3入力端子in、第2入力端子/clk、または第13キャパシタC13に保存される電圧に対応してターンオンまたはターンオフされる。

【0143】

第13キャパシタC13は、第16トランジスタM16の第1電極とゲート電極との間に接続される。このような第13キャパシタC13は、第16トランジスタM16のターンオンまたはターンオフに対応する電圧を充電する。例えば、第16トランジスタM16がターンオンされる場合、第13キャパシタC13は第16トランジスタM16がターンオンされうる電圧を充電して、第16トランジスタM16がターンオフされる場合、第13キャパシタC13は第16トランジスタM16がターンオフされうる電圧を充電する。

【0144】

第17トランジスタM17のゲート電極及び第2電極は、第2入力端子/clkに接続され、第1電極は、第18トランジスタM18の第2電極に接続される。このような第17トランジスタM17は、ダイオード形態で接続されて第2入力端子/clkに供給される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされる。

【0145】

第18トランジスタM18のゲート電極は、第3入力端子inに接続され、第1電極は、第3電源VDDに接続される。そして、第18トランジスタM18の第2電極は、第16トランジスタM16のゲート電極に接続される。このような第18トランジスタM18は、第3入力端子inに供給される電圧に対応してターンオンまたはターンオフされる。

【0146】

図14は、図13に示されたコンバージョン回路の動作過程を説明するための波形図である。図14では、説明の便宜性のために、第1入力端子clkに第1クロック信号CL

10

20

30

40

50

K 1 が供給され、第 2 入力端子 / c l k に第 2 クロック信号 C L K 2 が供給されると仮定する。

【 0 1 4 7 】

図 1 3 及び図 1 4 を結び付けて動作過程を詳しく説明すれば、まず第 1 期間 T 1 の間、第 1 入力端子 c l k にローレベルの電圧、第 2 入力端子 / c l k にハイレベルの電圧、及び第 3 入力端子 i n にハイレベルの電圧が入力される。

【 0 1 4 8 】

第 3 入力端子 i n 及び第 2 入力端子 / c l k にハイレベルの電圧が入力されれば、第 1 7 トランジスタ M 1 7 及び第 1 8 トランジスタ M 1 8 がターンオフされる。このとき、第 1 6 トランジスタ M 1 6 は、第 1 3 トランジスタ C 1 3 に既に保存された電圧によってター  
10  
ンオンされる。すると、第 1 入力端子 c l k に入力されたローレベルの電圧が、入力部 2 0 2 の出力端に出力される。

【 0 1 4 9 】

一方、入力部 2 0 2 の出力端にローレベルの電圧が出力されれば、第 1 4 トランジスタ M 1 4 がターンオンされる。また、第 1 入力端子 c l k に供給されたローレベルの電圧に対応して、第 1 5 トランジスタ M 1 5 がターンオンされる。第 1 5 トランジスタ M 1 5 がター  
20  
ンオンされれば、第 3 入力端子 i n に供給されたハイレベルの電圧が第 1 1 トランジスタ M 1 1 及び第 1 3 トランジスタ M 1 3 のゲート電極に供給される。この場合、第 1 1 トランジスタ M 1 1 及び第 1 3 トランジスタ M 1 3 がターンオフされて、これによって第 1 2 キャパシタ C 1 2 にはターンオフに対応する電圧が充電される。

【 0 1 5 0 】

そして、第 1 4 トランジスタ M 1 4 がターンオンされれば、第 4 電源 V S S の電圧が第 1 2 トランジスタ M 1 2 のゲート電極に供給される。第 4 電源 V S S の電圧が第 1 2 トランジスタ M 1 2 のゲート電極に供給されれば、第 1 2 トランジスタ M 1 2 がター  
ンオンされて、これによって第 1 1 キャパシタ C 1 1 にはターンオンに対応する電圧が充電される。一方、第 1 2 トランジスタ M 1 2 がターンオンされれば、第 1 期間 T 1 の間、出力端子 o u t にはローレベルの電圧が出力される。

【 0 1 5 1 】

第 2 期間 T 2 の間、第 1 入力端子 c l k にハイレベルの電圧、第 2 入力端子 / c l k にローレベルの電圧、及び第 3 入力端子 i n にローレベルの電圧が入力される。  
30

【 0 1 5 2 】

第 2 入力端子 / c l k にローレベルの電圧が入力されれば、第 1 7 トランジスタ M 1 7 がターンオンされる。そして、第 3 入力端子 i n にローレベルの電圧が入力されれば、第 1 8 トランジスタ M 1 8 がターンオンされる。この場合、第 1 6 トランジスタ M 1 6 がター  
ンオンされて、第 1 入力端子 c l k に入力されたハイレベルの電圧が入力部 2 0 2 の出力端に出力される。このとき、第 1 3 キャパシタ C 1 3 は、第 1 6 トランジスタ M 1 6 のター  
ンオン状態に対応する電圧を充電する。

【 0 1 5 3 】

一方、入力部 2 0 2 の出力端にハイレベルの電圧が出力されれば、第 1 4 トランジスタ M 1 4 がターンオフされる。そして、第 1 入力端子 c l k に供給されたハイレベルの電圧  
40  
に対応して、第 1 5 トランジスタ M 1 5 がターンオフされる。

【 0 1 5 4 】

第 1 5 トランジスタ M 1 5 がターンオフされれば、第 1 2 キャパシタ C 1 2 に保存されたターンオフ電圧に対応して、第 1 1 トランジスタ M 1 1 及び第 1 3 トランジスタ M 1 3 がター  
ンオフされる。そして、第 1 4 トランジスタ M 1 4 がターンオフされれば、第 1 1  
キャパシタ C 1 1 に保存されたターンオン電圧に対応して、第 1 2 トランジスタ M 1 2 がター  
ンオンされる。すると、出力端子 o u t にローレベルの電圧が出力される。すなわち、第 2 期間 T 2 の間には、直前の状態（すなわち、第 1 期間 T 1 の電圧）が維持される。

【 0 1 5 5 】

第 3 期間 T 3 の間、第 1 入力端子 c l k にローレベルの電圧、第 2 入力端子 / c l k に  
50

ハイレベルの電圧、及び第3入力端子  $i_n$  にローレベルの電圧が入力される。

【0156】

第2入力端子  $/clk$  にハイレベルの電圧が入力されれば、第17トランジスタ  $M_{17}$  がターンオフされる。そして、第3入力端子  $i_n$  にローレベルの電圧が入力されれば、第18トランジスタ  $M_{18}$  がターンオンされる。すると、第16トランジスタ  $M_{16}$  のゲート電圧が第3電源  $V_{DD}$  の電圧に上昇される。第16トランジスタ  $M_{16}$  のゲート電圧が第3電源  $V_{DD}$  の電圧に上昇されれば、第16トランジスタ  $M_{16}$  の第1電極の電圧は第3電源  $V_{DD}$  の電圧以下に下降されず、これによって、第14トランジスタ  $M_{14}$  がターンオフされる。

【0157】

一方、第1入力端子  $clk$  に供給されたローレベルの電圧に対応して、第15トランジスタ  $M_{15}$  がターンオンされる。第15トランジスタ  $M_{15}$  がターンオンされれば、第3入力端子  $i_n$  に入力されたローレベルの電圧が第11トランジスタ  $M_{11}$  及び第13トランジスタ  $M_{13}$  のゲート電極に供給される。すると、第11トランジスタ  $M_{11}$  及び第13トランジスタ  $M_{13}$  がターンオンされる。この場合、第12キャパシタ  $C_{12}$  には、第11トランジスタ  $M_{11}$  のターンオンに対応する電圧が充電される。

【0158】

第11トランジスタ  $M_{11}$  がターンオンされれば、第3電源  $V_{DD}$  の電圧が出力端子  $out$  に供給される。すなわち、出力端子  $out$  にはハイレベルの電圧が出力される。そして、第13トランジスタ  $M_{13}$  がターンオンされれば、第12トランジスタ  $M_{12}$  のゲート電極に第3電源  $V_{DD}$  が供給されて、第12トランジスタ  $M_{12}$  がターンオフされる。この場合、第11キャパシタ  $C_{11}$  には、ターンオフに対応する電圧が保存される。

【0159】

第4期間  $T_4$  の間、第1入力端子  $clk$  にハイレベルの電圧、第2入力端子  $/clk$  にローレベルの電圧、及び第3入力端子  $i_n$  にハイレベルの電圧が入力される。

【0160】

第2入力端子  $/clk$  にローレベルの電圧が入力されれば、第17トランジスタ  $M_{17}$  がターンオンされる。そして、第3入力端子  $i_n$  にハイレベルの電圧が入力されれば、第18トランジスタ  $M_{18}$  がターンオフされる。すると、第2入力端子  $/clk$  に入力されたローレベルの電圧が第16トランジスタ  $M_{16}$  に供給されて、第16トランジスタ  $M_{16}$  がターンオンされる。第16トランジスタ  $M_{16}$  がターンオンされれば、第1入力端子  $clk$  に供給されたハイレベルの電圧が第14トランジスタ  $M_{14}$  に供給されて、第14トランジスタ  $M_{14}$  がターンオフされる。

【0161】

一方、第1入力端子  $clk$  に供給されたハイレベルの電圧に対応して、第15トランジスタ  $M_{15}$  がターンオフされる。第15トランジスタ  $M_{15}$  がターンオフされれば、第12キャパシタ  $C_{12}$  に保存された電圧によって、第11トランジスタ  $M_{11}$  及び第13トランジスタ  $M_{13}$  がターンオンされる。そして、第14トランジスタ  $M_{14}$  がターンオフされれば、第11キャパシタ  $C_{11}$  に保存された電圧に対応して第12トランジスタ  $M_{12}$  がターンオフされる。すなわち、第4期間  $T_4$  の間には、第3期間  $T_3$  の出力と同じハイレベルの電圧が出力される。

【0162】

このような本発明の他の実施形態によるコンバージョン回路  $CC$  の動作過程を整理して見れば、第1入力端子  $clk$  にローレベルの電圧が入力されれば、第3入力端子  $i_n$  の電圧と反対レベルの電圧を出力し、第1入力端子  $clk$  にハイレベルの電圧が入力されれば直前の期間の出力を維持する。

【0163】

以上、本発明の添付図面を参照して実施形態について具体的に説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

10

20

30

40

50

## 【図面の簡単な説明】

## 【0164】

【図1】本発明の一実施形態による有機電界発光表示装置を示す図面である。

【図2】図1に示された画素の一実施形態を示す図面である。

【図3】図1に示されたデータ駆動部の一実施形態を示す図面である。

【図4】図3に示されたデータ駆動部の具体的な構成を示す図面である。

【図5】図4に示されたデータ駆動部の駆動方法を示す波形図である。

【図6】図4に示されたシフトレジスタの一実施形態を示す回路図である。

【図7】図4に示されたサンプリングラッチの一実施形態を示す回路図である。

【図8】図4に示されたホールディングラッチの一実施形態を示す回路図である。

10

【図9】図4に示されたデジタル - アナログコンバータの一実施形態を示す回路図である。

【図10】図1に示されたデータ駆動部の他の実施形態を示す図面である。

【図11】図10に示されたデータ駆動部の具体的な構成を示す図面である。

【図12】図11に示されたデータ駆動部の駆動方法を示す波形図である。

【図13】図11に示されたコンバージョン回路を示す回路図である。

【図14】図13に示されたコンバージョン回路の動作過程を説明するための波形図である。

## 【符号の説明】

## 【0165】

20

10 走査駆動部、

20 データ駆動部、

30 画素部、

40 画素、

42 画素回路、

50 タイミング制御部、

100 シフトレジスタ部、

200 コンバージョン部、

202 入力部、

204 出力部、

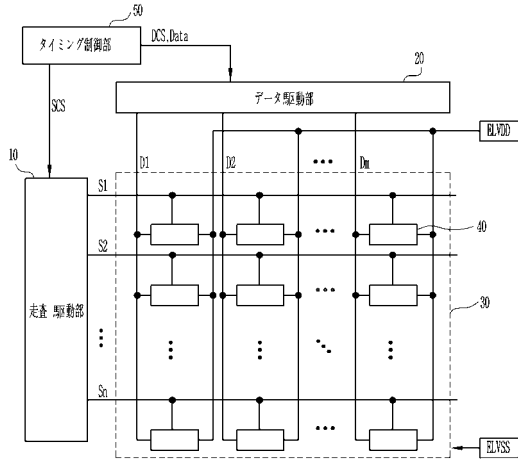
30

300 サンプリングラッチ部、

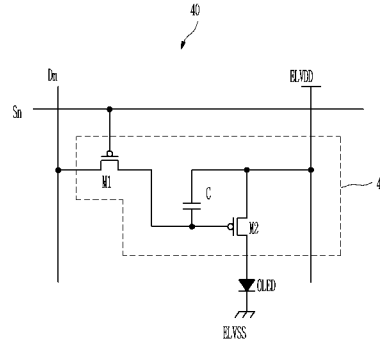
400 ホールディングラッチ部、

500 デジタル - アナログコンバータ。

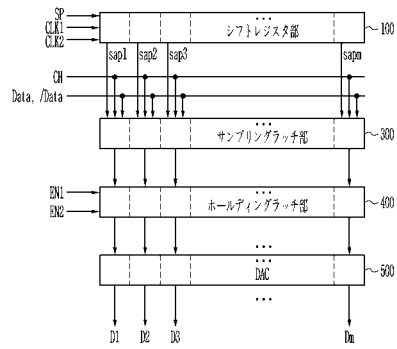
【図1】



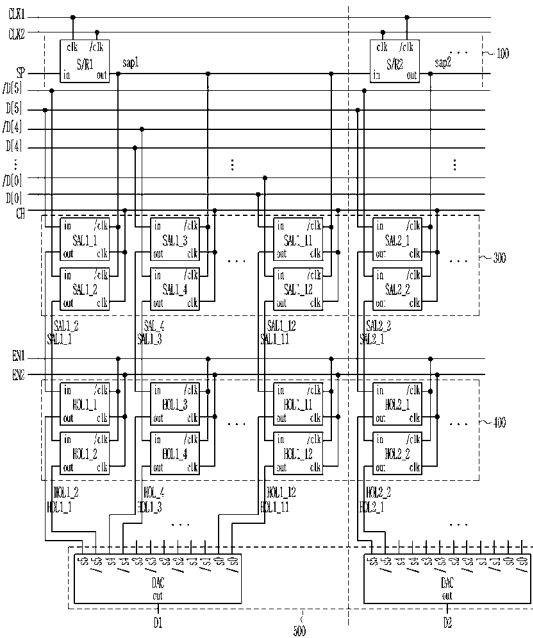
【図2】



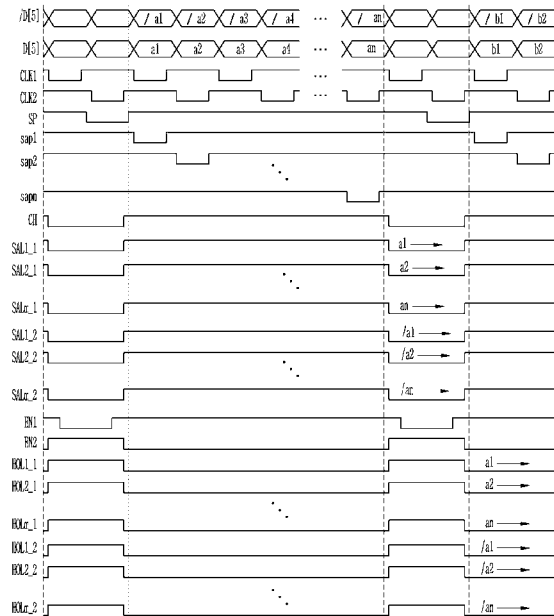
【図3】



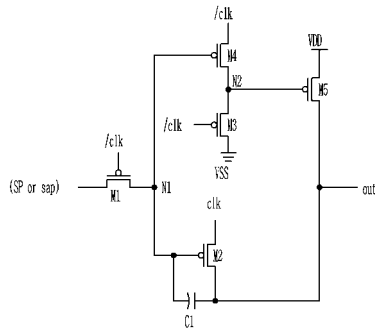
【図4】



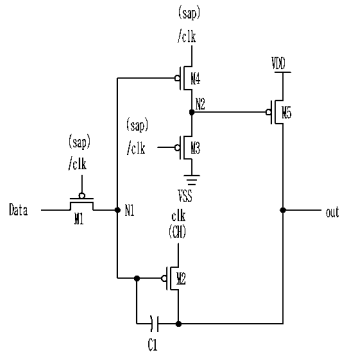
【図5】



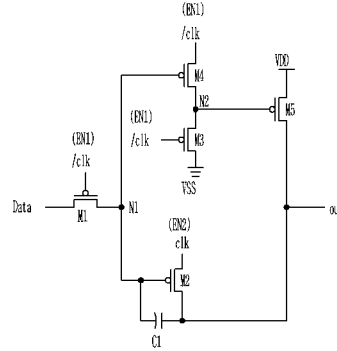
【図6】



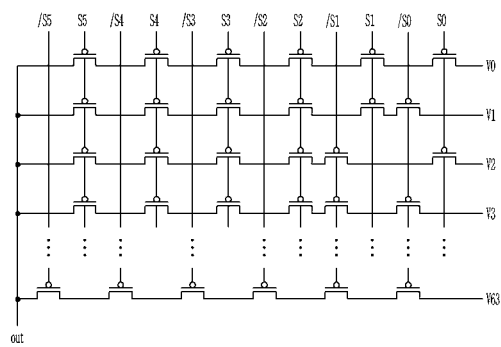
【図7】



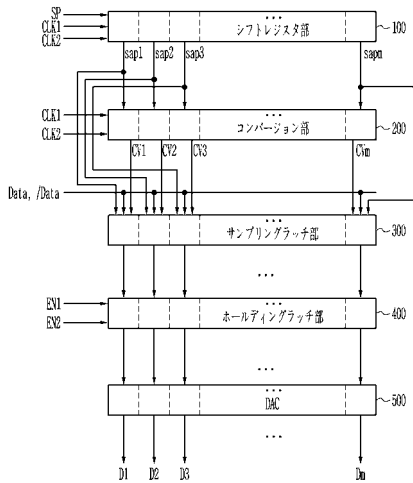
【図8】



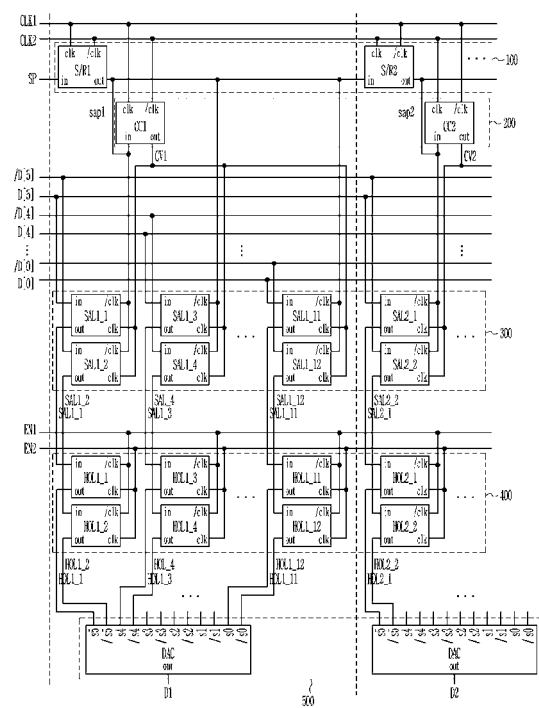
【図9】



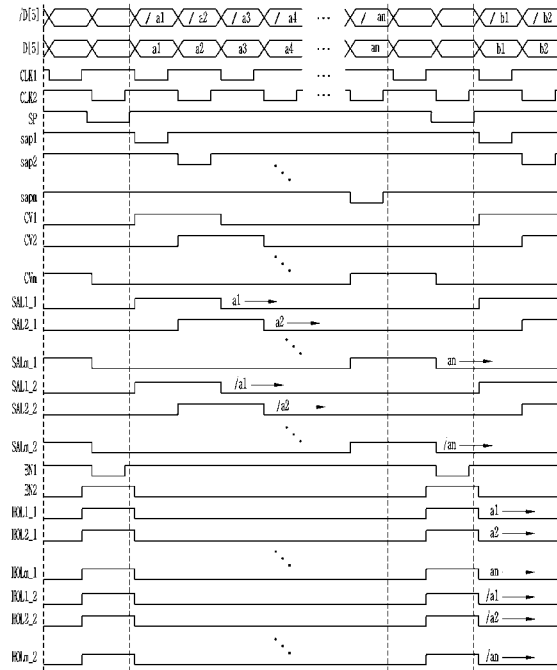
【図10】



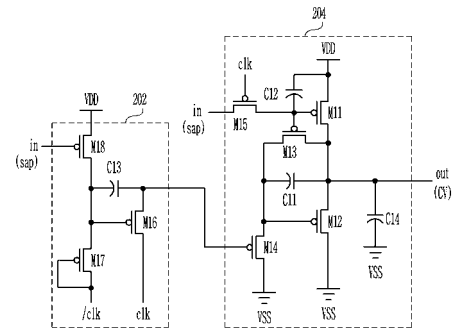
【図11】



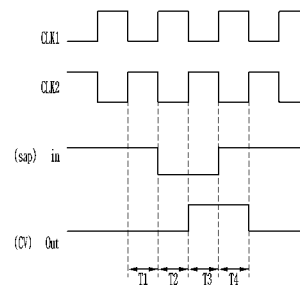
【図 1 2】



【図 1 3】



【図 1 4】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 3 F  
G 0 9 G 3/20 6 2 1 M  
G 0 9 G 3/20 6 8 0 G  
G 0 9 G 3/20 6 2 3 L

審査官 安藤 達哉

(56)参考文献 特開平09 - 018011 (JP, A)  
特開2004 - 085666 (JP, A)  
特開2002 - 335153 (JP, A)  
特開2007 - 086727 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
IPC G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3

专利名称(译)	数据驱动器和使用其的有机发光显示器		
公开(公告)号	<a href="#">JP4709169B2</a>	公开(公告)日	2011-06-22
申请号	JP2007001601	申请日	2007-01-09
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
当前申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	申東蓉		
发明人	申東蓉		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
CPC分类号	G09G3/20 G09G3/3275 G09G2300/0408 G09G2310/027 G09G2310/08		
FI分类号	G09G3/30.J H05B33/14.A G09G3/20.623.A G09G3/20.623.H G09G3/20.623.G G09G3/20.623.F G09G3/20.621.M G09G3/20.680.G G09G3/20.623.L G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/00 G11C19/00.J		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 5B074/AA10 5B074/CA01 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD27 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA11 5C380/BA28 5C380/CA04 5C380/CA06 5C380/CA08 5C380/CA12 5C380/CA17 5C380/CA22 5C380/CA23 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CC02 5C380/CC30 5C380/CC33 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF48 5C380/DA02 5C380/DA06		
审查员(译)	安藤达也		
优先权	1020060031637 2006-04-06 KR		
其他公开文献	JP2007279684A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供由PMOS型晶体管组成的数据驱动器。  
 ZOLUTION：数据驱动器包括：移位寄存器单元100，被配置为接收第一时钟信号，第二时钟信号和起始脉冲，并且一个接一个地产生采样脉冲，采样锁存单元300被配置为接收比特和反转比特对应于采样脉冲和充电信号，数字数据暂时保持相应的位和反转位，保持锁存单元400被配置为同时接收由采样锁存单元输出的位和反位，并输出输入位和反转位，对应于第一使能信号和第二使能信号，以及数模转换器500，被配置为产生与由保持锁存单元输出的位和反转位的值相对应的模拟信号。Z

【图 3】

