

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-112723

(P2011-112723A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 622C	5C094
H01L 27/32 (2006.01)	G09G 3/20 622D	5C380
H01L 51/50 (2006.01)	G09G 3/20 622G	

審査請求 未請求 請求項の数 6 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2009-266734 (P2009-266734)
 (22) 出願日 平成21年11月24日 (2009.11.24)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

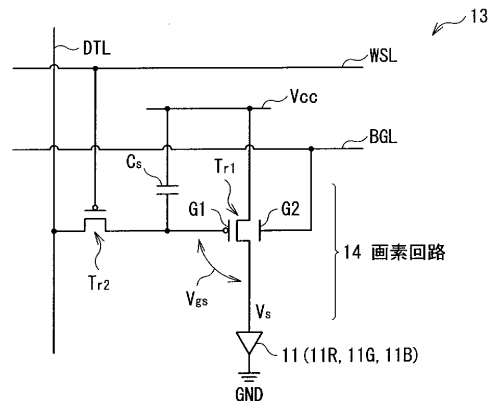
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】素子を増やさずに、有機EL素子の発光、消光を制御することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】有機EL素子11と直列に接続された駆動トランジスタ T_{r1} として、デュアルゲート型のトランジスタが用いられている。駆動トランジスタ T_{r1} のバックゲートの電圧を所定の電圧に変更することにより、駆動トランジスタ T_{r1} がオフし、それに伴って、有機EL素子11が消光する。また、バックゲートの電圧が上記とは異なる所定の電圧となっている状態で、 V_{th} 補正、書き込みおよび μ 補正が実行された後、書き込みトランジスタ T_{r2} をオフすることにより、有機EL素子11が所望の輝度で発光する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

一組の発光素子および画素回路が 2 次元配置された表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 ゲートおよび第 2 ゲートを含み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第 1 トランジスタと、前記映像信号に応じた信号電圧を前記第 1 ゲートに書き込む第 2 トランジスタとを有し、

前記駆動部は、前記発光素子を発光させるときと、前記発光素子を消光するときとで、前記第 2 ゲートに印加する電圧を異ならせる

表示装置。

10

【請求項 2】

前記第 1 トランジスタのドレインまたはソースが前記発光素子に接続され、

前記第 1 トランジスタのドレインおよびソースのうち前記発光素子に非接続の方が定電圧線に接続されている

請求項 1 に記載の表示装置。

【請求項 3】

前記駆動部は、前記第 1 トランジスタが n チャンネル型である場合には、前記発光素子を発光させるときに前記第 2 ゲートに印加する電圧を、前記発光素子を消光させるときに前記第 2 ゲートに印加する電圧よりも高くする

請求項 1 または請求項 2 に記載の表示装置。

20

【請求項 4】

前記駆動部は、前記第 1 トランジスタが p チャンネル型である場合には、前記発光素子を発光させるときに前記第 2 ゲートに印加する電圧を、前記発光素子を消光させるときに前記第 2 ゲートに印加する電圧よりも低くする

請求項 1 または請求項 2 に記載の表示装置。

【請求項 5】

一組の発光素子および画素回路が 2 次元配置された表示部と、映像信号に基づいて前記画素回路を駆動する駆動部とを備え、前記画素回路が、第 1 ゲートおよび第 2 ゲートを含み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第 1 トランジスタと、前記映像信号に応じた信号電圧を前記第 1 ゲートに書き込む第 2 トランジスタとを有する発光装置を用意するステップと、

前記駆動部を用いて、前記発光素子を消光するとき前記第 2 ゲートに第 1 電圧を印加し、前記発光素子を発光させるときに前記第 2 ゲートに前記第 1 電圧とは大きさの異なる第 2 電圧を印加するステップと

を含む表示装置の駆動方法。

30

【請求項 6】

表示装置を備え、

前記表示装置は、

一組の発光素子および画素回路が 2 次元配置された表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 ゲートおよび第 2 ゲートを含み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第 1 トランジスタと、前記映像信号に応じた信号電圧を前記第 1 ゲートに書き込む第 2 トランジスタとを有し、

前記駆動部は、前記発光素子を発光させるときと、前記発光素子を消光するときとで、前記第 2 ゲートに印加する電圧を異ならせる

電子機器。

40

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機EL (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。

【0003】

有機EL素子は、液晶素子などと異なり自発光素子である。そのため、有機EL素子を用いた表示装置（有機EL表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0004】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した有機EL素子に流れる電流を、有機EL素子ごとに設けた画素回路内に設けた能動素子（一般にはTFT (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

【0005】

一般的に、有機EL素子の電流 - 電圧（ $I - V$ ）特性は、時間の経過に従って劣化（経時劣化）する。有機EL素子を電流駆動する画素回路では、有機EL素子の $I - V$ 特性が経時変化すると、有機EL素子と、有機EL素子に直列に接続されたTFTとの分圧比が変化するので、TFTのゲート - ソース間電圧 V_{gs} も変化する。その結果、TFTに流れる電流値が変化するので、有機EL素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0006】

また、TFTにおいて、閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって画素回路ごとに異なったりする場合がある。TFTの閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なる場合には、TFTに流れる電流値が画素回路ごとにばらつく。その結果、TFTのゲートに同じ電圧を印加しても、有機EL素子の発光輝度がばらつき、画面の均一性（ユニフォーミティ）が損なわれる。

【0007】

そこで、有機EL素子の $I - V$ 特性が経時変化したり、TFTの閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、TFTの閾値電圧 V_{th} や移動度 μ を補正する方策が提案されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008 - 083272号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、画素回路において有機EL素子の発光、消光を制御する方策として、例えば、有機EL素子と、有機EL素子に直列に接続されたTFTとの間に、スイッチングトランジスタを設けることが考えられる。しかし、そのようにした場合には、素子が1つ増えた分だけ、画素サイズが大きくなるので、高精細化の流れに反してしまい、好ましくない

10

20

30

40

50

。従って、素子を増やすこと以外の方策で、有機EL素子の発光、消光を制御することが望まれる。

【0010】

本発明はかかる問題点に鑑みてなされたもので、その目的は、画素回路内の素子を増やさずに、発光素子の発光、消光を制御することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【0011】

本発明の表示装置は、一組の発光素子および画素回路が2次元配置された表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。画素回路は、2つのトランジスタ（第1トランジスタ，第2トランジスタ）を有している。第1トランジスタは、第1ゲートおよび第2ゲートを含んでおり、発光素子に流れる電流を制御するデュアルゲート型のトランジスタである。一方、第2トランジスタは、映像信号に応じた信号電圧を第1ゲートに書き込むトランジスタである。駆動部は、発光素子を発光させるときと、発光素子を消光するときとで、第2ゲートに印加する電圧を異ならせるようになっている。

10

【0012】

本発明の電子機器は、上記表示装置を備えたものである。

【0013】

本発明の表示装置の駆動方法は、以下の2つのステップを含むものである。

20

(A) 以下の構成を備えた表示装置を用意するステップ

(B) 駆動部を用いて、発光素子を消光するとき第2ゲートに第1電圧を印加し、発光素子を発光させるときに第2ゲートに第1電圧とは大きさの異なる第2電圧を印加するステップ

【0014】

上記駆動方法が用いられる表示装置は、一組の発光素子および画素回路が2次元配置された表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。画素回路は、2つのトランジスタ（第1トランジスタ，第2トランジスタ）を有している。第1トランジスタは、第1ゲートおよび第2ゲートを含んでおり、発光素子に流れる電流を制御するデュアルゲート型のトランジスタである。一方、第2トランジスタは、映像信号に応じた信号電圧を第1ゲートに書き込むトランジスタである。

30

【0015】

本発明の表示装置およびその駆動方法ならびに電子機器では、発光素子を発光させるときと、発光素子を消光するときとで、第2ゲートに印加する電圧が異なっている。これにより、発光素子に流れる電流を制御することが可能となる。

【発明の効果】

【0016】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、第1トランジスタをデュアルゲート型のトランジスタで構成し、第1トランジスタの第2ゲートに印加する電圧を制御することにより、発光素子に流れる電流を制御することができるようにした。これにより、画素回路内の素子を増やさずに、発光素子の発光、消光を制御することができる。

40

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態に係る表示装置の一例を表す構成図である。

【図2】図1の画素回路アレイ部の内部構成の一例を表す構成図である。

【図3】図1の表示装置の動作の一例について説明するための波形図である。

【図4】図1の表示装置におけるゲート-ソース間電圧 V_{gs} と発光素子を流れる電流 I_d との関係図である。

【図5】本発明の第2の実施の形態に係る表示装置の一例を表す構成図である。

50

【図 6】図 5 の画素回路アレイ部の内部構成の一例を表す構成図である。

【図 7】図 5 の表示装置の動作の一例について説明するための波形図である。

【図 8】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図 9】上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【図 10】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 11】適用例 3 の外観を表す斜視図である。

【図 12】適用例 4 の外観を表す斜視図である。

【図 13】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

10

【発明を実施するための形態】

【0018】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態 (図 1 ~ 図 4)

駆動トランジスタが p チャネル型となっている例

2. 第 2 の実施の形態 (図 5 ~ 図 7)

駆動トランジスタが n チャネル型となっている例

3. モジュールおよび適用例 (図 8 ~ 図 13)

20

【0019】

< 第 1 の実施の形態 >

(表示装置の概略構成)

図 1 は、本発明の第 1 の実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 10 (表示部) と、駆動回路 20 (駆動部) とを備えている。表示パネル 10 は、例えば、複数の有機 EL 素子 11R, 11G, 11B (発光素子) が 2 次元配置された画素回路アレイ部 13 を有している。本実施の形態では、例えば、互いに隣り合う 3 つの有機 EL 素子 11R, 11G, 11B が 1 つの画素 12 を構成している。なお、以下では、有機 EL 素子 11R, 11G, 11B の総称として有機 EL 素子 11 を適宜、用いるものとする。駆動回路 20 は、画素回路アレイ部 13 を駆動するものであり、例えば、映像信号処理回路 21、タイミング生成回路 22、信号線駆動回路 23、書込線駆動回路 24 およびバックゲート線駆動回路 25 を有している。

30

【0020】

[画素回路アレイ部]

図 2 は、画素回路アレイ部 13 の回路構成の一例を表したものである。画素回路アレイ部 13 は、表示パネル 10 の表示領域に形成されている。画素回路アレイ部 13 は、例えば、図 1、図 2 に示したように、行状に配置された複数の書込線 WSL と、列状に配置された複数の信号線 DTL と、書込線 WSL に沿って行状に配置された複数のバックゲート線 BGL とを有している。各書込線 WSL と各信号線 DTL との交差部に対応して、一組の有機 EL 素子 11 および画素回路 14 が行列状に配置 (2 次元配置) されている。画素回路 14 は、例えば、駆動トランジスタ $T r_1$ (第 1 トランジスタ)、書き込みトランジスタ $T r_2$ (第 2 トランジスタ) および保持容量 C_s によって構成されたものであり、 $2 T r 1 C$ の回路構成となっている。

40

【0021】

駆動トランジスタ $T r_1$ は、トップゲート G1 (第 1 ゲート) およびバックゲート G2 (第 2 ゲート) を有するデュアルゲート型のトランジスタにより形成されている。駆動トランジスタ $T r_1$ は、p チャネル MOS 型の薄膜トランジスタ (TFET (Thin Film Transistor)) により形成されている。書き込みトランジスタ $T r_2$ は、例えば、デュアルゲート型、トップゲート型、またはボトムゲート型のトランジスタにより形成されている。書

50

き込みトランジスタ $T r_2$ は、pチャネルMOS型のTFTにより形成されている。

【0022】

画素回路アレイ部13において、各信号線DTLは、信号線駆動回路23の出力端（図示せず）と、書き込みトランジスタ $T r_2$ のドレイン電極またはソース電極（図示せず）に接続されている。各書込線WSLは、書込線駆動回路24の出力端（図示せず）と、書き込みトランジスタ $T r_2$ のゲート電極（図示せず）に接続されている。書き込みトランジスタ $T r_2$ のドレイン電極およびソース電極のうち信号線DTLに非接続の方（図示せず）は、駆動トランジスタ $T r_1$ のトップゲート電極（図示せず）と、保持容量 C_s の一端に接続されている。駆動トランジスタ $T r_1$ のドレイン電極またはソース電極（図示せず）と保持容量 C_s の他端とが、定電圧線Vccに接続されている。駆動トランジスタ $T r_1$ のドレイン電極およびソース電極のうち定電圧線Vccに非接続の方（図示せず）は、有機EL素子11のアノード電極（図示せず）に接続されている。有機EL素子11のカソード電極（図示せず）は、例えばグラウンド線GNDに接続されている。駆動トランジスタ $T r_1$ のバックゲート電極（図示せず）は、バックゲート線BGLに接続されている。なお、カソード電極は、各有機EL素子11の共通電極として用いられており、例えば、表示パネル10の表示領域全体に渡って連続して形成され、平板状となっている。

10

【0023】

[駆動回路]

次に、画素回路アレイ部13の周辺に設けられた駆動回路20内の各回路について、図1を参照して説明する。

20

【0024】

映像信号処理回路21は、外部から入力されたデジタルの映像信号20Aに対して所定の補正を行うと共に、補正した後の映像信号21Aを信号線駆動回路23に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【0025】

タイミング生成回路22は、信号線駆動回路23、書込線駆動回路24およびバックゲート線駆動回路25が連動して動作するように制御するものである。タイミング生成回路22は、例えば、外部から入力された同期信号20Bに応じて（同期して）、これらの回路に対して制御信号22Aを出力するようになっている。

30

【0026】

信号線駆動回路23は、制御信号22Aの入力に応じて（同期して）、映像信号21Aに対応するアナログの映像信号を各信号線DTLに印加して、アナログの映像信号またはそれに対応する信号を選択対象の画素回路14に書き込むものである。具体的には、信号線駆動回路23は、映像信号21Aに対応する信号電圧 V_{sig} を各信号線DTLに印加して、選択対象の画素回路14への書き込みを行うものである。なお、書き込みとは、駆動トランジスタ $T r_1$ のトップゲートG1に所定の電圧を印加することを指している。

【0027】

信号線駆動回路23は、例えば、信号電圧 V_{sig} と、有機EL素子11の消光時に駆動トランジスタ $T r_1$ のトップゲートG1に印加する電圧 V_{ofs} とを出力することが可能となっている。ここで、電圧 V_{ofs} は、有機EL素子11の閾値電圧 V_{e1} よりも低い電圧値（一定値）である。

40

【0028】

書込線駆動回路24は、制御信号22Aの入力に応じて（同期して）、複数の書込線WSLに選択パルスを順次印加して、複数の有機EL素子11および複数の画素回路14を順次選択するものである。書込線駆動回路24は、例えば、書き込みトランジスタ $T r_2$ をオンさせるときに印加する電圧 V_{on} と、書き込みトランジスタ $T r_2$ をオフさせるときに印加する電圧 V_{off} とを出力することが可能となっている。

【0029】

バックゲート線駆動回路25は、制御信号22Aの入力に応じて（同期して）、複数の

50

バックゲート線 BGL に制御パルスを順次印加して、選択対象の有機 EL 素子 11 に流れる電流 I_d をオン、オフするものである。バックゲート線駆動回路 25 は、例えば、有機 EL 素子 11 を発光させるときに印加する電圧 V_{b1} (第 1 電圧) と、有機 EL 素子 11 を消光させるときに印加する電圧 V_{b2} (第 2 電圧) とを出力することが可能となっている。電圧 V_{b1} および電圧 V_{b2} は、互いに異なる電圧値となっている。電圧 V_{b1} は、例えば 0 V (ゼロボルト) である。電圧 V_{b2} は、本実施の形態では駆動トランジスタ Tr_1 が p チャネル型となっているので、電圧 V_{b1} よりも低くなっており、例えば、-5.0 V である。

【0030】

(表示装置 1 の動作)

図 3 は、表示装置 1 を駆動させたときの各種波形の一例を表したものである。図 3 (A), (B) には、信号線 DTL に電圧 V_{sig} 、電圧 V_{ofs} が周期的に印加され、書込線 WSL に電圧 V_{on} 、電圧 V_{off} が所定のタイミングで印加されている様子がそれぞれ示されている。図 3 (C) には、バックゲート線 BGL に電圧 V_{b1} 、電圧 V_{b2} が所定のタイミングで印加されている様子が示されている。なお、図 3 (C) には、電圧 V_{b2} が電圧 V_{b1} よりも低くなっている場合、すなわち、駆動トランジスタ Tr_1 が p チャネル型である場合の波形が例示されている。図 3 (D), (E) には、信号線 DTL、書込線 WSL およびバックゲート線 BGL への電圧印加に応じて、駆動トランジスタ Tr_1 のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

10

【0031】

[V_{th} 補正 (閾値補正) 準備期間]

20

まず、 V_{th} 補正の準備を行う。具体的には、バックゲート線駆動回路 25 は、バックゲート線 BGL の電圧を V_{b1} から V_{b2} に変更する (T_1)。すると、駆動トランジスタ Tr_1 がオフして、有機 EL 素子 11 が消光する。バックゲート線駆動回路 25 は、その後、引き続き、駆動トランジスタ Tr_1 の閾値補正が開始されるまでの間、バックゲート線 BGL の電圧を V_{b2} に維持する。

【0032】

[最初の V_{th} 補正期間]

次に、 V_{th} の補正を行う。具体的には、信号線 DTL の電圧が V_{ofs} となっており、かつ書込線 WSL の電圧が V_{on} となっている間に、バックゲート線駆動回路 25 は、バックゲート線 BGL の電圧を V_{b2} から V_{b1} に変更する (T_2)。すると、駆動トランジスタ Tr_1 のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇する。その後、信号線駆動回路 23 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off} に変える (T_3)。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

30

【0033】

[最初の V_{th} 補正休止期間]

V_{th} 補正が休止している期間中は、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 DTL の電圧のサンプリングが行われる。なお、 V_{th} 補正が不十分である場合、すなわち、駆動トランジスタ Tr_1 のゲート - ソース間の電位差 V_{gs} が駆動トランジスタ Tr_1 の閾値電圧 V_{th} よりも大きい場合には、以下のようなになる。すなわち、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行 (画素) において、駆動トランジスタ Tr_1 のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

40

【0034】

[2 回目の V_{th} 補正期間]

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、信号線 DTL の電圧が V_{ofs} となっており、 V_{th} 補正が可能となっている時に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off} から V_{on} に変え (T_4)、駆動トランジスタ Tr_1 のゲートを信号線 DTL に接続する。このとき、ソース電圧 V_s が ($V_{ofs} - V_{th}$) よりも低い場合 (V_{th} 補正がまだ完了していない場合) には、駆動トランジスタ Tr_1 がカットオフするまで

50

(電位差 V_{gs} が V_{th} になるまで)、駆動トランジスタ Tr_1 のドレイン - ソース間に電流 I_d が流れる。その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。その後、信号線駆動回路 23 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off} に変える (T_5)。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなるので、電位差 V_{gs} を信号線 DTL の電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、駆動トランジスタ Tr_1 の閾値電圧 V_{th} が画素回路 14 ごとにばらついた場合であっても、有機 EL 素子 11 の発光輝度がばらつくのをなくすることができる。

【0035】

[2 回目の V_{th} 補正休止期間]

その後、 V_{th} 補正の休止期間中に、信号線駆動回路 23 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える。

【0036】

[書き込み・ μ 補正期間]

V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off} から V_{on} に変え (T_6)、駆動トランジスタ Tr_1 のゲートを信号線 DTL に接続する。すると、駆動トランジスタ Tr_1 のゲート電圧が V_{sig} となる。このとき、有機 EL 素子 11 のアノード電圧はこの段階ではまだ有機 EL 素子 11 の閾値電圧 V_{e1} よりも小さく、有機 EL 素子 11 はカットオフしている。そのため、電流 I_d は有機 EL 素子 11 の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V_s が V だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、駆動トランジスタ Tr_1 の移動度 μ が大きい程、 V も大きくなるので、電位差 V_{gs} を発光前に V だけ小さくすることにより、画素回路 14 ごとの移動度 μ のばらつきを取り除くことができる。

【0037】

[発光期間]

次に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off} に変える (T_7)。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなり、駆動トランジスタ Tr_1 のゲート - ソース間の電圧 V_{gs} を一定に維持した状態で、駆動トランジスタ Tr_1 のドレイン - ソース間に電流 I_d が流れる。その結果、ソース電圧 V_s が上昇し、それに連動して駆動トランジスタ Tr_1 のゲートも上昇し、有機 EL 素子 11 が所望の輝度よりも小さな輝度で発光し始める。

【0038】

次に、バックゲート線駆動回路 25 は、所定の時間が経過した後、バックゲート線 BGL の電圧を V_{b1} から V_{b2} に変更して (T_1)、有機 EL 素子 11 を消光させる。このようにして、駆動回路 20 は、有機 EL 素子 11 の発光と消光を繰り返し行う。

【0039】

(動作)

本実施の形態の表示装置 1 では、上記のようにして、各画素 12 において画素回路 14 がオンオフ制御され、各画素 12 の有機 EL 素子 11 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、有機 EL 素子 11 の電極等を透過して外部に取り出される。その結果、表示パネル 10 において画像が表示される。

【0040】

(効果)

ところで、従来の有機 EL 表示装置では、画素回路において有機 EL 素子の発光、消光を制御する方策として、例えば、有機 EL 素子と、有機 EL 素子に直列に接続された TFT との間に、スイッチングトランジスタが設けられていた。しかし、そのようにした場合には、スイッチングトランジスタが増えた分だけ、画素サイズが大きくなるので、高精細

10

20

30

40

50

化が阻害されていた。

【0041】

一方、本実施の形態では、駆動トランジスタ $T r_1$ として、デュアルゲート型のトランジスタが用いられており、このデュアルゲート型のトランジスタにおける特異な特性を利用することにより、上記の問題を解決している。以下に、その特異な特性について説明する。

【0042】

図4は、デュアルゲート型のトランジスタにおいて、バックゲートG2の電圧 V_{bg} を0V、+2.0V、または-2.0Vに設定したときの、飽和領域における $I_d - V_{gs}$ 特性の一例を表したものである。図4には、トランジスタがpチャネル型である場合の $I_d - V_{gs}$ 特性が例示されている。図4から、トランジスタがpチャネル型である場合には、例えば、バックゲートG2の電圧 V_{bg} を0Vから+2.0Vに変化させると、 V_{gs} の上昇幅に対する I_d の上昇幅($I_d - V_{gs}$ 特性の傾き)が小さくなることがわかる。これは、 V_{gs} を一定としたときに、バックゲートG2の電圧 V_{bg} を正の方向に変化させると、トランジスタに流れる電流 I_d が減少することを意味している。従って、バックゲートG2の電圧 V_{bg} を0Vから所定の大きさ(例えば+5.0V)にまで変化させることにより、トランジスタを完全にオフすることができることがわかる。同様のことは、トランジスタがnチャネル型である場合にも言える。トランジスタがnチャネル型である場合には、例えば、図示しないが、バックゲートG2の電圧 V_{bg} を0Vから-2.0Vに変化させると、 V_{gs} の上昇幅に対する I_d の上昇幅($I_d - V_{gs}$ 特性の傾き)が小さくなる。これは、 V_{gs} を一定としたときに、バックゲートG2の電圧 V_{bg} を負の方向に変化させると、トランジスタに流れる電流 I_d が減少することを意味している。従って、この場合には、バックゲートG2の電圧 V_{bg} を0Vから所定の大きさ(例えば-5.0V)にまで変化させることにより、トランジスタを完全にオフすることができることがわかる。

10

20

【0043】

本実施の形態では、上述した特異な特性を利用して、駆動トランジスタ $T r_1$ のオン、オフが制御される。具体的には、バックゲート線BGLの電圧が V_{b1} から V_{b2} に変更されることにより、駆動トランジスタ $T r_1$ がオフし、それに伴って、有機EL素子11が消光する。また、バックゲート線BGLの電圧が V_{b1} となっている状態で、 V_{th} 補正、書き込みおよび μ 補正が実行された後、書込線WSLの電圧が V_{on} から V_{off} に下げられることにより、有機EL素子11が所望の輝度で発光する。

30

【0044】

このように、本実施の形態では、駆動トランジスタ $T r_1$ のバックゲートG2に印加する電圧を制御して、駆動トランジスタ $T r_1$ をオン、オフさせることにより、有機EL素子11に流れる電流が制御される。つまり、駆動トランジスタ $T r_1$ をデュアルゲート型のトランジスタで構成し、駆動トランジスタ $T r_1$ のバックゲートG2に印加する電圧を制御することにより、発光素子の発光、消光を制御することができる。従って、本実施の形態では、画素回路14内の素子を増やさずに、発光素子の発光、消光を制御することができる。

40

【0045】

<第2の実施の形態>

図5は、本発明の第2の実施の形態に係る表示装置2の概略構成を表したものである。図6は、図5の表示装置2の画素回路アレイド部13の回路構成を表したものである。この表示装置2は、駆動回路20においてバックゲート線駆動回路25の代わりにバックゲート線駆動回路26が設けられている点で、上記実施の形態の表示装置1の構成と相違する。さらに、この表示装置2は、画素回路14において、駆動トランジスタ $T r_1$ の代わりに駆動トランジスタ $T r_3$ が設けられており、書き込みトランジスタ $T r_2$ の代わりに書き込みトランジスタ $T r_4$ が設けられている点で、上記実施の形態の表示装置1の構成と相違する。そこで、以下では、表示装置1の構成と相違する点について主に説明し、表示装置1の構成と共通する点についての説明を適宜、省略するものとする。

50

【 0 0 4 6 】

駆動トランジスタ $T r_3$ は、トップゲート G_3 (第1ゲート) およびバックゲート G_4 (第2ゲート) を有するデュアルゲート型のトランジスタにより形成されている。駆動トランジスタ $T r_3$ は、 n チャネルMOS型のTFTにより形成されている。書き込みトランジスタ $T r_4$ は、例えば、デュアルゲート型、トップゲート型、またはボトムゲート型のトランジスタにより形成されている。書き込みトランジスタ $T r_4$ は、 n チャネルMOS型のTFTにより形成されている。

【 0 0 4 7 】

画素回路アレイ部 13 において、各信号線 DTL は、信号線駆動回路 23 の出力端 (図示せず) と、書き込みトランジスタ $T r_4$ のドレイン電極またはソース電極 (図示せず) に接続されている。各書込線 WSL は、書込線駆動回路 24 の出力端 (図示せず) と、書き込みトランジスタ $T r_4$ のゲート電極 (図示せず) に接続されている。書き込みトランジスタ $T r_4$ のドレイン電極およびソース電極のうち信号線 DTL に非接続の方 (図示せず) は、駆動トランジスタ $T r_3$ のトップゲート電極 (図示せず) と、保持容量 C_s の一端に接続されている。駆動トランジスタ $T r_3$ のドレイン電極またはソース電極 (図示せず) と保持容量 C_s の他端とが、有機 EL 素子 11 のアノード電極 (図示せず) に接続されている。駆動トランジスタ $T r_3$ のドレイン電極およびソース電極のうち定電圧線 V_{cc} に非接続の方 (図示せず) は、定電圧線 V_{cc} に接続されている。有機 EL 素子 11 のカソード電極 (図示せず) は、例えばグラウンド線 GND に接続されている。駆動トランジスタ $T r_3$ のバックゲート電極 (図示せず) は、バックゲート線 BGL に接続されている。

10

20

【 0 0 4 8 】

バックゲート線駆動回路 26 は、制御信号 22A の入力に応じて (同期して)、複数のバックゲート線 BGL に制御パルスを順次印加して、選択対象の有機 EL 素子 11 に流れる電流 I_d をオン、オフするものである。バックゲート線駆動回路 26 は、例えば、有機 EL 素子 11 を発光させるときに印加する電圧 V_{b3} (第1電圧) と、有機 EL 素子 11 を消光させるときに印加する電圧 V_{b4} (第2電圧) とを出力することが可能となっている。電圧 V_{b3} および電圧 V_{b4} は、互いに異なる電圧値となっている。電圧 V_{b3} は、例えば 0V (ゼロボルト) である。電圧 V_{b4} は、本実施の形態では駆動トランジスタ $T r_3$ が n チャネル型となっているので、電圧 V_{b3} よりも高くなっており、例えば、+5.0V である。

30

【 0 0 4 9 】

(表示装置 2 の動作)

図 7 は、表示装置 2 を駆動させたときの各種波形の一例を表したものである。図 7 (A), (B) には、信号線 DTL に電圧 V_{sig} 、電圧 V_{ofs} が周期的に印加され、書込線 WSL に電圧 V_{on} 、電圧 V_{off} が所定のタイミングで印加されている様子がそれぞれ示されている。図 7 (C) には、バックゲート線 BGL に電圧 V_{b3} 、電圧 V_{b4} が所定のタイミングで印加されている様子が示されている。なお、図 7 (C) には、電圧 V_{b4} が電圧 V_{b3} よりも高くなっている場合、すなわち、駆動トランジスタ $T r_3$ が n チャネル型である場合の波形が例示されている。図 7 (D), (E) には、信号線 DTL、書込線 WSL およびバックゲート線 BGL への電圧印加に応じて、駆動トランジスタ $T r_3$ のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

40

【 0 0 5 0 】

[V_{th} 補正準備期間]

まず、 V_{th} 補正の準備を行う。具体的には、バックゲート線駆動回路 26 は、バックゲート線 BGL の電圧を V_{b3} から V_{b4} に変更する (T_1)。すると、駆動トランジスタ $T r_3$ がオフして、有機 EL 素子 11 が消光する。バックゲート線駆動回路 26 は、その後、引き続き、駆動トランジスタ $T r_3$ の閾値補正が開始されるまでの間、バックゲート線 BGL の電圧を V_{b4} に維持する。

【 0 0 5 1 】

[最初の V_{th} 補正期間]

50

次に、 V_{th} の補正を行う。具体的には、信号線DTLの電圧が V_{ofs} となっており、かつ書込線WSLの電圧が V_{on} となっている間に、バックゲート線駆動回路26は、バックゲート線BGLの電圧を V_{b4} から V_{b3} に変更する(T_2)。すると、駆動トランジスタ T_{r3} のドレイン-ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇する。なお、図7(F)では、縦軸のスケールの関係で、電流 I_d の変化がほとんど見られない。その後、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路24が書込線WSLの電圧を V_{on} から V_{off} に下げる(T_3)。すると、駆動トランジスタ T_{r3} のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

【0052】

[最初の V_{th} 補正休止期間]

V_{th} 補正が休止している期間中は、先の V_{th} 補正を行った行(画素)とは異なる他の行(画素)において、信号線DTLの電圧のサンプリングが行われる。なお、 V_{th} 補正が不十分である場合、すなわち、駆動トランジスタ T_{r3} のゲート-ソース間の電位差 V_{gs} が駆動トランジスタ T_{r3} の閾値電圧 V_{th} よりも大きい場合には、以下ようになる。すなわち、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行(画素)において、駆動トランジスタ T_{r3} のドレイン-ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【0053】

[2回目の V_{th} 補正期間]

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、信号線DTLの電圧が V_{ofs} となっており、 V_{th} 補正が可能となっている時に、書込線駆動回路24が書込線WSLの電圧を V_{off} から V_{on} に上げ(T_4)、駆動トランジスタ T_{r3} のゲートを信号線DTLに接続する。このとき、ソース電圧 V_s が($V_{ofs} - V_{th}$)よりも低い場合(V_{th} 補正がまだ完了していない場合)には、駆動トランジスタ T_{r3} がカットオフするまで(電位差 V_{gs} が V_{th} になるまで)、駆動トランジスタ T_{r3} のドレイン-ソース間に電流 I_d が流れる。その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。その後、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路24が書込線WSLの電圧を V_{on} から V_{off} に下げる(T_5)。すると、駆動トランジスタ T_{r3} のゲートがフローティングとなるので、電位差 V_{gs} を信号線DTLの電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、駆動トランジスタ T_{r3} の閾値電圧 V_{th} が画素回路14ごとにばらついた場合であっても、有機EL素子11の発光輝度がばらつくのをなくすることができる。

【0054】

[2回目の V_{th} 補正休止期間]

その後、 V_{th} 補正の休止期間中に、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える。

【0055】

[書き込み・ μ 補正期間]

V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線DTLの電圧が V_{sig} となっている間に、書込線駆動回路24が書込線WSLの電圧を V_{off} から V_{on} に上げ(T_6)、駆動トランジスタ T_{r3} のゲートを信号線DTLに接続する。すると、駆動トランジスタ T_{r3} のゲート電圧が V_{sig} となる。このとき、有機EL素子11のアノード電圧はこの段階ではまだ有機EL素子11の閾値電圧 V_{e1} よりも小さく、有機EL素子11はカットオフしている。そのため、電流 I_d は有機EL素子11の素子容量(図示せず)に流れ、素子容量が充電されるので、ソース電圧 V_s が V だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、駆動トランジスタ T_{r3} の移動度 μ が大きい程、 V も大きくなるので、電位差 V_{gs} を発光前に V だけ小さくすることにより、画素回路14ごとの移動度 μ のばらつきを取り除くことができる。

10

20

30

40

50

【 0 0 5 6 】

[発光期間]

次に、書込線駆動回路 2 4 が書込線 W S L の電圧を V_{on} から V_{off} に下げる (T_7)。すると、駆動トランジスタ $T r_3$ のゲートがフローティングとなり、駆動トランジスタ $T r_3$ のゲート - ソース間の電圧 V_{gs} を一定に維持した状態で、駆動トランジスタ $T r_3$ のドレイン - ソース間に電流 I_d が流れる。その結果、ソース電圧 V_s が上昇し、それに連動して駆動トランジスタ $T r_3$ のゲートも上昇し、有機 E L 素子 1 1 が所望の輝度よりも小さな輝度で発光し始める。

【 0 0 5 7 】

次に、バックゲート線駆動回路 2 6 は、所定の時間が経過した後、バックゲート線 B G L の電圧を V_{b3} から V_{b4} に変更して (T_1)、有機 E L 素子 1 1 を消光させる。このようにして、駆動回路 2 0 は、有機 E L 素子 1 1 の発光と消光を繰り返し行う。

【 0 0 5 8 】

(動作)

本実施の形態の表示装置 2 では、上記のようにして、各画素 1 2 において画素回路 1 4 がオンオフ制御され、各画素 1 2 の有機 E L 素子 1 1 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、有機 E L 素子 1 1 の電極等を透過して外部に取り出される。その結果、表示パネル 1 0 において画像が表示される。

【 0 0 5 9 】

(効果)

本実施の形態では、駆動トランジスタ $T r_3$ として、デュアルゲート型のトランジスタが用いられており、このデュアルゲート型のトランジスタにおける特異な特性 (既に上記実施の形態で説明済み。) を利用することにより、上記の問題を解決している。具体的には、バックゲート線 B G L の電圧が V_{b3} から V_{b4} に変更されることにより、駆動トランジスタ $T r_3$ がオフし、それに伴って、有機 E L 素子 1 1 が消光する。また、バックゲート線 B G L の電圧が V_{b3} となっている状態で、 V_{th} 補正、書き込みおよび μ 補正が実行された後、書込線 W S L の電圧が V_{on} から V_{off} に下げられることにより、有機 E L 素子 1 1 が所望の輝度で発光する。

【 0 0 6 0 】

このように、本実施の形態では、駆動トランジスタ $T r_3$ のバックゲート G 4 に印加する電圧を制御して、駆動トランジスタ $T r_3$ をオン、オフさせることにより、有機 E L 素子 1 1 に流れる電流が制御される。つまり、駆動トランジスタ $T r_3$ をデュアルゲート型のトランジスタで構成し、駆動トランジスタ $T r_3$ のバックゲート G 4 に印加する電圧を制御することにより、発光素子の発光、消光を制御することができる。従って、本実施の形態では、画素回路 1 4 内の素子を増やさずに、発光素子の発光、消光を制御することができる。

【 0 0 6 1 】

< モジュールおよび適用例 >

以下、上述した実施の形態で説明した表示装置 1, 2 の適用例について説明する。上記実施の形態の表示装置 1, 2 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 0 6 2 】

(モジュール)

上記実施の形態の表示装置 1, 2 は、例えば、図 8 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 1 の一辺に、封止用基板 3 2 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、駆動回路 2 0 の配線を延長して外部接続端子 (図示せず) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (F P C ;

10

20

30

40

50

Flexible Printed Circuit) 220 が設けられていてもよい。

【0063】

(適用例1)

図9は、上記実施の形態の表示装置1, 2が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記各実施の形態に係る表示装置1, 2により構成されている。

【0064】

(適用例2)

図10は、上記実施の形態の表示装置1, 2が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部420は、上記実施の形態に係る表示装置1, 2により構成されている。

10

【0065】

(適用例3)

図11は、上記実施の形態の表示装置1, 2が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記各実施の形態に係る表示装置1, 2により構成されている。

20

【0066】

(適用例4)

図12は、上記実施の形態の表示装置1, 2が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有しており、その表示部640は、上記各実施の形態に係る表示装置1, 2により構成されている。

【0067】

(適用例5)

図13は、上記実施の形態の表示装置1, 2が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部(ヒンジ部)730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記各実施の形態に係る表示装置1, 2により構成されている。

30

【0068】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0069】

例えば、上記実施の形態等では、表示装置1, 2がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路14の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路14に追加してもよい。その場合、画素回路14の変更に応じて、上述した信号線駆動回路23、書込線駆動回路24およびバックゲート線駆動回路25, 26のほかに、必要な駆動回路を追加してもよい。

40

【0070】

また、上記実施の形態等では、信号線駆動回路23、書込線駆動回路24およびバックゲート線駆動回路25, 26の駆動をタイミング生成回路22が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路23、書込線駆動回路24およびバックゲート線駆動回路25, 26の制御は、ハードウェア(回路)で行

50

われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0071】

また、上記実施の形態等では、画素回路14が、2Tr1Cの回路構成となっていたが、デュアルゲート型のトランジスタが有機EL素子11に直列に接続された回路構成を含んでいるのであれば、2Tr1Cの回路構成以外の回路構成となってもよい。

【0072】

また、上記第1の実施の形態では、書き込みトランジスタTr₂がpチャネル型となっていたが、nチャネル型となってもよい。また、上記第2の実施の形態では、書き込みトランジスタTr₄がnチャネル型となっていたが、pチャネル型となってもよい。

10

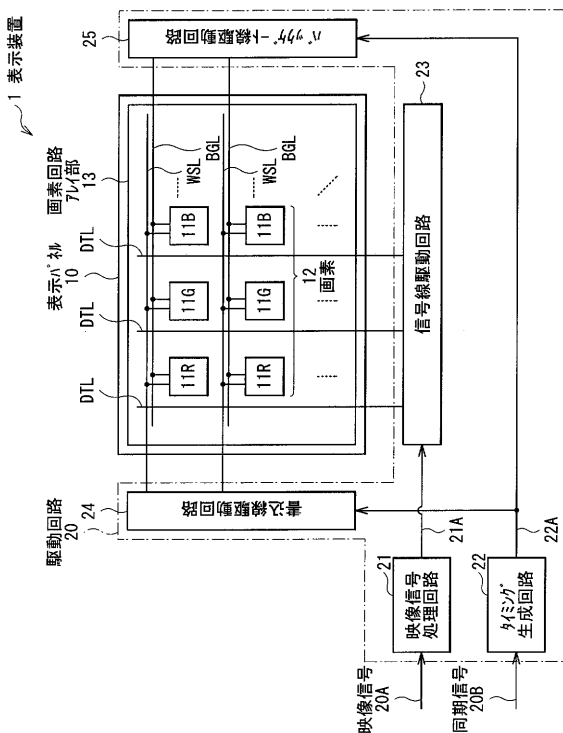
【符号の説明】

【0073】

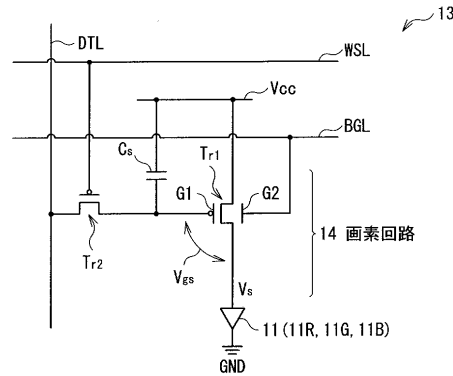
1, 2...表示装置、10...表示パネル、11, 11R, 11G, 11B...有機EL素子、12...画素、13...画素回路アレイ部、14...画素回路、20...駆動回路、21...映像信号処理回路、20A, 21A...映像信号、20B...同期信号、22...タイミング生成回路、22A...制御信号、23...信号線駆動回路、24...書込線駆動回路、25, 26...バックゲート線駆動回路、BGL...バックゲート線、C_s...保持容量、DTL...信号線、I_d...電流、GND...グラウンド線、G1, G3...トップゲート、G2, G4...バックゲート、Tr₁, Tr₃...駆動トランジスタ、Tr₂, Tr₄...書き込みトランジスタ、V_{cc}...定電圧線、V_g...ゲート電圧、V_{gs}...ゲート-ソース間電圧、V_s...ソース電圧、V_{sig}...信号電圧、V_{b1}, V_{b2}, V_{off}, V_{ofs}, V_{on}...電圧、V_{th}...閾値電圧、WSL...書込線。

20

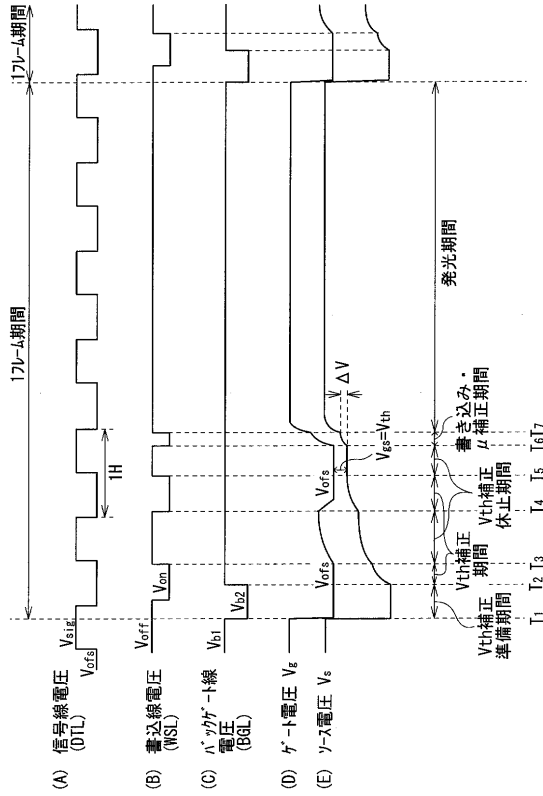
【図1】



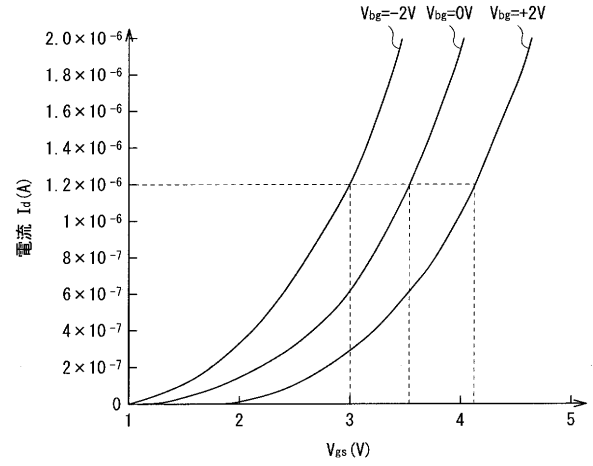
【図2】



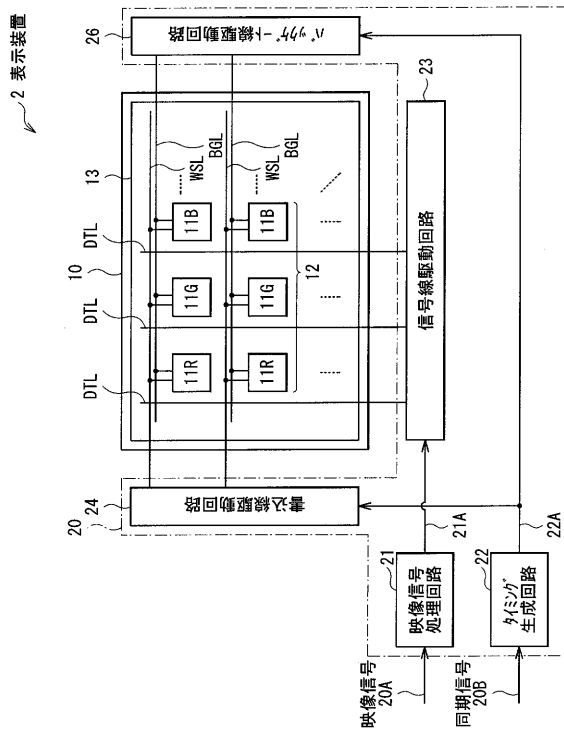
【 図 3 】



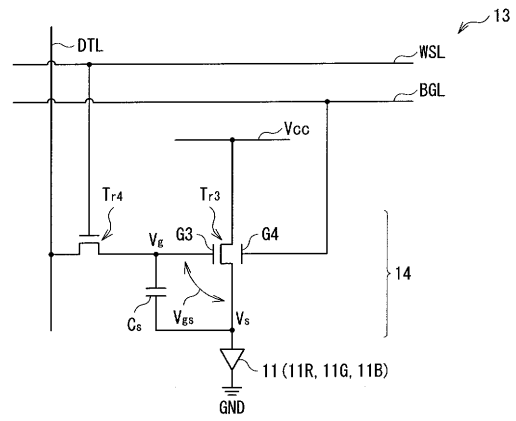
【 図 4 】



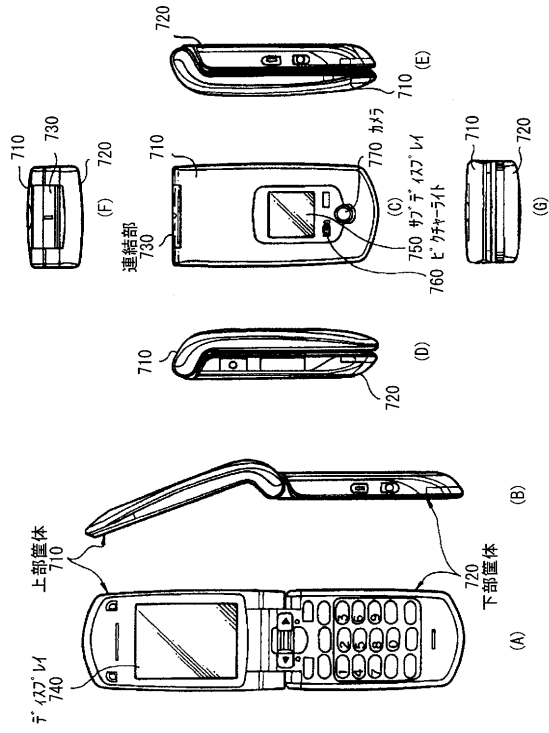
【 図 5 】



【 図 6 】



【図 13】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 6 5 Z
	H 0 5 B 33/14	A

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC35 CC45 EE04 HH04 HH05
 5C080 AA06 BB05 CC03 DD22 EE29 FF11 HH09 JJ02 JJ03 JJ04
 JJ05 JJ06 KK01 KK07 KK43 KK47
 5C094 AA05 AA21 AA53 BA03 BA27 CA19 DB04 HA08 HA10
 5C380 AA01 AB06 AB34 AB39 AC07 AC08 AC09 AC11 AC12 BA13
 BA21 BA38 BA39 BB02 CA04 CA12 CA53 CA54 CB01 CB17
 CB26 CB31 CC02 CC03 CC04 CC06 CC07 CC26 CC27 CC33
 CC57 CC61 CC63 CC71 CC80 CD012 CE19 DA02 DA06 DA47
 DA57

专利名称(译)	显示装置，其驱动方法和电子设备		
公开(公告)号	JP2011112723A	公开(公告)日	2011-06-09
申请号	JP2009266734	申请日	2009-11-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.C G09G3/20.622.D G09G3/20.622.G G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC45 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD22 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C094/AA05 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C094/HA08 5C094/HA10 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB39 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA13 5C380/BA21 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC57 5C380/CC61 5C380/CC63 5C380/CC71 5C380/CC80 5C380/CD012 5C380/CE19 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA57		
外部链接	Espacenet		

摘要(译)

提供一种能够在不增加元件数量的情况下控制有机EL元件的发光和熄灭的显示装置，其驱动方法和电子设备。双栅极型晶体管用作与有机EL元件11串联连接的驱动晶体管Tr1。通过将驱动晶体管Tr1的背栅极的电压改变为预定电压，驱动晶体管Tr1截止，因此，有机EL元件11淬火。此外，在V_{th}校正之后，在背栅极的电压是与上述不同的预定电压的状态下执行写入和μ校正，写入晶体管Tr2，有机EL元件11发出具有所需亮度的光。The

