

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-249955

(P2010-249955A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30	J 3K107
G09G 3/20 (2006.01)	G09G 3/20	624B 5C080
G09F 9/30 (2006.01)	G09G 3/20	641D 5C094
H01L 27/32 (2006.01)	G09G 3/20	611H
H01L 51/50 (2006.01)	G09G 3/20	642A

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号	特願2009-97396 (P2009-97396)	(71) 出願人	510048417 グローバル・オーエルイーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー GLOBAL OLED TECHNOLOGY LLC. アメリカ合衆国、デラウェア州、ウィルミントン、オレンジ・ストリート 1209 1209 Orange Street, Wilmington, Delaware 19801, United States of America
(22) 出願日	平成21年4月13日 (2009. 4. 13)	(74) 代理人	100110423 弁理士 曾我 道治
			最終頁に続く

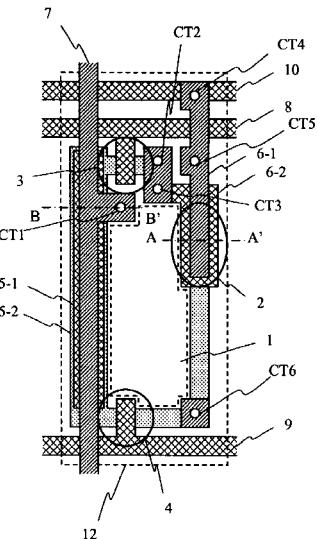
(54) 【発明の名称】表示装置

(57) 【要約】

【課題】カップリング容量を効率的に配置する。

【解決手段】有機EL素子1と、この有機EL素子1に駆動電流を供給する駆動トランジスタ2と、この駆動トランジスタ2のゲートに接続され電圧を保持する保持容量6と、駆動トランジスタ2のゲートとデータ電圧が供給されるデータライン7との間に設けられたカップリング容量5と、データライン7からのデータ電圧の駆動トランジスタ2のゲートへの供給を制御する選択トランジスタ3と、駆動トランジスタ2のゲートとドレイン間を短絡するリセットトランジスタ4と、を含む。カップリング容量5を、データライン7にオーバーラップさせてその下方に形成するとともにその一端はそれに接続された選択トランジスタとリセットトランジスタの電極を構成する。

【選択図】図2A



【特許請求の範囲】

【請求項 1】

画素をマトリクス状に配置した表示装置であって、
各画素に、
一端がデータラインに接続されたカップリング容量と、
一端が電源ラインに接続され、制御端と他端がそれぞれ選択トランジスタとリセットトランジスタを介して前記カップリング容量の他端に接続された駆動トランジスタと、
一端が前記駆動トランジスタの電源側の一端に接続され、他端が前記駆動トランジスタの制御端に接続された保持容量と、
前記駆動トランジスタに流れる電流により駆動される発光素子と、
各ラインの電位を制御するライン駆動回路を含み、
前記ライン駆動回路は、前記駆動トランジスタを導通させ、電源ラインの電圧を変更することで駆動トランジスタの他端の電位を前記発光素子に電流が流れない電位に設定した後、前記選択トランジスタとリセットトランジスタを導通させて、前記駆動トランジスタの閾値電圧を前記カップリング容量と保持容量に書き込み、リセットトランジスタを非導通として、データラインの電位にカップリング容量の電位を重畠した電位を前記保持容量に書き込むことで駆動トランジスタの閾値補正を行うことを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、
前記カップリング容量は前記データラインにオーバーラップされて形成されることを特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、
前記カップリング容量の一端は、前記選択トランジスタおよび前記リセットトランジスタの電極を構成する導体と同じ層に形成された導体により形成されて、接続されていることを特徴とする表示装置。

【請求項 4】

請求項 1 または 2 に記載の表示装置において、
前記選択トランジスタおよびリセットトランジスタは、半導体層をソース電極、チャネル領域、ドレイン電極として利用し、チャネル領域の上には、ゲート絶縁膜を介しメタル層であるゲート電極がそれぞれ形成されており、

前記カップリング容量は、前記半導体層と、前記ゲート絶縁膜と同一工程で形成される絶縁膜と、前記ゲート電極と同一工程で形成されるメタル層と、で形成されることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 E L 素子を有する表示装置に関する。

【背景技術】

【0002】

有機 E L ディスプレイは自発光型であることから、コントラストが高く、応答が早いため、自然画などを表示するテレビなどの動画アプリケーションに適している。一般に、有機 E L 素子は、トランジスタなどの制御素子を用いて定電流で駆動されるが、その場合トランジスタを飽和領域で用いるため、トランジスタの V_{th} (閾値) や移動度の特性ばらつきにより、同じ階調電圧を画素に入力しても、画素毎に異なる電流が生成され、発光輝度の均一性が課題となっていた。この課題を解決するため、画素内に V_{th} を補正する回路を導入した例が特許文献 1 などに開示されている。

【0003】

この特許文献 1 の補正回路を用いると、有機 E L 素子に電流を供給する駆動トランジス

10

20

30

40

50

タのゲート - ソース間に $V_{g_s} = C_c / (C_c + C_s) * V_{sig} + V_{th}$ が印加される。ただし、 C_c 、 C_s は特許文献 1 の図 3 に記載の容量、 V_{sig} はデータラインに供給されて、画素に書き込まれる階調信号電位である。このように駆動トランジスタのゲート端子には常にその V_{th} がオフセットとして加えられるため、 V_{th} が自動的に補正される。なお、上記 V_{g_s} の式からも分かるように、 V_{g_s} は入力される V_{sig} に対して $C_c / (C_c + C_s)$ の比で小さくなるため、この振幅の減少を少しでも抑えてダイナミックレンジを最大化するには C_c を C_s より十分大きくすることが望ましい。

【先行技術文献】

【特許文献】

【0004】

10

【特許文献 1】特表 2002-514320 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、特許文献 1 に開示されている補正回路内において C_c を大きくすると、画素の開口率が小さくなる。このため、有機 EL 素子の駆動電流が大きくなり、有機 EL 素子の寿命を十分に保てなくなる。また、昨今ではディスプレイの高精細化がさらに進み、より小さな画素スペースに補正回路を導入しなければならず、この容量を十分に確保することが困難になってきている。従って、より簡略化された補正回路や、効率的なトランジスタや配線の配置が望まれる。

20

【課題を解決するための手段】

【0006】

本発明は、画素をマトリクス状に配置した表示装置であって、各画素に、一端がデータラインに接続されたカッピング容量と、一端が電源ラインに接続され、制御端と他端がそれぞれ選択トランジスタとリセットトランジスタを介して前記カッピング容量の他端に接続された駆動トランジスタと、一端が前記駆動トランジスタの電源側の一端に接続され、他端が前記駆動トランジスタの制御端に接続された保持容量と、前記駆動トランジスタに流れる電流により駆動される発光素子と、を含むとともに、各ラインの電位を制御するライン駆動回路を含み、前記ライン駆動回路は、前記駆動トランジスタを導通させ、電源ラインの電圧を変更することで駆動トランジスタの他端の電位を前記発光素子に電流が流れない電位に設定した後、前記選択トランジスタとリセットトランジスタを導通させて、前記駆動トランジスタの閾値電圧を前記カッピング容量と保持容量に書き込み、リセットトランジスタを非導通として、データラインの電位にカッピング容量の電位を重畠した電位を前記保持容量に書き込むことで駆動トランジスタの閾値補正を行うことを特徴とする。

30

【0007】

また、前記カッピング容量は前記データラインにオーバーラップされて形成されることが好適である。

【0008】

また、前記カッピング容量の一端は、前記選択トランジスタおよび前記リセットトランジスタの電極を構成する導体と同じ層に形成された導体により形成されて、接続されていることが好適である。

40

【0009】

また、前記選択トランジスタおよびリセットトランジスタは、半導体層をソース電極、チャネル領域、ドレイン電極として利用し、チャネル領域の上には、ゲート絶縁膜を介しメタル層であるゲート電極がそれぞれ形成されており、前記カッピング容量は、前記半導体層と、前記ゲート絶縁膜と同一工程で形成される絶縁膜と、前記ゲート電極と同一工程で形成されるメタル層と、で形成されることが好適である。

【発明の効果】

【0010】

50

本発明によれば、電源ラインの電圧を変更することで、閾値補償のための構成を簡略化できる。従って、効率的なトランジスタ、配線の配置が得られる。

【図面の簡単な説明】

【0011】

【図1】実施形態に係る画素回路の構成を示す図である。

【図2A】画素回路のレイアウトを示す図である。

【図2B】駆動トランジスタおよび保持容量部分の構成を示す断面図である。

【図2C】カップリング容量の構成を示す断面図である。

【図3】実施形態に係る画素回路の他の構成を示す図である。

【図4】実施形態の動作を説明するタイミングチャートである。

【図5】表示パネルの構成を示す図である。

【図6】実施形態に係る画素回路の他の構成を示す図である。

【図7】実施形態に係る画素回路の他の構成を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について、図面に基づいて説明する。図1には、本実施形態の画素の回路構成が示されている。表示パネルには、画素12がマトリクス状に多数配置され、各画素12の発光が輝度データに応じて制御される。

【0013】

画素12において、有機EL素子1は、カソードが全画素共通のカソード電極11(VSSの一定電位が与えられる)に、アノードはソース端子が電源ライン10に接続された駆動トランジスタ2のドレイン端子に接続されている。有機EL素子1のアノードと駆動トランジスタ2のドレイン端子の接続点には、ゲート端子がリセットライン9に接続されたリセットトランジスタ4のソース端子が接続され、そのドレイン端子は一端がデータライン7に接続されたカップリング容量5の他端とゲート端子が選択ライン8に接続された選択トランジスタ3のドレイン端子に接続されている。選択トランジスタ3のソース端子は駆動トランジスタ2のゲート端子と一端が電源ライン10に接続された保持容量6の他端に接続されている。また、有機EL素子1のアノード-カソード間の寄生容量Cdが発生する。なお、図1の画素12は3つのP型トランジスタより構成されているが、その一部にN型トランジスタを用いてもよい。

【0014】

図2Aには、金属薄膜や半導体薄膜を堆積する基板面から見た、図1の画素12のレイアウト図(平面図)、図2BにはA-A'断面図、図2CにはB-B'断面図が示されている。図2B(A-A'断面図)に示すように、保持容量6は電源ライン10を構成するメタル6-1と、駆動トランジスタ2のゲートメタル6-2が層間絶縁膜6-3を介して対向配置することで形成される。なお、ゲートメタル6-2の下側には、ゲート絶縁膜2-1を介し、ポリシリコン層(半導体層)2-2が配置されており、このポリシリコン層2-2が駆動トランジスタ2のチャネル領域として機能する。

【0015】

保持容量6の保持特性を十分に確保するため、保持容量6の容量はある程度大きくしておかなくてはならないが、カップリング容量5はさらに大きな容量を必要とする。このため、広い交差領域(2つの電極が対向する領域)が必要となるが、図2Aのレイアウト図では、カップリング容量5をデータライン7がオーバーラップする形で下方に形成できるため、開口率を低下させることなく、その形成領域を確保できる。特に、通常層間絶縁膜よりゲート絶縁膜の方が薄いため、容量値を確保しやすい。すなわち、本実施形態では、図2C(B-B'断面)に示すように、コンタクトCT1を介してデータライン7とゲートメタル5-1を接続し、ゲートメタル5-1とポリシリコン電極5-2とがゲート絶縁膜5-3を挟むようにしてカップリング容量5を形成している。

【0016】

なお、容量値は小さくなるが、ゲートメタル5-1を用いず、データライン7とポリシ

10

20

30

40

50

リコン電極 5 - 2 が層間絶縁膜 5 - 4 及びゲート絶縁膜 5 - 3 を挟み込むことでカップリング容量 5 を形成してもよいし、あるいはゲートメタル 5 - 1 とポリシリコン電極 5 - 2 をコンタクトで接続し、データライン 7 とゲートメタル 5 - 1 が層間絶縁膜 5 - 4 を挟むことでカップリング容量 5 を形成してもよい。

【0017】

また、図 1 の画素 1 2 では、駆動トランジスタ 2 のゲート端子とドレイン端子をそれぞれ選択トランジスタ 3、リセットトランジスタ 4 を介してカップリング容量 5 の一端に接続する構成となっている。このため、電極間接続用のコンタクトを少なくすることができ、高開口率化に適している。つまり、図 2 A、図 2 B によれば、駆動トランジスタ 2 のゲート電極はゲートメタル 6 - 2 をコンタクト CT 2、CT 3 により選択トランジスタ 3 のポリシリコン電極のソース端子へ接続されるが、駆動トランジスタ 2 のドレイン電極はポリシリコン電極としてリセットトランジスタ 4 のソース電極と共に通化できるため、コンタクトは必要ない。また、選択トランジスタ 3 とリセットトランジスタ 4 のポリシリコン電極のドレイン端子はカップリング容量 5 のポリシリコン電極と共に通化できるため、この部分においてもコンタクトを省略でき、画素構成が簡略化される。10

【0018】

ここで、コンタクト CT 3 は、コンタクト CT 2 と接続するメタル層と駆動トランジスタ 2 のゲート電極を接続する。また、コンタクト CT 4 は電源ライン 1 0 とメタル 6 - 1 と接続し、コンタクト CT 5 はメタル 6 - 1 と、駆動トランジスタ 2 のソース電極を形成し、ここから伸びるポリシリコン層（半導体層）と接続し（メタル 6 - 1 の下に位置する）、コンタクト CT 6 は駆動トランジスタ 2 のドレイン電極を構成し、ここから伸びるポリシリコン層と、有機 E L 素子 1 のアノードを接続する。20

【0019】

このような構成の利点を説明するため、図 1 と類似した画素 1 2 を図 3 に示す。図 3 の画素 1 2 は、カップリング容量 5 を図 1 と同様にデータライン 7 にオーバーラップする形で形成できる画素であるが、リセットトランジスタ 4 のドレイン端子が駆動トランジスタ 2 のゲート端子に接続されている点が異なっている。この場合、リセットトランジスタ 4 のドレイン端子と駆動トランジスタ 2 のゲート端子を接続することになるが、ポリシリコン電極のリセットトランジスタ 4 のドレイン端子とゲートメタルである駆動トランジスタ 2 のゲート端子を接続するため、異なる層を接続するコンタクトが必要となる。このコンタクトは発光領域を減少させるため、開口率低下の原因となり、より高精細化が求められる場合に不都合となる。つまり、保持容量と開口率ともに確保できる図 2 のレイアウトが可能な図 1 の画素 1 2 がより高精細化に適する。30

【0020】

次に、図 4 を用いて、図 1 あるいは図 3 の画素 1 2 による駆動トランジスタ 2 の V t h を補正する制御方法について説明する。図 4 に示されるように、1 水平期間は（1）プリセット書き込み期間、（2）プリセット期間、（3）プリセット解除書き込み期間、（4）V t h 補正期間、（5）データ書き込み期間を含んでいる。

【0021】

画素 1 2 のあるラインが選択される水平期間では、まず選択ライン 8 が L o w とされて選択され、選択トランジスタ 3 がオンすると、駆動トランジスタ 2 をオンするのに十分低いデータ信号 V p s t がデータライン 7、カップリング容量 5 を介して画素 1 2 に書き込まれる。すなわち、電源ライン 1 0 の H i g h 側電圧 V D D H と、データライン 7 にカップリング容量 5 の電位を加えた分の電圧差が保持容量 6 に書き込まれる。その後、選択ライン 8 が H i g h とされ、選択トランジスタ 3 がオフすると、保持容量 6 により書き込まれた電位が保持され、駆動トランジスタ 2 はオン状態を継続する（（1）プリセット書き込み期間）。次に、電源ライン 1 0 を H i g h 側（V D D H）から L o w 側（V D D L）へ変化させる。この際、駆動トランジスタ 2 のゲート - ソース間電位 V g s は保持容量 6 により維持されるため、駆動トランジスタ 2 はオン状態を維持する。従って、駆動トランジスタ 2 のドレイン電位、すなわち有機 E L 素子 1 のアノード電位は電源ライン 1 0 と同40

10

20

30

40

50

じ電位であるV D D Lへ遷移し、有機E L素子1のアノード - カソード間の寄生容量C dはV D D Lの電位でプリセットされる((2)プリセット期間)。

【0022】

データライン7と同じデータ信号V p s tを供給し続け、再度選択ライン8をL o wとし、選択トランジスタ3をオンすると、今度は駆動トランジスタ2はオフするか、もしくはオフに近い状態となる。これは駆動トランジスタ2のソース電位がL o w側のV D D Lとなり、V g sが小さくなるためである。選択ライン8をH i g hとし、選択トランジスタ3をオフすると、保持容量6には駆動トランジスタ2がオフ状態となる電位が保持されると同時に寄生容量C dから電源ライン10が切り離されて、寄生容量C dにはプリセット電位V D D Lが保持される((3)プリセット解除書き込み期間)。

10

【0023】

続いて、データライン7に電源ライン10と同じ電位V D D Wを供給し、電源ライン10をV D D Wへ遷移させてから、選択ライン8とリセットライン9をL o wとすると、選択トランジスタ3とリセットトランジスタ4がオンし、駆動トランジスタ2はダイオード接続され、駆動トランジスタ2の閾値電圧V t hがカッピング容量5、保持容量6に書き込まれる((4)V t h補正期間)。

【0024】

この際、V D D L及びV D D Wは駆動トランジスタ2がダイオード接続されても有機E L素子1に電流が流れない十分低い電位である。例えば、カソード電位V S Sが0 Vであれば、V D D Lを-5 V、V D D Wを0 Vとすると、V t h補正期間ではカソード電位と駆動トランジスタ2のソース電位は同電位となり、有機E L素子1には電流が流れない。

20

【0025】

V t h補正期間の後、リセットライン9をH i g hとし、リセットトランジスタ4をオフすると、カッピング容量5にV t hが保持される。選択ライン8をL o wに維持して、選択トランジスタ3をオンしたままデータライン7上に階調信号電位V s i gを供給すると、駆動トランジスタ2のゲート端子には、カッピング容量5により、V t hがオフセットとして加えられた階調信号電位が印加され、ゲート - ソース間電位はV g s = (C c / (C c + C s)) * V s i g + V t hとなる。選択ライン8をH i g hとし、選択トランジスタ3をオフすると、その電位が保持容量6に保持されて書き込み期間を終了する((5)データ書き込み期間)。

30

【0026】

水平期間の最後で電源ライン10をV D D WからV D D Hへ遷移させると、駆動トランジスタ2のV g sはそのまま維持され、そのドレイン電位が上昇し、V D D Hが十分高い電位になると、有機E L素子1に電流が流れて発光する。画素12は次に選択されるまでこの状態を維持し、V t hが補正された均一な電流により発光し続ける。

【0027】

このように、本実施形態によれば、電源ライン10の電圧を変更することで、有機E L素子1の寄生容量C dに負の方向(アノードよりカソードの電位が高い方向)の充電が行われる。特に、V t hより大きな電圧を充電しておく。これによって、V t h補正期間において、電源ライン10の電圧を有機E L素子1のカソード電圧と同一の電圧として有機E L素子1をオフした状態で、駆動トランジスタ2のゲートおよびドレイン電圧をソースに比べV t hだけ低い電圧にセットすることができ、カッピング容量5、保持容量6にV t hを充電することができる。従って、駆動トランジスタ2と有機E L素子1との間に電流制御用のトランジスタを設ける必要がなく、素子数が少なくなるとともに、配線の簡略化を図ることができる。

40

【0028】

図5には、図1もしくは図3の画素12がアレイ状に配置された表示アレイ21、データライン7を駆動するデータライン駆動回路22、選択ライン8及びリセットライン9を駆動する選択ライン駆動回路23、電源ライン10を駆動する電源ライン駆動回路24、また各駆動回路に映像信号やタイミング信号を供給するタイミング制御回路25から構成

50

される有機 E L ディスプレイ 100 の全体構成が示されている。なお、図 5 には代表的な構成例が示されているが、実用化において、タイミング制御回路 25 をデータライン駆動回路 22 に組み込んだり、選択ライン駆動回路 23 を表示アレイ 21 上に形成して構成してもよい。

【0029】

外部からの映像信号やタイミング信号は、タイミング制御回路 25 に入力され、そこで各駆動回路へ供給するタイミングが生成される。つまり、データライン駆動回路 22 には各画素の映像データとデータライン 7 を駆動するタイミング信号が供給され、選択ライン駆動回路 23 には選択ライン 8 とリセットライン 9 を駆動するタイミング信号、電源ライン駆動回路 24 は電源ライン 10 の電位を制御するタイミング信号が供給される。

10

【0030】

プリセット書き込み期間になると、データライン駆動回路 22 は各データライン 7 にプリセット電位 V_{pst} を供給し、選択ライン駆動回路 23 は選択ライン 8 を Low として画素 12 にプリセット電位 V_{pst} を書き込み、その後 High として書き込みを終了する。プリセット期間では電源ライン駆動回路 24 は電源ライン 10 を VDDH から VDDL に下げる、寄生容量 C_d を VDDL にプリセットする。プリセット期間が終了すれば電源ライン 10 を VDDW に上げて、V_{t h} と映像データ V_{sig} が書き込まれるまで同じレベルに維持される。選択ライン駆動回路 23 は V_{t h} 補正期間では選択ライン 8 とリセットライン 9 を同時に Low とし、V_{t h} 補正期間が終了するとリセットライン 9 のみ High に戻す。データライン駆動回路 22 は、V_{t h} 補正期間では VDDW をデータライン 7 に出力するが、データ書き込み期間では V_{sig} を供給する。各駆動回路はこの一連の動作を 1 水平期間に図 4 のタイミングに沿って連携して行うようにタイミング制御回路 25 により制御される。

20

【0031】

図 1 及び図 3 の画素 12 以外にも図 6 や図 7 のように駆動トランジスタ 2 が N 型の場合でも同様な方法で V_{t h} を補正できる。図 6 (図 7) は、図 1 (図 3) に対応するものであり、有機 E L 素子 1 のアノードを全画素共通の電極 31 として構成する。そして、電極 31 を基本的に VDDH に固定しておき、電源ライン 10 には、図 4 の場合と反対に、VSS、VDDH、VDDW の順に極性が反対の電圧を供給する。さらに、選択ライン、データライン、リセットラインについても極性が反対の信号を供給する。

30

【0032】

このような構成においても、画素 12 は、データライン 7 とオーバーラップしてカップリング容量 5 を形成できる。特に、図 6 の場合には、リセットトランジスタ 4 のソース端子はカップリング容量 5 とポリシリコン電極で共通化できる。このため、コンタクトが必要となり、開口率を最大化できる。

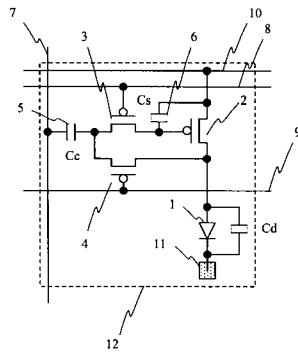
【符号の説明】

【0033】

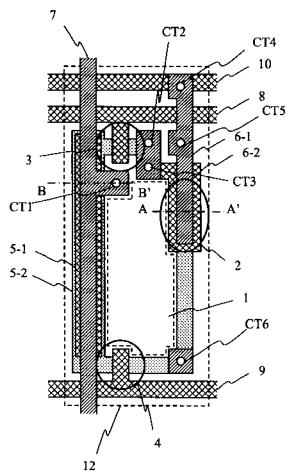
1 有機 E L 素子、2 駆動トランジスタ、2-1 ゲート絶縁膜、2-2 ポリシリコン層、3 選択トランジスタ、4 リセットトランジスタ、5 カップリング容量、5-1 ゲートメタル、5-2 ポリシリコン電極、5-3 ゲート絶縁膜、5-4 層間絶縁膜、6 保持容量、6-1 メタル、6-2 ゲートメタル、6-3 層間絶縁膜、7 データライン、8 選択ライン、9 リセットライン、10 電源ライン、11 力ソード電極、12 画素、21 表示アレイ、22 データライン駆動回路、23 選択ライン駆動回路、24 電源ライン駆動回路、25 タイミング制御回路、31 アノード電極、100 ディスプレイ、C_{T1} ~ C_{T6} コンタクト、C_d 寄生容量。

40

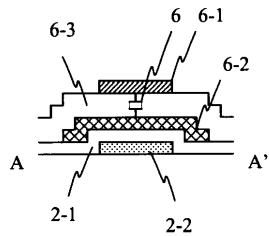
【図1】



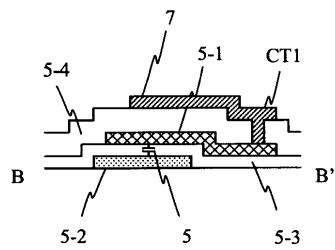
【図2A】



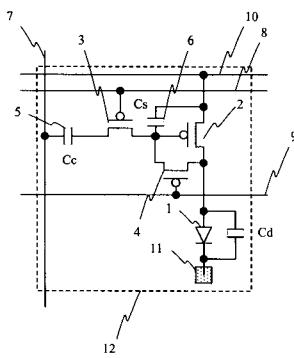
【図2B】



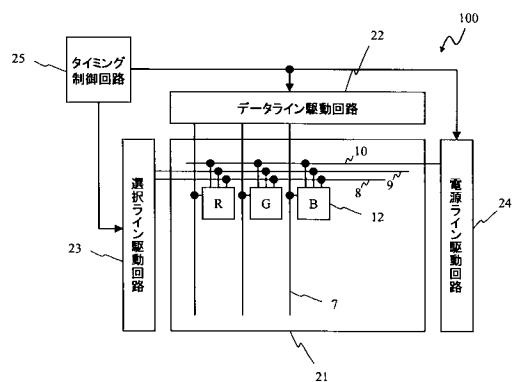
【図2C】



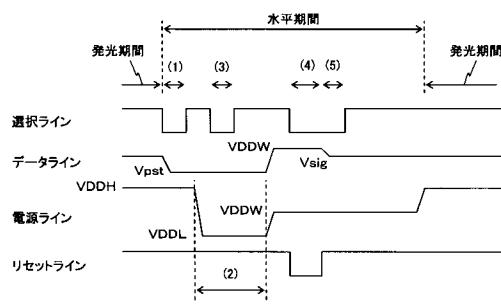
【図3】



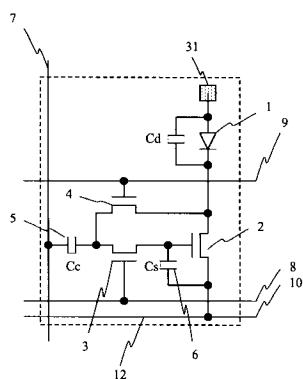
【図5】



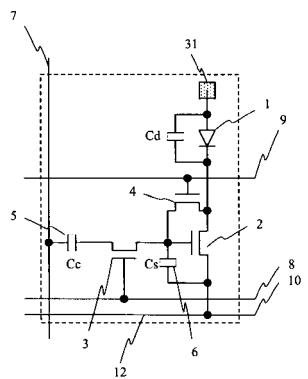
【図4】



【図6】



【 四 7 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 2 D
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 6 5 Z
	H 0 5 B 33/14	A

(74)代理人 100084010
弁理士 古川 秀利
(74)代理人 100094695
弁理士 鈴木 憲七
(74)代理人 100111648
弁理士 梶並 順
(74)代理人 100122437
弁理士 大宅 一宏
(74)代理人 100147566
弁理士 上田 俊一

(72)発明者 川辺 和佳
東京都千代田区神田駿河台2-9 KDX御茶ノ水ビル コダック株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 CC45 EE03 HH04
5C080 AA06 BB05 DD05 DD18 DD23 DD26 DD29 EE29 FF11 HH09
JJ02 JJ03 JJ04 JJ06
5C094 AA03 AA31 AA45 AA55 BA03 BA27 CA19 DA13 DB10 FB19
GA10

专利名称(译)	表示装置		
公开(公告)号	JP2010249955A	公开(公告)日	2010-11-04
申请号	JP2009097396	申请日	2009-04-13
[标]申请(专利权)人(译)	全球OLED TECH		
申请(专利权)人(译)	全球豪迪E.科技有限责任公司		
[标]发明人	川辺和佳		
发明人	川辺 和佳		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/006 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320 /0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.642.D G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH04 5C080/AA06 5C080 /BB05 5C080/DD05 5C080/DD18 5C080/DD23 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA31 5C094 /AA45 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB10 5C094/FB19 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB23 5C380/BA12 5C380/BA13 5C380/BA38 5C380 /BA39 5C380/BB02 5C380/CA12 5C380/CA54 5C380/CB16 5C380/CB20 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC35 5C380/CC41 5C380/CC61 5C380/CC63 5C380/CC71 5C380 /CC77 5C380/CD033 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
外部链接	Espacenet		

摘要(译)

要解决的问题：在显示设备中有效地布置数据线的耦合电容器，其中像素以矩阵排列。ZSOLUTION：显示装置包括：有机EL元件1;驱动晶体管2向有机EL元件1提供驱动电流;保持电容器6连接到驱动晶体管2的栅极以保持电压;耦合电容器5设置在驱动晶体管2的栅极和提供有数据电压的数据线7之间;选择晶体管3控制从数据线7到驱动晶体管2的栅极的数据电压的供应;复位晶体管4在驱动晶体管2的栅极和漏极之间短路。耦合电容器5形成在数据线下方，同时与数据线7重叠，并且耦合电容器的一端构成选择晶体管的电极。和复位晶体管连接到其上。Z

