

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-225018

(P2008-225018A)

(43) 公開日 平成20年9月25日(2008.9.25)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>H01L 51/50 (2006.01)</b>	H05B 33/14 A	5C080
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 365Z	5C094
<b>H01L 27/32 (2006.01)</b>	G09F 9/30 338	
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H	

審査請求 有 請求項の数 11 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2007-62776 (P2007-62776)  
 (22) 出願日 平成19年3月13日 (2007.3.13)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100102185  
 弁理士 多田 繁範  
 (72) 発明者 内野 勝秀  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 (72) 発明者 山本 哲郎  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 (72) 発明者 山下 淳一  
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

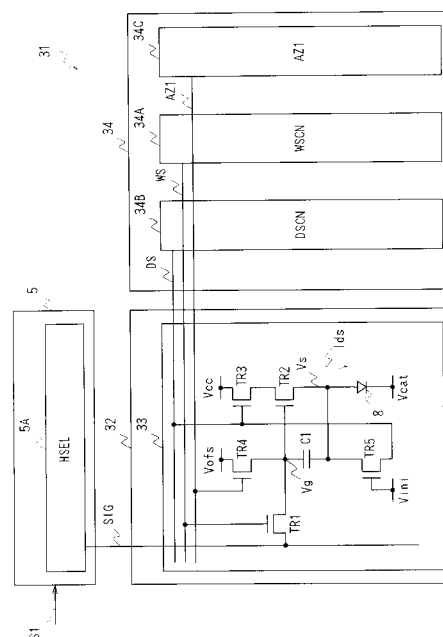
(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】本発明は、ディスプレイ装置に関し、例えば有機EL素子等の電流駆動による自発光型のディスプレイ装置に適用して、従来に比して走査線数を少なくする。

【解決手段】本発明は、発光素子8を駆動するトランジスタTR2を駆動用の電源Vccに接続するトランジスタTR3と、この発光素子8を駆動するトランジスタTR2のソース電圧Vsを所定電圧にセットするトランジスタTR5とを3値による共通の制御信号DSで制御する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端を第 1 の固定電位に接続する第 4 のトランジスタと、

前記信号レベル保持用コンデンサの他端に接続された第 5 のトランジスタとを有し、

前記第 5 のトランジスタは、

ゲートに第 2 の固定電位が接続され、

ドレインに前記信号レベル保持用コンデンサの他端が接続され、

ソースに前記駆動パルス信号が入力され、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、

前記第 3 のトランジスタを選択的にオン状態に設定する第 1 の信号レベルと、前記第 5 のトランジスタを選択的にオン状態に設定する第 2 の信号レベルと、前記第 3 及び第 5 のトランジスタの双方をオフ状態に設定する第 3 の信号レベルとの 3 値により、前記駆動パルス信号を出力する

ことを特徴とするディスプレイ装置。

## 【請求項 2】

前記第 1 の信号レベルが、

前記第 3 のトランジスタをオン状態に設定する電圧であり、

前記第 2 の信号レベルが、

前記第 2 のトランジスタのソース電圧を、前記第 2 の信号レベルに保持する電圧であり

、

前記第 3 の信号レベルが、

前記第 2 のトランジスタのゲート電圧から前記第 2 のトランジスタのしきい値電圧を減算した電圧より高い電圧である

ことを特徴とする請求項 1 に記載のディスプレイ装置。

## 【請求項 3】

前記第 2 の固定電位が、

前記第 2 の信号レベルに前記第 5 のトランジスタのしきい値電圧を加算した電圧より大きく、

かつ前記第 3 のトランジスタをオフ動作させる前記第 3 のトランジスタのゲート電圧に、前記第 5 のトランジスタのしきい値電圧を加算した和電圧より小さい電圧である

ことを特徴とする請求項 1 に記載のディスプレイ装置。

## 【請求項 4】

前記駆動回路は、

第 1 ~ 第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、

前記第 1 の期間の間、

前記書き込み信号及び前記制御信号により、前記第 1、第 4 のトランジスタをオフ状態

に設定すると共に、前駆駆動パルス信号を前記第 1 の信号レベルに設定して前記第 3 及び第 5 のトランジスタをオン状態及びオフ状態に設定することにより、前記信号レベル保持用コンデンサの両端電位によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間の間、

前記駆動パルス信号を前記第 2 の信号レベルに設定して前記自発光素子の発光を停止し、

前記第 3 の期間の間、

前記制御信号により、前記第 4 のトランジスタをオン状態に設定し、

前記第 4 の期間の間、

前記駆動パルス信号を前記第 1 の信号レベルに設定し、前記信号レベル保持用コンデンサの両端電位差を前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間の間、

前記駆動パルス信号を前記第 3 の信号レベルに設定すると共に、前記書き込み信号、前記制御信号により、前記第 3 ~ 第 5 のトランジスタ及び前記第 1 のトランジスタをオフ状態及びオン状態に設定し、前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端の電位を、前記信号線の信号レベルに設定する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

#### 【請求項 5】

前記駆動回路は、

前記第 5 の期間から前記第 1 の期間に遷移する際に、前記駆動パルス信号を前記第 1 の信号レベルに立ち上げた後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

#### 【請求項 6】

前記画素回路、前記駆動回路のトランジスタの全てが、

Nチャンネル型のトランジスタであり、

前記画素回路、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

ことを特徴とする請求項 1 に記載のディスプレイ装置。

#### 【請求項 7】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

前記信号レベル保持用コンデンサの他端に接続された第 4 のトランジスタとを有し、

前記第 4 のトランジスタは、

ゲートに第 1 の固定電位が接続され、

ドレインに前記信号レベル保持用コンデンサの他端が接続され、

ソースに前記駆動パルス信号が入力され、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号を出力し、

10

20

30

40

50

前記第 3 のトランジスタを選択的にオン状態に設定する第 1 の信号レベルと、前記第 4 のトランジスタを選択的にオン状態に設定する第 2 の信号レベルと、前記第 3 及び第 4 のトランジスタの双方をオフ状態に設定する第 3 の信号レベルとの 3 値により、前記駆動パルス信号を出力し、

第 2 の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の間、

前記書き込み信号により前記第 1 のトランジスタをオン状態に設定して、前記信号線で前記第 2 の固定電位が開始するタイミングで、前記駆動パルス信号を前記第 1 の信号レベルに設定すると共に、前記信号線で前記第 2 の固定電位が終了するタイミングで、前記駆動パルス信号を前記第 3 の信号レベルに設定する

10

ことを特徴とするディスプレイ装置。

【請求項 8】

前記第 1 の信号レベルが、

前記第 3 のトランジスタをオン状態に設定する電圧であり、

前記第 2 の信号レベルが、

前記第 2 のトランジスタのソース電圧を、前記第 2 の信号レベルに保持する電圧であり

、前記第 3 の信号レベルが、

前記第 2 のトランジスタのゲート電圧から前記第 2 のトランジスタのしきい値電圧を減算した電圧より高い電圧である

20

ことを特徴とする請求項 7 に記載のディスプレイ装置。

【請求項 9】

前記第 1 の固定電位が、

前記第 2 の信号レベルに前記第 4 のトランジスタのしきい値電圧を加算した電圧より大きく、

かつ前記第 3 のトランジスタをオフ動作させる前記第 3 のトランジスタのゲート電圧に、前記第 4 のトランジスタのしきい値電圧を加算した和電圧より小さい電圧である

ことを特徴とする請求項 7 に記載のディスプレイ装置。

【請求項 10】

30

前記駆動回路は、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の経過後、前記信号線における前記画素の階調に対応する信号レベルの期間で、前記駆動パルス信号の信号レベルを前記第 1 の信号レベルに設定した後、前記書き込み信号により前記第 1 のトランジスタをオフ動作させる

ことを特徴とする請求項 7 に記載のディスプレイ装置。

【請求項 11】

前記画素回路、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素回路、前記駆動回路が、

40

アモルファスシリコンプロセスにより絶縁基板上に形成された

ことを特徴とする請求項 7 に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、例えば有機 EL (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用することができる。本発明は、発光素子を駆動するトランジスタを駆動用の電源に接続するトランジスタと、この発光素子を

50

駆動するトランジスタのソース電圧を所定電圧にセットするトランジスタとを3値による共通の制御信号で制御することにより、従来に比して走査線数を少なくすることができる。

【背景技術】

【0002】

従来、有機EL素子を用いたディスプレイ装置に関して、例えばUSP5,684,365、特開平8-234683号公報等に種々の工夫が提案されている。

【0003】

ここで図21は、従来の有機EL素子を用いたいわゆるアクティブマトリクス型のディスプレイ装置を示すブロック図である。ディスプレイ装置1において、画素部2は、マトリクス状に画素(PX)3が配置されて形成される。また画素部2は、このマトリクス状に配置した画素3に対して、走査線SCNがライン単位で水平方向に設けられ、また走査線SCNと直交するように信号線SIGが列毎に設けられる。

10

【0004】

ここで図22に示すように、各画素3は、電流駆動による自発光型の発光素子である有機EL素子8と、この有機EL素子8を駆動する各画素3の駆動回路(以下、画素回路と呼ぶ)とで形成される。

【0005】

画素回路は、信号レベル保持用コンデンサC1の一端が一定電位に保持され、書き込み信号WSによりオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素回路は、書き込み信号WSの立ち上がりによってトランジスタTR1がオン動作し、信号レベル保持用コンデンサC1の他端電位が信号線SIGの信号レベルに設定され、トランジスタTR1がオン状態からオフ状態に切り換わるタイミングで、信号線SIGの信号レベルが信号レベル保持用コンデンサC1の他端にサンプルホールドされる。

20

【0006】

画素回路は、ソースを電源Vccに接続したPチャンネルトランジスタTR2のゲートに、この信号レベル保持用コンデンサC1の他端が接続され、このトランジスタTR2のドレインが有機EL素子8のアノードに接続される。ここで画素回路は、このトランジスタTR2が常に飽和領域で動作するように設定され、その結果、トランジスタTR2は、次式で表されるドレインソース電流Idsによる定電流回路を構成する。なおここでVgsは、トランジスタTR2のゲートソース間電圧であり、μは移動度である。またWはチャンネル幅、Lはチャンネル長、Coxはゲート容量、VthはトランジスタTR2のしきい値電圧である。これにより各画素回路は、信号レベル保持用コンデンサC1にサンプルホールドされた信号線SIGの信号レベルに応じた駆動電流Idsにより有機EL素子8を駆動する。

30

【0007】

【数1】

$$I_{ds} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{ox} \times (V_{gs} - V_{th})^2 \quad \dots (1)$$

40

【0008】

ディスプレイ装置1は、垂直駆動回路4のライトスキャン回路(WSCN)4Aにより、所定のサンプリングパルスを順次転送して、各画素3への書き込みを指示するタイミング信号である書き込み信号WSを生成する。また水平駆動回路5の水平セクタ(HSEL)5Aにより、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。

50

これによりディスプレイ装置 1 は、点順次又は線順次で、各画素部 3 に設けられた信号レベル保持用コンデンサ C 1 の端子電圧を入力信号 S 1 に応じて設定し、入力信号 S 1 による画像を表示する。

#### 【0009】

ここで有機 EL 素子 8 は、図 2 3 に示すように、使用により電流が流れ難くなる方向に電流電圧特性が経時変化する。なおこの図 2 3 において、符号 L 1 が初期の特性を示し、符号 L 2 が経時変化による特性を示すものである。しかしながら図 2 2 に示す回路構成により P チャンネルトランジスタ T R 2 で有機 EL 素子 8 を駆動する場合には、信号線 S I G の信号レベルに応じて設定されたゲートソース間電圧  $V_{gs}$  によりトランジスタ T R 2 が有機 EL 素子 8 を駆動することにより、電流電圧特性の経時変化による各画素の輝度変化を防止することができる。

10

#### 【0010】

ところで画素回路、水平駆動回路、垂直駆動回路を構成するトランジスタの全てを N チャンネルトランジスタで構成すれば、アモルファスシリコンプロセスでこれらの回路をまとめてガラス基板等の絶縁基板上に作成することができ、ディスプレイ装置を簡易に作成することができる。

#### 【0011】

しかしながら図 2 2 との対比により図 2 4 に示すように、トランジスタ T R 2 に N チャンネル型を適用して各画素 1 3 を形成し、この画素 1 3 による画素部 1 2 でディスプレイ装置 1 1 を構成した場合、トランジスタ T R 2 のソースが有機 EL 素子 8 に接続されることにより、図 2 3 に示す電流電圧特性の変化によって、トランジスタ T R 2 のゲートソース間電圧  $V_{gs}$  が変化することになる。これによりこの場合、使用により有機 EL 素子 8 に流れる電流が徐々に減少し、各画素の輝度が徐々に低下することになる。またこの図 2 4 に示す構成では、トランジスタ T R 2 の特性のばらつきにより画素毎に発光輝度がばらつくことになる。なおこの発光輝度のばらつきは、表示画面における均一性を乱し、表示画面のムラ、ざらつきにより知覚される。

20

#### 【0012】

このためこのような有機 EL 素子の経時変化による発光輝度の低下、特性のばらつきによる発光輝度のばらつきを防止する工夫として図 2 5 に示す構成が提案されている。

#### 【0013】

ここでこの図 2 5 に示すディスプレイ装置 2 1 において、画素部 2 2 は、画素 2 3 をマトリックス状に配置して形成される。ここで画素 2 3 は、信号レベル保持用コンデンサ C 1 の一端が有機 EL 素子 8 のアノードに接続され、書き込み信号 W S に応じてオンオフ動作するトランジスタ T R 1 を介して、この信号レベル保持用コンデンサ C 1 の他端が信号線 S I G に接続される。これにより画素 2 3 は、書き込み信号 W S に応じて信号レベル保持用コンデンサ C 1 の他端の電圧が、信号線 S I G の信号レベルに設定される。

30

#### 【0014】

画素 2 3 は、この信号レベル保持用コンデンサ C 1 の両端がトランジスタ T R 2 のソース及びゲートに接続され、駆動パルス信号 D S によりオンオフ動作するトランジスタ T R 3 を介して、このトランジスタ T R 2 のドレインが電源  $V_{cc}$  に接続される。これにより画素 2 3 は、ゲート電位が信号線 S I G の信号レベルに設定されたソースフォロワ回路構成のトランジスタ T R 2 により有機 EL 素子 8 を駆動する。なおここで  $V_{cat}$  は、有機 EL 素子 8 のカソード電位である。また駆動パルス信号 D S は、各画素 3 の発光期間を制御するタイミング信号であり、ドライブスキャン回路 ( D S C N ) 2 4 B で所定のサンプリングパルスを順次転送して生成される。

40

#### 【0015】

また画素 2 3 は、それぞれ制御信号 A Z 1、A Z 2 によりオンオフ動作するトランジスタ T R 4、T R 5 を介して、信号レベル保持用コンデンサ C 1 の両端が所定の固定電位  $V_{ofs}$ 、 $V_{ss}$  に接続される。ここでこれら制御信号 A Z 1、A Z 2 は、それぞれ垂直駆動回路 2 4 に設けられた制御信号生成回路 ( A Z 1、A Z 2 ) 2 4 C、2 4 D で所定のサ

50

ンプリングパルスを順次転送して生成されるタイミング信号である。

【0016】

ここで図26は、このディスプレイ装置21における1つの画素23のタイミングチャートである。なおこの図26では、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図27に示すように、有機EL素子8を発光させる発光期間T1において、画素23は、書き込み信号WS、制御信号AZ1、AZ2(図26(A)~(C))の信号レベルが立ち下げられてトランジスタTR1、TR4、TR5がオフ状態に設定されると共に、駆動パルス信号DS(図26(D))信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。

【0017】

これにより画素23は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、このゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させ、有機EL素子8の経時変化による輝度低下が防止される。なおここでこのドレインソース電流Idsは、図22について説明した(1)式で表される。また以下においては、適宜、トランジスタをスイッチの符号で示す。

【0018】

画素23は、発光期間T1が終了すると、続く期間T2において、図28に示すように、トランジスタTR4、TR5がオン状態に設定される。これにより画素回路23では、信号レベル保持用コンデンサC1の両端電位が所定の固定電位Vofs、Vssに設定され(図26(E)及び(F))、これら固定電位Vofs、Vssの電位差Vofs-Vssによるゲートソース間電圧Vgsに応じたドレインソース電流Idsが、トランジスタTR2からトランジスタTR5に流れる。なおこの期間T2の間、有機EL素子8の両端電位差が有機EL素子8のしきい値電圧Vthelより小さくなって有機EL素子8が発光しないように、またトランジスタTR2が飽和領域で動作するように、固定電位Vofs、Vssが設定される。

【0019】

続いて画素23は、所定期間T3の間、図29に示すように、トランジスタTR5がオフ状態に設定される。これにより画素23は、図29において破線で示すように、トランジスタTR2のドレインソース電流Idsで信号レベル保持用コンデンサC1のトランジスタTR5側端電圧が上昇する。

【0020】

ここで図30に示すように、有機EL素子8は、ダイオードと容量Celのコンデンサとの並列回路で等価回路が表される。これによりトランジスタTR2のドレインソース電流Idsにより、トランジスタTR2のソース電圧Vsは、この期間T3において、図31に示すように徐々に上昇し、トランジスタTR2のゲートソース間電圧VgsがトランジスタTR2のしきい値電圧Vthとなると、上昇が停止する。これにより画素23は、信号レベル保持用コンデンサC1の両端電位差が、トランジスタTR2のしきい値電圧Vthに設定され、信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧が、固定電位VofsからトランジスタTR2のしきい値電圧Vthを減算した電圧Vofs-Vthに設定される。なおここでこの状態で、有機EL素子8のアノード電位Velは、 $Vel = Vofs - Vth$ で表され、ディスプレイ装置21では、 $Vel = Vcat + Vthel$ となるように固定電位Vofsが設定されて、この期間T3で有機EL素子8が発光しないように設定される。

【0021】

続いて画素23は、続く期間T4で、図32に示すように、トランジスタTR3、TR4が順次オフ状態に設定される。なおトランジスタTR4より先にトランジスタTR3をオフ状態に設定することで、トランジスタTR2のゲート電圧Vgの変動を抑圧することができる。また画素23は、続いてトランジスタTR1がオン状態に設定され、これにより信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧Vofs-

10

20

30

40

50

V<sub>th</sub>に設定した状態で、信号レベル保持用コンデンサC<sub>1</sub>のトランジスタTR<sub>5</sub>側端の電圧を信号線SIGの信号レベルV<sub>sig</sub>に設定する。

【0022】

これにより画素23では、トランジスタTR<sub>2</sub>のゲートソース間電圧V<sub>gs</sub>が、信号線SIGの信号レベルV<sub>sig</sub>にしきい値電圧V<sub>th</sub>を加算した電圧V<sub>sig</sub>+V<sub>th</sub>に設定される。これによりディスプレイ装置21では、トランジスタTR<sub>2</sub>の特性の1つであるしきい値電圧V<sub>th</sub>のばらつきによる発光輝度のばらつきを防止することができる。

【0023】

なおここでこの場合、トランジスタTR<sub>2</sub>のゲートソース間電圧V<sub>gs</sub>は、正確には、次式で表される。ここでC<sub>2</sub>は、トランジスタTR<sub>2</sub>のゲートソース間容量である。有機EL素子8の寄生容量C<sub>e1</sub>は、信号レベル保持用コンデンサC<sub>1</sub>の容量、トランジスタTR<sub>2</sub>のゲートソース間容量C<sub>2</sub>に比して大きければ、これによりトランジスタTR<sub>2</sub>のゲートソース間電圧V<sub>gs</sub>は、実用上十分な精度で、電圧V<sub>sig</sub>+V<sub>th</sub>に設定される。

【0024】

【数2】

$$V_{gs} = \frac{C_{e1}}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs}) + V_{th} \quad \dots\dots (2)$$

10

20

【0025】

画素23は、続いて一定期間T<sub>5</sub>の間、図33に示すように、トランジスタTR<sub>1</sub>をオン状態に設定したままの状態、トランジスタTR<sub>3</sub>がオン状態に設定される。これにより画素23は、信号レベル保持用コンデンサC<sub>1</sub>の両端電圧差によるゲートソース電圧V<sub>gs</sub>によりトランジスタTR<sub>2</sub>がドレインソース電流I<sub>ds</sub>を流出させる。このときトランジスタTR<sub>2</sub>のソース電圧V<sub>s</sub>が、有機EL素子8のしきい値電圧V<sub>thel</sub>とカソード電圧V<sub>cat</sub>との和電圧より小さく、有機EL素子8に流出する電流が小さい場合、図34に示すように、トランジスタTR<sub>2</sub>のドレインソース電流I<sub>ds</sub>によりトランジスタTR<sub>2</sub>のソース電圧V<sub>s</sub>が電圧V<sub>s0</sub>から徐々に上昇することになる。なおここで電圧V<sub>s0</sub>は次式により表される。

30

【0026】

【数3】

$$V_{s0} = V_{ofs} - V_{th} + \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

40

…… (3)

【0027】

ここでこのソース電圧V<sub>s</sub>の上昇速度は、トランジスタTR<sub>2</sub>の移動度μに依存したものとなり、符号V<sub>s1</sub>及びV<sub>s2</sub>によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧V<sub>s</sub>の上昇速度は速くなる。

【0028】

これにより画素23は、一定の期間T<sub>5</sub>の間だけ、トランジスタTR<sub>1</sub>をオン状態に設定したままの状態、トランジスタTR<sub>3</sub>をオン状態に設定して、トランジスタTR<sub>2</sub>の

50

特性の1つである移動度のばらつきによる発光輝度のばらつきが防止される。

【0029】

その後、画素23は、図27に示すように、トランジスタTR1がオフ状態に設定され、しきい値電圧 $V_{th}$ 、移動度 $\mu$ を補正して設定されたゲートソース間電圧 $V_{gs}$ により有機EL素子8を駆動する。なおこれによりトランジスタTR2のソース電圧 $V_s$ は、トランジスタTR1のオフにより、有機EL素子8にトランジスタTR2のドレインソース電流 $I_{ds}$ が流れる電圧まで上昇して、有機EL素子8が発光を開始することになり、これに伴ってトランジスタTR2のゲート電圧 $V_g$ も上昇することになる。

【0030】

この図25に示す構成によれば、有機EL素子8の経時変化により発光輝度の低下を防止することができ、またトランジスタTR2の特性のばらつきにより発光輝度のばらつきを防止することができる。

10

【0031】

しかしながらこの図25に示す構成の場合、1つの画素23に対して、1本の信号線SIG、制御信号AZ2、AZ1、駆動パルス信号DS、書き込み信号WSによる4本の走査線、固定電位 $V_{cc}$ 、 $V_{ofs}$ 、 $V_{ss}$ 、 $V_{cat}$ の4本の配線パターンを設ける必要がある。従って赤色、青色、緑色の画素で走査線を共通化し、さらにカソード電圧 $V_{cat}$ を別途、設けるようにしても、赤色、青色、緑色の1組の画素に、4本の走査線が必要になる。

【0032】

これによりNチャンネルトランジスタを用いた従来のディスプレイ装置では、走査線数が多くなる問題があった。なおこのように走査線数が多くなると、画素を高密度に効率良く配置することが困難になり、高精細のディスプレイ装置を、高い歩留まりで作成することが困難になる。

20

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

本発明は以上の点を考慮してなされたもので、従来に比して走査線数を少なくすることができるディスプレイ装置を提案しようとするものである。

30

【課題を解決するための手段】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端を第1の固定電位に接続する第4のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第5のトランジスタとを有し、前記第5のトランジスタは、ゲートに第2の固定電位が接続され、ドレインに前記信号レベル保持用コンデンサの他端が接続され、ソースに前記駆動パルス信号が入力され、前記駆動回路は、前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、前記第3のトランジスタを選択的にオン状態に設定する第1の信号レベルと、前記第5のトランジスタを選択的にオン状態に設定する第2の信号レベルと、前記第3及び第5のトランジスタの双方をオフ状態に設定する第3の信号レベルとの3値により、前記駆

40

50

動パルス信号を出力する。

【0035】

また請求項7の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第4のトランジスタとを有し、前記第4のトランジスタは、ゲートに第1の固定電位が接続され、ドレインに前記信号レベル保持用コンデンサの他端が接続され、ソースに前記駆動パルス信号が入力され、前記駆動回路は、前記書き込み信号、前記駆動パルス信号を出力し、前記第3のトランジスタを選択的にオン状態に設定する第1の信号レベルと、前記第4のトランジスタを選択的にオン状態に設定する第2の信号レベルと、前記第3及び第4のトランジスタの双方をオフ状態に設定する第3の信号レベルとの3値により、前記駆動パルス信号を出力し、第2の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、前記信号線で前記第2の固定電位が複数回繰り返される期間の間、前記書き込み信号により前記第1のトランジスタをオン状態に設定して、前記信号線で前記第2の固定電位が開始するタイミングで、前記駆動パルス信号を前記第1の信号レベルに設定すると共に、前記信号線で前記第2の固定電位が終了するタイミングで、前記駆動パルス信号を前記第3の信号レベルに設定する。

10

20

【0036】

請求項1の構成によれば、第3及び第5の2つのトランジスタを1つの駆動パルス信号によりオンオフ制御するようにして、これら2つのトランジスタをそれぞれ個別の制御信号で制御する場合と同様に制御することができる。従って2つのトランジスタをそれぞれ個別の制御信号で制御する場合に比して、制御信号の伝送に使用する走査線の数を従来に比して少なくすることができる。

30

【0037】

また請求項7の構成によれば、請求項1の構成を前提に、信号線を利用して第2の固定電位を設定することができ、さらに走査線の数を少なくすることができる。

【発明の効果】

【0038】

本発明によれば、従来に比して走査線数を少なくすることができる。

【発明を実施するための最良の形態】

【0039】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0040】

(1)実施例の構成

図1は、図25との対比により本発明の実施例1のディスプレイ装置を示すブロック図である。このディスプレイ装置31において、図21、図25等を用いて上述したディスプレイ装置1、11、21と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置31は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部32、水平駆動回路5、垂直駆動回路34が一体に形成される。

40

【0041】

ここで画素部32は、画素33をマトリックス状に配置して形成される。画素33は、信号レベル保持用コンデンサC1の有機EL素子8側トランジスタTR5のゲートが固定

50

電位  $V_{ini}$  に接続され、このトランジスタ  $T R 5$  のソースに駆動パルス信号  $D S$  が接続されている点を除いて、図 25 について上述したディスプレイ装置 21 の画素 23 と同一に構成される。これにより画素 33 は、発光期間を制御するトランジスタ  $T R 3$  と、特性のばらつき補正に使用するトランジスタ  $T R 5$  とが、1つの制御信号でオンオフ制御され、全体として走査線数が 3 本に設定される。

#### 【0042】

垂直駆動回路 34 は、それぞれライトスキャン回路 ( $W S C N$ ) 34 A、ドライブスキャン回路 ( $D S C N$ ) 34 B、制御信号生成回路 ( $A Z 1$ ) 34 C で、書き込み信号  $W S$ 、駆動パルス信号  $D S$ 、制御信号  $A Z 1$  を生成する。またドライブスキャン回路 ( $D S C N$ ) 34 B では、駆動パルス信号  $D S$  を 3 値で出力することにより、トランジスタ  $T R 3$ 、 $T R 5$  をそれぞれ選択的にオン状態に設定し、またこれらトランジスタ  $T R 3$ 、 $T R 5$  の双方を同時にオフ状態に設定する。

10

#### 【0043】

ここで図 2 は、この画素 33 の動作の説明に供するタイミングチャートである。なおこの図 2 においては、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図 3 に示すように、有機  $E L$  素子 8 を発光させる発光期間  $T 1 1$  において、画素 33 は、書き込み信号  $W S$ 、制御信号  $A Z 1$  (図 2 (A) 及び (B)) の信号レベルが立ち下げられてトランジスタ  $T R 1$ 、 $T R 4$  がオフ状態に設定される。また駆動パルス信号  $D S$  (図 2 (C)) の信号レベルが 3 値のうちで最も電圧の高い第 1 の信号レベルに立ち上げられてトランジスタ  $T R 3$ 、 $T R 5$  がそれぞれオン状態及びオフ状態に設定される。なおこれによりこの駆動パルス信号  $D S$  の第 1 の信号レベルは、トランジスタ  $T R 3$  をオン動作させるトランジスタ  $T R 3$  のゲート電圧以上に設定され、またトランジスタ  $T R 5$  のゲート電位  $V_{ini}$  は、トランジスタ  $T R 3$  をオン動作させるゲート電圧 (すなわちトランジスタ  $T R 3$  をオフ動作させるオフ電圧と、トランジスタ  $T R 3$  のしきい値電圧の和電圧) に比して低い電圧であって、かつ後述する期間  $T 2$  において、トランジスタ  $T R 2$  のソース電圧  $V_s$  を駆動パルス信号  $D S$  の電圧  $V_{ss}$  に保持するように、この電圧  $V_{ss}$  にトランジスタ  $T R 5$  のしきい値電圧  $V_{th T 5}$  を加算した電圧より大きな電圧に設定される。

20

#### 【0044】

これにより画素 33 は、信号レベル保持用コンデンサ  $C 1$  の両端電位差によるゲートソース間電圧  $V_{gs}$  に応じた定電流回路をトランジスタ  $T R 2$ 、信号レベル保持用コンデンサ  $C 1$  で構成し、ゲートソース間電圧  $V_{gs}$  で決まるドレインソース電流  $I_{ds}$  で有機  $E L$  素子 8 を発光させる。これによりこのディスプレイ装置 31 は、有機  $E L$  素子 8 の経時変化による輝度低下を防止する。なおここでこのドレインソース電流  $I_{ds}$  は、(1) 式で表される。

30

#### 【0045】

画素 33 は、発光期間  $T 1 1$  が終了すると、続く一定期間  $T 1 2$  において、駆動パルス信号  $D S$  の信号レベルが 3 値のうちで最も電圧の低い第 2 の信号レベル  $V_{ss}$  に立ち下げられ、これにより図 4 に示すように、トランジスタ  $T R 3$ 、 $T R 5$  がオフ状態及びオン状態に設定される。ここで電圧  $V_{ss}$  は、トランジスタ  $T R 5$  のオン動作により、トランジスタ  $T R 2$  のソース電圧  $V_s$  を電圧  $V_{ss}$  に設定する電圧に設定される。より具体的に、トランジスタ  $T R 5$  のしきい値電圧  $V_{th 5}$ 、トランジスタ  $T R 5$  のゲート電位  $V_{ini}$  との間で、 $V_{ini} > V_{th 5} + V_{ss}$  の関係が成立するように設定される。また電圧  $V_{ss}$  は、有機  $E L$  素子 8 のカソード電位  $V_{cat}$ 、有機  $E L$  素子 8 のしきい値電圧  $V_{th e 1}$  との間で、 $V_{ss} > V_{th e 1} + V_{cat}$  の関係が成立するように設定され、これによりこの期間  $T 1 2$  では、有機  $E L$  素子 8 が発光を停止するように設定される。

40

#### 【0046】

画素 33 は、続いて期間  $T 1 3$  の間、制御信号  $A Z 1$  が立ち上げられ、図 5 に示すようにトランジスタ  $T R 4$  がオン状態に設定される。これにより画素 33 は、信号レベル保持用コンデンサ  $C 1$  のトランジスタ  $T R 4$  側端の電圧が、固定電位  $V_{ofs}$  に設定される。

50

## 【0047】

また画素33は、続く期間T14において、駆動パルス信号DSが3値のうちで最も高い信号レベルに立ち上げられ、図6に示すように、トランジスタTR3、TR5がそれぞれオン状態、オフ状態に設定される。これにより画素33は、図7に示すように、トランジスタTR2のゲートソース間電圧Vgsが、トランジスタTR5のしきい値電圧となるまで、トランジスタTR2のドレインソース電流Idsでソース電圧Vsが上昇し、信号レベル保持用コンデンサC1の両端電位差が、トランジスタTR2のしきい値電圧Vthに設定される。なおここでトランジスタTR2のゲートソース間電圧Vgsは、この期間T14の開始時点では、Vofs - Vssである。また有機EL素子8のアノード電位Velは、最終的に $Vel = Vofs - Vth$ となり、このとき $Vel = Vcat + Vth$ となるように固定電位Vofsが設定される。またトランジスタTR2のソース電圧Vsは、 $Vofs - Vth$ で表される。

10

## 【0048】

また画素33は、続く期間T15において、駆動パルス信号DSが3値のうちで中間値の信号レベルVoffに設定され、図8に示すように、トランジスタTR3、TR5が共にオフ状態に設定される。なおここでこの中間値の信号レベルVoffは、トランジスタTR5のしきい値電圧VthT5に対して、 $Vini - Voff < VthT5$ の関係を満足する値である。従ってこの期間T15において、トランジスタTR2のゲート電圧Vg、ソース電圧Vsは、直前の期間T14の終了時点の電圧に保持される。

20

## 【0049】

画素33は、続く期間T16において、制御信号AZ1が立ち下げられ、図9に示すようにトランジスタTR4がオフ状態に設定される。また続いて書き込み信号WSが立ち上げられ、トランジスタTR1がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧Vofs - Vthに設定した状態で、信号レベル保持用コンデンサC1の他端側の端子電圧を信号線SIGの信号レベルVsigに設定する。

30

## 【0050】

これにより画素33では、トランジスタTR2のゲートソース間電圧Vgsが、信号線SIGの信号レベルVsigにしきい値電圧Vthを加算した電圧 $Vsig + Vth$ に設定され、トランジスタTR2のしきい値電圧Vthのばらつきによる発光輝度のばらつきが防止される。

30

## 【0051】

なおこの場合も、上述したと同様に、トランジスタTR2のゲートソース間電圧Vgsは、正確には、(2)式で表されるものの、有機EL素子8の寄生容量Celが、信号レベル保持用コンデンサC1の容量、トランジスタTR2のゲートソース間容量C2に比して大きければ、トランジスタTR2のゲートソース間電圧Vgsは、実用上十分な精度で、電圧 $Vsig + Vth$ に設定される。

## 【0052】

画素33は、続く期間T17において、駆動パルス信号SDの信号レベルが3値のうちで最も高い信号レベルに設定され、図10に示すように、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1の両端電圧差によるゲートソース電圧VgsによりトランジスタTR2がドレインソース電流Idaを流出させる。このときトランジスタTR2のソース電圧Vsが、有機EL素子8のしきい値電圧Vthelとカソード電圧Vcatとの和電圧より小さく、有機EL素子8に流出する電流が小さい場合、図33、図34について上述したと同様に、トランジスタTR2のソース電圧Vsが電圧Vs0から徐々に上昇し、このソース電圧Vsの上昇速度が、トランジスタTR2の移動度μに依存したものとなる。これにより画素33は、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定されて、トランジスタTR2の移動度のばらつきが補正される。

40

50

## 【0053】

その後、画素33は、図3に示すように、トランジスタTR1がオフ状態に設定され、しきい値電圧 $V_{th}$ 、移動度 $\mu$ を補正して設定されたゲートソース間電圧 $V_{gs}$ により有機EL素子8を駆動する。

## 【0054】

## (2) 実施例の動作

以上の構成において、このディスプレイ装置31では(図2)、垂直駆動回路34による走査線の駆動により順次ライン単位で画素部32の画素33に信号線SIGの信号レベルが設定されると共に、この設定された信号レベルにより各画素33が発光し、所望の画像が画素部32で表示される。

10

## 【0055】

すなわちディスプレイ装置31では、トランジスタTR1がオン状態に設定され、これにより信号線SIGの信号レベルが信号レベル保持用コンデンサC1にセットされる(図2、期間T16)。またトランジスタTR1、TR4、TR5をオフ状態に設定すると共に、トランジスタTR3をオン状態に設定し、この信号レベル保持用コンデンサC1にセットされた電圧によりトランジスタTR2で有機EL素子8を発光させる(図2、期間T11)。

## 【0056】

このディスプレイ装置31では、この有機EL素子8を駆動するトランジスタTR2のゲート及びソースに、信号レベル保持用コンデンサC1に両端が接続されて、このトランジスタTR2のソースが有機EL素子8のアノードに接続されて画素33が形成される。これによりこのディスプレイ装置31では、信号レベル保持用コンデンサC1に信号線SIGの信号レベルがセットされた後、この信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧 $V_{gs}$ により有機EL素子8を駆動し、このディスプレイ装置31を構成する全てのトランジスタをNチャンネル型で構成した場合であっても、有機EL素子8の経時変化による発光輝度の低下が防止される。

20

## 【0057】

これに対して信号線SIGの信号レベルを信号レベル保持用コンデンサC1にセットする場合、トランジスタTR3~TR5のオンオフ制御により、有機EL素子8を駆動するトランジスタTR2の特性を補正するように、信号レベル保持用コンデンサC1の両端電位をセットし、これによりトランジスタTR2の特性のばらつきにより発光輝度のばらつきが防止される。

30

## 【0058】

しかしながらこのようにトランジスタTR3~TR5のオンオフ制御する場合には、このオンオフ制御に3つの走査線が必要になり(図25)、走査線数の増大により画素33を高密度かつ効率良く配置できなくなる。

## 【0059】

そこでこのディスプレイ装置31では、トランジスタTR1、TR4をそれぞれ書き込み信号WS、制御信号AZ1で制御するようにして、トランジスタTR3、TR5については、駆動パルス信号DSにより制御するように構成される。

40

## 【0060】

またトランジスタTR5のゲート及びソースを固定電位 $V_{ini}$ 及び駆動パルス信号DSに接続するようにして、トランジスタTR3を選択的にオン状態に設定する第1の信号レベルと、トランジスタTR5を選択的にオン状態に設定する第2の信号レベルと、トランジスタTR3、TR5の双方をオフ状態に設定する第3の信号レベルとの3値により駆動パルス信号DSを出力する。

## 【0061】

これによりこのようにトランジスタTR3、TR5を共通の制御信号でオンオフ制御する場合でも、トランジスタTR3、TR5を個別の制御信号でオンオフ制御する場合と同様に、トランジスタTR3、TR5を選択的に制御することができるようにし、走査線数

50

を従来に比して低減する。

【0062】

より具体的に、ディスプレイ装置31では、駆動パルス信号DSの第1の信号レベルが、トランジスタTR3をオン状態に設定する電圧に設定され、これにより第1の信号レベルにより駆動パルス信号DSを出力してトランジスタTR3のみを選択的にオン状態に設定することができる。また駆動パルス信号の第2の信号レベルが、有機EL素子8を駆動するトランジスタTR2のソース電圧Vcを第2の信号レベルに保持する電圧Vssに設定され、これによりトランジスタTR5を選択的にオン状態に設定することができ、またさらにはトランジスタの特性の1つであるしきい値電圧Vthのばらつきを補正することが可能となる。また駆動パルス信号DSの第3の信号レベルが、トランジスタTR2のゲート電圧VgからトランジスタTR2のしきい値電圧Vthを減算した電圧より高い電圧に設定され、これによりトランジスタTR3、TR5の双方をオフ状態に設定することができる。

10

【0063】

またトランジスタTR5のゲートに接続される固定電位Viniが、第2の信号レベルVssにトランジスタTR5のしきい値電圧VthT5を加算した電圧より大きく、かつ第3のトランジスタTR3をオフ動作させるゲート電圧に、トランジスタTR5のしきい値電圧を加算した和電圧より小さい電圧であるように設定され、これによってもトランジスタTR3、TR5を1つの制御信号で選択的に制御することができる。

20

【0064】

また信号線SIGの信号レベルを信号保持用コンデンサC1にセットする場合には、始めに駆動パルス信号DSを第2の信号レベルVssに設定して有機EL素子8の発光を停止した後、トランジスタTR4をオン状態に設定して信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧が固定電位Vofsに設定される。その後、駆動パルス信号DSを第1の信号レベルに設定し、これにより固定電位Vofsを基準にして信号レベル保持用コンデンサC1の両端電位差が有機EL素子8を駆動するトランジスタTR2のしきい値電圧Vthとほぼ等しい電圧に設定される。

【0065】

ディスプレイ装置31では、このようにして信号レベル保持用コンデンサC1にトランジスタTR2のしきい値電圧Vthをセットすると、駆動パルス信号DSを第3の信号レベルに設定してトランジスタTR3、TR5がオフ状態に設定され、またトランジスタTR4、トランジスタTR1をオフ状態及びオン状態に設定し、信号レベル保持用コンデンサC1のトランジスタTR4側端の電位が信号線SIGの信号レベルVsigに設定される。これによりディスプレイ装置31では、トランジスタTR2のしきい値電圧Vthで補正して、信号レベル保持用コンデンサC1に信号線SIGの信号レベルVsigをセットすることができ、トランジスタTR2のしきい値電圧Vthのばらつきによる発光輝度のばらつきが防止される。

30

【0066】

また続いて、トランジスタTR1、TR4、TR5及びトランジスタTR3をそれぞれオフ状態及びオン状態に設定して、この信号レベル保持用コンデンサC1にセットされた電圧により有機EL素子8を発光させる際に、駆動パルス信号DSを第1の信号レベルに立ち上げた後、一定期間経過して、トランジスタTR1をオフ状態に設定することにより、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2の移動度で補正することができ、トランジスタTR2の移動度のばらつきによる発光輝度のばらつきが防止される。

40

【0067】

(3) 実施例の効果

以上の構成によれば、発光素子8を駆動するトランジスタTR2を駆動用の電源に接続するトランジスタTR3と、この発光素子8を駆動するトランジスタTR2のソース電圧を所定電圧にセットするトランジスタTR5とを3値による共通の制御信号で制御するこ

50

とにより、従来に比して走査線数を少なくすることができる。

【0068】

またさらにこの3値による第2の信号レベルを第2のトランジスタTR2のソース電圧を第2の信号レベルに保持する電圧 $V_{ss}$ に設定し、第3の信号レベルを第2のトランジスタTR2のゲート電圧からしきい値電圧 $V_{th}$ を減算した電圧より高い電圧に設定することにより、トランジスタTR3、TR5を選択的にオフ状態に設定して、さらには双方をオフ状態に設定して、種々の特性のばらつき等を補正して走査線の信号レベルにより発光素子8を発光させることができる。

【0069】

またトランジスタTR5の固定電位 $V_{ini}$ が、第2の信号レベルにトランジスタTR5のしきい値電圧 $V_{thT5}$ を加算した電圧より大きく、かつトランジスタTR3をオフ動作させるゲート電圧に、トランジスタTR5のしきい値電圧を加算した和電圧より小さい電圧であることにより、トランジスタTR3、TR5を1つの制御信号で確実に制御することができる。

10

【0070】

また信号レベル保持用コンデンサC1にトランジスタTR2のしきい値電圧 $V_{th}$ をセットした後、信号線SIGの信号レベル $V_{sig}$ をセットすることにより、トランジスタTR2のしきい値電圧 $V_{th}$ のばらつきによる発光輝度のばらつきを防止することができる。

【0071】

20

また信号レベル保持用コンデンサC1にセットされた電圧により有機EL素子8を発光させる際に、駆動パルス信号DSを第1の信号レベルに立ち上げた後、一定期間経過して、トランジスタTR1をオフ状態に設定することにより、トランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0072】

また画素回路、駆動回路のトランジスタの全てをNチャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【実施例2】

【0073】

30

図11は、図1との対比により本発明の実施例2のディスプレイ装置を示すブロック図である。このディスプレイ装置41において、図1のディスプレイ装置31と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置41は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部42、水平駆動回路45、垂直駆動回路44が一体に形成される。

【0074】

ここで水平駆動回路45は、水平セレクタ(HSEL)45Aにより、所定のサンプリングパルスをクロックで順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。このとき図1との対比により図12に示すように、1水平走査期間(1H)のほぼ前半の期間の間、信号線SIGの信号レベルを実施例1について上述した固定電位 $V_{ofs}$ に設定し、続く1水平走査期間のほぼ後半の期間の間、信号線SIGの信号レベルを対応する画素44の階調に対応する信号レベル $V_{sig}$ に設定する(図12(A))。

40

【0075】

またこの水平駆動回路55の構成に対応して垂直駆動回路44は、固定電位 $V_{ofs}$ の制御に係る制御信号AZ1を出力する制御信号生成回路(AZ1)が省略されて、ライトスキャン回路(WSCN)44A、ドライブスキャン回路(DSCN)44Bによりそれぞれ書き込み信号WS、駆動パルス信号DSを生成する。

【0076】

50

また画素部 4 2 は、画素 4 3 をマトリックス状に配置して形成される。各画素 4 3 は、固定電位  $V_{ofs}$  のオンオフ制御に係るトランジスタ  $TR_4$  が省略されて、トランジスタ  $TR_1 \sim TR_3$ 、 $TR_5$ 、信号レベル保持用コンデンサ  $C_1$ 、有機 EL 素子 8 により構成される。

【0077】

画素 4 3 は、図 1 3 に示すように、有機 EL 素子 8 を発光させる発光期間  $T_{21}$  において、書き込み信号  $WS$  (図 2 (B)) の信号レベルが立ち下げられてトランジスタ  $TR_1$  がオフ状態に設定される。また駆動パルス信号  $DS$  (図 2 (C)) の信号レベルが第 1 の信号レベルに立ち上げられてトランジスタ  $TR_3$ 、 $TR_5$  がそれぞれオン状態及びオフ状態に設定される。これにより画素 4 3 は、信号レベル保持用コンデンサ  $C_1$  の両端電位差によるゲートソース間電圧  $V_{gs}$  に応じた定電流回路をトランジスタ  $TR_2$ 、信号レベル保持用コンデンサ  $C_1$  で構成し、ゲートソース間電圧  $V_{gs}$  で決まるドレインソース電流  $I_{ds}$  で有機 EL 素子 8 を発光させる。

10

【0078】

画素 4 3 は、発光期間  $T_{21}$  が終了すると、続く一定期間  $T_{22}$  において、駆動パルス信号  $DS$  が第 2 の信号レベル  $V_{ss}$  に立ち下げられ、これにより図 1 4 に示すように、トランジスタ  $TR_3$ 、 $TR_5$  がオフ状態及びオン状態に設定され、有機 EL 素子 8 の発光が停止する。またトランジスタ  $TR_2$  のソース電圧  $V_s$  を第 2 の信号レベルである電圧  $V_{ss}$  に設定する。

【0079】

画素 4 3 は、続く期間  $T_{23}$  において、信号線  $SIG$  の信号レベルが電位  $V_{ofs}$  に設定されている期間で、書き込み信号  $WS$  の信号レベルが立ち上げられ、図 1 5 に示すようにトランジスタ  $TR_1$  がオン状態に設定される。これにより画素 3 3 は、信号レベル保持用コンデンサ  $C_1$  のトランジスタ  $TR_2$  側端の電圧が、固定電位  $V_{ofs}$  に設定される。

20

【0080】

続いて画素 4 3 は、発光期間  $T_{21}$  を開始する時点から所定数の水平走査期間だけ逆上った時点の、信号線  $SIG$  の信号レベルが固定電位  $V_{ofs}$  に設定されている期間で、駆動パルス信号  $DS$  が第 1 の信号レベルに立ち上げられ、図 1 6 に示すようにトランジスタ  $TR_3$ 、 $TR_5$  がオン状態、オフ状態に設定される。これにより図 6 について上述したと同様にして、駆動パルス信号  $DS$  が第 1 の信号レベルに保持されている期間の間、画素 4 3 は、信号レベル保持用コンデンサ  $C_1$  の両端電位差がトランジスタ  $TR_2$  のしきい値電圧  $V_{th}$  となる方向に、トランジスタ  $TR_2$  のソース電圧  $V_s$  が徐々に上昇する。

30

【0081】

なおこの図 1 6 に示す状態において、画素 4 3 は、実施例 1 について上述したと同様に、 $V_{el} = V_{cat} + V_{thel}$  に保持され、トランジスタ  $TR_2$  のドレインソース電流  $I_{ds}$  は、信号レベル保持用コンデンサ  $C_1$  と、有機 EL 素子 8 の容量を充電するために使用され、有機 EL 素子 8 は発光を停止した状態に保持される。

【0082】

画素 4 3 は、続いて信号線  $SIG$  の信号レベルが階調に対応する信号レベル  $V_{sig}$  に立ち上がるタイミングで、駆動パルス信号  $DS$  の信号レベルが第 3 の信号レベルに設定され、これにより図 1 7 に示すように、トランジスタ  $TR_3$ 、 $TR_5$  がオフ状態に設定される。なおこの場合、トランジスタ  $TR_2$  のソース電圧  $V_s$  の変化は、次式により表されることになる。

40

【0083】

## 【数 4】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (4)

10

## 【0084】

また、一定期間経過後、再び信号線SIGの信号レベルは固定電位Vofsに設定され、トランジスタTR2のゲートに入力される。この場合、トランジスタTR2のソース電圧Vsの変化は次式により表されることになる。

## 【0085】

## 【数 5】

$$\Delta V_s = \frac{C_{e1}}{C_{e1} + C_1 + C_2} \times (V_{ofs} - V_{sig})$$

20

…… (5)

## 【0086】

なおこれらの動作の前後において、トランジスタTR2のソース電圧は変化しない。

## 【0087】

画素43は、駆動パルス信号DSを第1の信号レベルに設定した図16に示す状態と、駆動パルス信号DSを第3の信号レベルに設定した図17に示す状態とが所定回数だけ繰り返され、徐々にトランジスタTR2のソース電圧Vsを立ち上げて、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。これにより図12に示す例では、期間TA、TB、TCとで、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。なお図18は、信号線SIGの信号レベル及び駆動パルス信号DSを長時間、固定電位Vofs及び第1の信号レベルに保持した場合の、トランジスタTR2のソース電圧の変化を示す特性曲線図であり、最終的にトランジスタTR2のゲートソース間電圧Vgsは、しきい値電圧Vthとなる。なおこれによりディスプレイ装置41は、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定するのに十分な回数だけ、図16及び図17に示す状態を繰り返すように設定される。

30

40

## 【0088】

このようにして画素43は、期間T23において、トランジスタTR2のしきい値電圧Vthを信号レベル保持用コンデンサC1にセットすると、発光期間T21が開始する直前で、信号線SIGの信号レベルが対応する画素の信号レベルVsigに立ち上がった後、駆動パルス信号DSの信号レベルが第3の信号レベルに設定され、これにより図19に示すように、信号レベル保持用コンデンサC1の一端の電圧が信号線の信号レベルに設定される。また信号線SIGの信号レベルが、対応する画素の信号レベルに設定されている期間で、駆動パルス信号DSの信号レベルが第3の信号レベルから第1の信号レベルに立ち上げられ、信号レベル保持用コンデンサC1に信号線SIGの信号レベルがサンプルホールドされる。

50

## 【0089】

その後、画素43は、書き込み信号WSが立ち下げられ、図13に示すように、トランジスタTR1がオフ状態に設定されて発光期間T21を再開する。これにより画素43は、駆動パルス信号DSの信号レベルが第3の信号レベルから第1の信号レベルに立ち上げられた後、書き込み信号WSが立ち下げられるまでの期間T24の間で、図20に示すように、トランジスタTR2の移動度に依存してトランジスタTR2のソース電圧Vsが変化してトランジスタTR2の移動度のばらつきが補正される。

## 【0090】

この実施例によれば、実施例1の構成を前提に、固定電位Vofsを間に挟んで、信号線の信号レベルを順次各画素の階調を示す信号レベルに設定するようにし、またこの信号線の設定に対応するように、駆動パルス信号の信号レベルを第1及び第3の信号レベルで切り換えることにより、トランジスタTR2のしきい値電圧をばらつきによる発光輝度のばらつきを防止するようにして、さらに一段と走査線の数を少なくすることができる。また画素回路を構成するトランジスタの数も少なくすることができる。またこの駆動パルス信号の信号レベルの切り換えを複数回、繰り返すことにより、十分な時間をかけてトランジスタTR2のしきい値電圧を信号レベル保持用コンデンサにセットすることができ、これにより確実にトランジスタTR2のしきい値電圧のばらつきによる発光輝度のばらつきを防止することができる。

10

## 【0091】

またこの実施例においても、駆動信号の第2の信号レベルを第2のトランジスタTR2のソース電圧を第2の信号レベルに保持する電圧Vssに設定し、第3の信号レベルを第2のトランジスタTR2のゲート電圧からしきい値電圧Vthを減算した電圧より高い電圧に設定することにより、トランジスタTR3、TR5を選択的にオフ状態に設定して、さらには双方をオフ状態に設定して、種々の特性のばらつきによる発光輝度のばらつきを防止することができる。

20

## 【0092】

またトランジスタTR5の固定電位Viniが、第2の信号レベルにトランジスタTR5のしきい値電圧VthT5を加算した電圧より大きく、かつトランジスタTR3をオフ動作させるゲート電圧に、トランジスタTR5のしきい値電圧を加算した和電圧より小さい電圧であることにより、トランジスタTR3、TR5を1つの制御信号で確実に制御することができる。

30

## 【0093】

また発光期間の開始の直前で、駆動パルス信号の信号レベルを第1の信号レベルに設定した後、書き込み信号により第1のトランジスタをオフ動作させることにより、トランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止することができる。

## 【0094】

また画素回路、駆動回路のトランジスタの全てをNチャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

40

## 【実施例3】

## 【0095】

なお上述の実施例においては、有機EL素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

## 【産業上の利用可能性】

## 【0096】

本発明は、ディスプレイ装置に関し、例えば有機EL表示装置等の電流駆動による自発光型素子のディスプレイ装置に適用することができる。

## 【図面の簡単な説明】

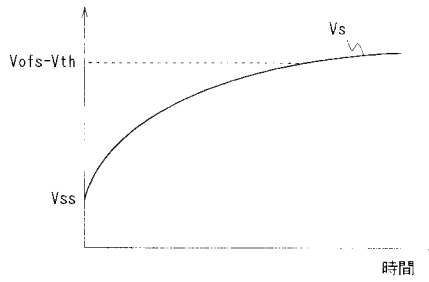
## 【0097】

50

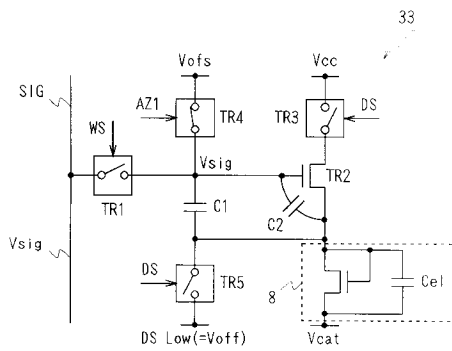
- 【図 1】本発明の実施例 1 のディスプレイ装置を示すブロック図である。
- 【図 2】図 1 のディスプレイ装置のタイミングチャートである。
- 【図 3】図 2 の期間 T 1 1 における画素の設定を示す接続図である。
- 【図 4】図 2 の期間 T 1 2 における画素の設定を示す接続図である。
- 【図 5】図 2 の期間 T 1 3 における画素の設定を示す接続図である。
- 【図 6】図 2 の期間 T 1 4 における画素の設定を示す接続図である。
- 【図 7】しきい値電圧の補正の説明に供する特性曲線図である。
- 【図 8】図 2 の期間 T 1 5 における画素の設定を示す接続図である。
- 【図 9】図 2 の期間 T 1 6 における画素の設定を示す接続図である。
- 【図 10】図 2 の期間 T 1 7 における画素の設定を示す接続図である。 10
- 【図 11】本発明の実施例 2 のディスプレイ装置を示すブロック図である。
- 【図 12】図 11 のディスプレイ装置のタイミングチャートである。
- 【図 13】図 12 の期間 T 2 1 における画素の設定を示す接続図である。
- 【図 14】図 12 の期間 T 2 2 における画素の設定を示す接続図である。
- 【図 15】図 12 の期間 T 2 3 における画素の設定を示す接続図である。
- 【図 16】図 15 の続きの設定を示す接続図である。
- 【図 17】図 16 の続きの設定を示す接続図である。
- 【図 18】しきい値電圧の補正の説明に供する特性曲線図である。
- 【図 19】図 12 の期間 T 2 4 における画素の設定を示す接続図である。
- 【図 20】移動度の補正の説明に供する特性曲線図である。 20
- 【図 21】従来のディスプレイ装置を示すブロック図である。
- 【図 22】図 21 のディスプレイ装置を詳細に示すブロック図である。
- 【図 23】有機 EL 素子の経時変化を示す特性曲線図である。
- 【図 24】図 22 の構成に N チャンネルトランジスタを使用した場合を示すブロック図である。
- 【図 25】N チャンネルトランジスタを用いた従来のディスプレイ装置を示す接続図である。
- 【図 26】図 25 のディスプレイ装置のタイミングチャートである。
- 【図 27】図 26 の期間 T 1 における画素の設定を示す接続図である。
- 【図 28】図 26 の期間 T 2 における画素の設定を示す接続図である。 30
- 【図 29】図 26 の期間 T 3 における画素の設定を示す接続図である。
- 【図 30】図 32 の続きを示す接続図である。
- 【図 31】しきい値電圧の補正の説明に供する特性曲線図である。
- 【図 32】図 26 の期間 T 4 における画素の設定を示す接続図である。
- 【図 33】図 26 の期間 T 5 における画素の設定を示す接続図である。
- 【図 34】移動度の補正の説明に供する特性曲線図である。
- 【符号の説明】
- 【0098】
- 1、11、21、31、41 ……ディスプレイ装置、2、12、22、32、42 ……画素部、3、13、23、33、43 ……画素、4、24、34、44 ……垂直駆動回路、5、45、55 ……水平駆動回路、8 ……有機 EL 素子、C1 ……信号レベル保持用コンデンサ、TR1 ~ TR5 ……トランジスタ 40



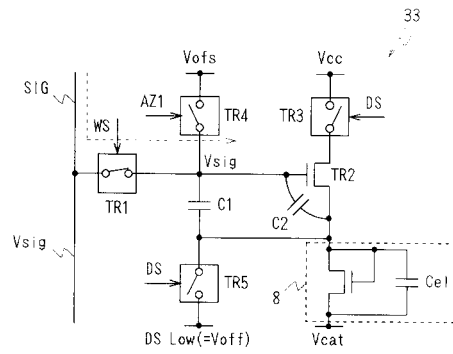
【 図 7 】



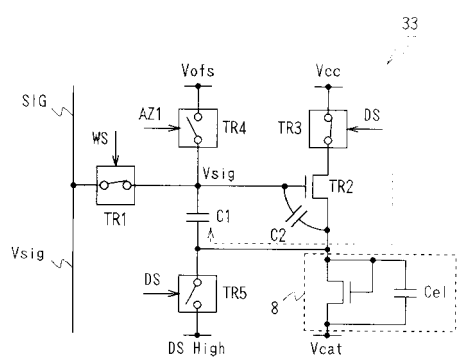
【 図 8 】



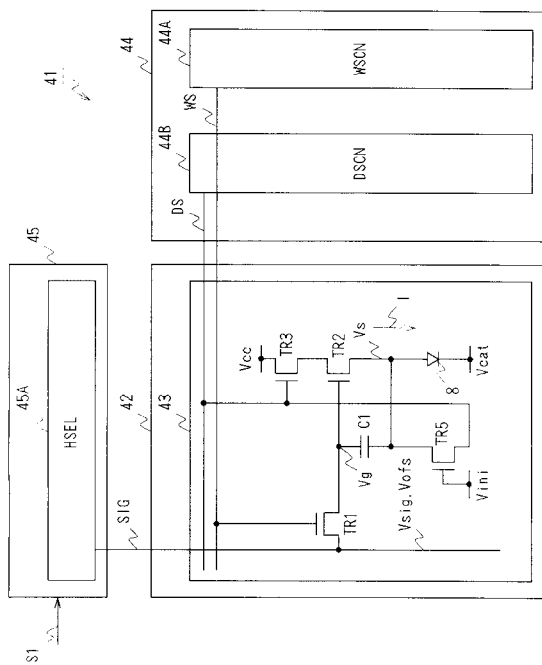
【 図 9 】



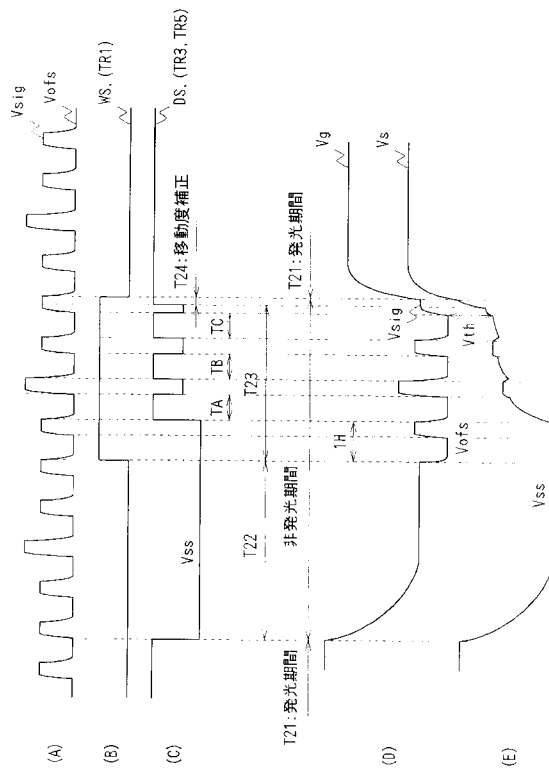
【 図 10 】



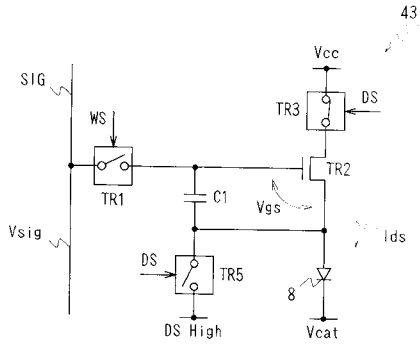
【 図 11 】



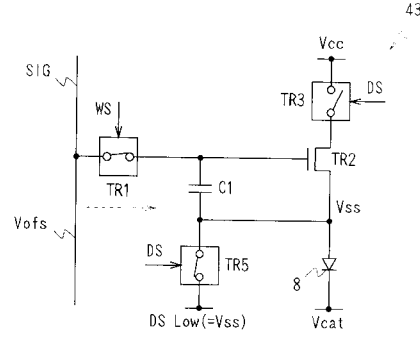
【 図 12 】



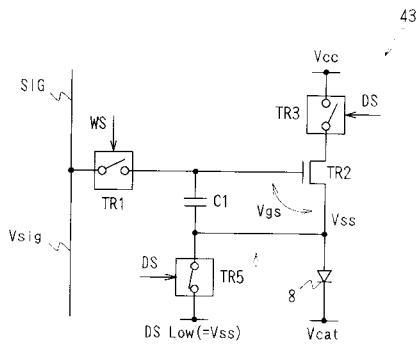
【 図 1 3 】



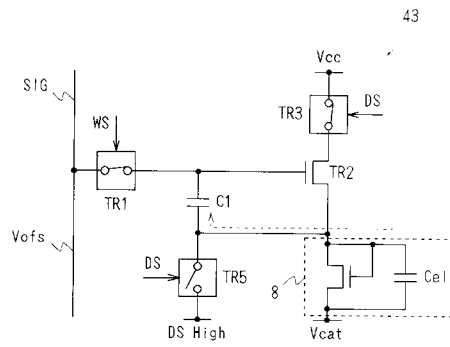
【 図 1 5 】



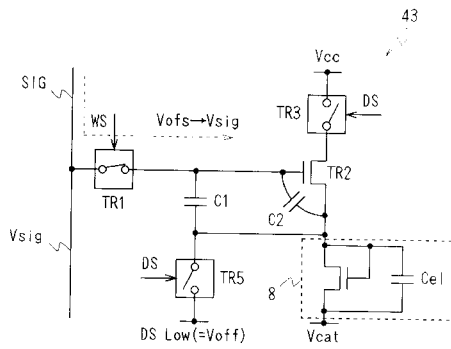
【 図 1 4 】



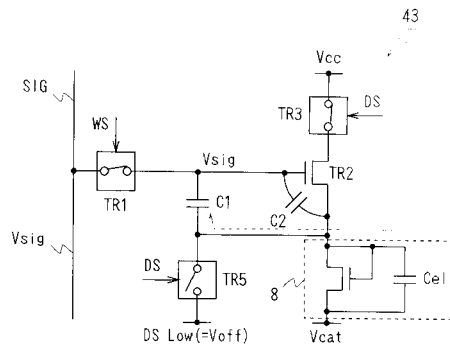
【 図 1 6 】



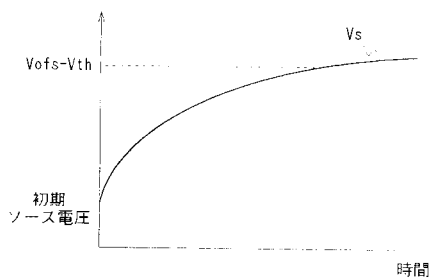
【 図 1 7 】



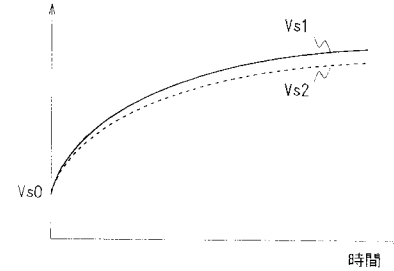
【 図 1 9 】



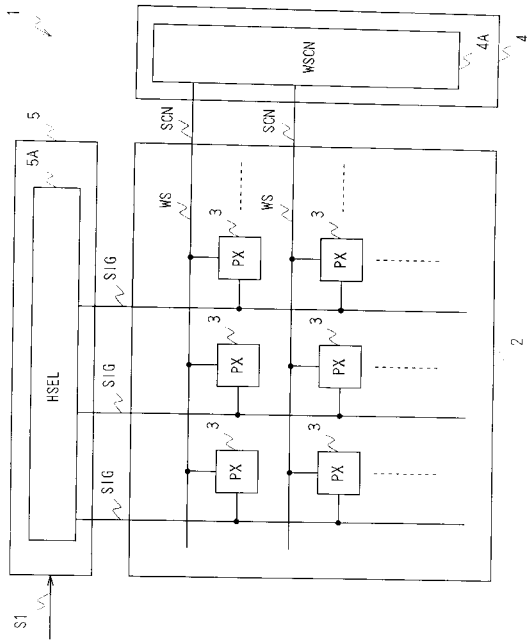
【 図 1 8 】



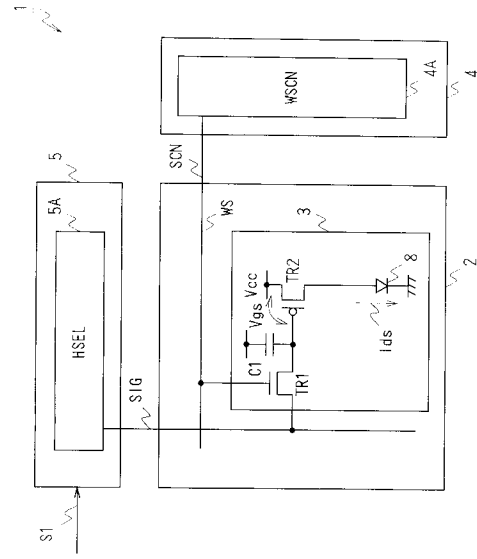
【 図 2 0 】



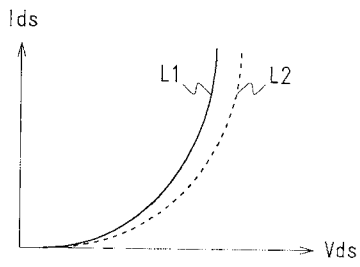
【 図 2 1 】



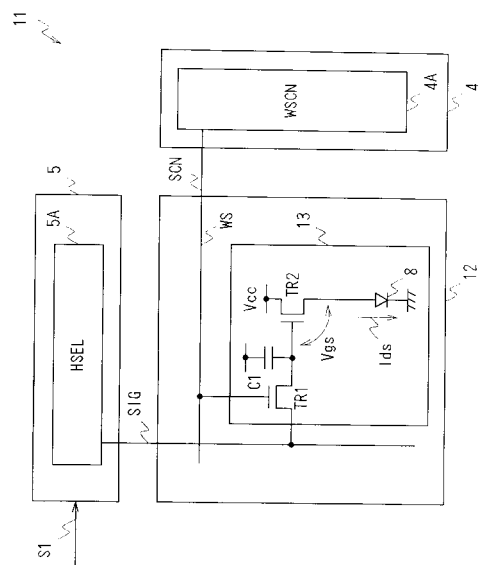
【 図 2 2 】



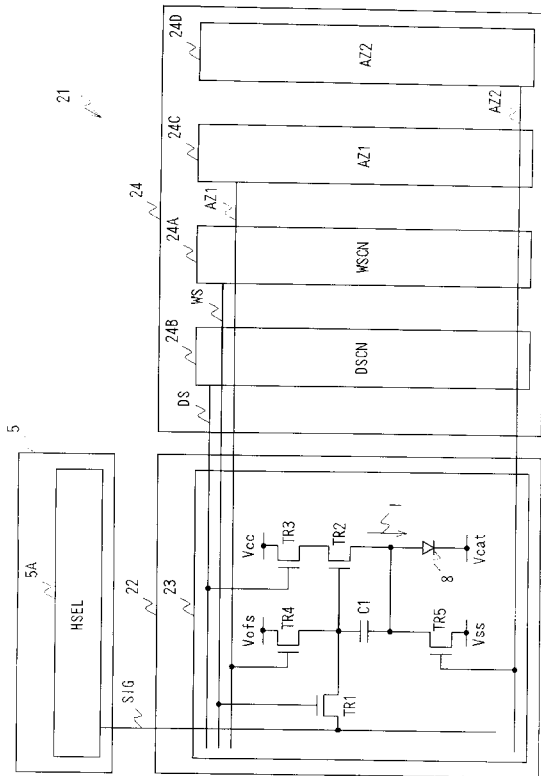
【 図 2 3 】



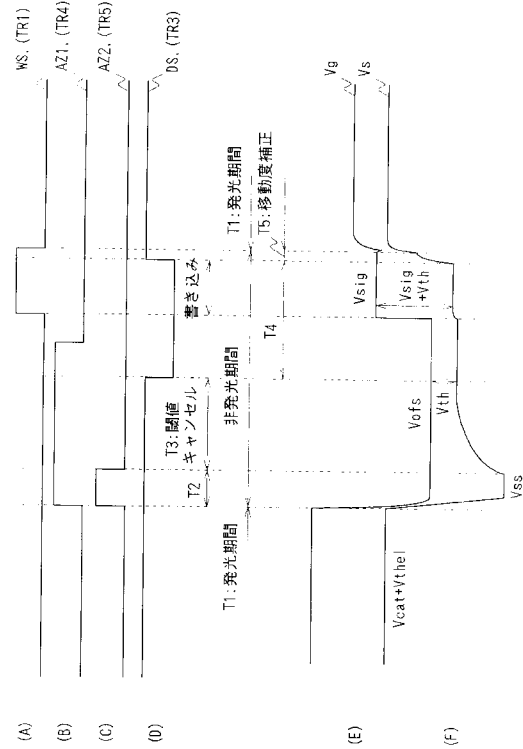
【 図 2 4 】



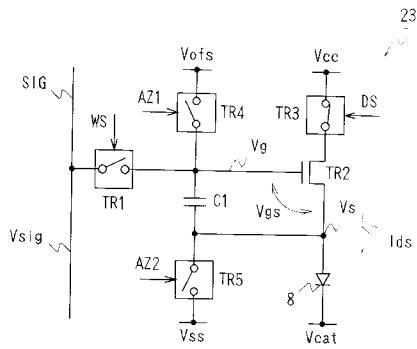
【図 25】



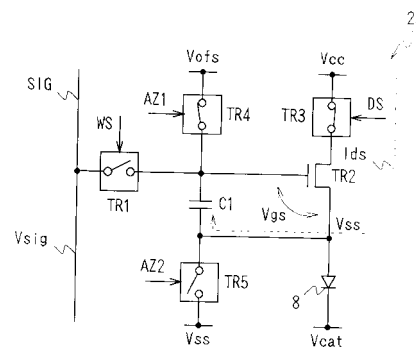
【図 26】



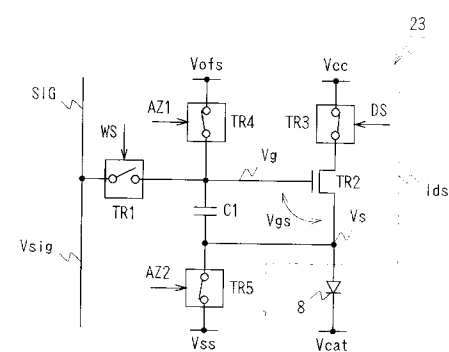
【図 27】



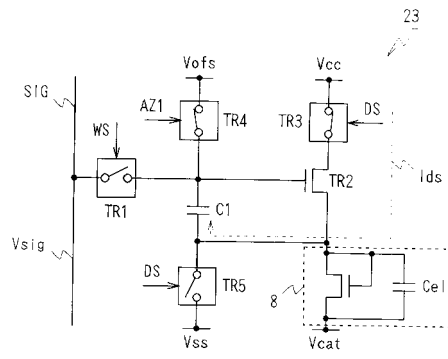
【図 29】



【図 28】



【図 30】





ゲートに第 2 の固定電位が接続され、  
ドレインに前記信号レベル保持用コンデンサの他端が接続され、  
ソースに前記駆動パルス信号が入力され、  
前記駆動回路は、  
前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、  
前記第 3 のトランジスタを選択的にオン状態に設定する第 1 の信号レベルと、前記第 5  
のトランジスタを選択的にオン状態に設定する第 2 の信号レベルと、前記第 3 及び第 5 の  
トランジスタの双方をオフ状態に設定する第 3 の信号レベルとの 3 値により、前記駆動パ  
ルス信号を出力する  
ディスプレイ装置。

【請求項 2】

前記第 1 の信号レベルが、  
前記第 3 のトランジスタをオン状態に設定する電圧であり、  
前記第 2 の信号レベルが、  
前記第 2 のトランジスタのソース電圧を、前記第 2 の信号レベルに保持する電圧であり  
、  
前記第 3 の信号レベルが、  
前記第 2 のトランジスタのゲート電圧から前記第 2 のトランジスタのしきい値電圧を減  
算した電圧より高い電圧である  
請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記第 2 の固定電位が、  
前記第 2 の信号レベルに前記第 5 のトランジスタのしきい値電圧を加算した電圧より大  
きく、  
かつ前記第 3 のトランジスタをオフ動作させる前記第 3 のトランジスタのゲート電圧に  
、前記第 5 のトランジスタのしきい値電圧を加算した和電圧より小さい電圧である  
請求項 1 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、  
第 1 ~ 第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、  
前記第 1 の期間の間、  
前記書き込み信号及び前記制御信号により、前記第 1、第 4 のトランジスタをオフ状態  
に設定すると共に、前記駆動パルス信号を前記第 1 の信号レベルに設定して前記第 3 及び  
第 5 のトランジスタをオン状態及びオフ状態に設定することにより、前記信号レベル保持  
用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第 2 のト  
ランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、  
前記第 2 の期間の間、  
前記駆動パルス信号を前記第 2 の信号レベルに設定して前記自発光素子の発光を停止し  
、  
前記第 3 の期間の間、  
前記制御信号により、前記第 4 のトランジスタをオン状態に設定し、  
前記第 4 の期間の間、  
前記駆動パルス信号を前記第 1 の信号レベルに設定し、前記信号レベル保持用コンデン  
サの両端電位差を前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、  
前記第 5 の期間の間、  
前記駆動パルス信号を前記第 3 の信号レベルに設定すると共に、前記書き込み信号、前  
記制御信号により、前記第 3 ~ 第 5 のトランジスタ及び前記第 1 のトランジスタをオフ状  
態及びオン状態に設定し、前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側  
端の電位を、前記信号線の信号レベルに設定する  
請求項 1 に記載のディスプレイ装置。

## 【請求項 5】

前記駆動回路は、

前記第 5 の期間から前記第 1 の期間に遷移する際に、前記駆動パルス信号を前記第 1 の信号レベルに立ち上げた後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

請求項 4 に記載のディスプレイ装置。

## 【請求項 6】

前記画素、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

請求項 1 に記載のディスプレイ装置。

## 【請求項 7】

画素をマトリクス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

前記信号レベル保持用コンデンサの他端に接続された第 4 のトランジスタとを有し、

前記第 4 のトランジスタは、

ゲートに第 1 の固定電位が接続され、

ドレインに前記信号レベル保持用コンデンサの他端が接続され、

ソースに前記駆動パルス信号が入力され、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号を出力し、

前記第 3 のトランジスタを選択的にオン状態に設定する第 1 の信号レベルと、前記第 4 のトランジスタを選択的にオン状態に設定する第 2 の信号レベルと、前記第 3 及び第 4 のトランジスタの双方をオフ状態に設定する第 3 の信号レベルとの 3 値により、前記駆動パルス信号を出力し、

第 2 の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の間、

前記書き込み信号により前記第 1 のトランジスタをオン状態に設定して、前記信号線で前記第 2 の固定電位が開始するタイミングで、前記駆動パルス信号を前記第 1 の信号レベルに設定すると共に、前記信号線で前記第 2 の固定電位が終了するタイミングで、前記駆動パルス信号を前記第 3 の信号レベルに設定する

ディスプレイ装置。

## 【請求項 8】

前記第 1 の信号レベルが、

前記第 3 のトランジスタをオン状態に設定する電圧であり、

前記第 2 の信号レベルが、

前記第 2 のトランジスタのソース電圧を、前記第 2 の信号レベルに保持する電圧であり

前記第 3 の信号レベルが、

前記第 2 のトランジスタのゲート電圧から前記第 2 のトランジスタのしきい値電圧を減算した電圧より高い電圧である

請求項 7 に記載のディスプレイ装置。

【請求項 9】

前記第 1 の固定電位が、

前記第 2 の信号レベルに前記第 4 のトランジスタのしきい値電圧を加算した電圧より大きく、

かつ前記第 3 のトランジスタをオフ動作させる前記第 3 のトランジスタのゲート電圧に、前記第 4 のトランジスタのしきい値電圧を加算した和電圧より小さい電圧である

請求項 7 に記載のディスプレイ装置。

【請求項 10】

前記駆動回路は、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の経過後、前記信号線における前記画素の階調に対応する信号レベルの期間で、前記駆動パルス信号の信号レベルを前記第 1 の信号レベルに設定した後、前記書き込み信号により前記第 1 のトランジスタをオフ動作させる

請求項 7 に記載のディスプレイ装置。

【請求項 11】

前記画素、前記駆動回路のトランジスタの全てが、

Nチャンネル型のトランジスタであり、

前記画素、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

請求項 7 に記載のディスプレイ装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

ディスプレイ装置 1 は、垂直駆動回路 4 のライトスキャン回路 (WSCN) 4 A により、所定のサンプリングパルスを順次転送して、各画素 3 への書き込みを指示するタイミング信号である書き込み信号 WS を生成する。また水平駆動回路 5 の水平セクタ (HSEL) 5 A により、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線 SIG を入力信号 S 1 の信号レベルに設定する。これによりディスプレイ装置 1 は、点順次又は線順次で、各画素 3 に設けられた信号レベル保持用コンデンサ C 1 の端子電圧を入力信号 S 1 に応じて設定し、入力信号 S 1 による画像を表示する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

画素 2 3 は、この信号レベル保持用コンデンサ C 1 の両端がトランジスタ TR 2 のソース及びゲートに接続され、駆動パルス信号 DS によりオンオフ動作するトランジスタ TR 3 を介して、このトランジスタ TR 2 のドレインが電源 Vcc に接続される。これにより画素 2 3 は、ゲート電位が信号線 SIG の信号レベルに設定されたソースフォロウ回路構成のトランジスタ TR 2 により有機 EL 素子 8 を駆動する。なおここで Vcat は、有機 EL 素子 8 のカソード電位である。また駆動パルス信号 DS は、各画素 2 3 の発光期間を

制御するタイミング信号であり、ドライブスキャン回路(DSCN)24Bで所定のサンプリングパルスを順次転送して生成される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

続いて画素23は、続く期間T4で、図32に示すように、トランジスタTR3、TR4が順次オフ状態に設定される。なおトランジスタTR4より先にトランジスタTR3をオフ状態に設定することで、トランジスタTR2のゲート電圧Vgの変動を抑圧することができる。また画素23は、続いてトランジスタTR1がオン状態に設定され、これにより信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧Vofs-Vthに設定した状態で、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧を信号線SIGの信号レベルVsigに設定する。

【手続補正5】

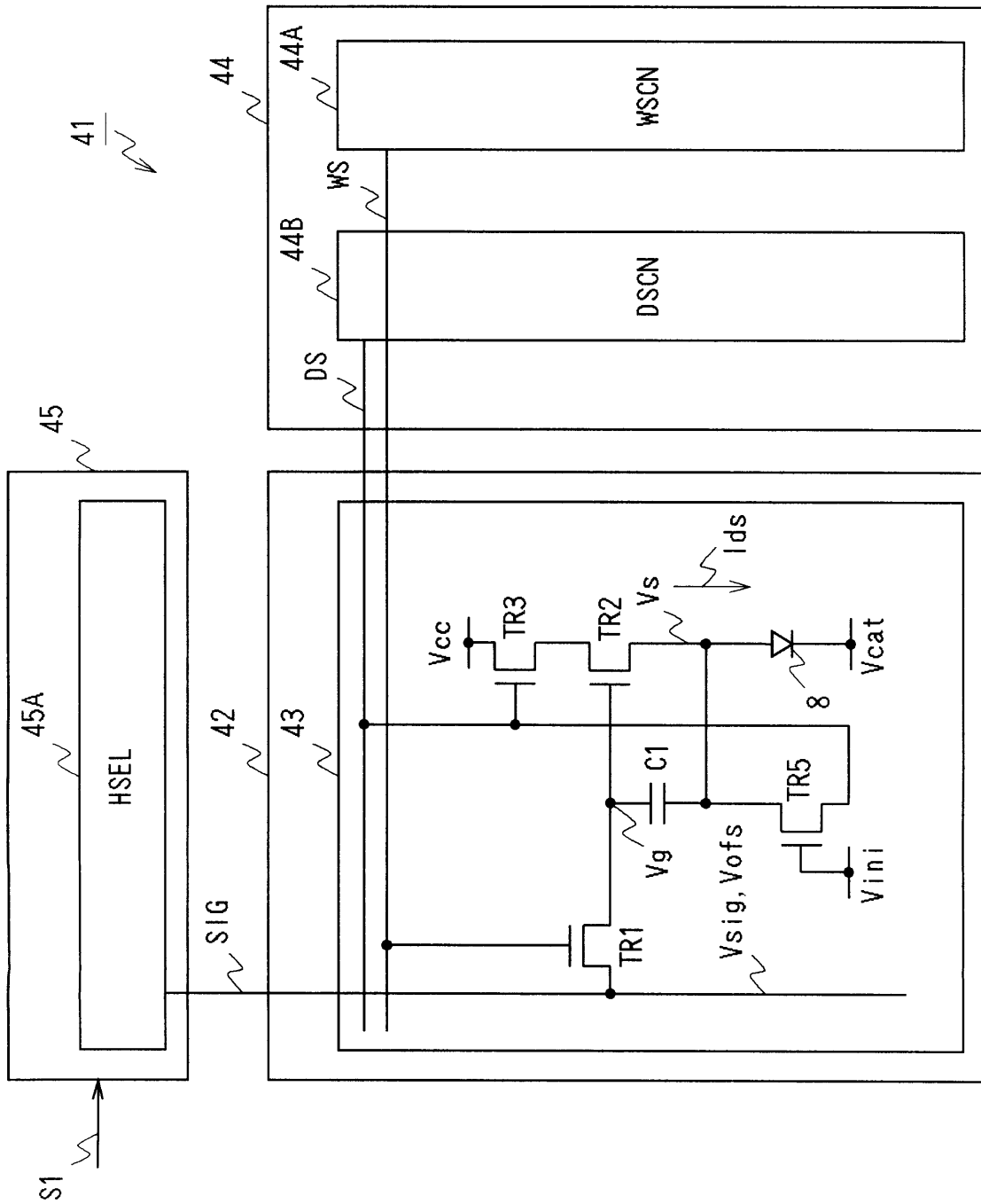
【補正対象書類名】図面

【補正対象項目名】図11

【補正方法】変更

【補正の内容】

【図 1 1】



【手続補正 6】

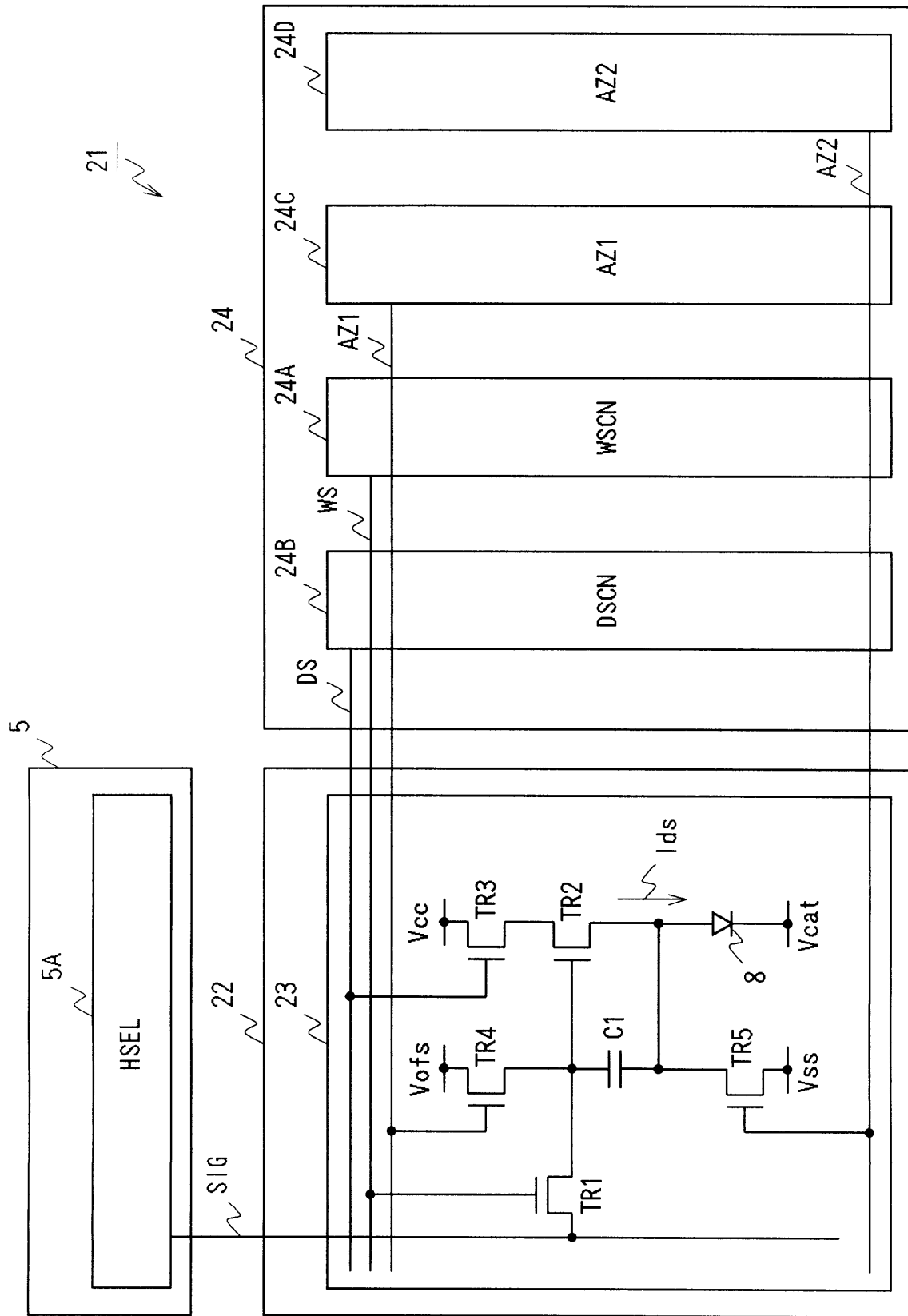
【補正対象書類名】図面

【補正対象項目名】図 2 5

【補正方法】変更

【補正の内容】

【 図 2 5 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 4 1 D

F ターム(参考) 3K107 AA01 BB01 CC35 CC45 EE03 HH02 HH04 HH05  
5C080 AA06 BB05 DD23 EE28 FF11 JJ02 JJ03 JJ04 JJ05  
5C094 AA03 AA21 AA43 AA45 AA60 BA03 BA27 DA20 DB04 EA10

专利名称(译)	显示设备		
公开(公告)号	<a href="#">JP2008225018A</a>	公开(公告)日	2008-09-25
申请号	JP2007062776	申请日	2007-03-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野 胜秀 山本 哲郎 山下 淳一		
发明人	内野 胜秀 山本 哲郎 山下 淳一		
IPC分类号	G09G3/30 H01L51/50 G09F9/30 H01L27/32 G09G3/20		
CPC分类号	G09G3/30 G09G3/3233 G09G2300/0819 G09G2300/0861		
FI分类号	G09G3/30.J H05B33/14.A G09F9/30.365.Z G09F9/30.338 G09G3/20.611.H G09G3/20.624.B G09G3/20.622.D G09G3/20.622.C G09G3/20.641.D G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD23 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA21 5C094/AA43 5C094/AA45 5C094/AA60 5C094/BA03 5C094/BA27 5C094/DA20 5C094/DB04 5C094/EA10 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC57 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CD025 5C380/CD026 5C380/CD035 5C380/CD036 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA03 5C380/HA05		
其他公开文献	JP4300491B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

显示装置技术领域本发明涉及一种显示装置，例如，与通过现有技术相比，应用于通过有机EL元件等的电流驱动而驱动的自发光显示装置，以减少扫描线数。根据本发明，将驱动发光元件8的晶体管TR2连接至驱动电源Vcc的晶体管TR3和将驱动发光元件8的晶体管TR2的源极电压Vs设定为预定电压的晶体管TR5。并且由三值公共控制信号DS控制。[选型图]图1

