

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-279684
(P2007-279684A)

(43) 公開日 平成19年10月25日(2007.10.25)

| | | |
|-------------------------------------|----------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| H01L 51/50 (2006.01) | H05B 33/14 A | 5C080 |
| G09G 3/20 (2006.01) | G09G 3/20 623A | |
| | G09G 3/20 623H | |
| | G09G 3/20 623G | |
| 審査請求 有 請求項の数 32 O L (全 30 頁) 最終頁に続く | | |

| | | | |
|--------------|--------------------------|----------|-----------------------------|
| (21) 出願番号 | 特願2007-1601 (P2007-1601) | (71) 出願人 | 590002817 三星エスディアイ株式会社 |
| (22) 出願日 | 平成19年1月9日(2007.1.9) | | 大韓民国京畿道水原市靈通区▲しん▼洞5 75番地 |
| (31) 優先権主張番号 | 10-2006-0031637 | (74) 代理人 | 100072349 弁理士 八田 幹雄 |
| (32) 優先日 | 平成18年4月6日(2006.4.6) | (74) 代理人 | 100110995 弁理士 奈良 泰男 |
| (33) 優先権主張国 | 韓国 (KR) | (74) 代理人 | 100114649 弁理士 宇谷 勝幸 |
| | | (74) 代理人 | 100129126 弁理士 藤田 健 |
| | | (74) 代理人 | 100130971 弁理士 都祭 正則 |
| | | 最終頁に続く | |

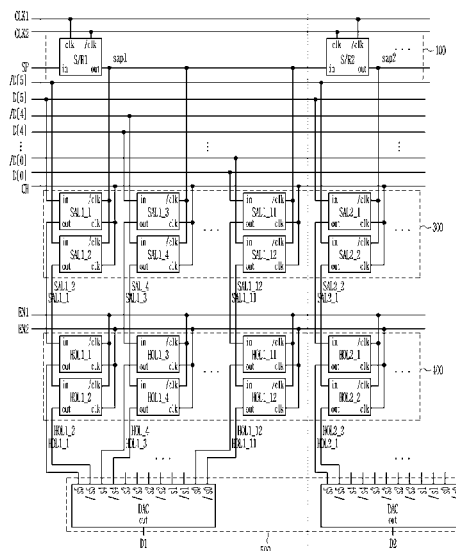
(54) 【発明の名称】 データ駆動部及びこれを利用した有機電界発光表示装置

(57) 【要約】

【課題】 PMOS形態のトランジスタで構成されるデータ駆動部を提供する。

【解決手段】 第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部100と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、サンプリングパルス及びチャージング信号に対応して各ビット及び各反転ビットを一時保存するサンプリングラッチ部300と、サンプリングラッチ部から出力される各ビット及び各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された各ビット及び各反転ビットを出力するホールディングラッチ部400と、ホールディングラッチ部から出力される各ビット及び各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータ500と、を含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及びチャージング信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含むことを特徴とするデータ駆動部。

10

【請求項 2】

前記シフトレジスタ部は、一つのチャンネルごとに一つのシフトレジスタを具備することを特徴とする請求項 1 記載のデータ駆動部。

【請求項 3】

前記サンプリングラッチ部は、一つのチャンネルごとに前記デジタルデータのビット数の 2 倍の個数のサンプリングラッチを具備することを特徴とする請求項 1 記載のデータ駆動部。

20

【請求項 4】

前記ホールディングラッチ部は、一つのチャンネルごとに前記デジタルデータのビット数の 2 倍の個数のホールディングラッチを具備することを特徴とする請求項 1 記載のデータ駆動部。

【請求項 5】

前記デジタル - アナログコンバータは、内在する複数のトランジスタが P M O S トランジスタのみで具現されており、前記ホールディングラッチ部から出力される前記デジタルデータの前記各ビット及び前記各反転ビットの入力を受け、これらの前記各ビット及び前記各反転ビットに対応して複数の階調電圧の中から一つの階調電圧を選択することを特徴とする請求項 1 記載のデータ駆動部。

30

【請求項 6】

前記チャージング信号は、前記デジタルデータの前記各ビット及び前記各反転ビットが入力される期間、ハイレベルで提供されることを特徴とする請求項 1 記載のデータ駆動部。

【請求項 7】

前記第 1 クロック信号及び前記第 2 クロック信号は、互いに位相が反対であることを特徴とする請求項 1 記載のデータ駆動部。

【請求項 8】

前記第 1 クロック信号及び前記第 2 クロック信号がハイレベルを示す領域が所定範囲にわたって重なることを特徴とする請求項 7 記載のデータ駆動部。

40

【請求項 9】

前記シフトレジスタ部が具備する複数のシフトレジスタ、前記サンプリングラッチ部が具備する複数のサンプリングラッチ、及び前記ホールディングラッチ部が具備する複数のホールディングラッチのそれぞれは、

ゲート電極が第 2 入力端子に接続され、第 2 電極が第 1 ノードに接続され、第 1 電極が外部入力端子に接続される第 1 トランジスタと、

ゲート電極が前記第 1 ノードに接続され、第 1 電極が第 1 入力端子に接続され、第 2 電極が出力端子に接続される第 2 トランジスタと、

ゲート電極が前記第 2 入力端子に接続され、第 1 電極が第 2 ノードに接続され、第 2 電極が第 4 電源に接続される第 3 トランジスタと、

50

ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 入力端子に接続され、第 2 電極が前記第 2 ノードに接続される第 4 トランジスタと、

ゲート電極が前記第 2 ノードに接続され、第 1 電極が第 3 電源に接続され、第 2 電極が前記出力端子に接続される第 5 トランジスタと、

前記第 2 トランジスタのゲート電極と当該第 2 トランジスタの第 2 電極との間に接続されるキャパシタと、を具備することを特徴とする請求項 1 記載のデータ駆動部。

【請求項 10】

前記第 1 ないし第 5 トランジスタは、PMOS トランジスタに形成されることを特徴とする請求項 9 記載のデータ駆動部。

【請求項 11】

前記第 3 電源は、前記第 4 電源よりも高い電圧値に設定されることを特徴とする請求項 9 記載のデータ駆動部。

【請求項 12】

前記シフトレジスタのうち、奇数番目シフトレジスタの第 1 入力端子には前記第 1 クロック信号が供給され、第 2 入力端子には第 2 クロック信号が供給されることを特徴とする請求項 9 記載のデータ駆動部。

【請求項 13】

前記シフトレジスタのうち、偶数番目シフトレジスタの第 1 入力端子には前記第 2 クロック信号が供給され、第 2 入力端子には第 1 クロック信号が供給されることを特徴とする請求項 9 記載のデータ駆動部。

【請求項 14】

前記シフトレジスタは、前記第 2 入力端子にローレベルの電圧が供給されるときに前記キャパシタに前記外部入力端子から供給される電圧に対応する電圧を充電し、前記第 2 入力端子にハイレベルの電圧が供給されるときに前記キャパシタに保存される電圧に対応する電圧を前記出力端子に供給することを特徴とする請求項 9 記載のデータ駆動部。

【請求項 15】

前記サンプリングラッチは、前記第 2 入力端子に前記サンプリングパルスの供給を受け、前記第 1 入力端子に前記チャージング信号の供給を受けることを特徴とする請求項 9 記載のデータ駆動部。

【請求項 16】

前記サンプリングラッチは、前記サンプリングパルスがローレベルに供給されるときに前記デジタルデータの前記各ビットまたは前記各反転ビットの入力を受け、前記サンプリングパルス及び前記チャージング信号の供給が中断されるときに前記デジタルデータの前記各ビットまたは前記各反転ビットを出力することを特徴とする請求項 15 記載のデータ駆動部。

【請求項 17】

前記ホールディングラッチは、前記第 2 入力端子に前記第 1 イネーブル信号の供給を受け、前記第 1 入力端子に前記第 2 イネーブル信号の供給を受けることを特徴とする請求項 9 記載のデータ駆動部。

【請求項 18】

前記第 1 イネーブル信号及び前記第 2 イネーブル信号は、互いに位相が反対であることを特徴とする請求項 17 記載のデータ駆動部。

【請求項 19】

前記ホールディングラッチは、前記第 1 イネーブル信号がローレベルに設定されるときに前記サンプリングラッチから前記各ビットまたは前記各反転ビットの入力を受け、前記第 1 イネーブル信号がハイレベルに設定されるときに前記各ビットまたは前記各反転ビットを出力することを特徴とする請求項 17 記載のデータ駆動部。

【請求項 20】

前記第 1 イネーブル信号は、前記複数のサンプリングラッチから前記各ビット及び前記各反転ビットが入力される期間、ハイレベルを維持し、前記複数のサンプリングラッチが

10

20

30

40

50

ら前記各ビット及び前記各反転ビットがすべて入力された後にローレベルに変更されることを特徴とする請求項 17 記載のデータ駆動部。

【請求項 21】

第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、

前記第 1 クロック信号、前記第 2 クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号生成するためのコンバージョン部と、

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号生成するデジタル - アナログコンバータと、を含むことを特徴とするデータ駆動部。

【請求項 22】

前記コンバージョン部は、一つのチャンネルごとに一つのコンバージョン回路を具備することを特徴とする請求項 21 記載のデータ駆動部。

【請求項 23】

前記コンバージョン回路は、

第 3 入力端子に入力される前記サンプリングパルスに対応して供給する電圧を制御する入力部と、

前記第 3 入力端子に入力される前記サンプリングパルス及び前記入力部から供給される電圧に対応して前記コンバージョン信号の出力可否を制御する出力部と、を具備することを特徴とする請求項 22 記載のデータ駆動部。

【請求項 24】

前記出力部は、

第 1 電極が第 3 電源に接続され、第 2 電極が出力端子に接続される第 1 1 トランジスタと、

第 1 電極が前記出力端子に接続され、第 2 電極が前記第 3 電源よりも低い電圧値を有する第 4 電源に接続される第 1 2 トランジスタと、

ゲート電極が前記第 1 1 トランジスタのゲート電極に接続され、第 1 電極が前記第 1 1 トランジスタの第 2 電極に接続される第 1 3 トランジスタと、

第 1 電極が前記第 1 3 トランジスタの第 2 電極に接続され、第 2 電極が前記第 4 電源に接続され、ゲート電極が前記入力部に接続される第 1 4 トランジスタと、

第 1 電極が前記第 3 入力端子に接続され、第 2 電極が前記第 1 1 トランジスタのゲート電極に接続され、ゲート電極が第 1 入力端子に接続される第 1 5 トランジスタと、

前記第 1 1 トランジスタのゲート電極と当該第 1 1 トランジスタの第 1 電極との間に接続される第 1 2 キャパシタと、

前記第 1 2 トランジスタのゲート電極と当該第 1 2 トランジスタの第 1 電極との間に接続される第 1 1 キャパシタと、を具備することを特徴とする請求項 23 記載のデータ駆動部。

【請求項 25】

前記出力部は、前記出力端子と前記第 4 電源との間に接続される第 1 4 キャパシタをさらに具備することを特徴とする請求項 24 記載のデータ駆動部。

【請求項 26】

前記入力部は、

第 1 電極が前記第 1 4 トランジスタのゲート電極に接続され、第 2 電極が前記第 1 入力端子に接続される第 1 6 トランジスタと、

10

20

30

40

50

第 1 電極が前記第 1 6 トランジスタのゲート電極に接続され、ゲート電極及び第 2 電極が第 2 入力端子に接続される第 1 7 トランジスタと、

ゲート電極が前記第 3 入力端子に接続され、第 1 電極が前記第 3 電源に接続され、第 2 電極が前記第 1 6 トランジスタのゲート電極に接続される第 1 8 トランジスタと、

前記第 1 6 トランジスタのゲート電極と当該第 1 6 トランジスタの第 1 電極との間に接続される第 1 3 キャパシタと、を具備することを特徴とする請求項 2 4 記載のデータ駆動部。

【請求項 2 7】

前記第 1 1 ないし第 1 8 トランジスタは、PMOS トランジスタに形成されることを特徴とする請求項 2 6 記載のデータ駆動部。

10

【請求項 2 8】

前記コンバージョン回路のうち、奇数番目コンバージョン回路は、前記第 1 入力端子に前記第 1 クロック信号の供給を受け、前記第 2 入力端子に前記第 2 クロック信号の供給を受けることを特徴とする請求項 2 6 記載のデータ駆動部。

【請求項 2 9】

前記コンバージョン回路のうち、偶数番目コンバージョン回路は、前記第 1 入力端子に前記第 2 クロック信号の供給を受け、前記第 2 入力端子に前記第 1 クロック信号の供給を受けることを特徴とする請求項 2 6 記載のデータ駆動部。

【請求項 3 0】

前記コンバージョン回路は、前記第 1 入力端子にローレベルの電圧が入力されれば、前記第 3 入力端子と反対レベルの電圧を出力し、前記第 1 入力端子にハイレベルの電圧が入力されれば、直前の期間の出力を維持することを特徴とする請求項 2 6 記載のデータ駆動部。

20

【請求項 3 1】

複数の走査線に走査信号を順次に供給するための走査駆動部と、

複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、

前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、

前記データ駆動部は、

第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、

30

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及びチャージング信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第 1 イネーブル信号及び第 2 イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含むことを特徴とする有機電界発光表示装置。

40

【請求項 3 2】

複数の走査線に走査信号を順次に供給するための走査駆動部と、

複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、

前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、

前記データ駆動部は、

第 1 クロック信号、第 2 クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルス生成するシフトレジスタ部と、

前記第 1 クロック信号、前記第 2 クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、

50

デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、

前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、

前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含むことを特徴とする有機電界発光表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、データ駆動部及びこれを利用した有機電界発光表示装置に関し、特に、PMOS形態のトランジスタで構成されるデータ駆動部及びこれを利用した有機電界発光表示装置に関する。

【背景技術】

【0002】

近年、陰極線管(Cathode Ray Tube)の短所である重さと体積を減らすことができる各種平板表示装置が開発されている。平板表示装置には、液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマ表示パネル(Plasma Display Panel)、及び有機電界発光表示装置(Organic Light Emitting Display)などがある。

20

【0003】

平板表示装置の中で有機電界発光表示装置は、電子と正孔の再結合によって光を発生する有機発光ダイオード(Organic Light Emitting Diode: OLED)を利用して画像を表示する。このような有機電界発光表示装置は、速い応答速度を持つと同時に低い消費電力で駆動されるという長所がある。

【0004】

このような有機電界発光表示装置は、マトリクス形態に配列された画素と、画素に接続されたデータ線を駆動するためのデータ駆動部と、画素に接続された走査線を駆動するための走査駆動部と、を具備する。

30

【0005】

データ駆動部は、水平期間ごとにデータに対応するデータ信号を供給することにより画素で所定の画像が表示されるようにする。走査駆動部は、水平期間ごとに走査信号を順次に供給することでデータ信号が供給される画素を選択する。

【0006】

一方、有機電界発光表示装置が大型パネルになるほど、サイズ、重さ、及び製造費用を低減する必要が高まり、データ駆動部がパネルに実装されなければならなくなる。しかし、従来のデータ駆動部は、PMOSTランジスタ及びNMOSTランジスタで構成されるので、パネルに実装されにくいという問題がある。したがって、PMOSTランジスタのみで構成されて、パネルに実装されうるデータ駆動部が要求されている。

40

【特許文献1】大韓民国特許出願公開第2005-0111919号明細書

【発明の開示】

【発明が解決しようとする課題】

【0007】

したがって、本発明は、PMOS形態のトランジスタで構成されるデータ駆動部及びこれを利用した有機電界発光表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

50

上記目的を達成するために、本発明の第1側面は、第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及びチャージング信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含むことを特徴とするデータ駆動部を提供する。

10

【0009】

また、本発明の第2側面は、第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、前記第1クロック信号、第2クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、前記

20

【0010】

また、本発明の第3側面は、複数の走査線に走査信号を順次に供給するための走査駆動部と、複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、前記データ駆動部は、第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及びチャージング信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディングラッチ部と、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル-アナログコンバータと、を含むことを特徴とする有機電界発光表示装置を提供する。

30

【0011】

また、本発明の第4側面は、複数の走査線に走査信号を順次に供給するための走査駆動部と、複数のデータ線のそれぞれにデータ信号を供給するためのデータ駆動部と、前記走査信号が供給されるときに選択され、前記データ信号の供給を受けて発光要否が制御される画素と、を具備し、前記データ駆動部は、第1クロック信号、第2クロック信号、及びスタートパルスの供給を受けて順次にサンプリングパルスを生成するシフトレジスタ部と、前記第1クロック信号、前記第2クロック信号、及び前記サンプリングパルスの供給を受けて順次にコンバージョン信号を生成するためのコンバージョン部と、デジタルデータの各ビット及び当該各ビットに対する各反転ビットの入力を受けて、前記サンプリングパルス及び前記コンバージョン信号に対応して前記各ビット及び前記各反転ビットを一時保存するサンプリングラッチ部と、前記サンプリングラッチ部から出力される前記各ビット及び前記各反転ビットの入力を、第1イネーブル信号及び第2イネーブル信号に対応して同時に受けて、入力された前記各ビット及び前記各反転ビットを出力するホールディング

40

50

ラッチ部と、前記ホールディングラッチ部から出力される前記各ビット及び前記各反転ビットの値に対応するアナログ信号を生成するデジタル - アナログコンバータと、を含むことを特徴とする有機電界発光表示装置を提供する。

【発明の効果】

【0012】

上述したように、本発明のデータ駆動部及びこれを利用した有機電界発光表示装置によれば、データ駆動部に含まれるシフトレジスタ、サンプリングラッチ、ホールディングラッチ、デジタル - アナログコンバータをPMOSトランジスタのみで構成することができるため、パネルに実装可能であり、これによって製造費用を低減することができるという長所がある。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明が属する技術分野において通常の知識を有する者が本発明を容易に実施することができる好ましい実施形態を、添付の図1ないし図14を参照して、詳しく説明する。

【0014】

図1は、本発明の一実施形態による有機電界発光表示装置を示す図面である。

【0015】

図1を参照すれば、本発明の一実施形態による有機電界発光表示装置は、走査線S1ないしSn及びデータ線D1ないしDmに接続された複数の画素40を含む画素部30と、走査線S1ないしSnを駆動するための走査駆動部10と、データ線D1ないしDmを駆動するためのデータ駆動部20と、走査駆動部10及びデータ駆動部20を制御するためのタイミング制御部50と、を具備する。

20

【0016】

タイミング制御部50は、外部から供給される同期信号に対応して、データ駆動制御信号DCS及び走査駆動制御信号SCSを生成する。タイミング制御部50で生成されたデータ駆動制御信号DCSは、データ駆動部20に供給され、走査駆動制御信号SCSは、走査駆動部10に供給される。そして、タイミング制御部50は、外部から供給されるデータDataをデータ駆動部20に供給する。

【0017】

データ駆動部20は、タイミング制御部50からデータ駆動制御信号DCSの供給を受ける。データ駆動制御信号DCSの供給を受けたデータ駆動部20は、データ信号を生成し、生成したデータ信号を走査信号と同期するようにデータ線D1ないしDmに供給する。

30

【0018】

画素部30は、外部から第1電源ELVDD及び第2電源ELVSSの供給を受けて、それぞれの画素40に供給する。第1電源ELVDD及び第2電源ELVSSの供給を受けた画素40のそれぞれは、データ信号に対応して第1電源ELVDDから発光素子を經由して第2電源ELVSSに流れる電流を制御することによりデータ信号に対応する光を生成する。

40

【0019】

また、走査駆動部10は、タイミング制御部50から走査駆動制御信号SCSの供給を受ける。走査駆動制御信号SCSの供給を受けた走査駆動部10は、走査信号を生成して、生成された走査信号を走査線S1ないしSnに順次に供給する。

【0020】

図2は、図1に示された画素の構造を示す図面である。図2では、説明の便宜性のために、n番目走査線Sn及びm番目データ線Dmに接続された画素40を示す。

【0021】

図2を参照すれば、本発明の画素は、有機発光ダイオードOLEDと、データ線Dm及び走査線Snに接続されて有機発光ダイオードOLEDの発光要否を制御するための画素

50

回路42と、を具備する。

【0022】

有機発光ダイオードOLEDのアノード電極は、画素回路42に接続されて、カソード電極は、第2電源ELVSSに接続される。このような有機発光ダイオードOLEDは、画素回路42から供給される電流に対応して発光する。

【0023】

画素回路42は、走査線Snに走査信号が供給されるときに、データ線Dmに供給されるデータ信号に対応して有機発光ダイオードOLEDの発光可否を制御する。このために、画素回路42は、第1電源ELVDと有機発光ダイオードOLEDとの間に接続された第2トランジスタM2と、第2トランジスタM2、データ線Dm、及び走査線Snに接続される第1トランジスタM1と、第2トランジスタM2のゲート電極と第1電極との間に接続されたストレージキャパシタCと、を具備する。

10

【0024】

第1トランジスタM1のゲート電極は、走査線Snに接続され、第1電極はデータ線Dmに接続される。そして、第1トランジスタM1の第2電極は、ストレージキャパシタの一端端子に接続される。このような第1トランジスタM1は、走査線Snに走査信号が供給されるときにターンオンされて、データ線Dmに供給されるデータ信号をストレージキャパシタCに供給する。ここで、第1電極は、ソース電極及びドレーン電極のうちいずれか一方の電極であり、第2電極は、第1電極と異なる電極である。例えば、第1電極がソース電極に設定されれば、第2電極はドレーン電極に設定される。

20

【0025】

第2トランジスタM2のゲート電極は、ストレージキャパシタCの一端端子に接続され、第1電極は、ストレージキャパシタCの他側端子及び第1電源ELVDに接続される。そして、第2トランジスタM2の第2電極は、有機発光ダイオードOLEDに接続される。このような第2トランジスタM2は、ストレージキャパシタCに保存された電圧に対応して有機発光ダイオードOLEDの発光可否を制御する。すなわち、第2トランジスタM2は、ストレージキャパシタCにデータ信号に相当する所定の電圧が充電されれば、これに対応する電流が有機発光ダイオードOLEDに流れるようにして、有機発光ダイオードOLEDを発光させる。

【0026】

図3は、図1に示されたデータ駆動部を概略的に示す図面である。

30

【0027】

ただし、データ駆動部は、m個のチャンネル(channels)を有すると仮定して説明する。

【0028】

図3を参照すれば、本発明の一実施形態によるデータ駆動部20は、シフトレジスタ部100、サンプリングラッチ部300、ホールディングラッチ部400、及びデジタル-アナログコンバータ(DAC)500を具備する。

【0029】

シフトレジスタ部100は、スタートパルスSP、第1クロック信号CLK1、及び第2クロック信号CLK2の供給を受けて、サンプリングパルスSapを順次に生成する。このために、シフトレジスタ部100は、m個のシフトレジスタを具備する。

40

【0030】

サンプリングラッチ部300は、サンプリングパルスSap及びチャージング信号CHの供給を受ける。サンプリングパルスSap及びチャージング信号CHの供給を受けたサンプリングラッチ部300は、入力されるデジタルデータの各ビット(Data)及び当該各ビット(Data)に対する各反転ビット(/Data)の供給を受けて、各ビット(Data)及び各反転ビット(/Data)を一時保存する。このために、サンプリングラッチ部300は、各チャンネルに入力されるデジタルデータのビット数の2倍の個数のサンプリングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合

50

、各チャンネルにサンプリングラッチは、6の2倍の個数、すなわち、12個具備される。

【0031】

ここで、それぞれのサンプリングラッチは、1ビットのデータまたは反転データを保存する。

【0032】

ホールディングラッチ部400は、第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受ける。第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受けたホールディングラッチ部400は、サンプリングラッチ部300から出力される各ビット及び各反転ビットの入力を同時に受けて、入力された各ビット及び各反転ビットをDAC500に出力する。

10

【0033】

これによって、ホールディングラッチ部400もまた、サンプリングラッチ部300と同様に、各チャンネルに入力されるデジタルデータのビット数の2倍の個数のホールディングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、各チャンネルにホールディングラッチは、6の2倍の個数、すなわち、12個具備される。

【0034】

DAC500は、ホールディングラッチ部400から出力されるデジタルデータの各ビット及び/または各反転ビットの値(ビット値)に対応するアナログ信号を生成するもので、ホールディングラッチ部400から供給されるデジタルデータのビット値に対応して、複数の階調電圧の中から一つの階調電圧を選択することにより、ビット値に対応するアナログデータ信号を生成して、当該アナログデータをデータ線D1ないしDmに供給する。

20

【0035】

図4は、図3に示されたデータ駆動部を詳しく示す図面であり、図5は、図4に示されたデータ駆動部の駆動方法を示す波形図である。

【0036】

ただし、データ駆動部は、m個のチャンネルを有し、6ビットデジタルデータが入力されると仮定して説明する。また、図5は、各チャンネルにデジタルデータのMSB(Most Significant Bit:最上位ビット)、すなわちD[5]及び反転されたMSB、すなわち/D[5]が入力される場合に対応する波形図である。

30

【0037】

図4を参照すれば、シフトレジスタ部100は、一つのチャンネルごとに一つのシフトレジスタS/R1ないしS/Rmを具備する。そして、サンプリングラッチ部300は、一つのチャンネルごとに12個のサンプリングラッチSAL1_1ないしSAL1_12, ..., SALm_1ないしSALm_12を具備し、ホールディングラッチ部400もまた、一つのチャンネルごとに12個のホールディングラッチSAL1_1ないしSAL1_12, ..., SALm_1ないしSALm_12を具備する。ただし、図4では、1番目チャンネルに対する構成が中心に示されている。

【0038】

シフトレジスタS/R1ないしS/Rmのうち、奇数番目シフトレジスタS/R1, S/R3, ...は、第1入力端子clkに第1クロック信号CLK1の入力を受け、第2入力端子/clkに第2クロック信号CLK2の入力を受ける。シフトレジスタS/R1ないしS/Rmのうち、偶数番目シフトレジスタS/R2, S/R4, ...は、第1入力端子clkに第2クロック信号CLK2の入力を受け、第2入力端子/clkに第1クロック信号CLK1の入力を受ける。ここで、第1クロック信号CLK1及び第2クロック信号CLK2は180°の位相差を有する。ただし、図6に示された実施形態の場合、第1クロック信号CLK1及び第2クロック信号CLK2がハイレベルを示す領域(期間)が所定範囲にわたって重なるように、第1クロック信号CLK1及び第2クロック信号CLK2は提供される。

40

50

【 0 0 3 9 】

シフトレジスタ S/R_1 ないし S/R_m のうち、第 1 シフトレジスタ S/R_1 は、第 1 クロック信号 CLK_1 、第 2 クロック信号 CLK_2 、及びスタートパルス SP の供給を受けて、第 1 サンプルングパルス sap_1 を生成する。そして、第 2 シフトレジスタ S/R_2 は、第 1 クロック信号 CLK_1 、第 2 クロック信号 CLK_2 、及び第 1 サンプルングパルス sap_1 の供給を受けて、第 2 サンプルングパルス sap_2 を生成する。実際に、シフトレジスタ S/R_1 ないし S/R_m は、スタートパルス SP または前段のサンプルングパルス sap の供給を受けて、図 5 に示されるように、サンプルングパルス sap を順次に生成する。

【 0 0 4 0 】

サンプルングラッチ SAL_1_1 ないし SAL_1_12 , ..., SAL_m_1 ないし SAL_m_12 は、第 1 入力端子 clk にチャージング信号 CH の入力を受け、第 2 入力端子 / clk にサンプルングパルス sap の入力を受ける。サンプルングパルス sap 及びチャージング信号 CH の供給を受けたサンプルングラッチ SAL_1_1 ないし SAL_1_12 は、デジタルデータの各ビットまたは各反転ビットの入力を受けて、各ビットまたは各反転ビットを一時保存する。

10

【 0 0 4 1 】

一例で、1 番目チャンネルに相当するサンプルングラッチ SAL_1_1 ないし SAL_1_12 の場合、第 1 入力端子 clk にチャージング信号 CH の入力を受けて、第 2 入力端子 / clk に第 1 サンプルングパルス sap_1 の入力を受け、1 番目チャンネルに相当するデジタルデータの各ビットまたは各反転ビットの入力を受けて、各ビットまたは各反転ビットを一時保存する。

20

【 0 0 4 2 】

すなわち、1 番目チャンネルに具備された第 1 サンプルングラッチ SAL_1_1 は、第 1 サンプルングパルス sap_1 及びチャージング信号 CH が供給されるときに、デジタルデータの MSB 、すなわち $D[5]$ (図 5 の a_1) の入力を受けて、デジタルデータの MSB を一時保存し、第 2 サンプルングラッチ SAL_1_2 は、第 1 サンプルングパルス sap_1 及びチャージング信号 CH が供給されるときに、デジタルデータの反転された MSB 、すなわち / $D[5]$ (図 5 の / a_1) の入力を受けて、デジタルデータの反転された MSB を一時保存する。

30

【 0 0 4 3 】

1 番目チャンネルに具備された残りのサンプルングラッチ SAL_1_3 ないし SAL_1_12 の場合もこれと同様に、第 1 サンプルングパルス sap_1 及びチャージング信号 CH が供給されるときに、デジタルデータの各ビットまたは各反転ビット ($D[4]$, / $D[4]$, $D[3]$, / $D[3]$, $D[2]$, / $D[2]$, $D[1]$, / $D[1]$, $D[0]$, / $D[0]$) の入力を受けて、これを一時保存する。

【 0 0 4 4 】

ここで、チャージング信号 CH は、図 5 に示されたように、デジタルデータが入力される期間の間、ハイレベルで提供される。

【 0 0 4 5 】

また、ホールディングラッチ HOL_1_1 ないし HOL_1_12 , ..., HOL_m_1 ないし HOL_m_12 は、第 1 入力端子 clk に第 2 イネーブル信号 EN_2 の入力を受け、第 2 入力端子 / clk に第 1 イネーブル信号 EN_1 の入力を受ける。第 1 イネーブル信号 EN_1 及び第 2 イネーブル信号 EN_2 の入力を受けたホールディングラッチ HOL_1_1 ないし HOL_1_12 , ..., HOL_m_1 ないし HOL_m_12 は、サンプルングラッチ SAL_1_1 ないし SAL_1_12 , ..., SAL_m_1 ないし SAL_m_12 に一時保存されたデジタルデータの各ビットまたは各反転ビットの入力を同時に受ける。そして、ホールディングラッチは、入力を受けたデジタルデータの各ビットまたは各反転ビットを DAC に出力する。

40

【 0 0 4 6 】

50

一例で、1番目チャンネルに相当するホールディングラッチHOL1__1ないしHOL1__12の場合、第1入力端子clkに第2イネーブル信号EN2の入力を受け、第2入力端子/c1kに第1イネーブル信号EN1の入力を受けて、1番目チャンネルに相当するサンプリングラッチSAL1__1ないしSAL1__12に一時保存されたデジタルデータの各ビットまたは各反転ビットの入力を同時に受けて、各ビットまたは各反転ビットをDACに出力する。

【0047】

ここで、1番目チャンネルに具備された第1ホールディングラッチHOL1__1は、第1サンプリングラッチSAL1__1に一時保存されたD[5]の供給を受け、第2ホールディングラッチHOL1__2は、第2サンプリングラッチSAL1__2に一時保存されたD[5]の供給を受ける。

10

【0048】

1番目チャンネルに具備された残りのホールディングラッチHOL1__3ないしHOL1__12の場合もこれと同様に、サンプリングラッチSAL1__3ないしSAL1__12に一時保存されたデジタルデータの各ビットまたは各反転ビット(D[4], /D[4], D[3], /D[3], D[2], /D[2], D[1], /D[1], D[0], /D[0])の入力を同時に受けて、これをDACに出力する。

【0049】

また、ホールディングラッチから出力されるデジタルデータのビット及び反転ビットは、各チャンネルに具備されたDACの対応する端子にそれぞれ入力されて、DACは、ホールディングラッチから供給されるデジタルデータのビット値に対応して複数の階調電圧の中から一つの階調電圧を選択することにより、ビット値に対応するアナログデータ信号を生成して、当該アナログデータ信号をデータ線D1ないしDmに供給する。

20

【0050】

図6は、図4に示されたシフトレジスタの一実施形態を示す回路図である。

【0051】

図6を参照すれば、本発明の一実施形態によるシフトレジスタS/Rは、スタートパルスSPまたは前段サンプリングパルスsapの供給を受けるものであって、ゲート電極が第2入力端子/c1kに接続される第1トランジスタM1と、第1トランジスタM1と出力端子outとの間に接続される第2トランジスタM2と、第2入力端子/c1kと第4電源VSSとの間に接続される第4トランジスタM4及び第3トランジスタM3と、第3電源VDDと出力端子outとの間に接続される第5トランジスタM5と、第2トランジスタM2のゲート電極と第2電極との間に接続されるキャパシタC1と、を具備する。ここで、第1トランジスタM1ないし第5トランジスタM5は、PMOSトランジスタに形成される。そして、第3電源VDDは、第4電源VSSよりも高い電圧値に設定される。

30

【0052】

第1トランジスタM1の第1電極は、スタートパルスSPまたは前段サンプリングパルスsapの供給を受ける(すなわち、第1電極は、外部入力端子に接続される)。そして、第1トランジスタM1のゲート電極は、第2入力端子/c1kに接続されて、第2電極は、第1ノードN1に接続される。このような第1トランジスタM1は、第2入力端子/c1kに供給される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされる。

40

【0053】

第2トランジスタM2のゲート電極は、第1ノードN1に接続され、第1電極は、第1入力端子clkに接続される。そして、第2トランジスタM2の第2電極は、出力端子outに接続される。このような第2トランジスタM2は、第1ノードN1に印加される電圧に対応してターンオンまたはターンオフされる。

【0054】

第3トランジスタM3の第1電極は、第2ノードN2に接続され、第2電極は、第4電源VSSに接続される。そして、第3トランジスタM3のゲート電極は、第2入力端子/c1kに接続される。

50

c l k に接続される。このような第 3 トランジスタ M 3 は、第 2 入力端子 / c l k に供給される第 1 クロック信号 C L K 1 または第 2 クロック信号 C L K 2 に対応してターンオンまたはターンオフされる。

【 0 0 5 5 】

第 4 トランジスタ M 4 の第 1 電極は、第 2 入力端子 / c l k に接続され、第 2 電極は、第 2 ノード N 2 に接続される。そして、第 4 トランジスタ M 4 のゲート電極は、第 1 ノード N 1 に接続される。このような第 4 トランジスタ M 4 は、第 1 ノード N 1 に印加される電圧に対応してターンオンまたはターンオフされる。

【 0 0 5 6 】

第 5 トランジスタ M 5 の第 1 電極は、第 3 電源 V D D に接続され、第 2 電極は、出力端子 o u t に接続される。そして、第 5 トランジスタ M 5 のゲート電極は、第 2 ノード N 2 に接続される。このような第 5 トランジスタ M 5 は、第 2 ノード N 2 に印加される電圧に対応してターンオンまたはターンオフされる。

10

【 0 0 5 7 】

キャパシタ C 1 は、第 2 トランジスタ M 2 のゲート電極と第 2 電極との間に接続される。このようなキャパシタ C 1 は、第 1 トランジスタ M 1 がターンオンされたときに、第 1 ノード N 1 に印加されるスタートパルス S P または前段サンプリングパルス s a p に対応する電圧を充電する。

【 0 0 5 8 】

次に、図 6 に示されたシフトレジスタ S / R を第 1 シフトレジスタ S / R 1 と仮定して動作過程を説明する。なお、説明の便宜性のために、クロック信号 C L K 1 , C L K 2 のローレベルの電圧は第 4 電源 V S S に設定され、ハイレベルの電圧は第 3 電源 V D D に設定されると仮定する。ここで、第 4 電源 V S S は、第 3 電源 V D D よりも低い電圧、例えば、グラウンド電圧 G N D に設定されうる。

20

【 0 0 5 9 】

まず、図 5 に示されたように、第 1 クロック信号 C L K 1 がハイレベル、第 2 クロック信号 C L K 2 がローレベルで、スタートパルス S P (ローレベル) が入力されれば、ローレベルの第 2 クロック信号 C L K 2 の入力を受ける第 1 トランジスタ M 1 及び第 3 トランジスタ M 3 がターンオンされる。第 1 トランジスタ M 1 がターンオンされれば、スタートパルス S P が第 1 ノード N 1 に供給される。この場合、第 2 トランジスタ M 2 及び第 4 トランジスタ M 4 がターンオンされる。

30

【 0 0 6 0 】

第 4 トランジスタ M 4 がターンオンされれば、ローレベルの第 2 クロック信号 C L K 2 が第 2 ノード N 2 に入力される。そして、第 3 トランジスタ M 3 がターンオンされれば、第 4 電源 V S S が第 2 ノード N 2 に入力される。この場合、第 5 トランジスタ M 5 がターンオンされて第 3 電源 V D D の電圧が出力端子 o u t に供給される。一方、第 2 トランジスタ M 2 がターンオンされれば、ハイレベルの第 1 クロック信号 C L K 1 が出力端子 o u t に供給される。

【 0 0 6 1 】

このとき、キャパシタ C 1 には第 1 ノード N 1 と出力端子 o u t との差に対応する電圧が充電される。言い換えれば、スタートパルス S P のロー電圧と第 3 電源 V D D との差に対応する電圧がキャパシタ C 1 に充電される。

40

【 0 0 6 2 】

その後、第 1 クロック信号 C L K 1 がローレベル、第 2 クロック信号 C L K 2 がハイレベルに転換され、スタートパルス S P の供給が中断される。すると、ハイレベルの第 2 クロック信号 C L K 2 の入力を受ける第 1 トランジスタ M 1 及び第 3 トランジスタ M 3 がターンオフされる。このとき、第 1 ノード N 1 は、キャパシタ C 1 に充電された電圧に対応してローレベルに設定される。すると、第 2 トランジスタ M 2 がターンオンされて、出力端子 o u t の電圧が第 1 クロック信号 C L K 1 のローレベルの電圧に下降される。すなわち、図 5 に示されたように、第 1 サンプリングパルス s a p 1 が生成される。

50

【0063】

一方、第1ノードN1の電圧がローレベルに設定されれば、第4トランジスタM4がターンオンされる。第4トランジスタM4がターンオンされれば、ハイレベルの第2クロック信号CLK2が第2ノードN2に供給されて第5トランジスタM5がターンオフされる。

【0064】

その後、第1クロック信号CLK1がハイレベル、第2クロック信号CLK2がローレベルに転換され、スタートパルスSPは供給されない。すると、ローレベルの第2クロック信号CLK2の入力を受けた第1トランジスタM1及び第3トランジスタM3がターンオンされる。第3トランジスタM3がターンオンされれば、第2ノードN2に第4電源VSSの電圧が供給されて第5トランジスタM5がターンオンされ、これによって出力端子outに第3電源VDDの電圧が供給される。

10

【0065】

そして、第1トランジスタM1がターンオンされれば、ハイレベルの電圧が第1ノードN1に供給される。すると、キャパシタC1は電圧を充電しない。したがって、次のクロック信号CLK1, CLK2の位相が反転されても第2トランジスタM2及び第4トランジスタM4はターンオフ状態を維持し、これによって、シフトレジスタS/Rはハイ状態の出力を維持する。

【0066】

すなわち、本発明のシフトレジスタS/Rは、外部入力端子からローレベルの電圧が入力されるときに、クロック信号CLK1, CLK2の半周期の間、ローレベルの電圧をキャパシタC1に保存し、クロック信号CLK1, CLK2の残りの半周期の間、ローレベルの電圧、すなわち、サンプリングパルスsapを出力する。

20

【0067】

一方、第2シフトレジスタS/R2は、第1クロック信号CLK1がローレベル、第2クロック信号CLK2がハイレベルに設定されて、第1サンプリングパルスsap1が入力されるときに、第1サンプリングパルスsap1に対応する電圧をキャパシタC1に充電する。そして、第2シフトレジスタS/R2は、第1クロック信号CLK1がハイレベル、第2クロック信号CLK2がローレベルに反転されるときに、第2サンプリングパルスsap2を出力する。実際に、本発明のシフトレジスタS/R1ないしS/Rnは、上記のような過程を繰り返しながら、サンプリングパルスsap1ないしsapnを順次に出力する。

30

【0068】

ただし、第1及び第2クロック信号CLK1, CLK2が両方ともハイレベルの場合、直前に第1クロック信号CLK1がローレベル、第2クロック信号CLK2がハイレベルで提供された場合には、直前の出力を維持し、反対に第1クロック信号CLK1がハイレベル、第2クロック信号CLK2がローレベルで提供された場合には、出力がハイレベルになるので、第1及び第2クロック信号CLK1, CLK2がハイレベルを示す領域がオーバーラップされればされるほど、隣接したシフトレジスタS/Rの出力パルスの間隔が発生する。

40

【0069】

図7は、図4に示されたサンプリングラッチの一実施形態を示す回路図である。

【0070】

ただし、図7は、各チャンネルに具備された複数のサンプリングラッチSAL1__1ないしSAL1__12, ..., SALm__1ないしSALm__12のうち、デジタルデータのMSB、すなわち、D[5]の入力を受ける第1サンプリングラッチSAL1__1, SAL2__1, ..., SALm__1をその例として説明する。

【0071】

図7を参照すれば、図4に示されたサンプリングラッチSAL1__1ないしSAL1__12, ..., SALm__1ないしSALm__12のそれぞれは、図6に示されたシフトレジ

50

スタS/Rと同じ回路に形成される。ただし、サンプリングラッチは、第1入力端子c1kにチャージング信号CHの入力を受け、第2入力端子/c1kにサンプリングパルスsapの入力を受ける。

【0072】

図5の波形図と結び付けて、1番目チャンネルに具備された第1サンプリングラッチSAL1__1の動作過程を説明すれば、まず、第1サンプリングラッチSAL1__1は、第1サンプリングパルスsap1がローレベルに設定されて、チャージング信号CHがハイレベルに設定されるときに、デジタルデータのMSB、すなわち、D[5]（図5のa1、ハイまたはロー）の入力を受ける。ここで、第1サンプリングラッチSAL1__1に入力されたD[5]（図5のa1）は、キャパシタC1に保存される。一方、第1サンプリングパルスsap1がローレベルに設定されるため、第5トランジスタM5がターンオンされて、出力端子outにはハイレベルの電圧が出力される。

10

【0073】

その後、第1サンプリングパルスsap1の供給が中断されて（ハイレベル）、チャージング信号CHの供給が中断されれば、出力端子outには、D[5]、すなわち、a1に対応する電圧が出力される。例えば、D[5]、すなわちa1がローレベル電圧の場合、出力端子outでローレベルの電圧が出力されて、ハイレベル電圧の場合、出力端子outでハイレベルの電圧が出力される。

【0074】

これと同様に、2番目チャンネルに具備された第1サンプリングラッチSAL2__1の場合、同じく第2サンプリングパルスsap2がローレベルに設定されて、チャージング信号CHがハイレベルに設定されるときに、デジタルデータのMSB、すなわち、D[5]（図5のa2、ハイまたはロー）の入力を受け、D[5]はキャパシタC1に保存されて、その後、第2サンプリングパルスsap2の供給が中断されて（ハイレベル）、チャージング信号CHの供給が中断されれば（ローレベル）出力端子outには、D[5]、すなわち、a2に対応する電圧が出力される。

20

【0075】

これは、各チャンネルに具備された第2サンプリングラッチSAL1__2, SAL2__2, ..., SALm__2に同一に適用され、各サンプリングパルスsap1, sap2, ..., s ap mがローレベルに設定されて、チャージング信号CHがハイレベルに設定されるときに、/D[5]、すなわち、/a1, /a2, ..., /anがキャパシタC1に保存され、その後、各サンプリングパルスsap1, sap2, ..., s ap mの供給が中断され（ハイレベル）、チャージング信号CHの供給が中断されれば（ローレベル）、出力端子outには、/D[5]すなわち、/a1, /a2, ..., /anに対応する電圧が出力される。

30

【0076】

実際に、本発明のサンプリングラッチSAL1__1ないしSAL1__12, ..., SALm__1ないしSALm__12は、サンプリングパルスsap及びチャージング信号CHに対応してデジタルデータの各ビットまたは各反転ビットの入力を受けて、入力を受けたビットに対応する電圧を出力端子outに出力する。

40

【0077】

図8は、図4に示されたホールディングラッチの一実施形態を示す回路図である。

【0078】

図8を参照すれば、図4に示されたホールディングラッチHOL1__1ないしHOL1__12, ..., HOLm__1ないしHOLm__12のそれぞれは、図6に示されたシフトレジスタS/Rと同じ回路に形成される。ただし、ホールディングラッチHOL1__1ないしHOL1__12, ..., HOLm__1ないしHOLm__12は、第1入力端子c1kに第2イネーブル信号EN2の入力を受けて、第2入力端子/c1kに第1イネーブル信号EN1の入力を受ける。

【0079】

50

図5の波形図と結び付けて、動作過程を説明すれば次のようである。

【0080】

まず、サンプリングラッチSAL1ないしSALmから出力されるデジタルデータビット、一例で、図5に示されたように、D[5]または/D[5]の入力が完了した後、第1イネーブル信号EN1がローレベルに設定され、第2イネーブル信号EN2がハイレベルに設定される。そうすれば、ホールディングラッチのそれぞれは、サンプリングラッチSAL1ないしSALmのそれぞれから出力されるデータビットの入力を受ける。ここで、ホールディングラッチに入力されたデータビットは、ホールディングラッチのそれぞれに含まれるキャパシタC1に保存される。

【0081】

その後、第1イネーブル信号EN1がハイレベルに設定され、第2イネーブル信号EN2がローレベルに設定されれば、ホールディングラッチのそれぞれは、自身に保存されたデータビットに対応する電圧(ハイまたはロー)をDACに出力する。

【0082】

すなわち、1番目チャンネルに具備された第1ホールディングラッチHOL1__1は、第1イネーブル信号EN1がローレベルに設定されて、第2イネーブル信号EN2がハイレベルに設定されれば、第1サンプリングラッチSAL1__1から出力されたD[5](図5のa1)の入力を受けてキャパシタC1に保存する。

【0083】

その後、第1イネーブル信号EN1がハイレベルに設定されて、第2イネーブル信号EN2がローレベルに設定されれば、第1ホールディングラッチHOL1__1は、保存されたD[5]、すなわち、a1に対応する電圧(ハイまたはロー)をDACに出力する。

【0084】

これと同様に、2番目チャンネルに具備された第1ホールディングラッチHOL2__1の場合、同じく第1イネーブル信号EN1がローレベルに設定されて、第2イネーブル信号EN2がハイレベルに設定されるときに、第1サンプリングラッチSAL2__1から出力されたD[5](図5のa2)の入力を受けてキャパシタC1に保存し、第1イネーブル信号EN1がハイレベルに設定され、第2イネーブル信号EN2がローレベルに設定されれば、第1ホールディングラッチHOL1__1は、保存されたD[5]、すなわち、a2に対応する電圧(ハイまたはロー)をDACに出力する。

【0085】

これは各チャンネルに具備された第2ホールディングラッチSAL1__2, SAL2__2, ..., SALm__2に同一に適用されて、/D[5]、すなわち、/a1, /a2, ..., /anに対応する電圧を、上記動作を経てDACに出力する。

【0086】

図9は、図4に示されたデジタル-アナログコンバータ(DAC)の一実施形態に対応する回路図である。ただし、これは、6ビットデジタルデータの入力を受けるDACをその例として説明する。

【0087】

図9に示されたように、本発明によるDACは、すべてPMOSトランジスタで具現され、ホールディングラッチを通じて出力される6ビットデジタルデータの各ビット及び各反転ビットの入力を受けて、これらの各ビット及び各反転ビットに対応して複数の階調電圧の中から一つの階調電圧を選択することにより、各ビット及び各反転ビットの値に対応するアナログデータ信号を生成して、アナログデータ信号をデータ線D1ないしDmに供給する役割を果たす。

【0088】

すなわち、入力されるデジタルデータが[000000]の場合には、階調電圧の中からV0が選択されて出力され、[000001]が入力される場合には、階調電圧の中からV1が選択されて出力され、[111111]の場合には、階調電圧の中からV63が選択されて出力されるものであり、6ビットデジタルデータが入力されれば、64種類の

10

20

30

40

50

階調電圧を表現することができるようになり、特定デジタルデータに対応する階調電圧が選択されれば、選択された階調電圧は該当するデータ線に供給される。

【0089】

上述したシフトレジスタ S/R 、サンプリングラッチ SAL 、ホールディングラッチ HOL 、及びデジタル-アナログコンバータ DAC の動作過程を参照して、図5の波形を説明すれば下記のようなものである。

【0090】

ただし、図5は、各チャンネルにデジタルデータの MSB または反転された MSB が入力される場合に対応する波形図である。

【0091】

まず、奇数番目シフトレジスタ S/R_1 、 S/R_3 、... は、第2クロック信号 CLK_2 のローレベル期間にスタートパルス SP または前段サンプリングパルス sap に対応する電圧を充電する。そして、第2クロック信号 CLK_2 のハイレベル期間に充電されたスタートパルス SP または前段サンプリングパルス sap に対応してローレベル電圧を出力する。

【0092】

そして、偶数番目シフトレジスタ S/R_2 、 S/R_4 、... は、第1クロック信号 CLK_1 のローレベル期間に前段サンプリングパルス sap に対応する電圧を充電する。そして、第1クロック信号 CLK_1 のハイレベル期間に充電されたサンプリングパルス sap に対応してローレベルの電圧を出力する。したがって、シフトレジスタ S/R_1 ないし S/R_m は、図6に示されたように、サンプリングパルス sap_1 ないし sap_m を順次に生成するようになる。

【0093】

ただし、前述したように、第1及び第2クロック信号 CLK_1 、 CLK_2 がすべてハイレベルの場合、直前に第1クロック信号 CLK_1 がローレベル、第2クロック信号 CLK_2 がハイレベルで提供された場合には、直前の出力を維持し、反対に、第1クロック信号 CLK_1 がハイレベル、第2クロック信号 CLK_2 がローレベルで提供された場合には、出力がハイレベルになるので、第1及び第2クロック信号 CLK_1 、 CLK_2 がハイレベルを示す領域がオーバーラップされればされるほど、隣接したシフトレジスタ S/R の出力パルス間に間隔が発生する。

【0094】

また、各チャンネルに具備された第1及び第2サンプリングラッチ SAL_{1_1} 、 SAL_{1_2} 、...、 SAL_{m_1} 、 SAL_{m_2} のそれぞれは、チャージング信号 CH がハイレベルで提供されて、自身にサンプリングパルス (sap_1 ないし sap_m のうち、いずれか一つ) が供給されるときに (ローレベル期間)、デジタルデータの MSB 、すなわち、 $D[5]$ または反転された MSB 、すなわち、 $/D[5]$ の入力を受けて、これを一時保存し、サンプリングパルス (sap_1 ないし sap_m のうち、いずれか一つ) の供給が中断 (ハイレベル) 期間になって、チャージング信号 CH がローレベルで提供されるときに、一時保存されたデータビットに対応する電圧を同時に出力する。

【0095】

すなわち、各チャンネルに具備された第1及び第2サンプリングラッチ SAL_{1_1} 、 SAL_{1_2} 、...、 SAL_{m_1} 、 SAL_{m_2} では、各サンプリングパルス sap_1 、 sap_2 、...、 sap_m がローレベルに設定され、チャージング信号 CH がハイレベルに設定されるときに、 $D[5]a_1$ 、 a_2 、...、 a_n 及び $/D[5]/a_1$ 、 $/a_2$ 、...、 $/a_n$ の入力を受けてキャパシタ C_1 に保存し、その後、各サンプリングパルス sap_1 、 sap_2 、...、 sap_m の供給が中断され (ハイレベル)、チャージング信号 CH の供給が中断されれば (ローレベル)、出力端子 out に $D[5]a_1$ 、 a_2 、...、 a_n 及び $/D[5]/a_1$ 、 $/a_2$ 、...、 $/a_n$ に対応する電圧が同時に出力される。

【0096】

これに対して、各チャンネルに具備された第1及び第2ホールディングラッチ HOL_1

10

20

30

40

50

__1, HOL 1__2, ..., HOL m__1, HOL m__2のそれぞれは、第1イネーブル信号EN 1がローレベルに設定され、第2イネーブル信号EN 2がハイレベルに設定されるときに、各チャンネルに具備された第1及び第2サンプリングラッチSAL 1__1, SAL 1__2, ..., SAL m__1, SAL m__2から出力されたデータビットの入力を受ける。そして、各チャンネルに具備された第1及び第2ホールディングラッチHOL 1__1, HOL 1__2, ..., HOL m__1, HOL m__2のそれぞれは、第1イネーブル信号EN 1がハイレベルに設定され、第2イネーブル信号EN 2がローレベルに設定されるときに、自身に保存されたデータに対応してハイレベルまたはローレベルの電圧をDACに出力する。

【0097】

また、ホールディングラッチから出力されるデジタルデータのビット及び反転ビットは、各チャンネルに具備されたDACの該当する端子にそれぞれ入力されて、DACは、ホールディングラッチから供給されるデータのビット値に対応して、複数の階調電圧の中から一つの階調電圧を選択することで、ビット値に対応するアナログデータ信号を生成してこれをデータ線D 1ないしD mに供給する。

【0098】

すなわち、本発明では上述したように、PMOSトランジスタのみを利用してデータ駆動部20を具現することができる。このようにデータ駆動部20を具現すれば、パネルに実装されうるし、これによって製造費用を低減することができる。

【0099】

図10は、図1に示されたデータ駆動部の他の実施形態を示す図面である。

【0100】

ただし、データ駆動部は、m個のチャンネルを持つと仮定して説明する。

【0101】

図10に示されたデータ駆動部20は、シフトレジスタ部100、コンバージョン部200、サンプリングラッチ部300、ホールディングラッチ部400、及びデジタル-アナログコンバータ(DAC)500を具備する。

【0102】

すなわち、図3に示された本発明の一実施形態と比べる場合、コンバージョン部200が追加され、チャージング信号CHの代わりに、コンバージョン部200から出力されるコンバージョン信号CVが出力される。

【0103】

シフトレジスタ部100は、スタートパルスSP、第1クロック信号CLK 1、及び第2クロック信号CLK 2の供給を受けてサンプリングパルスSapを順次に生成する。このために、シフトレジスタ部100は、m個のシフトレジスタを具備する。

【0104】

コンバージョン部200は、第1クロック信号CLK 1、第2クロック信号CLK 2、及びサンプリングパルスSapの供給を受けてコンバージョン信号CVを順次に生成する。このために、コンバージョン部200は、m個のコンバージョン回路を具備する。

【0105】

サンプリングラッチ部300は、サンプリングパルスSap及びコンバージョン信号CVの供給を受ける。サンプリングパルスSap及びコンバージョン信号CVの供給を受けたサンプリングラッチ部300は、入力されるデジタルデータの各ビット及び当該各ビットに対する各反転ビットの供給を受けて、各ビット及び各反転ビットを一時保存する。このために、サンプリングラッチ部300は、チャンネルごとに入力されるデジタルデータのビット数の2倍の個数のサンプリングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、チャンネルごとにサンプリングラッチは、6の2倍の個数、すなわち、12個具備される。

【0106】

ここで、それぞれのサンプリングラッチは、1ビットのデータまたは反転データを保存

10

20

30

40

50

する。

【0107】

ホールディングラッチ部400は、第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受ける。第1イネーブル信号EN1及び第2イネーブル信号EN2の供給を受けたホールディングラッチ部400は、サンプリングラッチ部300から出力されるそれぞれのデータビット（各ビット及び各反転ビット）の入力を同時に受けて、これをDACに出力する。

【0108】

これによって、ホールディングラッチ部400もまた、サンプリングラッチ部300と同様に、チャンネルごとに入力されるデジタルデータのビット数の2倍の個数のホールディングラッチを具備する。一例で、6ビットデジタルデータの入力を受ける場合、チャンネルごとに、ホールディングラッチは、6の2倍の個数、すなわち、12個具備される。

10

【0109】

DAC500は、ホールディングラッチ部400から出力されるデジタルデータの各ビット値に対応するアナログ信号を生成するもので、ホールディングラッチ部400から供給されるデータのビット値に対応して複数の階調電圧の中から一つの階調電圧を選択することにより、それに対応するアナログデータ信号を生成して、当該アナログデータ信号をデータ線D1ないしDmに供給する。

【0110】

図11は、図10に示されたデータ駆動部の具体的な構成を示す図面で、図12は、図11に示されたデータ駆動部の駆動方法を示す波形図である。

20

【0111】

ただし、データ駆動部は、m個のチャンネルを有し、6ビットデジタルデータが入力されると仮定して説明する。また、図12は、各チャンネルにデジタルデータのMSB及び反転されたMSBが入力される場合に対応する波形図である。

【0112】

これは、前述の図4及び図5に示された本発明の一実施形態の構成及び構成方法と比べる場合、シフトレジスタ部とサンプリングラッチ部との間にコンバージョン部が追加構成されており、それによって、チャージング信号CHの代わりに、コンバージョン部から出力されるコンバージョン信号CVが使用され、具体的な動作は上述した一実施形態と同様である。

30

【0113】

図11を参照すれば、シフトレジスタ部100及びコンバージョン部200は、一つのチャンネルごとに一つのシフトレジスタS/R1ないしS/Rm及びコンバージョン回路CC1ないしCCmを具備する。そして、サンプリングラッチ部300は、一つのチャンネルごとに12個のサンプリングラッチSAL1_1ないしSAL1_12, ..., SALm_1ないしSALm_12を具備し、ホールディングラッチ部400もまた、一つのチャンネルごとに12個のホールディングラッチSAL1_1ないしSAL1_12, ..., SALm_1ないしSALm_12を具備する。ただし、図11では、1番目チャンネルに対応する構成が中心に示されている。

40

【0114】

シフトレジスタS/R1ないしS/Rmのうち、奇数番目シフトレジスタS/R1, S/R3, ...は、第1入力端子clkに第1クロック信号CLK1の入力を受け、第2入力端子/c1kに第2クロック信号CLK2の入力を受ける。シフトレジスタS/R1ないしS/Rmのうち、偶数番目シフトレジスタS/R2, S/R4, ...は、第1入力端子clkに第2クロック信号CLK2の入力を受け、第2入力端子/c1kに第1クロック信号CLK1の入力を受ける。ここで、第1クロック信号CLK1及び第2クロック信号CLK2は、180°の位相差を有する。ただし、図12に示される本実施形態の場合、第1クロック信号CLK1及び第2クロック信号CLK2がハイレベルを示す領域が所定範囲にわたって重なるように、第1クロック信号CLK1及び第2クロック信号CLK2が

50

提供される。

【0115】

シフトレジスタ S/R_1 ないし S/R_m のうち、第1シフトレジスタ S/R_1 は、第1クロック信号 CLK_1 、第2クロック信号 CLK_2 、及びスタートパルス SP の供給を受けて、第1サンプリングパルス sap_1 を生成する。そして、第2シフトレジスタ S/R_2 は、第1クロック信号 CLK_1 、第2クロック信号 CLK_2 、及び第1サンプリングパルス sap_1 の供給を受けて、第2サンプリングパルス sap_2 を生成する。実際に、シフトレジスタ S/R_1 ないし S/R_m は、スタートパルス SP または前段のサンプリングパルス sap の供給を受けて、図12に示すように、サンプリングパルス sap を順次に生成する。

10

【0116】

コンバージョン回路 CC_1 ないし CC_m のうち、奇数番目コンバージョン回路 CC_1 、 CC_3 、...は、第1入力端子 clk に第1クロック信号 CLK_1 の入力を受け、第2入力端子 $/clk$ に第2クロック信号 CLK_2 の入力を受ける。コンバージョン回路 CC_1 ないし CC_m のうち、偶数番目コンバージョン回路 CC_2 、 CC_4 、...は、第1入力端子 clk に第2クロック信号 CLK_2 の入力を受け、第2入力端子 $/clk$ に第1クロック信号 CLK_1 の入力を受ける。

【0117】

このようなコンバージョン回路 CC_1 ないし CC_m は、第1クロック信号 CLK_1 、第2クロック信号 CLK_2 、及びシフトレジスタ部100から出力されるサンプリングパルス sap の供給を受けてコンバージョン信号 CV を生成する。言い換えれば、第1コンバージョン回路 CC_1 は、第1サンプリングパルス sap_1 、第1クロック信号 CLK_1 、及び第2クロック信号 CLK_2 の供給を受けて、第1コンバージョン信号 CV_1 を生成する。そして、第2コンバージョン回路 CC_2 は、第2サンプリングパルス sap_2 、第1クロック信号 CLK_1 、及び第2クロック信号 CLK_2 の供給を受けて、第2コンバージョン信号 CV_2 を生成する。ここで、第2コンバージョン信号 CV_2 は、図12に示されるように、第1コンバージョン信号 CV_1 と所定期間重畳されるように生成される。

20

【0118】

また、サンプリングラッチ SAL_1_1 ないし SAL_1_12 、...、 SAL_m_1 ないし SAL_m_12 は、第1入力端子 clk でコンバージョン信号 CV の入力を受け、第2入力端子 $/clk$ にサンプリングパルス sap の入力を受ける。サンプリングパルス sap 及びコンバージョン信号 CV の供給を受けたサンプリングラッチ SAL_1_1 ないし SAL_1_12 、...、 SAL_m_1 ないし SAL_m_12 は、デジタルデータの各ビットまたは各反転ビットの入力を受けて、これを一時保存する。

30

【0119】

一例で、1番目チャンネルに相当するサンプリングラッチ SAL_1_1 ないし SAL_1_12 の場合、第1入力端子 clk に第1コンバージョン信号 CV_1 の入力を受け、第2入力端子 $/clk$ に第1サンプリングパルス sap_1 の入力を受けて、1番目チャンネルに相当するデジタルデータの各ビットまたは各反転ビットの入力を受け、これを一時保存する。

40

【0120】

すなわち、1番目チャンネルに具備された第1サンプリングラッチ SAL_1_1 は、第1サンプリングパルス sap_1 及び第1コンバージョン信号 CV_1 が供給されるときに、デジタルデータの MSB 、すなわち、 $D[5]$ (図5の a_1)の入力を受けて、これを一時保存し、第2サンプリングラッチ SAL_1_2 は、第1サンプリングパルス sap_1 及び第1コンバージョン信号 CV_1 が供給されるときに、デジタルデータの反転された MSB 、すなわち、 $/D[5]$ (図5の $/a_1$)の入力を受けて、これを一時保存する。

【0121】

1番目チャンネルに具備された残りのサンプリングラッチ SAL_1_3 ないし SAL_1_12 の場合もこれと同様に、第1サンプリングパルス sap_1 及び第1コンバージョン

50

信号CV1が供給されるときに、デジタルデータの各ビットまたは各反転ビット(D[4], /D[4], D[3], /D[3], D[2], /D[2], D[1], /D[1], D[0], /D[0])の入力を受けて、これを一時保存する。

【0122】

また、ホールディングラッチHOL1__1ないしHOL1__12, ..., HOLm__1ないしHOLm__12は、第1入力端子clkに第2イネーブル信号EN2の入力を受け、第2入力端子/c1kに第1イネーブル信号EN1の入力を受ける。

【0123】

第1イネーブル信号EN1及び第2イネーブル信号EN2の入力を受けるホールディングラッチHOL1__1ないしHOL1__12, ..., HOLm__1ないしHOLm__12は、サンプリングラッチSAL1__1ないしSAL1__12, ..., SALm__1ないしSALm__12に一時保存されているデジタルデータの各ビットまたは各反転ビットの入力を受ける。そして、ホールディングラッチは、入力を受けたデジタルデータの各ビットまたは各反転ビットをDACに出力する。

10

【0124】

一例で、1番目チャンネルに相当するホールディングラッチHOL1__1ないしHOL1__12の場合、第1入力端子clkに第2イネーブル信号EN2の入力を受け、第2入力端子/c1kに第1イネーブル信号EN1の入力を受けて、1番目チャンネルに相当するサンプリングラッチSAL1__1ないしSAL1__12に一時保存されたデジタルデータの各ビットまたは各反転ビットの入力を受けて、これをDACに出力する。

20

【0125】

ここで、1番目チャンネルに具備された第1ホールディングラッチHOL1__1は、第1サンプリングラッチSAL1__1に一時保存されたD[5]の供給を受けてこれをDACに出力し、第2ホールディングラッチHOL1__2は、第2サンプリングラッチSAL1__2に一時保存された/D[5]の供給を受けてこれをDACに出力する。

【0126】

1番目チャンネルに具備された残りのホールディングラッチHOL1__3ないしHOL1__12の場合もこれと同様に、サンプリングラッチSAL1__3ないしSAL1__12に一時保存されたデジタルデータの各ビットまたは各反転ビット(D[4], /D[4], D[3], /D[3], D[2], /D[2], D[1], /D[1], D[0], /D[0])の入力を受けて、これをDACに出力する。

30

【0127】

また、ホールディングラッチから出力されるデジタルデータのビット及び反転ビットは、各チャンネルに具備されたDACの該当する端子にそれぞれ入力されて、DACは、ホールディングラッチから供給されるデータのビット値に対応して複数の階調電圧の中から一つの階調電圧を選択することにより、ビット値に対応するアナログデータ信号を生成して、当該アナログデータ信号をデータ線D1ないしDmに供給する。

【0128】

図13は、図11に示されたコンバージョン回路を示す図面である。

【0129】

図13を参照すれば、本発明の他の実施形態によるコンバージョン回路CC1ないしCmのそれぞれは、入力部202及び出力部204を具備する。ここで、入力部202及び出力部204のそれぞれに含まれるトランジスタM11ないしM18は、PMOSTランジスタに形成される。

40

【0130】

出力部204は、入力部202から入力されるハイレベルまたはローレベルの電圧、第1入力端子clkに入力されるクロック信号(CLK1またはCLK2)の状態、及び第3入力端子inに入力されるサンプリングパルスsapに対応して、コンバージョン信号CVの出力可否を制御する。

【0131】

50

このために、出力部 204 は、第 3 電源 VDD と出力端子 out との間に接続される第 11 トランジスタ M11 と、出力端子 out と第 4 電源 VSS との間に接続される第 12 トランジスタ M12 及び第 14 キャパシタ C14 と、第 12 トランジスタ M12 のゲート電極と第 12 トランジスタ M12 の第 1 電極との間に接続される第 13 トランジスタ M13 及び第 11 キャパシタ C11 と、第 12 トランジスタ M12 のゲート電極及び入力部 202 の出力端に接続される第 14 トランジスタ M14 と、第 3 入力端子 in と第 11 トランジスタ M11 との間に接続される第 15 トランジスタ M15 と、第 11 トランジスタ M11 のゲート電極と第 11 トランジスタ M11 の第 1 電極との間に接続される第 12 キャパシタ C12 と、を具備する。

【0132】

第 11 トランジスタ M11 のゲート電極は、第 15 トランジスタ M15 の第 2 電極及び第 12 キャパシタ C12 の一側端子に接続されて、第 1 電極は、第 3 電源 VDD に接続される。そして、第 11 トランジスタ M11 の第 2 電極は、出力端子 out に接続される。このような第 11 トランジスタ M11 は、第 15 トランジスタ M15 がターンオンされるときに、第 3 入力端子 in から入力される電圧または第 12 キャパシタ C12 に保存されている電圧に対応してターンオンまたはターンオフされる。

10

【0133】

第 12 キャパシタ C12 は、第 11 トランジスタ M11 の第 1 電極とゲート電極との間に接続される。このような第 12 キャパシタ C12 は、第 11 トランジスタ M11 のターンオンまたはターンオフに対応する電圧を充電する。例えば、第 11 トランジスタ M11 がターンオンされる場合、第 12 キャパシタ C12 は、第 11 トランジスタ M11 がターンオンされうる電圧を充電して、第 11 トランジスタ M11 がターンオフされる場合、第 12 キャパシタ C12 は、第 11 トランジスタ M11 がターンオフされうる電圧を充電する。

20

【0134】

第 12 トランジスタ M12 のゲート電極は、第 14 トランジスタ M14 の第 1 電極、第 11 キャパシタ C11 の一側端子、及び第 13 トランジスタ M12 の第 2 電極に接続される。そして、第 12 トランジスタ M12 の第 1 電極は、出力端子 out に接続され、第 2 電極は、第 4 電源 VSS に接続される。このような第 12 トランジスタ M12 は、自身のゲート電極に印加される電圧に対応してターンオンまたはターンオフされる。

30

【0135】

第 11 キャパシタ C11 は、第 12 トランジスタ M12 の第 1 電極とゲート電極との間に接続される。このような第 11 キャパシタ C11 は、第 12 トランジスタ M12 のターンオンまたはターンオフに対応する電圧を充電する。例えば、第 12 トランジスタ M12 がターンオンされる場合、第 11 キャパシタ C11 は、第 12 トランジスタ M12 がターンオンされうる電圧を充電し、第 12 トランジスタ M12 がターンオフされる場合、第 11 キャパシタ C11 は、第 12 トランジスタ M12 がターンオフされうる電圧を充電する。

【0136】

第 13 トランジスタ M13 のゲート電極は、第 11 トランジスタ M11 のゲート電極に接続され、第 1 電極は、第 11 トランジスタ M11 の第 2 電極に接続される。そして、第 13 トランジスタ M13 の第 2 電極は、第 12 トランジスタ M12 のゲート電極に接続される。このような第 13 トランジスタ M13 は、第 11 トランジスタ M11 と同時にターンオンまたはターンオフされつつ、第 12 トランジスタ M12 のゲート電極に供給される電圧を制御する。

40

【0137】

第 14 トランジスタ M14 のゲート電極は、入力部 202 の出力端に接続され、第 1 電極は、第 12 トランジスタ M12 のゲート電極に接続される。そして、第 14 トランジスタ M14 の第 2 電極は、第 4 電源 VSS に接続される。このような第 14 トランジスタ M14 は、入力部 202 の出力端から供給される電圧に対応してターンオンまたはターンオ

50

フされつつ、第12トランジスタM12のゲート電極に供給される電圧を制御する。

【0138】

第15トランジスタM15のゲート電極は、第1入力端子clkに接続され、第1電極は、第3入力端子inに接続される。そして、第15トランジスタM15の第2電極は、第11トランジスタM11のゲート電極に接続される。このような第15トランジスタM15は、第1入力端子clkに入力される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされつつ、第3入力端子inの電圧を第11トランジスタM11のゲート電極に供給する。

【0139】

第14キャパシタC14は、出力端子outと第4電源VSSとの間に接続される。このような第14キャパシタC14は、出力端子outの電圧を安定化するために使用される。 10

【0140】

入力部202は、第1入力端子clk、第2入力端子/clk、及び第3入力端子inに供給される電圧に対応して、出力部204にハイレベルまたはローレベルの電圧を供給する。

【0141】

このために、第3電源VDD及び第3入力端子inに接続される第18トランジスタM18と、第18トランジスタM18と出力部204との間に接続される第16トランジスタM16と、第18トランジスタM18と第2入力端子/clkとの間に接続される第17トランジスタM17を具備する。 20

【0142】

第16トランジスタM16の第1電極は、出力部204の入力端に接続され、第2電極は、第1入力端子clkに接続される。そして、第16トランジスタM16のゲート電極は、第18トランジスタM18の第2電極及び第17トランジスタM17の第1電極に接続される。このような第16トランジスタM16は、第3入力端子in、第2入力端子/clk、または第13キャパシタC13に保存される電圧に対応してターンオンまたはターンオフされる。

【0143】

第13キャパシタC13は、第16トランジスタM16の第1電極とゲート電極との間に接続される。このような第13キャパシタC13は、第16トランジスタM16のターンオンまたはターンオフに対応する電圧を充電する。例えば、第16トランジスタM16がターンオンされる場合、第13キャパシタC13は第16トランジスタM16がターンオンされうる電圧を充電して、第16トランジスタM16がターンオフされる場合、第13キャパシタC13は第16トランジスタM16がターンオフされうる電圧を充電する。 30

【0144】

第17トランジスタM17のゲート電極及び第2電極は、第2入力端子/clkに接続され、第1電極は、第18トランジスタM18の第2電極に接続される。このような第17トランジスタM17は、ダイオード形態で接続されて第2入力端子/clkに供給される第1クロック信号CLK1または第2クロック信号CLK2に対応してターンオンまたはターンオフされる。 40

【0145】

第18トランジスタM18のゲート電極は、第3入力端子inに接続され、第1電極は、第3電源VDDに接続される。そして、第18トランジスタM18の第2電極は、第16トランジスタM16のゲート電極に接続される。このような第18トランジスタM18は、第3入力端子inに供給される電圧に対応してターンオンまたはターンオフされる。

【0146】

図14は、図13に示されたコンバージョン回路の動作過程を説明するための波形図である。図14では、説明の便宜性のために、第1入力端子clkに第1クロック信号CLK1が供給され、第2入力端子/clkに第2クロック信号CLK2が供給されると仮定 50

する。

【0147】

図13及び図14を結び付けて動作過程を詳しく説明すれば、まず第1期間T1の間、第1入力端子clkにローレベルの電圧、第2入力端子/cclkにハイレベルの電圧、及び第3入力端子inにハイレベルの電圧が入力される。

【0148】

第3入力端子in及び第2入力端子/cclkにハイレベルの電圧が入力されれば、第17トランジスタM17及び第18トランジスタM18がターンオフされる。このとき、第16トランジスタM16は、第13トランジスタC13に既に保存された電圧によってターンオンされる。すると、第1入力端子clkに入力されたローレベルの電圧が、入力部202の出力端に出力される。

10

【0149】

一方、入力部202の出力端にローレベルの電圧が出力されれば、第14トランジスタM14がターンオンされる。また、第1入力端子clkに供給されたローレベルの電圧に対応して、第15トランジスタM15がターンオンされる。第15トランジスタM15がターンオンされれば、第3入力端子inに供給されたハイレベルの電圧が第11トランジスタM11及び第13トランジスタM13のゲート電極に供給される。この場合、第11トランジスタM11及び第13トランジスタM13がターンオフされて、これによって第12キャパシタC12にはターンオフに対応する電圧が充電される。

【0150】

そして、第14トランジスタM14がターンオンされれば、第4電源VSSの電圧が第12トランジスタM12のゲート電極に供給される。第4電源VSSの電圧が第12トランジスタM12のゲート電極に供給されれば、第12トランジスタM12がターンオンされて、これによって第11キャパシタC11にはターンオンに対応する電圧が充電される。一方、第12トランジスタM12がターンオンされれば、第1期間T1の間、出力端子outにはローレベルの電圧が出力される。

20

【0151】

第2期間T2の間、第1入力端子clkにハイレベルの電圧、第2入力端子/cclkにローレベルの電圧、及び第3入力端子inにローレベルの電圧が入力される。

【0152】

第2入力端子/cclkにローレベルの電圧が入力されれば、第17トランジスタM17がターンオンされる。そして、第3入力端子inにローレベルの電圧が入力されれば、第18トランジスタM18がターンオンされる。この場合、第16トランジスタM16がターンオンされて、第1入力端子clkに入力されたハイレベルの電圧が入力部202の出力端に出力される。このとき、第13キャパシタC13は、第16トランジスタM16のターンオン状態に対応する電圧を充電する。

30

【0153】

一方、入力部202の出力端にハイレベルの電圧が出力されれば、第14トランジスタM14がターンオフされる。そして、第1入力端子clkに供給されたハイレベルの電圧に対応して、第15トランジスタM15がターンオフされる。

40

【0154】

第15トランジスタM15がターンオフされれば、第12キャパシタC12に保存されたターンオフ電圧に対応して、第11トランジスタM11及び第13トランジスタM13がターンオフされる。そして、第14トランジスタM14がターンオフされれば、第11キャパシタC11に保存されたターンオン電圧に対応して、第12トランジスタM12がターンオンされる。すると、出力端子outにローレベルの電圧が出力される。すなわち、第2期間T2の間には、直前の状態(すなわち、第1期間T1の電圧)が維持される。

【0155】

第3期間T3の間、第1入力端子clkにローレベルの電圧、第2入力端子/cclkにハイレベルの電圧、及び第3入力端子inにローレベルの電圧が入力される。

50

【0156】

第2入力端子/c1kにハイレベルの電圧が入力されれば、第17トランジスタM17がターンオフされる。そして、第3入力端子inにローレベルの電圧が入力されれば、第18トランジスタM18がターンオンされる。すると、第16トランジスタM16のゲート電圧が第3電源VDDの電圧に上昇される。第16トランジスタM16のゲート電圧が第3電源VDDの電圧に上昇されれば、第16トランジスタM16の第1電極の電圧は第3電源VDDの電圧以下に下降されず、これによって、第14トランジスタM14がターンオフされる。

【0157】

一方、第1入力端子c1kに供給されたローレベルの電圧に対応して、第15トランジスタM15がターンオンされる。第15トランジスタM15がターンオンされれば、第3入力端子inに入力されたローレベルの電圧が第11トランジスタM11及び第13トランジスタM13のゲート電極に供給される。すると、第11トランジスタM11及び第13トランジスタM13がターンオンされる。この場合、第12キャパシタC12には、第11トランジスタM11のターンオンに対応する電圧が充電される。 10

【0158】

第11トランジスタM11がターンオンされれば、第3電源VDDの電圧が出力端子outに供給される。すなわち、出力端子outにはハイレベルの電圧が出力される。そして、第13トランジスタM13がターンオンされれば、第12トランジスタM12のゲート電極に第3電源VDDが供給されて、第12トランジスタM12がターンオフされる。この場合、第11キャパシタC11には、ターンオフに対応する電圧が保存される。 20

【0159】

第4期間T4の間、第1入力端子c1kにハイレベルの電圧、第2入力端子/c1kにローレベルの電圧、及び第3入力端子inにハイレベルの電圧が入力される。

【0160】

第2入力端子/c1kにローレベルの電圧が入力されれば、第17トランジスタM17がターンオンされる。そして、第3入力端子inにハイレベルの電圧が入力されれば、第18トランジスタM18がターンオフされる。すると、第2入力端子/c1kに入力されたローレベルの電圧が第16トランジスタM16に供給されて、第16トランジスタM16がターンオンされる。第16トランジスタM16がターンオンされれば、第1入力端子c1kに供給されたハイレベルの電圧が第14トランジスタM14に供給されて、第14トランジスタM14がターンオフされる。 30

【0161】

一方、第1入力端子c1kに供給されたハイレベルの電圧に対応して、第15トランジスタM15がターンオフされる。第15トランジスタM15がターンオフされれば、第12キャパシタC12に保存された電圧によって、第11トランジスタM11及び第13トランジスタM13がターンオンされる。そして、第14トランジスタM14がターンオフされれば、第11キャパシタC11に保存された電圧に対応して第12トランジスタM12がターンオフされる。すなわち、第4期間T4の間には、第3期間T3の出力と同じハイレベルの電圧が出力される。 40

【0162】

このような本発明の他の実施形態によるコンバージョン回路CCの動作過程を整理して見れば、第1入力端子c1kにローレベルの電圧が入力されれば、第3入力端子inの電圧と反対レベルの電圧を出力し、第1入力端子c1kにハイレベルの電圧が入力されれば直前の期間の出力を維持する。

【0163】

以上、本発明の添付図面を参照して実施形態について具体的に説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【図面の簡単な説明】

【 0 1 6 4 】

【図 1】本発明の一実施形態による有機電界発光表示装置を示す図面である。

【図 2】図 1 に示された画素の一実施形態を示す図面である。

【図 3】図 1 に示されたデータ駆動部の一実施形態を示す図面である。

【図 4】図 3 に示されたデータ駆動部の具体的な構成を示す図面である。

【図 5】図 4 に示されたデータ駆動部の駆動方法を示す波形図である。

【図 6】図 4 に示されたシフトレジスタの一実施形態を示す回路図である。

【図 7】図 4 に示されたサンプリングラッチの一実施形態を示す回路図である。

【図 8】図 4 に示されたホールディングラッチの一実施形態を示す回路図である。

【図 9】図 4 に示されたデジタル - アナログコンバータの一実施形態を示す回路図である 10

。 【図 10】図 1 に示されたデータ駆動部の他の実施形態を示す図面である。

【図 11】図 10 に示されたデータ駆動部の具体的な構成を示す図面である。

【図 12】図 11 に示されたデータ駆動部の駆動方法を示す波形図である。

【図 13】図 11 に示されたコンバージョン回路を示す回路図である。

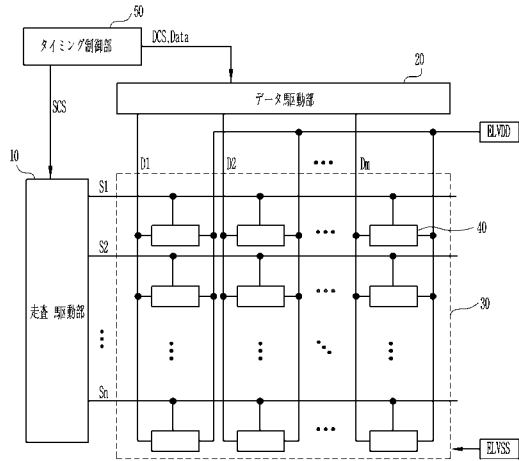
【図 14】図 13 に示されたコンバージョン回路の動作過程を説明するための波形図である。

【符号の説明】

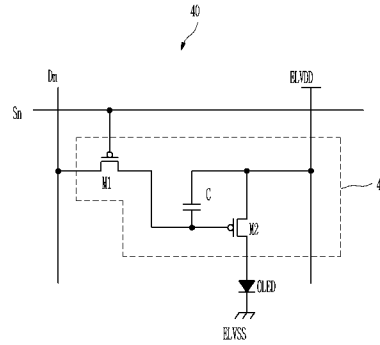
【 0 1 6 5 】

- | | | |
|-------|-------------------|----|
| 1 0 | 走査駆動部、 | 20 |
| 2 0 | データ駆動部、 | |
| 3 0 | 画素部、 | |
| 4 0 | 画素、 | |
| 4 2 | 画素回路、 | |
| 5 0 | タイミング制御部、 | |
| 1 0 0 | シフトレジスタ部、 | |
| 2 0 0 | コンバージョン部、 | |
| 2 0 2 | 入力部、 | |
| 2 0 4 | 出力部、 | |
| 3 0 0 | サンプリングラッチ部、 | 30 |
| 4 0 0 | ホールディングラッチ部、 | |
| 5 0 0 | デジタル - アナログコンバータ。 | |

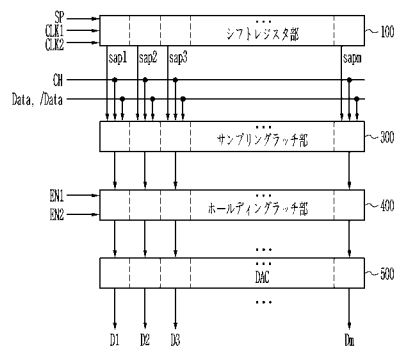
【 図 1 】



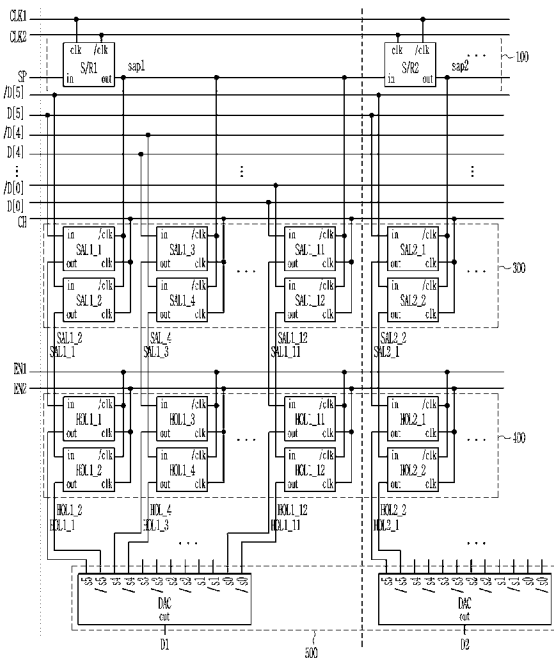
【 図 2 】



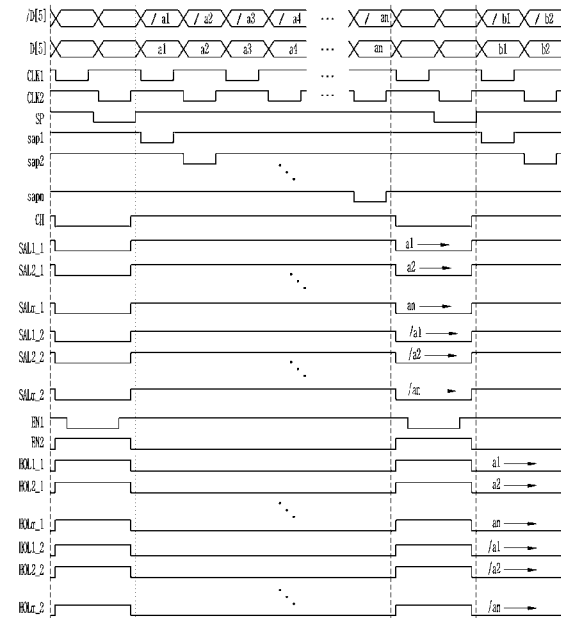
【 図 3 】



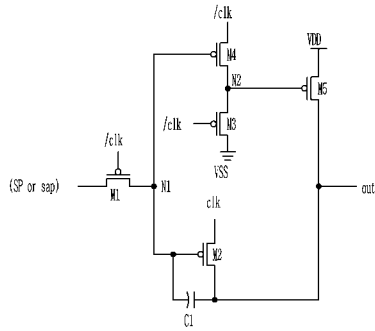
【 図 4 】



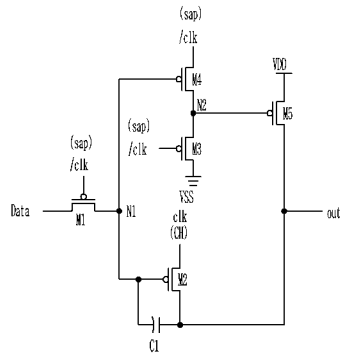
【 図 5 】



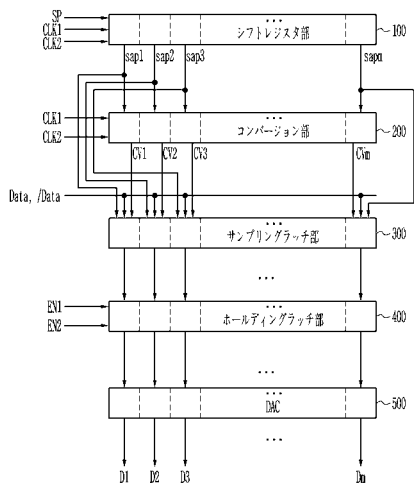
【 図 6 】



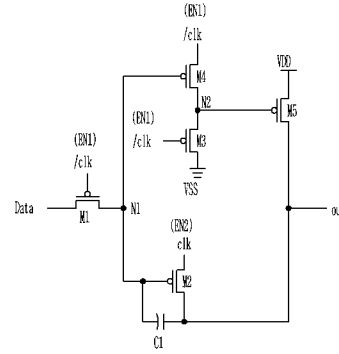
【 図 7 】



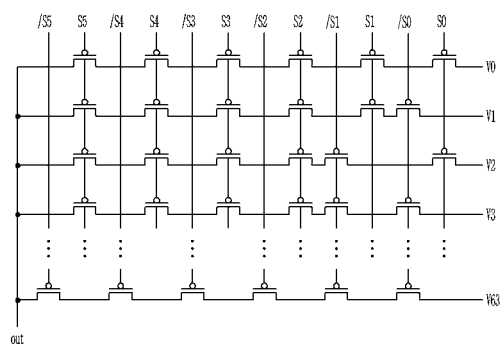
【 図 10 】



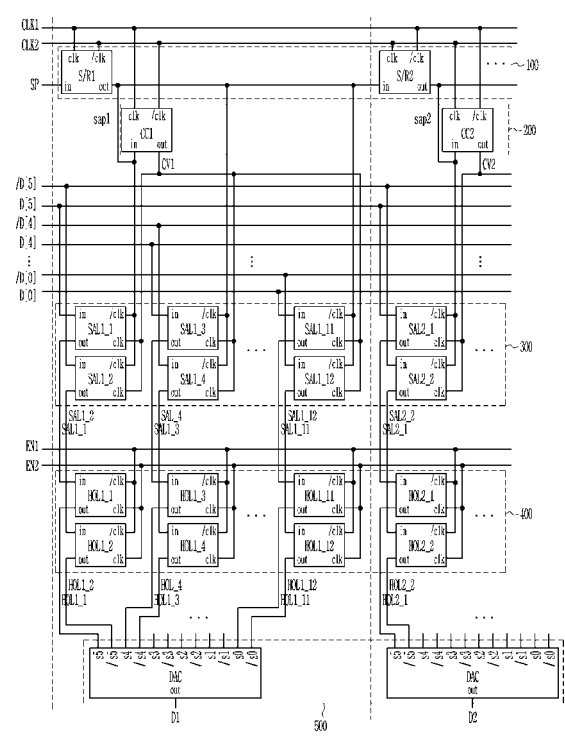
【 図 8 】



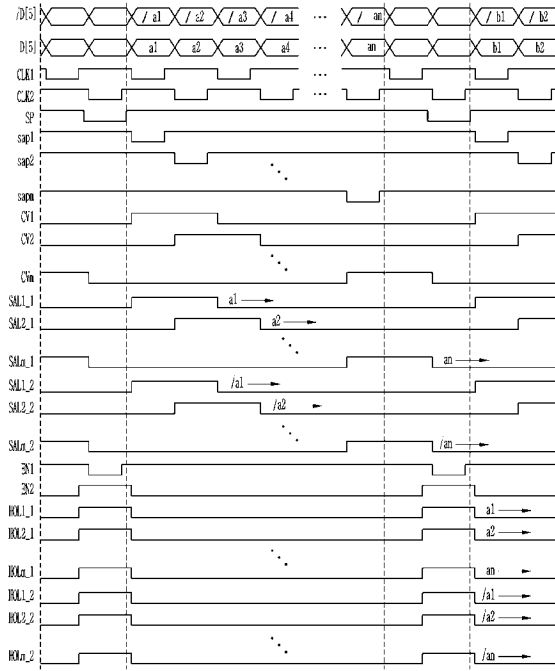
【 図 9 】



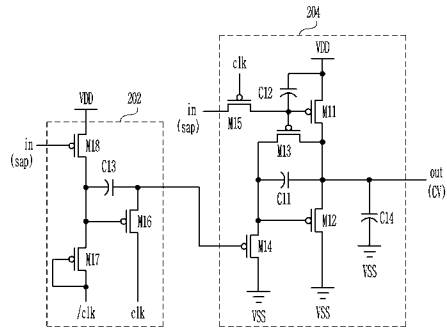
【 図 11 】



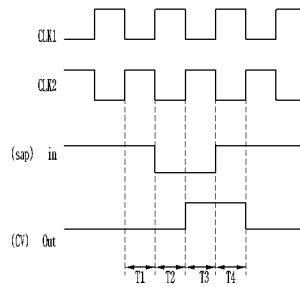
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 2 1 M
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 2 3 L

(74)代理人 100134348

弁理士 長谷川 俊弘

(72)発明者 申 東 蓉

大韓民国ソウル特別市冠岳区奉天1洞969-37

Fターム(参考) 3K107 AA01 BB01 CC43 CC45 EE03 HH02 HH04
5C080 AA06 BB05 DD22 DD27 JJ02 JJ03 JJ04

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 数据驱动器和使用其的有机发光显示器 | | |
| 公开(公告)号 | JP2007279684A | 公开(公告)日 | 2007-10-25 |
| 申请号 | JP2007001601 | 申请日 | 2007-01-09 |
| [标]申请(专利权)人(译) | 三星斯笛爱股份有限公司 | | |
| 申请(专利权)人(译) | 三星エスディアイ株式会社 | | |
| [标]发明人 | 申東蓉 | | |
| 发明人 | 申東蓉 | | |
| IPC分类号 | G09G3/30 H01L51/50 G09G3/20 | | |
| CPC分类号 | G09G3/20 G09G3/3275 G09G2300/0408 G09G2310/027 G09G2310/08 | | |
| FI分类号 | G09G3/30.J H05B33/14.A G09G3/20.623.A G09G3/20.623.H G09G3/20.623.G G09G3/20.623.F G09G3/20.621.M G09G3/20.680.G G09G3/20.623.L G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/00 G11C19/00.J | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD27 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5C380/AA01 5C380/AB06 5C380/BA11 5C380/BA28 5C380/CA04 5C380/CA06 5C380/CA08 5C380/CA12 5C380/CA17 5C380/CA22 5C380/CA23 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CC02 5C380/CC30 5C380/CC33 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF48 5C380/DA02 5C380/DA06 | | |
| 代理人(译) | 宇谷 胜幸 藤田 健 | | |
| 优先权 | 1020060031637 2006-04-06 KR | | |
| 其他公开文献 | JP4709169B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供由PMOS型晶体管组成的数据驱动器。

ŽSOLUTION：数据驱动器包括：移位寄存器单元100，被配置为接收第一时钟信号，第二时钟信号和起始脉冲，并且一个接一个地产生采样脉冲，采样锁存单元300被配置为接收比特和反转比特对应于采样脉冲和充电信号，数字数据暂时保持相应的位和反转位，保持锁存单元400被配置为同时接收由采样锁存单元输出的位和反位，并输出输入位和反转位，对应于第一使能信号和第二使能信号，以及数模转换器500，被配置为产生与由保持锁存单元输出的位和反转位的值相对应的模拟信号。 Ž

