



**【特許請求の範囲】****【請求項 1】**

マトリクス状に配置された複数の画素と、

スタートパルスに応じて前記画素の発光と消灯を制御する制御部と、  
を有し、

前記画素は光学素子を有し、

前記制御部は、1 走査区間内におけるスタートパルスの入力回数をカウントして、入力回数が第 1 のカウント値に達した場合、前記光学素子を発光させる制御を行い、かつ、入力回数が第 2 のカウント値に達した場合、前記光学素子を消灯させる制御を行うことを特徴とする表示装置。

10

**【請求項 2】**

前記制御部は、

最初のスタートパルスの入力にともなって、前記光学素子を発光させる制御を行い、N 番目 ( $N > 1$ ) のスタートパルスの入力にともなって、前記光学素子を消灯させる制御を行うことを特徴とする請求項 1 記載の表示装置。

**【請求項 3】**

前記画素は、前記光学素子の発光を制御するための第 1 の信号線と、前記光学素子の消灯を制御するための第 2 の信号線とを介して、前記制御部と接続され、

前記制御部は、

前記スタートパルスの入力にともなって、信号を出力するシフトレジスタと、

20

前記シフトレジスタから出力された信号に応じて、前記第 1 の信号線と、前記第 2 の信号線のいずれか一方にパルスを出力する切替部を有することを特徴とする請求項 1 記載の表示装置。

**【請求項 4】**

前記画素は、前記光学素子の発光を制御するための第 1 の信号線と、前記光学素子の消灯を制御するための第 2 の信号線とを介して、前記制御部と接続され、

前記制御部は、

前記光学素子を発光させるための制御信号を、第 1 の信号線を介して前記画素に送っている期間は、前記光学素子を消灯させないための制御信号を、第 2 の信号線を介して前記画素に送ることを特徴とする請求項 1 から 2 のいずれかに記載の表示装置。

30

**【請求項 5】**

前記画素は、前記光学素子の発光を制御するための第 1 の信号線と、前記光学素子の消灯を制御するための第 2 の信号線とを介して、前記制御部と接続され、

前記制御部は、

前記第 2 の信号線を介して、前記光学素子を消灯させるための制御信号を送ることによって、前記光学素子の消灯期間を制御することを特徴とする請求項 1 から 2 のいずれかに記載の表示装置。

**【請求項 6】**

マトリクス状に配置された複数の画素と、

複数のスタートパルス信号線からの入力に応じて、画素の発光と消灯を制御する制御部と、  
を有し、

40

前記制御部は、前記複数のスタートパルス信号線のいずれかのスタートパルス信号線より入力された前記画素を発光するための第 1 のスタートパルスの入力にともなって、前記画素を発光させる制御を行い、かつ/または、他のスタートパルス信号線より入力された前記画素を消灯するための第 2 のスタートパルスにともなって、前記画素を消灯させる制御を行うことを特徴とする表示装置。

**【請求項 7】**

前記画素は、光学素子を有し、前記光学素子の発光を制御するための第 1 の信号線と前記光学素子の消灯を制御するための第 2 の信号線とを介して、前記制御部と接続され、

前記制御部は、

50

前記第 1 のスタートパルスまたは前記第 2 のスタートパルスの入力にともなって、選択信号を出力するシフトレジスタと、

前記シフトレジスタから出力された選択信号に応じて、前記第 1 の信号線と、前記第 2 の信号線のいずれか一方にパルスを出力する切替部を有することを特徴とする請求項 6 記載の表示装置。

【請求項 8】

前記シフトレジスタは、

第 1 のスタートパルスを伝達する第 1 の伝達部と、

第 2 のスタートパルスを伝達する第 2 の伝達部と、

前記第 1 の伝達部から出力されたパルスと前記第 2 の伝達部から出力されたパルスのいずれのパルスが入力されているかを識別して、識別した結果を前記選択信号として前記切替部へ出力するパルス識別部と、

を有することを特徴とする請求項 7 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示技術に関し、特に光学素子を有する表示装置に関する。

【背景技術】

【0002】

近年、CRT (Cathode Ray Tube) や LCD (Liquid Crystal Display) に代わる表示装置として、有機エレクトロルミネッセンス素子 (Organic Electro Luminescent Device: 以下、「有機 EL 素子」と略称する) を用いた有機 EL 表示装置が開発されている。この有機 EL 素子を用いた表示装置においては、画質に与える影響が大きいと言われている残像現象が発生してしまう。残像現象は、駆動させるための薄膜トランジスタ (Thin Film Transistor: 以降、「TFT」と略称する) のポリシリコン - ゲート絶縁膜間界面におけるホールキャリアのトラップ単位へのトラップ及びデトラップが原因と考えられている。例えば、画像を表示する際に、黒表示からある中間階調表示へと変更した場合と、全白表示から中間階調表示へと変更した場合とで、過渡的に中間階調表示の輝度が異なってしまう、表示品位が悪化する。言い換えると、十分に駆動 TFT のデトラップを行わなかった場合、残留しているホールキャリアにより、有機 EL 素子の発光色が所望の発光色とは異なってしまうこととなる (例えば、非特許文献 1 参照。)。この残像現象は、画素回路中の駆動 TFT のホールキャリアをいくらかでもデトラッピングした後、各画素における次の画面の発光を開始することによって、低減することができる。間欠駆動の中でも、画素回路中の保持電圧を放電ないし駆動 TFT が OFF になる電圧に変化させて消灯する方式は、消灯期間にデトラッピングをさせることができるので、残像現象の低減に有効な手法である (例えば、特許文献 1、特許文献 2 参照。 )。

【0003】

従来の表示装置は、例えば、特許文献 1 によれば、図 21 に示すような回路構成をとっている。図 21 は、従来の第 1 の表示装置 100 の構成を示す。従来の第 1 の表示装置 100 は、走査駆動回路 26、データ駆動回路 23、EL ディスプレイ 30 を含む。走査駆動回路 26 は、ダミー線 21、走査線 19 を介して EL ディスプレイ 30 と接続されている。ダミー線 21、走査線 19 は、EL ディスプレイ 30 の行方向への指示線である。また、データ駆動回路 23 は、データ線 18 を介して EL ディスプレイ 30 と接続されている。データ線 18 は、EL ディスプレイ 30 の列方向への指示線である。また、EL ディスプレイ 30 は、図 22 に示す複数の画素 11 から構成されている。

【0004】

図 22 は、図 21 の画素 11 の構成を示す。画素 11 は、有機 EL 素子 12、駆動 TFT 15、スイッチング TFT 17、制御 TFT 20、保持コンデンサ 16 を含む。有機 EL 素子 12 は、EL ディスプレイ 30 の M 行 N 列の画素領域に対応した形状に各々形成さ

れており、このM行N列の有機EL素子12にM行のデータ線18とN列の走査線19とがマトリクス接続されている。画素11は、一对の電源電極として電源線13と接地線14とを有しており、有機EL素子12は、接地線14には直接に接続されており、電源線13には駆動トランジスタである駆動TFT15を介して接続されている。この駆動TFT15のゲート電極には、電圧保持手段として保持コンデンサ16が接続されており、この保持コンデンサ16も接地線14に接続されている。

#### 【0005】

この保持コンデンサ16および駆動TFT15のゲート電極には、スイッチング手段であるスイッチングTFT17のドレイン電極が接続されており、このスイッチングTFT17は、ソース電極にデータ線18が接続されるとともにゲート電極に走査線19が接続されている。矩形パルスの走査電圧が第n列目の走査線19に入力される直前に第n列目のM個の有機EL素子12への駆動電圧の印加を停止させる通電制御手段として、M行N列の制御TFT20がM行N列の有機EL素子12の一個ごとに一個ずつ設けられている。この制御TFT20は、ドレイン電極が保持コンデンサ16と駆動TFT15との接続配線に接続されており、ソース電極が接地線14に接続されている。ただし、第n列目のM個の制御TFT20のゲート電極は、第(n-1)列目の走査線19に接続されているので、第(n-1)列目の走査線19に走査電圧が入力されると第n列目の保持コンデンサ16の保持電圧を放電させる。

#### 【0006】

ただし、“n=1”となる第一列目の制御TFT20に対しては、第(n-1)列目の走査線19が存在しない。そこで、ELディスプレイ30では、図21に示すように、ダミー線21が第一列目の走査線19に並設されており、このダミー線21に第一列目のM個の制御TFT20のゲート電極が接続されている。そして、N列の走査線19と一列のダミー線21とは一個の走査駆動回路26に接続されており、この走査駆動回路26は、(N+1)個の走査電圧を一画面の表示ごとに一列のダミー線21とN列の走査線19とに順番に入力するので、ダミー線21には、第一列目の走査線19に走査電圧が入力される直前にダミーの走査電圧が入力される。M行のデータ線18は一個のデータ駆動回路23に接続されており、このデータ駆動回路23は、一画面の表示ごとに(M×N)個のデータ電圧をM行のデータ線18の各々にN個の走査電圧に同期して順番に印加するので、一列ごとにM個の保持コンデンサ16にM個のデータ電圧が順番に保持される。

#### 【0007】

図23は、図21の従来の第1の表示装置100のタイミングチャート103の構成を示す。上述のような構成において、図23のタイミングチャート103に示すように、N列の走査線19に走査電圧が順番に入力されてM行N列のスイッチングTFT17が一列ずつ順番にオン状態とされるので、その一列のM個の有機EL素子12の発光輝度に対応したデータ電圧がM行のデータ線18に個々に印加される。すると、このM個のデータ電圧はスイッチングTFT17を介して一列のM個の保持コンデンサ16に個々に保持され、この保持コンデンサ16の保持電圧は一列のM個の駆動TFT15のゲート電極に個々に印加されるので、電源線13に常時印加されている駆動電圧が駆動TFT15により一列のM個の有機EL素子12に供給される。その電流量は保持コンデンサ16から駆動TFT15のゲート電極に印加される電圧に対応するので、一列のM個の有機EL素子12がデータ線18に供給された制御電流に対応した輝度で発光することになり、この動作状態は走査電圧がオフ状態となっても保持コンデンサ16の保持電圧により維持される。第(n-1)列目の走査線19に走査電圧が入力されるとき、その走査電圧により第n列目の制御TFT20をオン状態として第n列目の保持コンデンサ16の両端を接地線14に接続し、第n列目の有機EL素子12の通電を停止させる。

#### 【0008】

また、例えば、特許文献2によれば、従来の表示装置は図24に示すような回路構成をとっている。図24は、従来の第2の表示装置116の構成を示す。従来の第2の表示装置116は、走査線駆動回路20、データ線駆動回路22、停止制御線駆動回路28、遅

10

20

30

40

50

延回路 24、および、マトリクス上に配置された複数の画素 34 を含む。従来の第 2 の表示装置 116 は、走査線 19 で総称される走査線  $19_1$ 、 $19_2$ 、...、 $19_N$  が行状に配列され、また、停止制御線 32 で総称される停止制御線  $32_1$ 、 $32_2$ 、...、 $32_N$  が行状に配列され、また、データ線 36 で総称されるデータ線  $36_1$ 、 $36_2$ 、 $36_M$  が列状に配列されている。走査線 19、停止制御線 32 とデータ線 36 の交差部に画素 34 が形成されている。

#### 【0009】

図 25 は、図 24 の画素 34 の第 1 の構成例を示す。画素 34 は、有機 EL 素子 12、駆動 TFT 15、スイッチング TFT 17、制御 TFT 20、保持コンデンサ 16 を含む。有機 EL 素子 12、又、同一の走査線 19 に接続された画素 34 の各々の有機 EL 素子 12 を走査線単位で強制的に消灯する停止制御線 32 が走査線 19 と平行に形成されている。走査線 19 は走査線駆動回路 20 に接続されている。走査線駆動回路 20 はシフトレジスタを含んでおり、垂直クロック VCK に同期して第 1 の垂直スタートパルス VSP1 を順次転送することにより、走査線 19 の各々を一走査サイクル内で順次選択する。

10

#### 【0010】

一方、停止制御線 32 は停止制御線駆動回路 28 に接続されている。この停止制御線駆動回路 28 もシフトレジスタを含んでおり、VCK に同期して第 2 の垂直スタートパルス VSP2 を順次転送することにより、停止制御線 32 に制御信号を出力する。尚、第 2 の垂直スタートパルス VSP2 は遅延回路 24 により所定時間だけ第 1 の垂直スタートパルス VSP1 から遅延処理されている。データ線 Y はデータ線駆動回路 22 に接続されており、走査線 19 の線順次走査に同期して、データ線 36 の各々に輝度情報に対応した電気信号を出力する。この場合、データ線駆動回路 22 は、いわゆる線順次駆動を行い、選択された画素の行に対して一斉に電気信号を供給する。或いは、データ線駆動回路 22 は、いわゆる点順次駆動を行い、選択された画素の行に対して順次電気信号を供給する。

20

#### 【0011】

次に、図 24 に示す従来の第 2 の表示装置 116 の動作を図 26 の第 1 のタイミングチャートにより説明する。図 26 は、従来の第 2 の表示装置 116 の第 1 のタイミングチャートを示す。まず、第 1 の垂直スタートパルス VSP1 が走査線駆動回路 20 及び遅延回路 24 に入力される。走査線駆動回路 20 は第 1 の垂直スタートパルス VSP1 の入力を受けたあと、垂直クロック VCK に同期して走査線 19 を順次選択し、走査線単位で輝度情報が画素 34 に書き込まれていく。画素 34 の各々は書き込まれた輝度情報に応じた強度で発光を開始する。第 1 の垂直スタートパルス VSP1 は遅延回路 24 で遅延され、第 2 の垂直スタートパルス VSP2 として停止制御線駆動回路 28 に入力される。停止制御線駆動回路 28 は第 2 の垂直スタートパルス VSP2 を受けたあと、垂直クロック VCK に同期して停止制御線 32 を順次選択し、発光が走査線単位で停止していく。

30

#### 【0012】

図 27 は、図 24 の画素 34 の第 2 の構成例である画素 35 を示す。画素 35 は、有機 EL 素子 12、駆動 TFT 15、制御 TFT 20、保持コンデンサ 16 を含む。有機 EL 素子 12 は有機 EL 素子 12 に供給する電流量を制御する駆動トランジスタ 15 に接続される。駆動トランジスタ 15 のゲート G に接続された容量 Cs の保持コンデンサ 16 の他方の端子が停止制御線 32 に接続される。図 28 は、図 24 に示す表示装置の第 2 のタイミングチャート 118 を示す図である。すなわち、停止制御線 32 は、走査線選択と概ね同時に高レベルとされ、書き込み終了後高レベルが保たれる期間、有機 EL 素子 12 は書き込まれた輝度情報に応じた輝度にて発光状態となる。次のフレームで新たなデータが書き込まれる以前に停止制御線 32 を低レベルにすると、有機 EL 素子 12 は消灯する。

40

【特許文献 1】特開 2000 - 347621 号公報

【特許文献 2】特開 2001 - 060076 号公報

【非特許文献 1】Byeong-Koo Kim, et al., 「Recoverable Residual Image Induced by Hysteresis of Thin Film Transistors in Active Matrix Organic Light Emitting Diode Displays」、Japanese Journal of Applied Physics、March 19, 2004、Vol.43 No.4A.

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0013】

本発明者はこうした状況下、以下の課題を認識するに至った。すなわち、従来の表示装置は走査線駆動回路及び停止制御線駆動回路のそれぞれにシフトレジスタを含んでおり、停止制御線を有さない表示装置に比べ、停止制御線駆動回路の分、シフトレジスタの本数が増大する。そのため、垂直クロックVCK信号線は概垂直クロックVCKを入力するシフトレジスタの本数が増大するのにもなって負荷容量が増大し、垂直クロックVCKを駆動する回路の消費電力が増大する。また、シフトレジスタの本数が増大する分、TFT回路の素子数及びTFT回路の占有する面積が増大し、TFT回路の信頼性が低下するといった課題がある。また、従来の表示装置は、停止制御線駆動回路によるパルス長は短く、また、任意にパルス長を長くすることもできないため、デトラッピングする期間が十分に確保できないので、十分に残像現象を低減することができないといった課題がある。設計変更、たとえば、遅延回路の遅延量、あるいは、走査線の配線の変更などにより、パルス長を長く設定することは不可能ではないものの、そのような設計変更を行うと、回路全体の規模が極端に増大するとともに、回路全体の柔軟性、信頼性が低下するといった別の課題が発生する。

10

## 【0014】

本発明はこうした状況に鑑みてなされたものであり、その目的は、間欠駆動を行っても消費電力を低減しつつ残像現象をより低減し、かつ、信頼性を向上した駆動回路を持つ表示装置を提供することにある。

20

## 【課題を解決するための手段】

## 【0015】

上記課題を解決するために、本発明のある態様の表示装置は、マトリクス状に配置された複数の画素と、スタートパルスに応じて画素の発光と消灯を制御する制御部と、を有する。画素は光学素子を有する。制御部は、1走査区間内におけるスタートパルスの入力回数をカウントして、入力回数が第1のカウント値に達した場合、光学素子を発光させる制御を行い、かつ、入力回数が第2のカウント値に達した場合、光学素子を消灯させる制御を行う。

## 【0016】

この態様によると、画素の発光の制御と消灯の制御を1つの制御装置で行えるので、ハードウェア規模を低減できるとともに、TFT回路等のトランジスタ回路の信頼性も向上できる。また、画素の発光と消灯の制御をスタートパルスの入力回数に連動させて行っているため、外部からのソフト的な制御を可能とする。ここで光学素子として有機EL素子が想定できるがこれに限る趣旨ではない。

30

## 【0017】

本発明の別の態様もまた、表示装置である。この装置は、マトリクス状に配置された複数の画素と、2本のスタートパルス信号線からの入力に応じて、画素の発光と消灯を制御する制御部を有する。制御部は、一方のスタートパルス信号線より入力された画素を発光するための第1のスタートパルスの入力にとともに、画素を発光させる制御を行い、かつ/または、他方のスタートパルス信号線より入力された画素を消灯するための第2のスタートパルスにとともに、画素を消灯させる制御を行う。

40

## 【0018】

この態様によると、画素の発光の制御と消灯の制御を1つの制御装置で行えるので、ハードウェア規模を低減できるとともに、TFT回路等のトランジスタ回路の信頼性も向上できる。また、画素の発光と消灯の制御を別々の信号の入力に応じて行っているため、外部からのソフト的な制御によってよりきめ細かな制御を可能とする。

## 【0019】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効で

50

ある。

【発明の効果】

【0020】

本発明によれば、有機EL素子を含む表示装置において、消費電力をより低減することができる。

【発明を実施するための最良の形態】

【0021】

(実施例)

本発明を具体的に説明する前に、まず、概要を述べる。本発明の実施例は、有機EL素子を含む表示装置に関する。詳細は後述するが、有機EL素子の発光、消灯を、スタートパルスの回数に従って各々制御することによって、柔軟な制御を可能とする。また、発光を制御する走査線駆動回路と、消灯を制御する停止制御線駆動回路とを同一の回路で実現することによって、必要なシフトレジスタの本数を削減するとともに、回線負荷を低減させ、表示装置の消費電力の低減、信頼性の向上を図っている。また、残像現象を低減するための駆動トランジスタのデトラッピング期間を設けるために、スタートパルスの回数を制御することによって停止制御線を介して送られるパルスの長さの調節を可能とし、残像現象を低減している。

【0022】

図1は、本発明の実施例に係る表示装置120の構成を示す。表示装置120は、走査線・停止制御線駆動部40、データ線駆動回路22、マトリックス状に配置された複数の画素50を含む。表示装置120は、走査線19で総称される走査線19<sub>1</sub>、19<sub>2</sub>、...、19<sub>N</sub>と、停止制御線32で総称される停止制御線32<sub>1</sub>、32<sub>2</sub>、...、32<sub>N</sub>とが行状に配列されている。また、データ線36で総称される36<sub>1</sub>、36<sub>2</sub>、...、が列状に配列されている。走査線19とデータ線36の交差部に画素34が形成されている。

【0023】

また、走査線・停止制御線駆動部40は、シフトレジスタ44と、切替回路42で総称される複数の切替回路42<sub>1</sub>、42<sub>2</sub>、...、42<sub>N</sub>を含む。シフトレジスタは、選択信号線46で総称される複数の選択信号線46<sub>1</sub>、46<sub>2</sub>、...、46<sub>N</sub>を介して、対応する切替回路42のそれぞれと接続されている。走査線19に接続された画素50の各々の有機EL素子12を行単位で強制的に消灯する停止制御線32は、走査線・停止制御線駆動部40内の切替回路42に接続される。走査線・停止制御線駆動部40は一系列のシフトレジスタ44を含み、シフトレジスタ44は垂直クロックVCKに同期して垂直スタートパルスVSPを順次転送することにより、選択信号線46を順次選択する。

【0024】

次に、画素50が図25に示す画素34である場合における表示装置120の動作を、図2を用いて説明する。図2は、図1の表示装置120の第1のタイミングチャート122を示す。まず、1走査期間1発目の第1の垂直スタートパルスVSPが走査線・停止制御線駆動部40に入力される。走査線・停止制御線駆動部40のシフトレジスタ44は1走査期間1発目の垂直スタートパルスVSPの入力を受けたあと、垂直クロックVCKに同期して1走査期間1発目の選択信号線46に順次出力する。

【0025】

各段の切替回路42は、1走査期間1発目の選択信号線46を受けて、各段に対応する走査線19を順次選択し、走査線単位で輝度情報が画素34に書き込まれていく。画素34は書き込まれた輝度情報に応じた強度で発光を各々開始する。1走査期間2発目の垂直スタートパルスVSPの入力を受けたあと、走査線・停止制御線駆動部40は垂直クロックVCKに同期して1走査期間2発目の選択信号線46を順次出力する。各段の切替回路42は、1走査期間2発目の選択信号線46を受けて、各段に対応する停止制御線32を順次選択し、発光が走査線単位で停止していく。切替回路42では、図2の第1のタイミングチャート122中の選択信号線46<sub>1</sub>に一例として付した2進数2桁の数に対応した

10

20

30

40

50

桁上がり及び2桁目の数 $x$ と1桁目の数 $y$ との論理演算により、走査線19及び停止制御線32を駆動する。

#### 【0026】

図3は、図1の切替回路42の第1の構成例を示す。図3の切替回路42は、カウンタ回路52と論理回路53を含む。カウンタ回路52は、図2の第1のタイミングチャート122の選択信号線46<sub>1</sub>に付したような2進数2桁の数に対応した桁上がりを行う。さらに、論理回路53は、2桁目の数 $x$ と1桁目の数 $y$ との論理演算を行い、走査線19や停止制御線32に出力する。

#### 【0027】

図4は、図3の切替回路42のタイミングチャート124を示す。図4のタイミングチャート124は、選択信号線の入力回数によって定まる $x$ と $y$ によって、走査線19と停止制御線32への出力を切り替えることを表している。ここでは、走査線19においては、論理演算として、 $y$ の論理反転と $x$ とを論理加算し、その結果をさらに論理反転する。また、停止制御線32においては、 $y$ と $x$ とを論理加算した後、その結果をさらに論理反転する。

#### 【0028】

次に、画素50が図25に示す画素34である場合における表示装置120の別の動作を、図5を用いて説明する。図5は、図1の表示装置120の別のタイミングチャート126を示す。停止制御線32の動作を図5のタイミングチャート126に示すように、画素34が発光を停止している間、すなわち、発光停止側の出力を維持し発光を停止している間において、図25に示す画素34の駆動トランジスタ15のゲート電極をOFFさせる電圧を印加し続けることができ、有機EL素子12の発光を確実に停止できる。発光が確実に停止されるため、有機EL素子を消灯させ続けることができる。図5のタイミングチャート126中の選択信号線46<sub>1</sub>に一例として付した2進数2桁の数に対応して論理演算を行い、走査線19<sub>1</sub>及び停止制御線32<sub>1</sub>の出力タイミングが決定されている。

#### 【0029】

図5のタイミングチャート126の動作を行う際の第2の切替回路43について、図6を用いて説明する。図6は、図3の切替回路42の第2の構成例である切替回路43の構成を示す。図6の第2の切替回路43は、図3の切替回路42に、入力端にて論理反転を行うインバータ54を1個追加した構成である。図5のタイミングチャート126では、1桁目の数 $y$ を選択信号線46と論理を反対としているためである。

#### 【0030】

図7は、図6の切替回路43のタイミングチャート128を示す。図7のタイミングチャート128は、選択信号線46の入力回数によって定まる $x$ と $y$ によって、走査線19と停止制御線32への出力を切り替えることを表している。ここでは、走査線19においては、論理演算として、 $y$ と $x$ とを論理加算した後、論理反転を行うとしている。また、停止制御線32においては、 $x$ に従って、出力が決定される。

#### 【0031】

次に、画素50が図27に示す画素35である場合における表示装置120の別の動作を、図8を用いて説明する。図8は、図1の表示装置120の第3のタイミングチャート130を示す。各段の走査線及び停止制御線の動作は図28のタイミングチャートに示すような動作と同様に、停止制御線32によるパルスが立ち上がっている区間は、画素35の有機EL素子12が発光し、立ち下がった後は強制的に消去される。発光が確実に停止されるため、有機EL素子を消灯させ続けることができる。

#### 【0032】

図8の第3のタイミングチャート130に示す動作を行うための第2の切替回路43の構成例は図6と同様である。図9は、図6の切替回路43の第2のタイミングチャート132を示す。図9の第2のタイミングチャート132において、図7のタイミングチャート128と異なる点は、停止制御線32においての論理演算が、 $x$ の論理反転となっている点である。

10

20

30

40

50



## 【 0 0 3 3 】

ここで、図 1 0、図 1 1を用いて、図 8の第 3のタイミングチャート 1 3 0に示す動作を行うための第 2の切替回路 4 3中のカウンタ回路 5 2及び論理回路 5 3の具体例をそれぞれ示す。図 1 0は、図 6の切替回路 4 3の第 3の構成例を示す。図 1 1は、図 6の切替回路の第 4の構成例を示す。図 1 0の切替回路 4 3の構成例と図 1 1の切替回路 4 3の構成例の違いは、カウンタ回路 5 2の構成である。図 1 0の切替回路 4 3の構成例は、インバータをラッチ回路として用いてカウンタ回路を構成しているのに対し、図 1 1の切替回路 4 3の構成例は、クロックドインバータ 5 6を用いて構成している。図 1 0の切替回路 4 3の構成例と図 1 1の切替回路 4 3の構成例の共通点は、双方のカウンタ回路 5 2とも、状態を初期化するための初期値リセット信号線 Rによって、カウンタ回路 5 2が初期化される点である。また、双方の論理回路 5 3とも、走査線 1 9の段に、1つの NOR 回路 5 8と2つのインバータ 6 0を構成し、停止制御線 3 2の段に、1つのインバータを有している点である。ここで、NOR 回路 5 8の後段の2つのインバータ 6 0は、2回の論理反転を行うので論理的にはなくてもよい。ここでは、2つのインバータ 6 0は、バッファとして用いている。

## 【 0 0 3 4 】

なお、論理回路 5 3における停止制御線 3 2の論理演算を適宜変更すれば、有機 EL 素子 1 2の発光停止を別のタイミングに設定できる。例えば、有機 EL 素子 1 2の発光停止を2発目の立ち下がり設定したければ、停止制御線 3 2の x と y の論理演算を NAND にしてやればよい。設定したい発光停止タイミングに応じてあらかじめ停止制御線 3 2の論理演算を設計しておいても良いし、さらに、第 2の切替回路 4 3に複数種類の停止制御線 3 2の論理回路を用意しておき、信号切替や、配線変更により、発光停止タイミングを変更できるようにしておいても良い。ただし、素子数最小化等、他の設計要因も鑑み、最適化設計すれば良いことはいうまでもなく、図 8の第 3のタイミングチャート 1 3 0における停止制御線 3 2 1の論理演算や図 1 0及び図 1 1のように停止制御線 3 2の論理回路 5 3をインバータ 1 個で済ませることのできる構成は、素子数最少化の一例である。このような構成をとることによって、論理回路 5 3を簡易な論理構成とできる。

## 【 0 0 3 5 】

また、有機 EL 素子 1 2には、Top Emission型とBottom Emission型の2つの態様がある。Top Emission型は、有機 EL 素子 1 2の下部に T F T 等のトランジスタを配置し、上方から光を放出するので、発光面積は画素中のトランジスタに影響されない。一方、Bottom Emission型は、有機 EL 素子 1 2の下部にトランジスタを配置し、下方から光を放出するので、トランジスタの個数、配置によっては、発光面積が影響されてしまう。したがって、Bottom Emission型の有機 EL 素子 1 2を用いる場合には、よりトランジスタの個数の少ない図 2 7に示す画素 3 5の構成が望ましい。また、上記にかかわらず、図 2 7に示す画素 3 5のほうが、図 2 5に示す画素 3 4よりも素子数が少ないため、回路規模を小さくでき、また、歩留まりを向上できる。

## 【 0 0 3 6 】

このように、有機 EL 素子 1 2の発光、消灯を、スタートパルスの回数に従って各々制御することによって、柔軟な制御を可能としている。また、発光を制御する走査線駆動回路と、消灯を制御する停止制御線駆動回路とを同一の回路で実現することによって、必要なシフトレジスタの本数を削減するとともに、回線負荷を低減させ、表示装置の消費電力の低減、信頼性の向上を図っている。

## 【 0 0 3 7 】

次に、本発明の変形例を示す。図 1 2は、別の一実施形態の表示装置 6 2の構成を示す。表示装置 6 2は、走査線・停止制御線駆動部 6 4を除き、表示装置 1 1 0と同様の構成である。走査線・停止制御線駆動部 6 4は、一列のシフトレジスタ 6 6と、停止制御線出力部 6 8で総称される N 個の停止制御線出力部 6 8<sub>1</sub>、6 8<sub>2</sub>、・・・、6 8<sub>N</sub>と、走査線出力部 7 0で総称される N 個の走査線出力部 7 0<sub>1</sub>、7 0<sub>2</sub>、・・・、7 0<sub>N</sub>を含む。

## 【 0 0 3 8 】

シフトレジスタ 6 6 は垂直クロック V C K の半クロックに同期して第 1 の垂直スタートパルス V S P 1 及び第 2 の垂直スタートパルス V S P 2 を順次転送することにより、走査線選択信号 7 4 で総称される走査線選択信号  $74_1$ 、 $74_2$ 、 $\dots$ 、 $74_N$ 、及び停止制御線選択信号 7 2 で総称される  $72_1$ 、 $72_2$ 、 $\dots$ 、 $72_N$  を出力する。走査線 1 9 を出力する走査線出力部 7 0 の各々には、2 つの走査線選択信号 7 4 のそれぞれが接続されている。また、停止制御線 3 2 を出力する停止制御線出力部 6 8 の各々には、2 つの停止制御線選択信号 7 2 のそれぞれが接続される。

## 【 0 0 3 9 】

次に、画素 5 0 が図 2 7 に示す画素 3 5 である場合の図 1 2 に示す表示装置 6 2 の動作について、図 1 3 を用いて説明する。図 1 3 は、図 1 2 の表示装置 6 2 のタイミングチャート 1 3 4 を示す。まず、第 1 の垂直スタートパルス V S P 1 が走査線・停止制御線駆動部 6 4 に入力される。走査線・停止制御線駆動部 6 4 中のシフトレジスタ 6 6 は第 1 の垂直スタートパルス V S P 1 の入力を受けたあと、垂直クロック V C K の半クロックに同期して走査線選択信号 7 4 の各々を順次出力するとともに、停止制御線選択信号 7 2 の各々を順次発光側（この例では高レベル）に切り替える。走査線出力部 7 0 の各々は、対応する 2 つの走査線選択信号 7 4 を受けて、2 本の隣り合う走査線選択信号  $74_n$ 、 $74_{(n+1)}$  がともに選択されている期間、走査線 1 9<sub>n</sub> が選択されるといった具合に、走査線 1 9 の各々を順次選択し、走査線単位で輝度情報が画素 3 5 に書き込まれていく。画素 3 5 の有機 E L 素子 1 2 は書き込まれた輝度情報に応じた強度で発光を開始する。

## 【 0 0 4 0 】

停止制御線出力部 6 8 の各々は、対応する停止制御線選択信号 7 2 を受けて、2 本の隣り合う停止制御線選択信号  $72_n$ 、 $72_{(n+1)}$  がともに発光側になると、停止制御線 3 2 が発光側となるという具合に、停止制御線 3 2 の各々を順次、対応する走査線選択と概ね同時に発光側（この例では高レベル）に切り替える。

## 【 0 0 4 1 】

次いで、第 2 の垂直スタートパルス V S P 2 が走査線・停止制御線駆動部 6 4 に入力される。走査線・停止制御線駆動部 6 4 のシフトレジスタ 6 6 は第 2 の垂直スタートパルス V S P 2 の入力を受けたあと、垂直クロック V C K の半クロックに同期して停止制御線選択信号 7 2 の各々を順次停止側（この例では低レベル）に切り替える。停止制御線出力部 6 8 の各々は、対応する 2 つの停止制御線選択信号 7 2 を受けて、2 本の隣り合う停止制御線選択信号  $72_n$ 、 $72_{(n+1)}$  の何れかが停止側になると、停止制御線 3 2 が停止側となるという具合に、停止制御線 3 2 の各々を順次停止側に切り替え、画素 3 5 の発光が走査線単位で停止していく。

## 【 0 0 4 2 】

図 1 3 に示すタイミングチャート 1 3 4 において、停止制御線 3 2<sub>1</sub> は、有機 E L 素子 1 2 が発光している期間は、常にパルスが立ち上がっており、また、消灯している期間は常に立ちさがっている。この期間は、第 2 のスタートパルスの入力タイミングを図示しない外部の機器から制御することによって、長さを調節することができる。この期間を長く設定することによって、残像現象を低減するためのデトラッピングを長く行うことができる。

## 【 0 0 4 3 】

この変形例では、走査線出力部 7 0 及び停止制御線出力部 6 8 は、入力される走査線選択信号 7 4 と停止制御線選択信号 7 2 の論理積をとれば良いが、これも最適化設計の範囲内で適宜変更してよい。

## 【 0 0 4 4 】

図 1 4 は、図 1 2 のシフトレジスタ 6 6 の一例である第 1 のシフトレジスタ 7 6 の構成を示す。第 1 のシフトレジスタ 7 6 は、ある段における、同期パルス形成部 7 8、パルス識別部 8 0、第 1 のパルス伝達部 8 2、第 2 のパルス伝達部 8 4 を含む。第 1 のパルス伝達部 8 2 は、第 1 の垂直スタートパルス V S P 1 系のパルス信号を入出力し、第 2 のパル

10

20

30

40

50

ス伝達部 84 は、第 2 の垂直スタートパルス V S P 2 系のパルス信号を入出力する。同期パルス形成部 78 は、第 1 のシフトレジスタ 76 の各段に入力されたパルスをもとに垂直クロック V C K に同期したパルス生成する。パルス識別部 80 は、当該段に入力されたパルスが V S P 1 系か V S P 2 系かによって出力パルスを切り替える。第 1 のパルス伝達部 82 及び第 2 のパルス伝達部 84 は、トランスファゲートに代表されるスイッチ手段を含む。図 12 の表示装置 62 において、上から順方向に走査する場合には、図 14 に示す第 1 のシフトレジスタ 76 のように上の段から受け渡されたパルスが入力され、下の段へ出力パルスを受け渡す。一方、逆方向に走査する場合は下の段から受け渡されたパルスが入力され、上の段へ出力パルスを受け渡すように接続を切り替える。

【0045】

10

図 15 は、一般的なシフトレジスタ 85 の構成を示す。一般的なシフトレジスタ 85 は、同期パルス形成部 78 とパルス伝達部 82 から構成される。この構成により従来のシフトレジスタを 2 列用意する場合に比べ、図 14 の第 1 のシフトレジスタ 76 を 1 列用意することにより、垂直クロック V C K 配線にかかる負荷が低減される。

【0046】

図 16 は、図 14 の第 1 のシフトレジスタ 76 のタイミングチャート 136 を示す。第 1 の垂直スタートパルス V S P 1 系の第 1 パルス  $n-1$  を受けて同期パルス形成部 78 で垂直クロック V C K に同期して同期パルスが生成され、パルス識別部 80 で、入力されたのが第 1 の垂直スタートパルス V S P 1 系であることに基づいて同期パルスのタイミングで停止制御線選択信号 72 を発光側に切り替えると同時に第 1 の垂直スタートパルス V S P 1 系の第 1 パルス  $n$  を出力する。第 1 パルス  $n$  は走査線選択信号 74 を兼ね、さらに、第 1 のパルス伝達部 82 から第 1 の垂直スタートパルス V S P 1  $n$  として次段へ受け渡される。第 2 の垂直スタートパルス V S P 2 系の第 2 パルス ( $n-1$ ) を受けて同期パルス形成部 78 で垂直クロック V C K に同期して同期パルスが生成され、パルス識別部 80 で、入力されたのが第 2 の垂直スタートパルス V S P 2 系であることに基づいて同期パルスのタイミングで停止制御線選択信号 72 を停止側に切り替えると同時に第 2 の垂直スタートパルス V S P 2 系の第 2 パルス  $n$  を出力する。第 2 パルス  $n$  はパルス伝達部 2 から第 2 の垂直スタートパルス V S P 2  $n$  として次段へ受け渡される。

20

【0047】

図 16 に示すタイミングチャート 136 においても、図 13 に示すタイミングチャート 134 と同様に、停止制御線選択信号 72 は、有機 E L 素子 12 が発光している期間は、常にパルスが立ち上がり、また、消灯している期間は常に立ちさがっているため、残像現象を低減するためのデトラッピングを行うことができる。

30

【0048】

図 17 は、図 14 の第 1 のシフトレジスタ 76 の構成例を示す。また、図 18 は、図 17 のパルス識別部 80 の構成例を示す。図 17、図 18 においては、図 14 のパルス識別部 80 をさらに具体的に図示している。パルス識別部 80 はモード切替ラッチ部 86 及びパルス出力部 88 を含む。モード切替ラッチ部 86 は第 1 の垂直スタートパルス V S P 1 系パルスと第 2 の垂直スタートパルス V S P 2 系パルスとが交互に入力される度に、同期パルスのタイミングでモードを切り替えてラッチし、ラッチに基づいてパルス出力部 88 の出力先を第 1 パルス  $n$  とするか第 2 パルス  $n$  とするか制御すると同時に、停止制御線選択信号 72 を出力する。パルス出力部 88 はモード切替ラッチ部 86 で制御された出力先に同期パルスのタイミングでパルス出力する。

40

【0049】

図 12 に示す表示装置 62 の画素 50 が図 25 に示す画素 34 である場合は、シフトレジスタ 66 の各段を図 19 のように構成すればよい。図 19 は、図 12 のシフトレジスタ 66 の構成例として第 2 のシフトレジスタ 90 を示す。図 17 の第 1 のシフトレジスタ 76 において停止制御線選択信号 72 がモード切替ラッチ部 86 から出力されているのに対し、第 2 のシフトレジスタ 90 は、停止制御線選択信号 72 がパルス出力部 88 から出力されている点が異なる。すなわち、第 2 パルス  $n$  を停止制御線選択信号 72 として出力し

50

ている。このような構成をとることにより、図 20 に示すような動作を得られる。図 20 は、図 19 の第 2 のシフトレジスタ 90 のタイミングチャート 138 を示す。

【0050】

以上のように、本発明によれば、間欠駆動を行う有機 EL ディスプレイにおいて、低消費電力かつ信頼性を向上した周辺駆動回路を持つ有機 EL ディスプレイを提供できる。

【0051】

本実施例によれば、有機 EL 素子 12 の発光、消灯を、スタートパルスの回数に従って各々制御することによって、外部からの柔軟な制御を可能とする。また、発光と消灯の制御を異なる 2 つの信号を用いて行うことによって、有機 EL 素子の発光と消灯をさらに柔軟に制御できる。また、発光を制御する走査線駆動回路と、消灯を制御する停止制御線駆動回路とを同一の回路で実現することによって、必要なシフトレジスタの本数を削減できる。また、回線負荷を低減できる。また、残像現象を低減するための駆動トランジスタのデトラッピング期間を設けるために、停止制御線を介して送られるパルスの長さを大きくすることによって、残像現象をより低減できる。また、表示装置の消費電力の低減し、信頼性の向上ができる。

10

【0052】

以上、本発明を実施例をもとに説明した。この実施例は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0053】

本発明の実施例において、第 1 の垂直スタートパルス VSP1 及び第 2 の垂直スタートパルス VSP2 とともにディスプレイパネルの外部から入力するものとして説明した。しかしながらこれにかぎらず、外部から 1 本のスタートパルス入力とし、内部で 2 本の垂直スタートパルスを生成すれば、端子数を削減できる。すなわち、第 1 の垂直スタートパルス VSP1 を外部から入力し、図 24 にあるような遅延回路で第 2 の垂直スタートパルス VSP2 を生成しても良いし、概ねの発光期間と消灯期間とを規定した、共通の長い垂直スタートパルス VSP を外部から入力しスタートパルス VSP の立ち上がりをもとに第 1 の垂直スタートパルス VSP1 を生成し、スタートパルス VSP の立下りをもとに第 2 の垂直スタートパルス VSP2 を生成しても良い。

20

【図面の簡単な説明】

30

【0054】

【図 1】本発明の実施例に係る第 1 の表示装置の構成を示す図である。

【図 2】図 1 の表示装置の第 1 のタイミングチャートを示す図である。

【図 3】図 1 の切替回路の第 1 の構成例を示す図である。

【図 4】図 3 の切替回路のタイミングチャートを示す図である。

【図 5】図 1 の表示装置の第 2 のタイミングチャートを示す図である。

【図 6】図 1 の切替回路の第 2 の構成例を示す図である。

【図 7】図 6 の切替回路の第 1 のタイミングチャートを示す図である。

【図 8】図 1 の表示装置の第 3 のタイミングチャートを示す図である。

【図 9】図 6 の切替回路の第 2 のタイミングチャートを示す図である。

40

【図 10】図 6 の切替回路の第 3 の構成例を示す図である。

【図 11】図 6 の切替回路の第 4 の構成例を示す図である。

【図 12】本発明の実施例に係る第 2 の表示装置の構成を示す図である。

【図 13】図 12 の表示装置のタイミングチャートを示す図である。

【図 14】図 12 のシフトレジスタの第 1 の構成例を示す図である。

【図 15】図 12 のシフトレジスタの第 2 の構成例を示す図である。

【図 16】図 14 のシフトレジスタのタイミングチャートを示す図である。

【図 17】図 12 のシフトレジスタの第 3 の構成例を示す図である。

【図 18】図 17 のパルス識別部の構成例を示す図である。

【図 19】図 12 のシフトレジスタの第 4 の構成例を示す図である。

50

【図 20】図 19 のシフトレジスタのタイミングチャートを示す図である。

【図 21】従来の第 1 の表示装置の構成を示す図である。

【図 22】図 21 の画素の構成を示す図である。

【図 23】図 21 の従来の第 1 の表示装置のタイミングチャートを示す図である。

【図 24】従来の第 2 の表示装置の構成を示す図である。

【図 25】図 24 の画素の第 1 の構成例を示す図である。

【図 26】図 24 の従来の第 2 の表示装置の第 1 のタイミングチャートを示す図である。

【図 27】図 24 の画素の第 2 の構成例を示す図である。

【図 28】図 24 の従来の第 2 の表示装置の第 2 のタイミングチャートを示す図である。

【符号の説明】

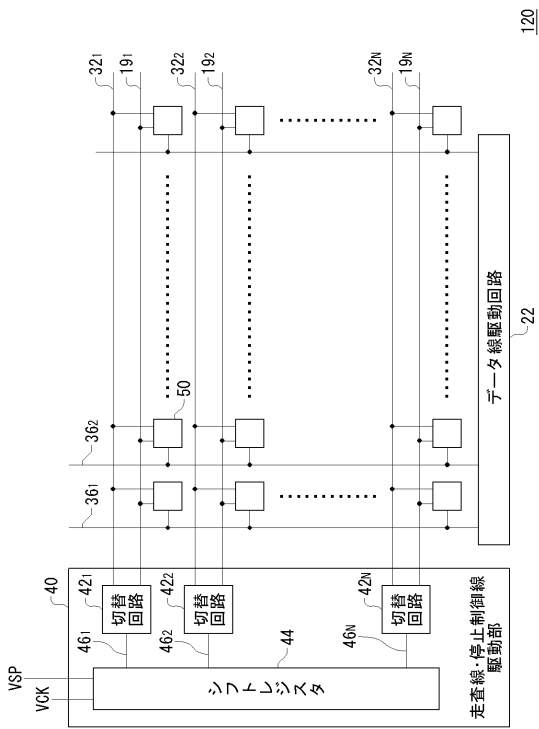
10

【0055】

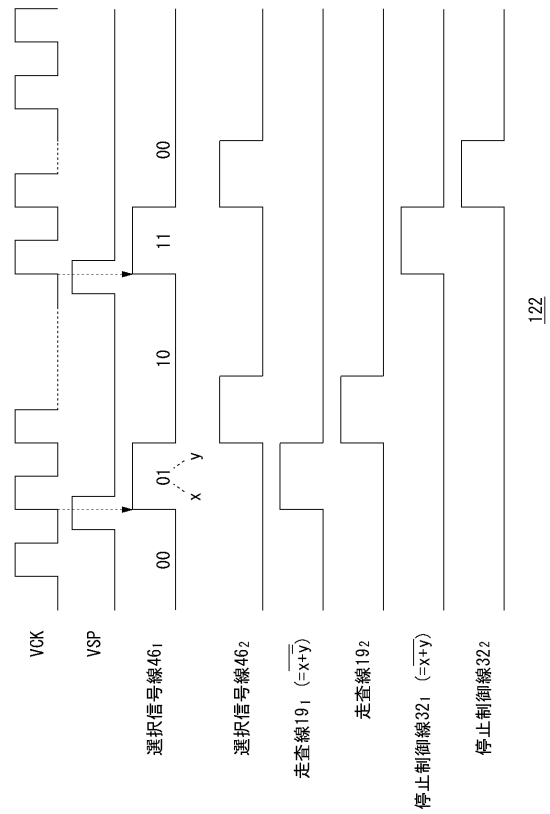
11 画素、12 有機 EL 素子、13 電源線、14 接地線、15 駆動トランジスタ、16 保持コンデンサ、18 データ線、19 走査線、20 走査線駆動回路、21 ダミー線、22 データ線駆動回路、23 データ駆動回路、24 遅延回路、26 走査駆動回路、28 停止制御線駆動回路、30 ELディスプレイ、32 停止制御線、34 画素、35 画素、36 データ線、40 停止制御線駆動部、42 切替回路、43 第 2 の切替回路、44 シフトレジスタ、46 選択信号線、50 画素、52 カウンタ回路、53 論理回路、54 インバータ、56 クロックドインバータ、58 NOR 回路、60 インバータ、62 表示装置、64 停止制御線駆動部、66 シフトレジスタ、68 停止制御線出力部、70 走査線出力部、72 停止制御線選択信号、74 走査線選択信号、76 第 1 のシフトレジスタ、78 同期パルス形成部、80 パルス識別部、82 第 1 のパルス伝達部、84 第 2 のパルス伝達部、85 シフトレジスタ、86 モード切替ラッチ部、88 パルス出力部、90 第 2 のシフトレジスタ、100 従来の第 1 の表示装置、103 タイミングチャート、110 表示装置、116 従来の第 2 の表示装置、118 第 2 のタイミングチャート、120 表示装置、122 第 1 のタイミングチャート、124 タイミングチャート、126 タイミングチャート、128 タイミングチャート、130 第 3 のタイミングチャート、132 第 2 のタイミングチャート、136 タイミングチャート。

20

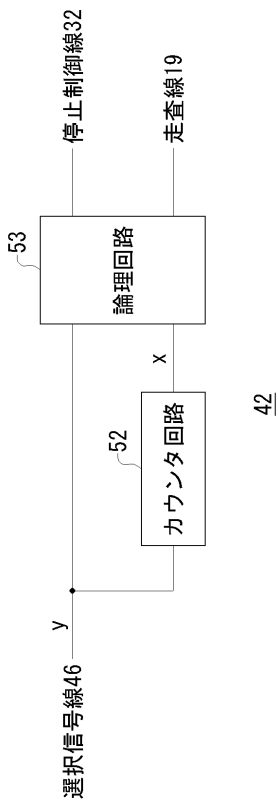
【 図 1 】



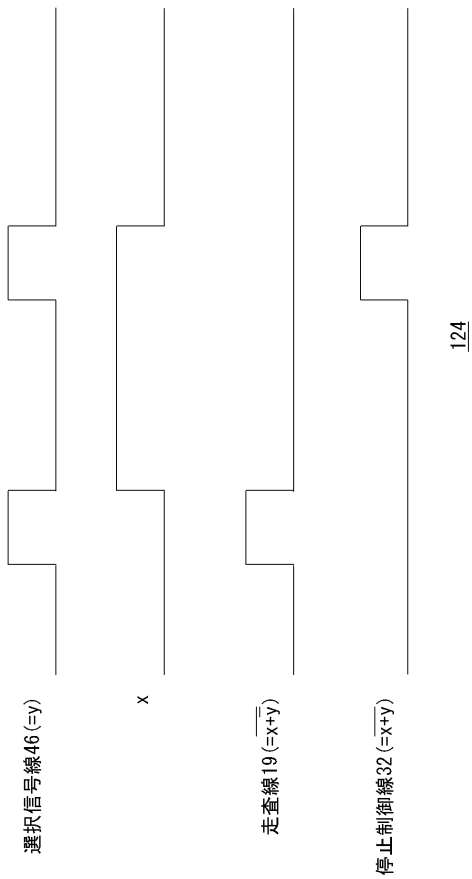
【 図 2 】



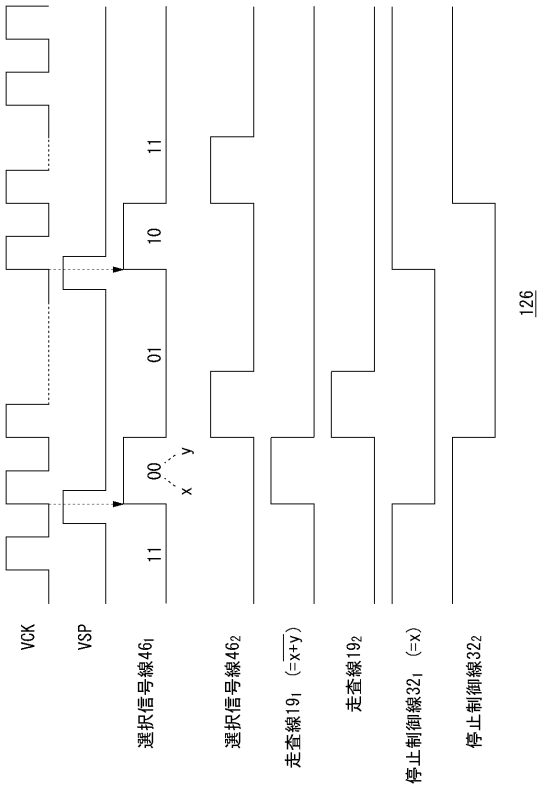
【 図 3 】



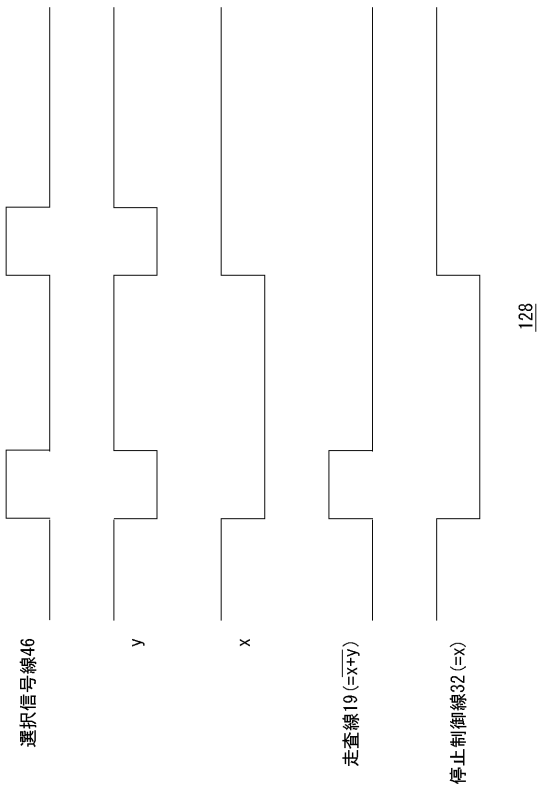
【 図 4 】



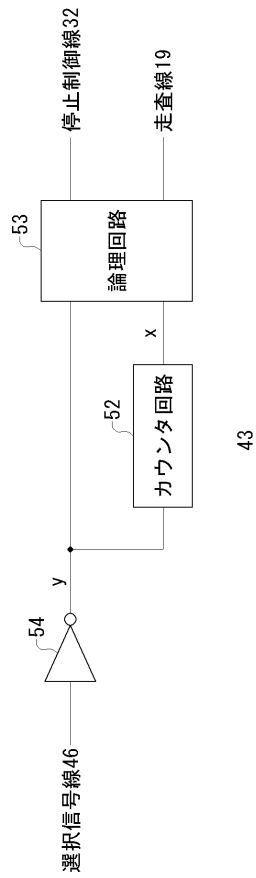
【図 5】



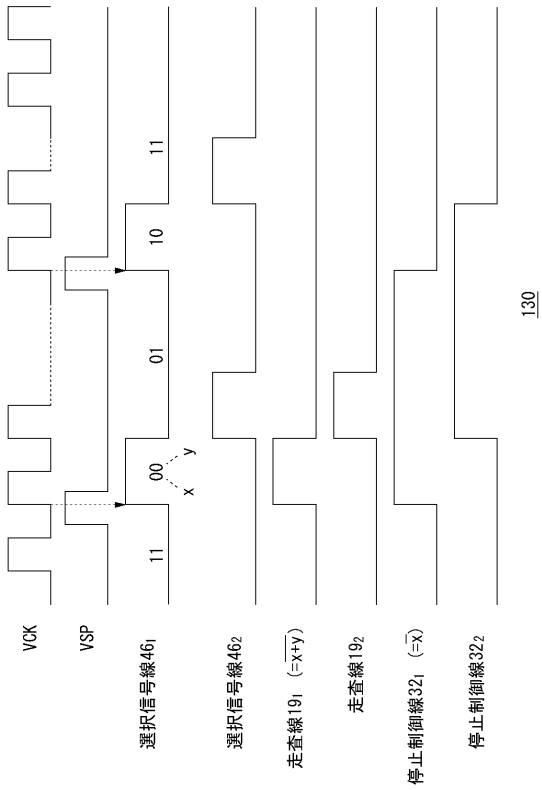
【図 7】



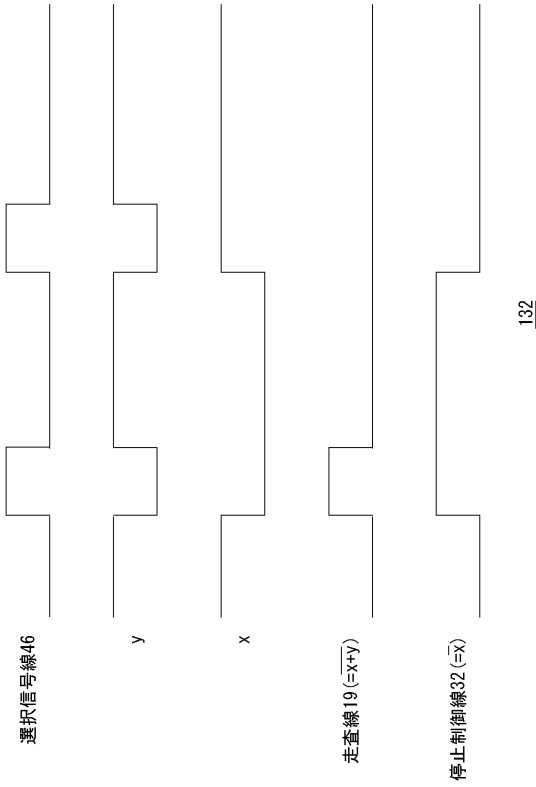
【図 6】



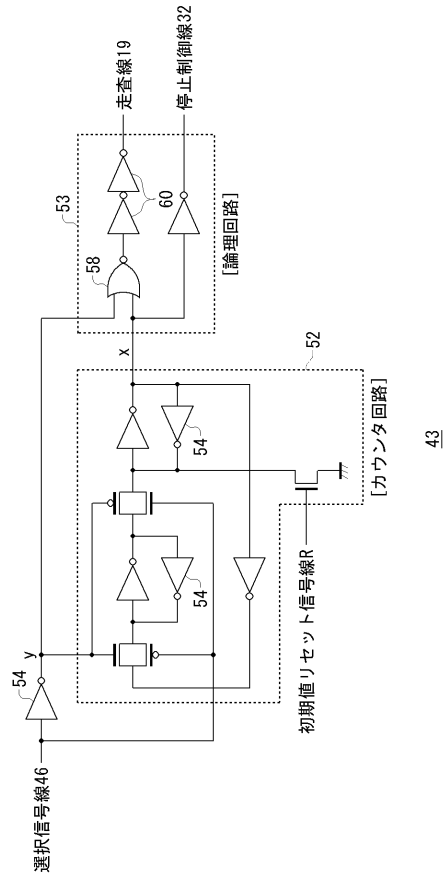
【図 8】



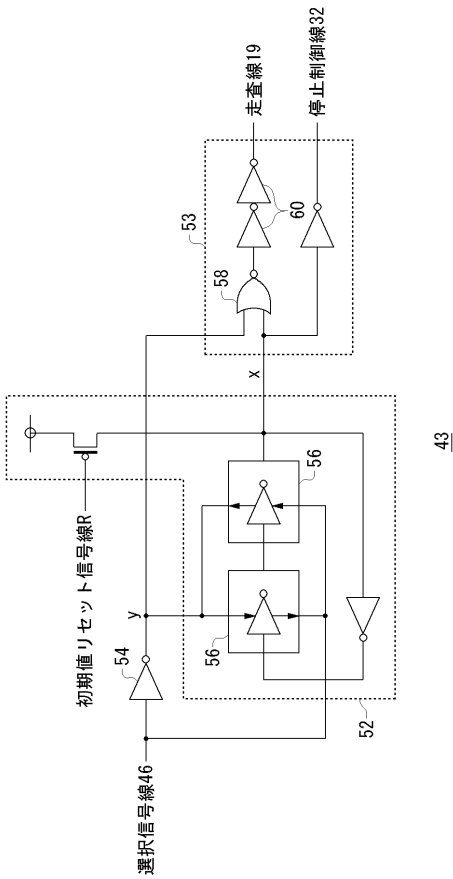
【図 9】



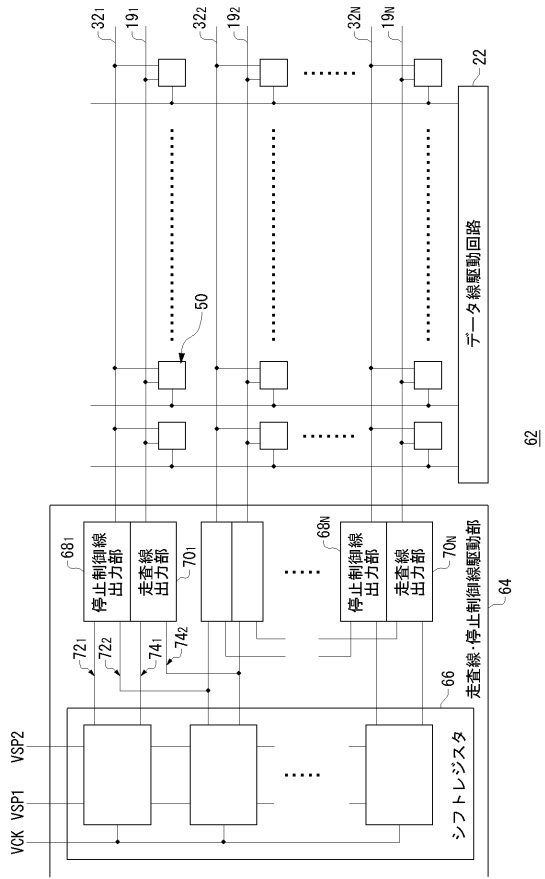
【図 10】



【図 11】

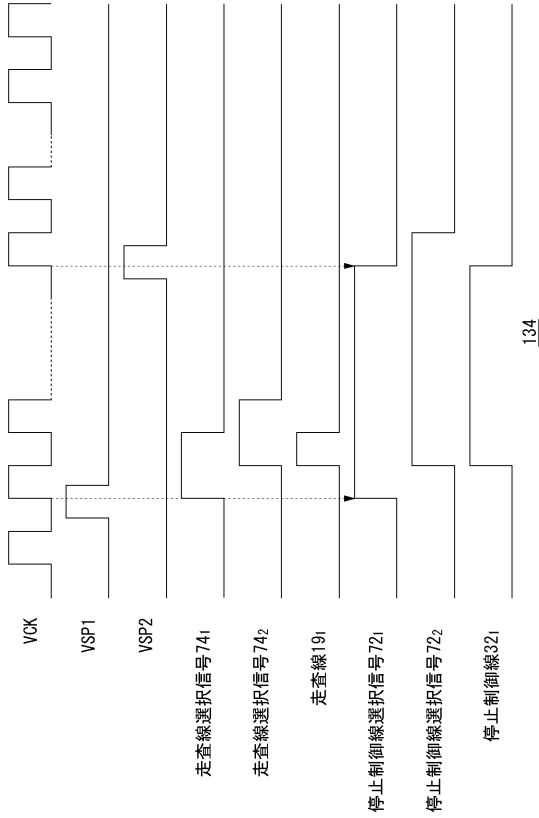


【図 12】



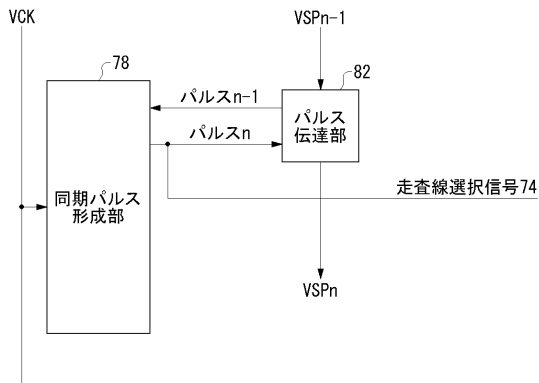


【図 13】



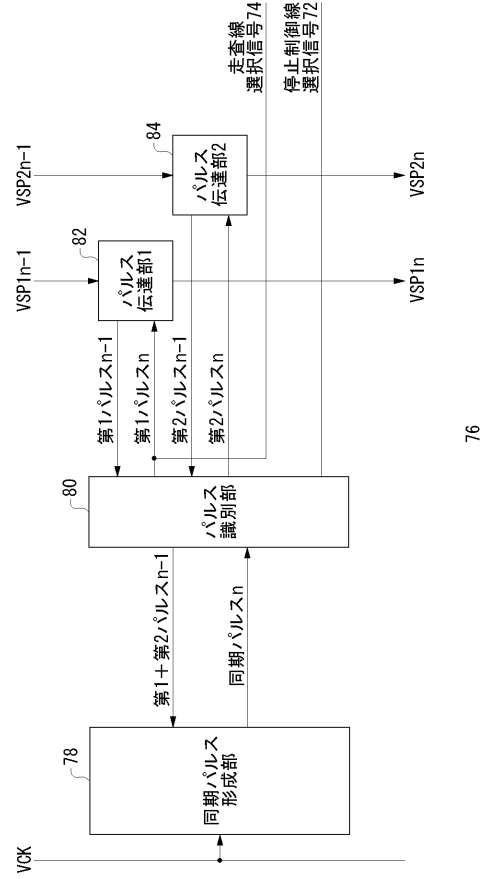
134

【図 15】



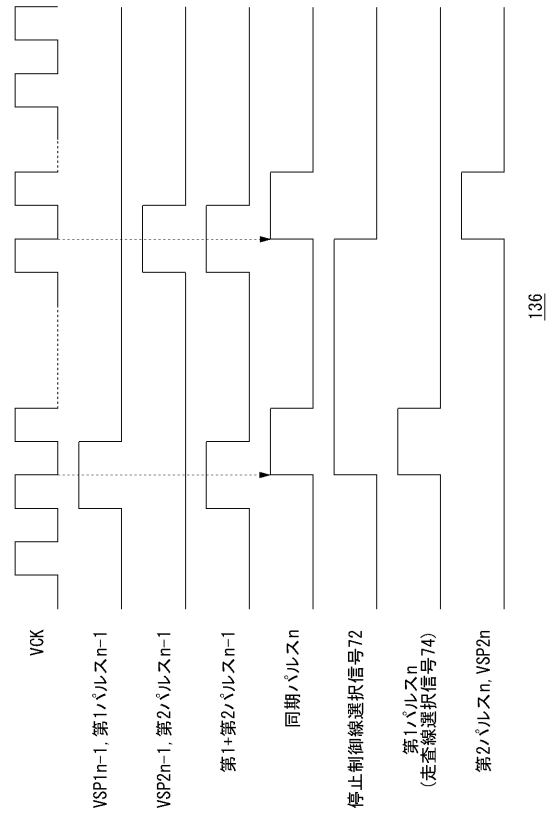
85

【図 14】



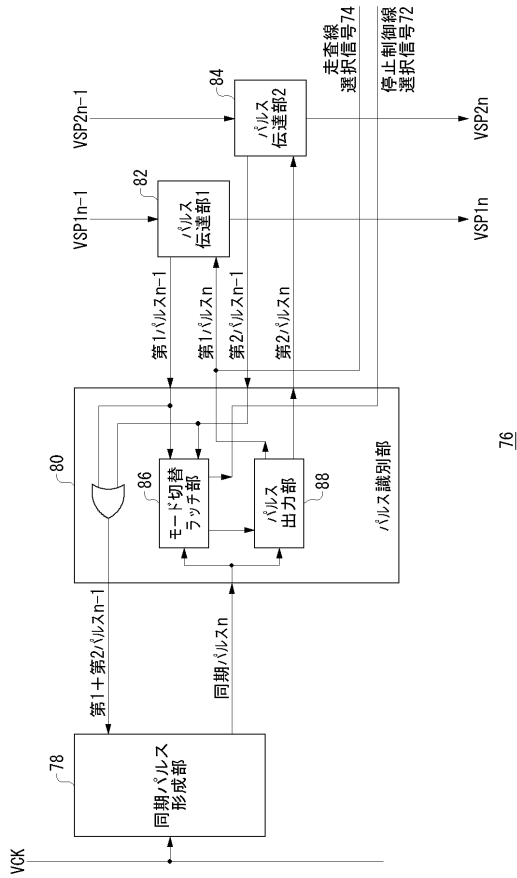
76

【図 16】

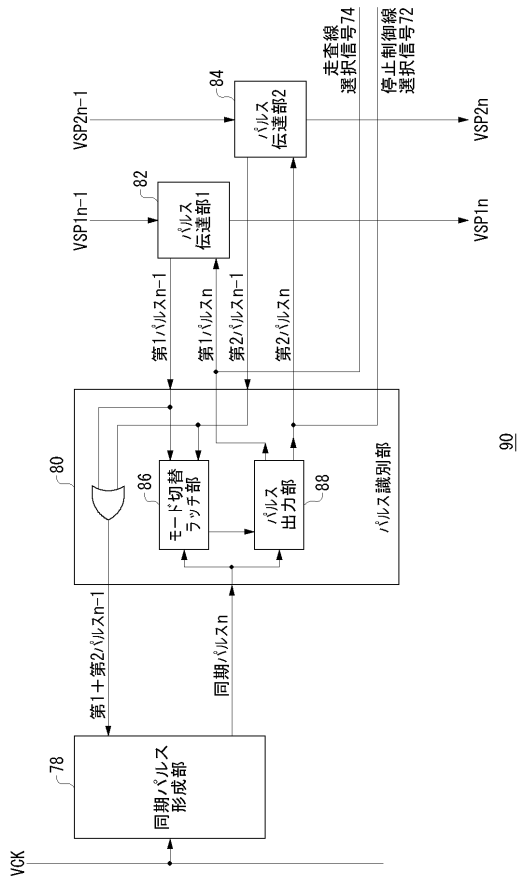


136

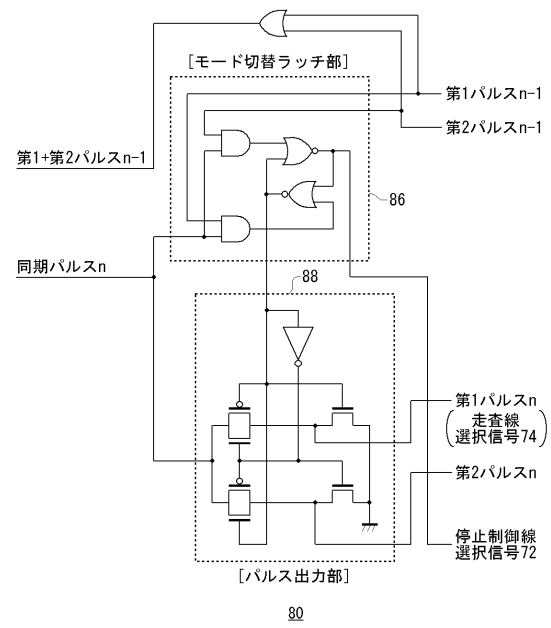
【図 17】



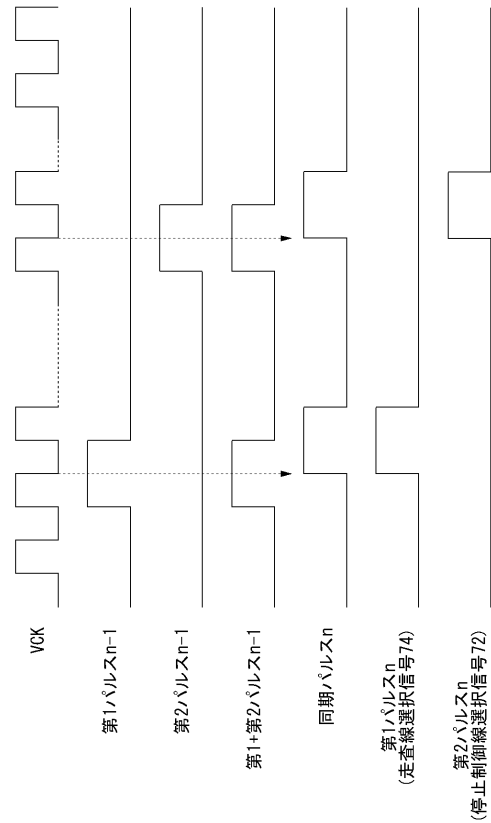
【図 19】



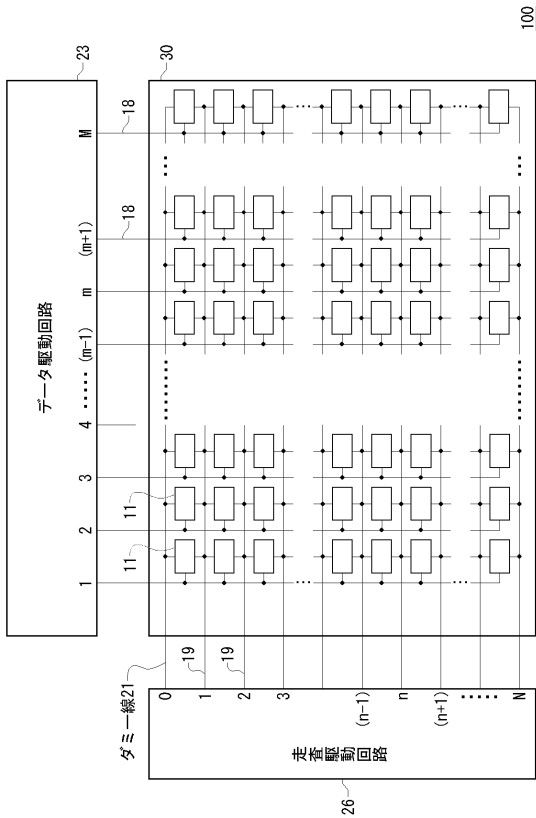
【図 18】



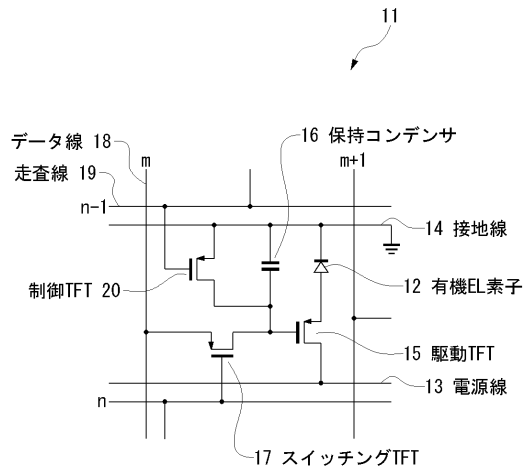
【図 20】



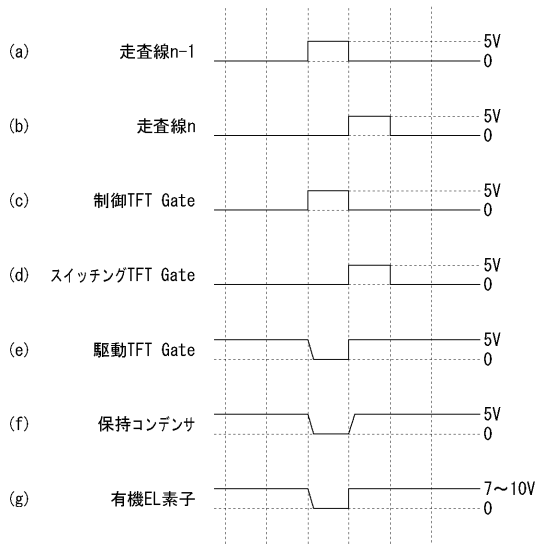
【図 2 1】



【図 2 2】

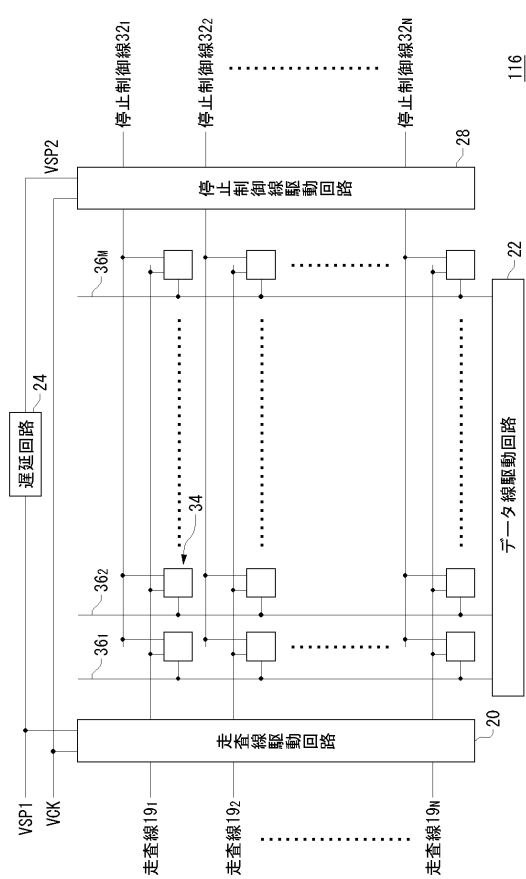


【図 2 3】



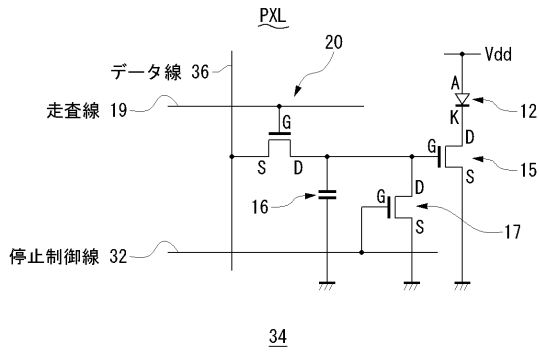
103

【図 2 4】

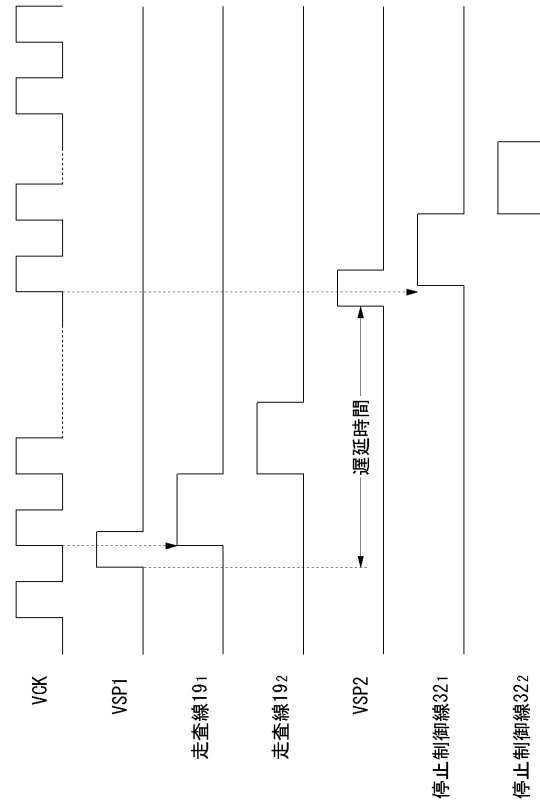


116

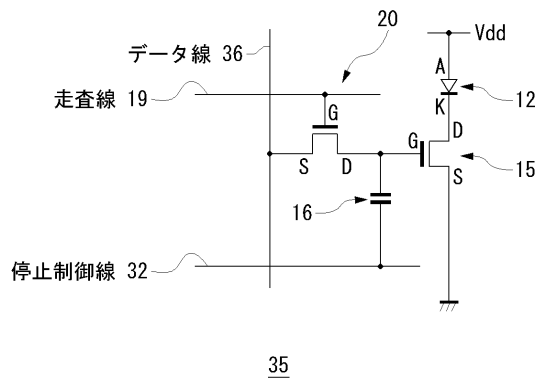
【図 25】



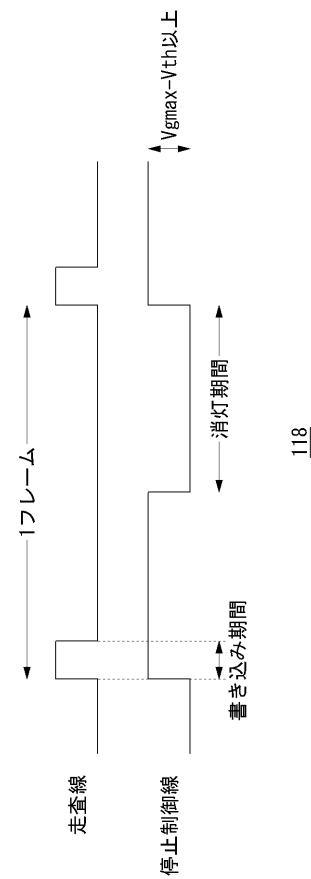
【図 26】



【図 27】



【図 28】



---

フロントページの続き

|              |                      |             |
|--------------|----------------------|-------------|
| (51) Int.Cl. | F I                  | テーマコード (参考) |
|              | G 0 9 G 3/20 6 4 1 A |             |
|              | H 0 5 B 33/14 A      |             |

(72)発明者 松本 昭一郎

大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内

F ターム(参考) 3K007 AB03 AB11 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 DD26 EE28 EE29 FF11 JJ02 JJ03 JJ04

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 表示装置   |         |            |
| 公开(公告)号        | <a href="#">JP2006276733A</a>  | 公开(公告)日 | 2006-10-12 |
| 申请号            | JP2005099158   | 申请日     | 2005-03-30 |
| [标]申请(专利权)人(译) | 三洋电机株式会社   |         |            |
| 申请(专利权)人(译)    | 三洋电机株式会社   |         |            |
| [标]发明人         | 関根 悟<br>賀勢 裕之<br>高塚 伸一<br>松本 昭一郎   |         |            |
| 发明人            | 関根 悟<br>賀勢 裕之<br>▲高▼塚 伸一<br>松本 昭一郎   |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50  |         |            |
| FI分类号          | G09G3/30.J G09G3/30.K G09G3/20.611.A G09G3/20.622.D G09G3/20.622.E G09G3/20.641.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291  |         |            |
| F-TERM分类号      | 3K007/AB03 3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/EE03 3K107/HH02 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB47 5C380/BA01 5C380/BA12 5C380/BA14 5C380/BA29 5C380/BA31 5C380/BB30 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB18 5C380/CB31 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC42 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CE20 5C380/CF07 5C380/CF09 5C380/CF15 5C380/CF22 5C380/CF23 5C380/CF31 5C380/CF32 5C380/CF33 5C380/CF51 5C380/CF56 5C380/DA02 5C380/DA19 5C380/DA32 5C380/DA47 |         |            |
| 代理人(译)         | 森下Kenju  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

## 摘要(译)

解决的问题：在包括有机EL元件的显示装置中，降低功耗并提高可靠性。显示装置包括扫描线/停止控制线驱动单元，数据线驱动电路和以矩阵布置的多个像素。显示装置120包括共同称为扫描线19的扫描线191，192，...，19ñ以及停止控制线321和32（共同称为停止控制线32）。，2），...，32 ñ 成行排列。此外，被统称为数据线36的361，362，...排成行。在扫描线19和数据线36的相交处形成像素50。[选型图]图1

