

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-146257
(P2006-146257A)

(43) 公開日 平成18年6月8日(2006. 6. 8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3 K007
G09G 3/20 (2006.01)	G09G 3/20 6 2 4 B	5 C080
H01L 51/50 (2006.01)	G09G 3/20 6 1 1 H	
	G09G 3/20 6 4 1 P	
	G09G 3/20 6 4 2 A	
審査請求 有 請求項の数 7 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2005-371476 (P2005-371476)	(71) 出願人 000005968
(22) 出願日 平成17年12月26日 (2005.12.26)	三菱化学株式会社
(62) 分割の表示 特願平10-311569の分割	東京都港区芝五丁目33番8号
原出願日 平成10年9月28日 (1998.9.28)	(71) 出願人 598150662
(31) 優先権主張番号 60/060,386	サーノフ コーポレーション
(32) 優先日 平成9年9月29日 (1997.9.29)	アメリカ合衆国、ニュージャージー州・O
(33) 優先権主張国 米国 (US)	8543-5300、プリンストン、CN
(31) 優先権主張番号 60/060,387	5300、ワシントン ロード 201
(32) 優先日 平成9年9月29日 (1997.9.29)	(74) 代理人 100097928
(33) 優先権主張国 米国 (US)	弁理士 岡田 数彦
	(72) 発明者 ミカエル ギリス ケーン
	アメリカ合衆国、ニュージャージー州・O
	8558、スキルマン、ロビン ドライブ
	44
	最終頁に続く

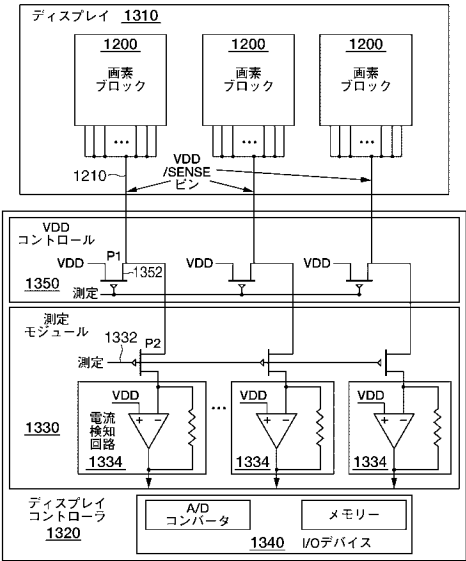
(54) 【発明の名称】 アクティブマトリックス発光ダイオード画素構造およびその方法

(57) 【要約】 (修正有)

【課題】 TFTとOLEDの電気的パラメータが補正され、それによって良好に確定されたOLED電流が画素アレイ内に生じるようにする。

【解決手段】 各画素ブロック1200は、ディスプレイの端において検知ピン(VDD/SENSEピン)1210に接続されている。通常のディスプレイ作動中、検知ピン1210はトランジスタP1を介してVDD電源に接続されるが、測定サイクル中は、トランジスタP2を介して電流検知回路1334に接続される。測定された各画素ブロックの電流はI/Oデバイス1340によって収集され、デジタル形式に変換されてデータ電圧のキャリブレーション用に保存される。この保存情報を利用して、トランジスタの閾値電圧変動とOLEDターンオン電圧変動に対処するためのデータ電圧の補正を行う。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

少なくとも 1 個の画素を有するディスプレイを点灯する方法であって、(a) 当該画素の画素パラメータを測定するステップと、(b) 測定された画素パラメータに基づいて入力画素データを調整するステップと、(c) 調整された入力画素データに基づいて当該画素を点灯するステップとから成ることを特徴とする方法。

【請求項 2】

前記測定ステップ (a) が前記画素によって引き出された電流を外部的に測定する請求項 1 に記載の方法。

【請求項 3】

前記調整ステップ (b) が、電圧オフセット (V_{offset}) パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する請求項 1 又は 2 に記載の方法。

【請求項 4】

前記調整ステップ (b) が、更に、ゲイン係数 (C) パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する請求項 3 に記載の方法。

【請求項 5】

(1) 画素の画素パラメータを測定するための測定モジュールと、(2) 当該測定された画素パラメータを保存するための記憶装置とを有するディスプレイコントローラと、(3) 当該保存された画素パラメータに基づいて調整された入力画素データを表示するため、当該ディスプレイコントローラに接続されたディスプレイとから成るシステム。

【請求項 6】

前記測定モジュールが前記画素によって引き出される電流を測定するための電流検知回路を有する請求項 5 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス発光ダイオード画素 (ピクセル) 構造に関する。本発明は、詳しくは、画素構造の発光ダイオードにおいて電流の不均一性を低減して輝度の均一性を改善する画素構造と、前記アクティブマトリックス発光ダイオード画素構造の作動方法に関する。尚、本出願は 1997 年 9 月 29 日出願の米国仮出願第 60/060,386 号および 1997 年 9 月 29 日出願の米国仮出願第 60/060,387 号の優先権を主張すると共に、本出願に引用する。

【背景技術】

【0002】

図 1 に示すようなマトリックスアドレッシングを使用して画素を点灯するマトリックスディスプレイは、当該技術分野において周知である (特許文献 1 ~ 6 参照)。典型的なディスプレイ 100 は、行と列に構成された画面要素すなわち表示要素 (ピクセル) 160 を有する。このディスプレイは、列データ発生装置 110 と行データ発生装置 120 を内蔵している。作動にあたっては、各行は行ライン 130 を介して順次通電されるとともに、対応する列ラインを使用して対応する画素が通電される。パッシブマトリックスディスプレイにおいては、各行の画素は順次 1 個ずつ点灯されるが、アクティブマトリックスディスプレイにおいては、各列の画素に順次データがロードされる。すなわち、パッシブマトリックスディスプレイの各列は全フレーム時間のほんの一部分で「通電状態である」に過ぎないが、アクティブマトリックスディスプレイの各列はフレーム時間の全体にわたって「通電状態とする」ことが出来る。

【0003】

ポータブルディスプレイ、例えばラップトップコンピュータの普及に伴って、さまざまなプレイ技術、例えば液晶ディスプレイ (LCD) および発光ダイオードディスプレイ (LED) が使用されるようになった。一般的に、ポータブルディスプレイにおいては

10

20

30

40

50

、ディスプレイを使用するポータブルシステムの電力を節約し、それによってポータブルシステムの「使用時間」を延長できる様にすることが重要である。

【0004】

LCDにおいては、ディスプレイの使用中の全期間にわたってバックライトがオンになっている。すなわち、LCD内のすべての画素が点灯され、ある画素を「暗く」するには、画素を通る光を偏光層でさえぎる。これに対して、LEDディスプレイは、通電された画素のみが点灯され、暗い画素を点灯する必要をなくして省電力を図っている。

【0005】

図2に、2個のNMOSトランジスタN1とN2を有する従来技術のアクティブマトリックスLED画素構造200を示す。この画素構造においては、トランジスタN1に通電することによりコンデンサCにデータ（電圧）が先ず保存され、次に「駆動トランジスタ」N2に通電してLEDを点灯する。画素構造200を使用したディスプレイでも節電は可能であるが、この画素構造では、いくつかの原因により不均一な輝度レベルを呈する。

【0006】

第一に、LEDの輝度はそこを通る電流に比例することが観測されている。使用中、「駆動トランジスタ」N2の閾値電圧がドリフトするためLEDを通る電流が変化する可能性がある。この電流の変化がディスプレイの輝度の不均一性の一因となる。

【0007】

第二に、ディスプレイの輝度の不均一性のもう一つの原因は、「駆動トランジスタ」N2の製造において見いだすことが出来る。いくつかの場合に、「駆動トランジスタ」N2は、トランジスタの初期閾値電圧の均一性の確保が困難な材料で作られ、その結果、画素ごとに変動する。

【0008】

第三に、LEDの電気的パラメータも不均一性を呈することがある。例えば、バイアス温度ストレス条件下では、OLED（有機発光ダイオード）のターンオン電圧の増加が予想される。

【0009】

従って、画素構造の「駆動トランジスタ」における閾値電圧の変動に起因する電流の不均一性を低減する画素構造と、それに関連する方法が当該技術分野において必要となっている。

【0010】

【特許文献1】特開平07-111341号公報

【特許文献2】欧州特許出願公開第731440号明細書

【特許文献3】特開平03-139908号公報

【特許文献4】実開昭61-131171号公報

【特許文献5】特開平09-127913号公報

【特許文献6】米国特許第5198803号明細書

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、画素構造の発光ダイオードにおける電流の不均一性の低減によって輝度の均一性を改善するLED（またはOLED）画素構造と方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記課題を解決するために、本発明者らは鋭意検討した結果、5個のNMOSトランジスタ、コンデンサ、およびLEDから成る画素構造が上記課題を解決できることを見出し、本発明を完成するに至った。

【0013】

すなわち、本発明の第一の要旨は、少なくとも一つの画素を備えるディスプレイであって、当該画素は、（1）第1選択ラインへの接続用であるゲートと、ソースと、ドレイン

10

20

30

40

50

とを有する第1トランジスタと、(2)当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと(3)オートゼロラインへの接続用であるゲートと、ソースと、当該第1トランジスタの当該ドレインが接続されているドレインとを有する第2トランジスタと、(4)第2選択ラインへの接続用であるゲートと、当該第2トランジスタのドレインに接続されたソースと、ドレインとを有する第3トランジスタと、(5)当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第2トランジスタの当該ソースに接続されたドレインとを有する第4トランジスタと、(6)当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、(7)当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイに存する。 10

【0014】

第1の要旨の好ましい態様において、画素構造は3個のトランジスタと1個のダイオードから成る。

【0015】

第1の要旨の他の好ましい態様において、画素構造は5個のトランジスタを有する異なる画素構造である。

【0016】

第1の要旨の他の好ましい態様において、画素構造はオートゼロ化電圧範囲を拡張する追加のラインを1本備える。 20

【0017】

本発明の第2の要旨は、画素パラメータを測定し、それを使用して入力画素データを調節する、一つの外部測定モジュールと種々の測定方法に存する。

【0018】

具体的には、本発明は以下の各発明より成る。

【0019】

[1] 少なくとも一つの画素を備えるディスプレイであって、当該画素は、(1)第1選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、(2)当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと(3)オートゼロラインへの接続用であるゲートと、ソースと、当該第1トランジスタの当該ドレインが接続されているドレインとを有する第2トランジスタと、(4)第2選択ラインへの接続用であるゲートと、当該第2トランジスタのドレインに接続されたソースと、ドレインとを有する第3トランジスタと、(5)当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第2トランジスタの当該ソースに接続されたドレインとを有する第4トランジスタと、(6)当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、(7)当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイ。 30

【0020】

[2] 前記光要素が有機発光ダイオード(OLED)である[1]に記載のディスプレイ。 40

【0021】

[3] 前記各トランジスタが非晶質シリコンから造られた薄膜トランジスタである[1]又は[2]に記載のディスプレイ。

【0022】

[4] 前記第2選択ラインが前行からのオートゼロラインである[1]～[3]の何れかに記載のディスプレイ。

【0023】

[5] 少なくとも一つの画素を備えたディスプレイであって、当該画素は、(1)一つ 50

の選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、(2)当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと、(3)オートゼロラインへの接続用であるゲートと、ソースと、当該第1トランジスタの当該ドレインが接続されているドレインとを有する第2トランジスタと、(4)当該第2トランジスタのソースに接続された第1端子と、点灯ラインへの接続用の第2端子とを有するダイオードと、(5)第1トランジスタのソースに接続されたゲートと、ソースと、当該ダイオードの第1端子に接続されたドレインとを有する第3トランジスタと、(6)当該第3トランジスタのソースが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイ。

【0024】

10

[6] 前記ダイオードがショットキダイオードである [5] に記載のディスプレイ。

【0025】

[7] 少なくとも一つの画素を備えたディスプレイであって、当該画素は、(1)第1選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、(2)当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと、(3)オートゼロラインへの接続用であるゲートと、当該第1トランジスタの当該ソースが接続されているソースと、ドレインとを有する第2トランジスタと、(4)第2選択ラインへの接続用であるゲートと、当該第2トランジスタのドレインに接続されたソースと、ドレインとを有する第3トランジスタと、(5)当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの上記ソースに接続されたドレインとを有する第4トランジスタと、(6)当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、(7)当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイ。

20

【0026】

[8] 前記光要素が有機発光ダイオード (OLED) である [7] に記載のディスプレイ。

【0027】

[9] 前記第2選択ラインが前行からのオートゼロラインである [7] 又は [8] に記載のディスプレイ。

30

【0028】

[10] (1) 少なくとも一つのオートゼロ化画素構造と、(2) 当該オートゼロ化画素構造にオートゼロ化の実行を可能にするため、当該オートゼロ化画素構造に接続されたオートゼロラインと、(3) オートゼロ電圧の範囲を拡張するため、一つの電圧を当該オートゼロ化画素構造に運ぶように、当該オートゼロ化画素構造に接続された第2ラインとから成るディスプレイ。

【0029】

[11] 光要素への印加エネルギーを制御する回路を含む少なくとも1個の画素を有するディスプレイを点灯する方法であって、(a) 画素をオートゼロ化するステップと、(b) データライン経由でデータを当該画素へロードするステップと、(c) 保存されたデータに基づいて当該光要素を点灯するステップとから成ることを特徴とする方法。

40

【0030】

[12] 前記オートゼロ化ステップ (a) の前に前記画素をプリチャージするステップを更に含む [11] に記載の方法。

【0031】

[13] 前記オートゼロ化ステップ (a) が基準ブラックレベルを印加するステップを含む [11] は [12] に記載の方法。

【0032】

[14] 少なくとも1個の画素を有するディスプレイを点灯する方法であって、(a)

50

当該画素の画素パラメータを測定するステップと、(b)測定された画素パラメータに基づいて入力画素データを調整するステップと、(c)調整された入力画素データに基づいて当該画素を点灯するステップとから成ることを特徴とする方法。

【0033】

[15]前記測定ステップ(a)が前記画素によって引き出された電流を外部的に測定する[14]に記載の方法。

【0034】

[16]前記調整ステップ(b)が、電圧オフセット(V_{offset})パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する[14]又は[15]に記載の方法。

【0035】

[17]前記調整ステップ(b)が、更に、ゲイン係数(C)パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する[16]に記載の方法。

【0036】

[18]ディスプレイコントローラと当該ディスプレイコントローラに接続されると共に複数の画素から成るディスプレイとから成るシステムであって、当該各画素が、(1)第1選択ラインへの接続用ゲートと、ソースと、およびドレインとから成る第1トランジスタと、(2)当該第1トランジスタの当該ドレインに接続された第1端子と、第2端子とを有するキャパシタと、(3)オートゼロラインへの接続用ゲートと、当該第1トランジスタの当該ソースに接続されたソースと、ドレインとを有する第2トランジスタと、(4)第2選択ラインへの接続用ゲートと、当該第2トランジスタの当該ドレインに接続されたソースと、ドレインとを有する第3トランジスタと、(5)当該第1トランジスタの当該ソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ソースに接続されたドレインとを有する第4トランジスタと、(6)当該第1トランジスタの当該ソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、(7)当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするシステム。

【0037】

[19](1)画素の画素パラメータを測定するための測定モジュールと、(2)当該測定された画素パラメータを保存するための記憶装置とを有するディスプレイコントローラと、(3)当該保存された画素パラメータに基づいて調整された入力画素データを表示するため、当該ディスプレイコントローラに接続されたディスプレイとから成るシステム。

【0038】

[20]前記測定モジュールが前記画素によって引き出される電流を測定するための電流検知回路を有する[19]に記載のシステム。

【発明の効果】

【0039】

本発明のディスプレイは輝度の均一性が大幅に改善されており、その工業的価値は高い。

【発明を実施するための最良の形態】

【0040】

以下、本発明を図面を使用して詳しく説明する。尚、理解を容易にするため、各図に共通の要素は可能な限り同一の符号を付した。

【0041】

図3は、本発明によるアクティブマトリックスLED画素構造300の略図である。好ましい実施態様において、アクティブマトリックスLED画素構造は、薄膜トランジスタ(TFT)、すなわちポリシリコンまたはアモルファスシリコンを使用して作られたトラ

10

20

30

40

50

ンジスタを使用して実施される。同様に、好ましい実施態様において、アクティブマトリックスLED画素構造は、有機発光ダイオード（OLED）を使用する。この画素構造は薄膜トランジスタと有機発光ダイオードを使用して実施しているが、本発明は他のタイプのトランジスタや発光ダイオードを使用しても実施できる。

【0042】

この画素構造300は、トランジスタ閾値電圧（ V_t ）の不均一性が大きくかつOLEDターンオン電圧の不均一性が大きい場合でも、均一な電流駆動を提供する。すなわち、OLEDを通る電流を均一に保ち、それによってディスプレイの輝度の均一性を確保することが望ましい。

【0043】

図3を参照すると、画素構造300は、5個のNMOSTランジスタN1（310）、N2（320）、N3（330）、N4（340）およびN5（350）、コンデンサ302、およびLED（OLED）（光要素）304（光要素）から成る。選択ライン370はトランジスタ350のゲートに接続されている。データライン360はコンデンサ302の一方の端子に接続されている。オートゼロライン380はトランジスタ340のゲートに接続されている。VDDライン390がトランジスタ320、330のドレインに接続されている。画素アレイ内の前の行からのオートゼロライン382が、トランジスタ330のゲートに接続されている。

【0044】

前行からのオートゼロライン382は第2の選択ラインとして実施可能であることに注目すべきである。すなわち、現在の画素のタイミングは、前行からのオートゼロライン382が第2の選択ラインを必要とせずに利用でき、それによって現在の画素の複雑さとコストを低減するようになっている。

【0045】

コンデンサ302の一つの端子は（ノードAにおいて）トランジスタ330のソースと、トランジスタ340、350のドレインに接続されている。トランジスタ350のソースは（ノードBにおいて）トランジスタ310と320のゲートに接続されている。トランジスタ310のドレインはトランジスタ340のソースに接続されている。最後に、トランジスタ310と320のソースはLED304の一方の端子に接続されている。

【0046】

前述のように、有機LEDディスプレイの駆動には種々の不均一性による問題が多い。本発明は、これらの問題を対象とする有機LEDディスプレイの構造に関する。すなわち、各LED画素は、LEDターンオン電圧の変動やTFT閾値電圧の変動に鈍感な方法で駆動される。すなわち、現在の画素は、LEDターンオン電圧やTFT閾値電圧の変動に対処するために使用されるオートゼロ化方法を使用して、オフセット電圧パラメータを求めることができる。

【0047】

更に、従来のアクティブマトリックス液晶ディスプレイにおいて使用された方法に極めて類似する方法によって、各画素にデータがデータ電圧として供給される。その結果、本発明のディスプレイ構造は、従来の行と列のスキュナに対し、外付けでも内蔵でも使用することが出来る。

【0048】

本発明の画素は、5個のTFTと、1個のコンデンサと、LEDとを使用する。TFTの接続は、LEDのカソードにではなく、アノードに接続されることに注目すべきであり、このことは従来の有機LEDにおいてはITOがホールエミッタであるという事実によって必要とされる。従って、LEDはTFTのドレインにではなく、ソースに接続される。各ディスプレイの列は、2本の行ライン（オートゼロラインと選択ライン）と、1-1/2列ライン（データラインと、隣の列と共有する+VDDライン）を有する。各ライン上の波形も図4に示す。画素300の作動を以下3フェーズ、すなわち3段階で詳述する。

10

20

30

40

50

【0049】

第一フェーズはプリチャージフェーズである。前行382のオートゼロ(AZ)ライン上の正のパルスがトランジスタ330を「オン」にし、画素のノードAを V_{dd} 、例えば+10Vまでプリチャージする。次にデータラインが、前行の画素へデータを書き込むため、そのベースライン値から変化し、そのベースラインへ戻る。これは考慮中の画素への正味効果を持たない。

【0050】

第二フェーズはオートゼロフェーズである。現在の行のAZラインとSELECTラインが高くなり、トランジスタ340、350を「オン」にし、トランジスタN1 310のゲートを落とし、ターンオン電圧へと自己バイアスをかけ、LEDに極くわずかな電流を流す。このフェーズにおいて、LEDのターンオン電圧とN1の閾値電圧の合計がN1のゲートに保存される。N1とN2とはごく接近して配置できるので、それらの初期閾値電圧は極めて類似している。更に、これら2個のトランジスタのソースに対するゲート電圧 V_{gs} は同じはずである。TF Tの閾値電圧のドリフトはTF Tの全寿命にわたって V_{gs} のみに依存するので、これらデバイスの閾値電圧はTF Tの全寿命にわたって追従すると見なすことが出来る。従って、N2の閾値電圧もそのゲート上に保存される。オートゼロ化の完了後、オートゼロラインはロー(low)に戻る一方、選択ラインはハイ(high)のままである。

【0051】

第三フェーズはデータ書き込みフェーズである。データはベースライン電圧を超える電圧としてデータラインへ印加され、コンデンサを介して画素に書き込まれる。次に選択ラインがローに戻り、データ電圧、プラスLEDターンオン電圧、プラスN2の閾値電圧の合計が、残りのフレームに関してノードBに保存される。保存されたデータがリークによって失われないように、ノードBから $+V_{dd}$ までのコンデンサを使用できることに注目すべきである。

【0052】

要するに、オートゼロフェーズの間、細電流(trickle current)を使用して、LEDのターンオン電圧とN2の閾値電圧が「測定」され、ノードBに保存される。このオートゼロフェーズは、本質的には駆動電流が極めて小さい電流駆動モードの作動である。オートゼロフェーズの後の書き込みフェーズになって初めて、印加されたデータ電圧を使用してLEDに増分が与えられる。従って、本発明は、電圧駆動または電流駆動よりはむしろ、「ハイブリッド駆動」を有するということが出来ると言える。ハイブリッド駆動方法は、電圧駆動および電流駆動における欠点がなく、両者の長所を組み合わせるものである。LEDのターンオン電圧とTF Tの閾値電圧の変動は、電流駆動における場合と全く同様に補正される。同時に、ディスプレイ上のすべてのラインは電圧によって駆動されるので、高速で駆動することが出来る。

【0053】

注目すべきことに、データライン360に印加されるデータ電圧の増分は、LED304全体にわたって直接現れるのではなく、N2(320)とLEDの V_{gs} 間に分割される。このことは単に、データ電圧からLED電圧への非線型のマッピングがあることを意味する。このマッピングは、LED電圧からLED電流への非線型のマッピングと組み合わせられて、データ電圧からLED電圧への全体の伝達関数を発生するが、これは単調で、上記のようにディスプレイの全寿命にわたって安定している。

【0054】

現在の画素構造300の利点は、閾値が補正されない画素におけるトランジスタ(N3、N4およびN5)がフレームあたり1列時間のみオンとなるためデューティサイクルが極めて短く、認識できるほどにはシフトしないと予想されることである。更に、N2は、LEDの現在パスにおける唯一のトランジスタである。このパス上で直列接続されたトランジスタは、ディスプレイ効率を劣化させるか、あるいは未補正のTF T閾値シフトによる問題を発生する可能性があり、もしも一つの列上の全部の画素によって共有されると、

10

20

30

40

50

縦方向の著しいクロストークをもたらす可能性がある。

【0055】

選択パルスとオートゼロ（AZ）パルスは行スキャナによって形成される。列データはAZパルス同士間のタイムスロットにおいて（任意の）一定ベースライン電圧に加えて印加される。選択信号の下降エッジは、データライン上でデータが有効である間に発生する。直接サンプル・タイプまたはチョップト・ランプ・タイプのいずれかの各種の外付けまたは内蔵の列スキャナが、このタイミングによってデータを発生することが出来る。

【0056】

上記の画素構造によれば、有機LEDを使用して大型の直視ディスプレイを造ることが出来る。もちろん、現在の画素構造は、駆動電流を必要とするディスプレイ要素を使用する任意のディスプレイ技術にも、特にディスプレイ要素またはTFTのターンオン電圧がシフトするかまたは不均一である場合、適用可能である。 10

【0057】

図5は、本発明によるアクティブマトリックスLED画素構造500の好ましい実施態様の略図である。この画素構造500は、図3の画素構造300に類似であるが、ここでは2個のトランジスタの代わりにショットキダイオード1個を使用している。

【0058】

画素構造300が有する可能性のある欠点の一つとして、1画素あたり5個のトランジスタを使用していることが挙げられる。すなわち、各画素に多数のトランジスタを使用しているので、画素のフィルファクタ（fill factor）（アクティブプレートを通るボトム側放出を想定して）およびその収率（yield）にも影響を及ぼす可能性がある。従って、画素構造300は、各画素に1個のショットキダイオードのみを使用してトランジスタ数を5個から3個に減らしつつ、且つ上記と同じ機能を果たす。 20

【0059】

図5において、画素500は3個のNMOSトランジスタN1（510）、N2（520）、N3（530）、1個のコンデンサ502、1個のショットキダイオード540、およびLED（OLED）550（光要素）から成る。選択ライン570はトランジスタ530のゲートに接続されている。データライン560はコンデンサ502の一方の端子に接続されている。オートゼロライン580はトランジスタ520のゲートに接続されている。点灯ライン（VDDラインに類似）590はショットキダイオード540の一方の端子に接続されている。 30

【0060】

コンデンサ502の一方の端子は（ノードAにおいて）トランジスタ520と530のドレインに接続されている。トランジスタ530のソースは（ノードBにおいて）トランジスタ510のゲートに接続されている。トランジスタ510のドレインはトランジスタ520のソースと、ショットキダイオード540の一方の端子に接続されている。

【0061】

画素構造500も、下記のように、プリチャージフェーズ、オートゼロフェーズ、およびデータ書き込みフェーズの3フェーズで作動する。すべての点灯ラインはディスプレイの周囲で相互に結合されていて、プリチャージフェーズが始まる前に、これら点灯ラインは、約+1.5Vのプラスの電圧 V_{ILL} に保持される。以下の説明においては、考慮中の行を「行i」と呼ぶ。各ライン上の波形も図6に示す。 40

【0062】

第一フェーズはプリチャージフェーズである。プリチャージは、オートゼロ（AZ）ラインがトランジスタN2をオンにし、選択ラインがトランジスタN3をオンにすると開始される。このフェーズは、データラインがリセットレベルにあるとき行なわれる。ノードAとBにおける電圧はトランジスタN1のドレインと同じ電圧まで上昇するが、これは V_{ILL} より低いダイオード降下である。

【0063】

第二フェーズはオートゼロフェーズである。次に、点灯ラインがアースに落ちる。この 50

フェーズ中、アレイ上のすべての画素は短時間暗くなる。ここで、ショットキダイオード 540 がトランジスタ N1 のドレインを、アースされた点灯ラインから絶縁して、N1 のオートゼロ化が始まる。ノード B がトランジスタ N1 の閾値電圧プラス LED 550 のターンオン電圧にほぼ等しい電圧に達すると、AZ ラインを使用してトランジスタ N2 を「オフ」にし、点灯ラインは V_{ILL} に戻る。選択されなかった行のすべての画素が再び点灯する。

【0064】

第三フェーズはデータ書き込みフェーズである。次に、行 i に関するデータがデータラインに印加される。ノード A と B における電圧上昇が、データラインのリセット電圧レベルとデータ電圧レベル間の差を等しくする。このようにして、トランジスタ N1 の閾値電圧と LED のターンオン電圧の変動が補正される。ノード B における電圧が落ち着いた後、行 i に関する選択ラインを使用してトランジスタ N3 をオフにし、データラインがリセットされる。これで次のフレームまで適切なデータ電圧が画素に保存される。

10

【0065】

以上、先に述べた 5 トランジスタ画素の利点を持ちつつも、トランジスタ数の少ない、OLED ディスプレイ用 3 トランジスタ画素について説明した。更なる利点として、5 トランジスタ画素には、オートゼロ化と LED 駆動とに別々のトランジスタを使用されることである。画素 300 が適切に作動するには、これら 2 個のトランジスタの初期閾値が一致し、寿命の全期間にわたって同じようにドリフトすることが必要である。最近の実験データが示唆するところによれば、（これらトランジスタのように）TF T 同士のドレイン電圧が互いに異なると、両 TF T は同様にはドリフトしない。従って、画素 500 は、適切なオートゼロ化が保証されるように、LED を駆動する同じトランジスタ上でオートゼロ化を行なう。

20

【0066】

図 7 は、本発明によるアクティブマトリックス LED 画素構造 700 の代替実施態様の略図である。この画素構造 700 は、図 3 の画素構造 300 に類似するが、更に正確なオートゼロ電圧を発生する。

【0067】

すなわち、図 3 において、オートゼロ化は、各プリチャージサイクルが図 3 に示すように大きなプラス電荷 Q_{PC} を画素 300 のノード A に注入するという事実から生ずる。プリチャージフェーズ中、ノード A 上のキャパシタンスのほとんどすべてはコンデンサ C_{data} からであり、ノード A に注入される電荷は式 (1) で表される。

30

【0068】

【数 1】

$$Q_{pc} \cong C_{data} (V_{dd} - V_A) \quad (1)$$

【0069】

ここで V_A は、プリチャージフェーズが始まる前のノード A における電圧である。 V_A は、画素 300 に予め与えられたデータ、N3 (300) の閾値電圧、および LED 304 のターンオン電圧に左右される。 C_{data} が大きなキャパシタンス (約 1 pF) であるので、 Q_{PC} も 10 ピコクーロン (picocoulomb) 程度と大きい。

40

【0070】

画素 300 が安定したオートゼロレベルにあるとき、 Q_{PC} はオートゼロフェーズ中、N1 (300) と LED 304 とを流れる。オートゼロ間隔 (インタバル) は短いので (約 10 μ sec)、N1 にはその閾値電圧より高いゲート対ソースオートゼロ電圧が残る可能性があり、同様に LED もそのターンオン電圧を上回ってオートゼロ化する。このように、オートゼロ化プロセスにおいては、ノード A とノード B で、真のゼロ電流オートゼロ電圧ではなく、その近似値を発生する可能性がある。

【0071】

50

注目すべきことは、N1とLEDを通る正確なゼロ電流に対応する真のゼロ電流オートゼロ電圧を発生させる必要がないという点である。本発明において、微弱な電流（約10ナノアンペア）をN1 300とLED 304とを通して流すことの出来るオートゼロ電圧を得ることが望ましい。オートゼロ間隔（インタバル）は約10 μ secであるので、 Q_{PC} は約0.1ピコクーロン程度のはずである。上記のように、 Q_{PC} は約10ピコクーロンである。

【0072】

このように大きな Q_{PC} の効果として、画素の安定オートゼロ電圧が閾値電圧とターンオン電圧の合計をはるかに上回る可能性がある。この状態そのものは、もしも過剰なオートゼロ電圧がディスプレイ全体にわたって均一であれば、問題にはならない。すなわち、すべてのデータ電圧を相応にオフセットすることによって、この効果に対処することが出来る。

10

【0073】

しかし、もしも Q_{PC} が大きいのみならず、前のデータ電圧とオートゼロ電圧そのものに左右される場合、問題を生ずる可能性がある。この状態がもしもディスプレイ内で発生すると、すべての画素のオートゼロ電圧が大幅に過剰になるのみならず、過剰電圧の大きさが画素ごとに異なる可能性がある。実際、そのような条件下では、画素300のオートゼロ化によって均一なディスプレイを作ることが出来ない。

【0074】

この問題に対処するため、画素700はプリチャージ Q_{PC} を極めて小さい値に下げることが出来る。また、オートゼロ化に実際に必要な電荷に応じて Q_{PC} を変化させることの出来る「可変プリチャージ」方法を開示する。要するに、現在のオートゼロ電圧が低すぎる場合、オートゼロ電圧を所望の値にまで上げるため、 Q_{PC} はその最小値、約0.1ピコクーロンとなる。しかし、現在のオートゼロ電圧が高すぎると、 Q_{PC} は実質的にゼロになり、オートゼロ電圧が急速に下がることを可能にする。

20

【0075】

図7を参照すると、画素700は、5個のNMOSトランジスタ、N1（710）、N2（720）、N3（730）、N4（740）、N5（750）と、コンデンサ702と、LED（OLED）704（光要素）とから成る。選択ライン770はトランジスタ710のゲートに接続されている。データライン760はコンデンサ702の一方の端子に接続されている。オートゼロライン780はトランジスタ740のゲートに接続されている。VDDライン790はトランジスタ720と750のドレインに接続されている。画素アレイ内の前の行からのオートゼロライン782はトランジスタ750のゲートに接続されている。

30

【0076】

本発明において、前の行からのオートゼロラインを第二選択ラインとすることが出来ることが特徴である。すなわち、現在の画素のタイミングを、第二選択ラインを必要とせずに前の行からのオートゼロライン782を利用できるようなタイミングにして、現在の画素の複雑さとコストを低減することが出来る。

【0077】

コンデンサ702の一方の端子は（ノードAにおいて）トランジスタ710のドレインに接続されている。トランジスタ710のソースは（ノードBにおいて）トランジスタ720、730のゲートに接続され、トランジスタ740のソースに接続されている。トランジスタ740のドレインは（ノードCにおいて）トランジスタ750のソースとトランジスタ730のドレインに接続されている。最後に、トランジスタ730、720のソースはLED704の一方の端子に接続されている。

40

【0078】

更に具体的に、画素700は、トランジスタN3（730）のドレインであるノードCにプリチャージ電圧が印加されること以外は、画素300に類似する。更に、図8に示すようないくつかのタイミング変更もある。以下に、画素700の作動を3フェーズの段階

50

に分けて説明する。

【0079】

第一フェーズは前のラインタイム中、すなわちデータが前の行の画素に印加される前に行なわれるプリチャージフェーズである。選択ライン上のプラスのパルスがN1を「オン」にし、これによってノードAとBが互いにショートされ、画素700の状態が、直前のオートゼロフェーズの後の状態に戻る。すなわち、画素は、画素の適切なオートゼロ電圧の最近の推測値である、データに依存しない電圧に戻る。N1が「オン」である間、前の行ラインからのオートゼロライン782上の正のパルスがトランジスタN5を「オン」にし、これによってノードCを V_{dd} にプリチャージする。次に、トランジスタN1とN5が「オフ」とされる。

10

【0080】

トランジスタN1とN5のオン、オフの相対的タイミングは、あまり重要ではないが、トランジスタN1は、トランジスタN5がオフになる前にオンとしなければならない。そうしないと、トランジスタN3が旧データ電圧に応じて依然としてオンのままとなり、ノードCへ注入された電荷がトランジスタN3を経てリークしてしまう可能性がある。

【0081】

プリチャージフェーズの後、電荷 Q_{PC} はノードCにおいて、トランジスタN3、N4、N5のゲート対ソース／ドレインのキャパシタンス上に保存される。これらキャパシタンスの合計は極めて小さく（約10fF）、また、プリチャージ間隔がノードCを約10V上昇させるので、 Q_{PC} は当初、約0.1ピコクーロンである。しかしこの電荷は、前のオートゼロ電圧の真のオートゼロ電圧に対する近似精度によって変化する割合で、オートゼロフェーズの前にノードCからリークする。従って、オートゼロ化のためにはどれ程の電荷量が必要かということ次第で、 $Q_{PC} \leq 0.1$ ピコクーロンの関係はより精確に示されることになる。これは可変プリチャージ特徴である。直前のオートゼロ電圧が低すぎる場合、N3はプリチャージフェーズ後、非導通となり、 Q_{PC} はその最大値に留まるはずであり、オートゼロフェーズ中、オートゼロ電圧をその要求レベルに向かって上昇させる。直前のオートゼロ電圧が高すぎる場合、N3は導通し、 Q_{PC} はオートゼロフェーズが始まるまでにはリークし、オートゼロ電圧の急低下が可能になる。

20

【0082】

トランジスタN1とN5の相対的タイミングは重要ではないが、好ましいタイミングを図8に示す。プリチャージに要する時間を最短にするため、2個のトランジスタN1とN5は同時にオンとされる。N1はN5より前にオフとされるが、これにより、ノードCからの Q_{PC} の（意図的な）リークは、N1をオフにすることによって容量的に押し下げられたノードB電圧に対応する。これにより、ノードCからの Q_{PC} のリークは、画素にゼロデータが印加されたときに等しいノードB電圧に確実に対応する。

30

【0083】

要するに、画素700は、画素300に比してより効果的なオートゼロ化を可能にする画素のプリチャージ手段を提供する。具体的には、画素700のオートゼロ化は、より正確、迅速、かつデータに対して独立性である。コンピュータシミュレーションによる確認では、画素700は、オートゼロ化が良好であり、10,000時間の作動寿命の全期間にわたってほぼ一定のOLED電流対データ電圧特性を維持することが出来る。

40

【0084】

図9は、本発明の他の実施態様であるアクティブマトリックスLED画素構造900の略図である。画素構造900は、図7の画素構造700に類似しているが、追加の $V_{precharge}$ ライン992を備え、LED供給電圧 V_{dd} を上げずにオートゼロ電圧範囲を拡張することが出来る点が異なる。画素のこの追加修正は、画素の寿命と効率を改善する。

【0085】

以上説明した画素（200、300、700）は、 V_{dd} がプリチャージ電圧であるので、オートゼロ電圧が V_{dd} を超えることが出来ないという制限がある。しかし、トラン

50

ジスタN2とN3の閾値電圧がトランジスタの寿命期間にわたってドリフトし、TFTドリフト電圧とOLEDターンオン電圧のドリフトを補正するため、オートゼロ電圧を V_{dd} より高くする必要が生じる点に到達する。オートゼロ電圧は、より高い電圧に到達することは出来ないで、ディスプレイの均一性は急速に劣化し、ディスプレイの有用寿命の終りを告げる。 V_{dd} を高くすれば、より高いオートゼロ電圧を達成できるが、 V_{dd} はOLED駆動電源でもあるので、パワー効率が犠牲になる。

【0086】

更に、パワー効率の改善のため、 V_{dd} を下げてトランジスタN2をライン形領域で作動させると、オートゼロ電圧の範囲は更に制限される。(もちろん、そのようにすると飽和状態で作動させた場合よりN2を大きくする必要がある。)この場合、短時間の作動の後、オートゼロ電圧は V_{dd} より高いレベルに到達する必要があるので、駆動寿命は極めて短くなる。

10

【0087】

図9を参照すると、画素700に、オートゼロ電圧に対する制限をなくし、それによって V_{dd} を十分に上回ることを可能にするオプションの変更が組込まれている。画素900は、列ライン992が追加され、それがトランジスタ950のドレインに接続されている以外は、画素700と同じである。

【0088】

列ライン992は、DC電圧 $V_{precharge}$ をすべての画素に運ぶため、アレイに追加されている。これらすべての列ラインは、ディスプレイの端で相互接続されている。 $V_{precharge}$ を V_{dd} より高いレベルに上げることによって、画素900は、 $V_{precharge}$ より高い電圧にプリチャージを行ない、オートゼロ化することが出来る。の高い値は、ディスプレイ効率にほとんど影響を及ぼさない。

20

【0089】

各 $V_{precharge}$ ライン992は、画素の隣接する列との共有が可能であることに注目すべきである。この $V_{precharge}$ ラインはまた、行ラインとして走らせ、隣接する行との共有が可能である。

【0090】

要するに、オートゼロ電圧の範囲を V_{dd} を超えて拡張するため、追加の電圧ラインを備えたOLED画素を開示する。これによってOLED駆動トランジスタは、パワー効率上必要な低い電圧で、場合によってはライン形領域においてすら、オートゼロ電圧を制限することなく、作動することが出来る。従って、長い作動寿命と高効率が可能である。この変更を画素700について説明したが、最終的には、このオプション変更は、上記画素200、300を含み、それらに限らない他のオートゼロ画素構造にも実施可能である。

30

【0091】

上記各画素構造は、OLEDディスプレイ用として、画素におけるトランジスタ閾値電圧変動とOLEDターンオン電圧変動が補正されるように設計されているが、これら画素構造は、画素の外部で発生する不均一性に対処するようには設計されていない。この画素は、ディスプレイプレートの外部からでも、ディスプレイに一体化した状態でも、従来の列駆動回路に使用可能であることが指摘された。

40

【0092】

残念ながら、一体型データドライバは、外付けドライバほど精度がよくないのが普通である。市販の外付けドライバでは $\pm 12\text{ mV}$ の精度を達成できるが、一体型ドライバでは $\pm 50\text{ mV}$ の精度を達成できないことが判明している。一体型ドライバに特有なタイプの誤差は、オフセット誤差、すなわち、すべてのデータ電圧に加えられる、データ非依存性のDCレベルである。このオフセット誤差は不均一、すなわちDCレベルの値はデータドライバごとに変動する。液晶ディスプレイはオフセット誤差を許容する傾向がある。その理由は、フレームが順次反対極性で駆動され、あるフレームでオフセット誤差が液晶をわずかに暗くし、次のフレームで明るくするが、平均的にはほぼ正確で、交互の誤差は目で認識できないからである。しかし、OLED画素は単一極性データによって駆動される。

50

従って、オフセット誤差の二極消去は発生せず、一体型スキャナを使用すると深刻な不均一性問題が発生する可能性がある。

【0093】

図10は、列トランジスタ1020を介してデータドライバ1010に接続された本発明のアクティブマトリクスLED画素構造300の略図である。本発明は、OLEDディスプレイ用の一体型データスキャナにおけるオフセット誤差の消去方法を説明する。すなわち、この方法は、画素がデータラインに容量的に接続され、例えば上記の画素200、300、500および700のようなオートゼロフェーズを有する任意の画素とともに作動するように設計されている。

【0094】

図10を参照すると、上記の画素300は、OLED要素の輝度を確定するため画素にアナログレベルを供給するデータラインに接続されている。図10において、データラインは、データライン上に電圧を設定するためのチョップト・ランプ技法(chopped ramp technique)を使用するデータドライバによって駆動される。このアプローチ(技法)には、データライン上にオフセット誤差を発生させる種々の誤差源が存在する。例えば、電圧比較器が切り替わる時間は、比較器の最大スルーレート(slew rate)次第で変動する可能性がある。また、最大スルーレートは大幅に変動することが、実験によって観察されている。オフセット誤差は、画素に保存されている電圧に影響を及ぼす。オフセット誤差はまた、不均一であるので、ディスプレイ全体にわたって輝度の変動をもたらす。

【0095】

本発明においては、画素がそれ自体の内部閾値誤差を消去するためのオートゼロ化の期間を、データスキャナのオフセット誤差のキャリブレーションにも使用する。種々のラインの波形を図11に示す。

【0096】

すなわち、これは実際のデータ電圧を印加するのと同じ列ドライバを使用してデータライン上に基準ブラックレベルを設定することによって達成される。画素のオートゼロフェーズ中に印加されるこの基準ブラックレベルは、実際のデータ電圧が設定されるのと同じやり方でデータライン上に設定される。すなわち、データランプ(data ramp)は電圧比較器によって定められる時間においてチョップされる。従って、画素のコンデンサCを横切る電圧は画素のターンオン電圧と、ブラックレベルにオフセット誤差電圧をプラスした組合せによって定まる。基準ブラックレベルは、オートゼロフェーズの全期間、維持される。実際のデータが画素に印加されると、データスキャナオフセット誤差は画素のコンデンサ上に保存された電圧によって消去される。

【0097】

この技法は、チョップト・ランプを使用する一体型スキャナのみならず、列上へ直接サンプリングを使用するスキャナにも適用可能である。直接サンプリングの場合、誤差は、(大きな)列トランジスタがオフにされるとき、ゲート信号のデータラインへの不均一容量フィードスルーによって発生する。このトランジスタの閾値電圧変動は、チョップト・ランプ・データ・スキャナによって生じる不均一オフセット誤差と全く同様に、不均一オフセット誤差を生じる。

【0098】

従って、これは同様に補正できる。ブラック基準電圧は、画素のオートゼロフェーズ中、列に書き込まれる。一行のすべての画素が同時にオートゼロ化するので、このブラックレベルは、ラインタイム開始時にすべてのデータ列に同時に書き込まれる。ブラックレベルはオートゼロフェーズの全期間中、維持される。チョップト・ランプ・スキャナの場合のように、実際のデータが画素に印加されると、オフセット誤差は画素キャパシタに保存されている電圧によって消去される。しかし、オフセット誤差の補正に必要な時間オーバーヘッドは、チョップト・ランプ技法を使用するよりも、直接サンプリング技法を使用する方が少ないように思われる。

【0099】

データドライバ誤差を補正するための本発明の方法は、別の方法よりも輝度の均一性のはるかに良好な有機LEDディスプレイの作成を可能にするはずである。ここに説明した方法と、上記いずれかのオートゼロ化画素を使用して、ディスプレイの全寿命にわたって均一性に目立った劣化のない、8ビットの輝度均一性が達成可能である。

【0100】

上記開示では、ディスプレイの輝度の不均一性に対処するため使用することの出来る複数の画素構造を記述したが、代替のアプローチ（技法）として、外付け手段によって不均一性を補正することが出来る。より具体的には、下記の開示は、ディスプレイの輝度の不均一性に対処するための方法と外付けキャリブレーション回路を説明する。要するに、すべての画素について不均一性を測定し保存し、測定した不均一性を使用して、データ（例えばデータ電圧）のキャリブレーションを行なうことが出来る。 10

【0101】

このように、以下の説明においては、図2の従来の画素構造を使用するが、本発明の外付けキャリブレーション回路と方法は、上記の画素300、500、700を含み、これらに限らない他の画素構造にも使用することが出来る。しかし、本発明の外付けキャリブレーション回路と方法によって不均一性に対処すれば、より簡単な画素構造をディスプレイに採用でき、それによってディスプレイの収率とフィルファクタ（fill-factor）を増加させることが出来る。

【0102】

図12は、画素200のアレイ（集合）を相互接続して画素ブロック1200とした状態の略図である。図2を参照すると、動作の際、データは、アクティブマトリックスディスプレイで普通に行なわれる方法で、画素アレイに書き込まれる。すなわち、選択ラインを高く駆動することによって画素の一行が選ばれ、それによってアクセスランジスタN1がオンとなる。各データラインにデータ電圧を印加することによって、この行の各画素にデータが書き込まれる。ノードAにおける電圧が安定した後、選択ラインを低く駆動することによって、この行が選択から解除される。このデータ電圧は、次のフレームでこの行が選択されるまで、ノードAに保存される。N1がオフにされている間に、ノードAから多少の電荷リークの可能性があるので、不適当なレベルの電圧降下を防ぐため、ノードAに蓄電コンデンサが必要になるかも知れない。図中の破線は、電圧降下に対処するための、コンデンサの接続方法を示す。しかし、そのような追加のコンデンサを不要にするほど十分なキャパシタンスがN2のゲートに関連して存在するかもしれない。 20 30

【0103】

注目すべきことに、OLEDの輝度Lは、その電流Iにほぼ比例し、比例定数はディスプレイ全面にわたってかなり安定している。従って、良好に確定されたOLED電流を発生させれば、ディスプレイは視覚的に均一になる。

【0104】

しかし、プログラムによって画素へ供給されるのは、OLED電流ではなくN2上のゲート電圧である。TFT閾値電圧と相互コンダクタンス（transconductance）は、OLEDの電氣的パラメータが呈するように、ディスプレイ全体にわたる多少の初期不均一性を呈する可能性がある。更に、TFT閾値電圧は、OLEDターンオン電圧と同様に、バイアス温度ストレス条件下で増加することが周知である。従って、これらのパラメータは、当初不均一であり、各画素の個々のバイアス履歴に依存する態様で、画素の全寿命にわたって変化するものと期待される。これらパラメータを補正せずにN2のゲート電圧のプログラムを作成すると、ディスプレイは当初から不均一で、ディスプレイの全寿命にわたって不均一性が次第に増大する。 40

【0105】

本発明は、TFTとOLEDの電氣的パラメータが補正され、それによって良好に確定されたOLED電流が画素アレイ内に生じるような方法である。N2に印加されるデータ電圧を補正するための方法を以下に説明する。

【0106】

図 2 と図 1 2 は、データラインに並列に配置された V D D 供給ラインを有する画素アレイを示す。(好ましい実施態様において、V D D ラインは選択ラインに並列に配線することが出来る。)このようにして、画素が 2 個またはそれ以上の隣接する列で各 V D D ラインを共有して、V D D ラインの本数を減らすことが出来る。図 1 2 は、V D D ラインがディスプレイの周囲で結束されてブロック化された状態を示す。各画素ブロック 1 2 0 0 に含まれる V D D ラインの数は、1 本と少なくとも、ディスプレイ上の V D D ラインの全数のように多くてもよい。しかし、好ましい実施態様において、各画素ブロック 1 2 0 0 は、約 2 4 本の V D D ライン、すなわち約 4 8 の画素列を含む。

【0 1 0 7】

図 1 3 は、ディスプレイ 1 3 1 0 とディスプレイコントローラ 1 3 2 0 との相互接続の略図である。ディスプレイ 1 3 1 0 は複数の画素ブロック 1 2 0 0 から成る。ディスプレイコントローラ 1 3 2 0 は、V D D コントロールモジュール 1 3 5 0、測定モジュール 1 3 3 0、および種々の I / O デバイス、例えば A / D コンバータや、画素パラメータを保存するためのメモリーから成る。

【0 1 0 8】

各画素ブロックは、図 1 2、1 3 に示すように、ディスプレイの端において検知ピン (V D D / S E N S E) 1 2 1 0 に接続されている。通常のディスプレイ作動中、検知ピン 1 2 1 0 は、例えば 1 0 ないし 1 5 ボルトの外部 V_{dd} 電源に切り替えられ、これによって O L E D エレメントを点灯するための電流をディスプレイに供給する。更に具体的には、各 V D D / S E N S E ピン 1 2 1 0 は、ディスプレイコントローラ 1 3 2 0 において、一対の p チャンネルトランジスタ P 1 (1 3 5 2) と P 2 (1 3 3 2) および電流検知回路 1 3 3 4 に接続されている。通常の作動中、ディスプレイコントローラからの I L L U M I N A T E 信号が P 1 を作動させて V D D / S E N S E ピンを V_{dd} 電源に接続する。典型的な実施態様において、P 1 を通る電流は約 1 m A / 列と予想される。

【0 1 0 9】

T F T と O L E D のパラメータを補正するため、特別測定サイクル中、各画素のパラメータに関する情報を収集するため、M E A S U R E 信号を介して外付け電流検知回路 1 3 3 4 を作動させる。収集された情報は、通常のディスプレイ作動中、必要な O L E D 電流を実現するのに適したデータ電圧の計算および調整に使用される。

【0 1 1 0】

更に具体的には、特定の画素の測定サイクル中、画素ブロック内の他のすべての画素は、それらに低いデータ電圧 (例えばゼロ以下) を印加することによって、オフにされ、それによって、「オフ」画素からの電流の引き出しを確実に無視できるようにする。次に、対象とする画素によって引き出された電流が、1 個以上の印加データ電圧に応じて測定される。各測定サイクル中、データパターン (すなわち、あるブロック中で、1 個の画素のみがオンで、その他すべての画素がオフ) が、通常の方法で画素に印加され、データドライバ回路によってデータが D A T A ラインに印加され、行が一つずつ選択される。このようにして、ディスプレイが複数の画素ブロックに区画されるので、各画素ブロック内の少なくとも 1 個の画素をオンにすることによって、複数の画素を測定することが出来る。

【0 1 1 1】

各画素ブロック内の対象画素によって引き出された電流は、I L L U M I N A T E ラインと M E A S U R E ラインを、V D D / S E N S E ピン 1 2 1 0 を V D D 電源から切り離すと同時に検知ピンを P 2 経由で電流検知回路 1 3 3 4 のインプットに接続するレベルに駆動することによって外部から P 2 において測定される。画素電流は 1 ないし 1 0 μ A と予想される。電流検知回路 1 3 3 4 は図 1 3 に相互インピーダンス増幅器として示してあるが、電流検知回路を他の形態で実施することも出来る。本発明においては、増幅器は入力端における電流に比例した電圧を出力端に発生する。この測定された情報は、I / O デバイス 1 3 4 0 によって収集され、そこでこの情報はデジタル形式に変換され、データ電圧のキャリブレーション用に保存される。電流検知回路 1 3 3 4 内の抵抗器は約 1 メガオームである。

10

20

30

40

50

【0112】

複数の電流検知回路1334が画素ブロックと一対一の対応で示してあるが、マルチプレクサ（multi-plexer、不図示）を使用すれば、電流検知回路の数を減らすことが出来る。すなわち、複数のVDD／SENSEピンを単一の電流検知回路1334に多重化することが出来る。極端な場合、単一の電流検知回路を全ディスプレイ用に使用することが出来る。VDD／SENSEピンをこのように検知回路に多重化すると、外付け回路の複雑さは低減できるが、ディスプレイ測定時間は長くなる。

【0113】

画素測定サイクルを行なうためには、通常のディスプレイ作動を中断しなければならないので、画素測定は、見る人を出来るだけ邪魔しないようにタイミングを図らねばならない。画素パラメータは徐々に変化するので、特定の画素を頻繁に測定する必要はなく、測定サイクルは長期間にわたって分散することが出来る。

【0114】

すべての画素を同時に測定する必要はないが、可変測定ラグ（遅延）に基づく不均一性を避けるためには、同時測定が有利である。これは、ディスプレイモジュールが「オン」または「オフ」されるとき、すべての画素を迅速に測定することによって達成可能である。ディスプレイモジュールが「オフ」のとき画素を測定すれば、通常の作動の邪魔にはならないが、長い「オフ」期間後、保存された画素パラメータはもはや均一性を保証しないかも知れないという欠点がある。しかし、中断しない電源が利用可能であれば（例えばスクリーンセ이버モードにおいて）、ディスプレイが（ユーザーの観点から）「オフ」である間に測定サイクルを周期的に行なうことが出来る。もちろん、ディスプレイモジュールが「オン」のときすべての画素の迅速測定を含まない任意のオプションでは、パワーが「オフ」のとき測定情報を保存するための不揮発性メモリーが利用可能であることが必要である。

【0115】

もしも画素測定情報が利用可能であれば、ディスプレイの不均一性の種々の原因を補正するため、データ電圧の補正またはキャリブレーションをディスプレイに適用することが出来る。例えば、トランジスタの閾値電圧変動とOLEDターンオン電圧変動に対処するため、データ電圧の補正を行なうことが出来る。従って、上記およびその他のディスプレイ不均一性を補正することの出来る複数の方法を以下に説明する。これらの方法を使用すれば、ディスプレイに数個の、そのうちのいくつかは大きな不均一性の原因があっても、均一な高画質ディスプレイを提供することが出来る。

【0116】

この補正方法を説明するため、ディスプレイには図2の画素構造を使用するものと仮定する。しかし、この補正方法は、他の任意の画素構造を使用したディスプレイにも適用できる。

【0117】

図2を参照すると、ノードAに保存された電圧はN2のゲート電圧であり、従ってN2とLEDとを通る電流を確定する。N2上の電圧を変化させることによって、LED電流を変化させることが出来る。N2上のゲート電圧とLEDを通る電流との関係を考慮する。ゲート電圧 V_g は、以下の式(2)の様に、N2のゲート対ソース電圧 V_{gs} と、LEDを横切る電圧 V_{diode} の二つに分割することが出来る。

【0118】

【数2】

$$V_g = V_{gs} + V_{diode} \quad (2)$$

【0119】

飽和状態のMOSトランジスタのドレイン電流は以下の式(3)で表される。

【0120】

10

20

30

40

50

【数 3】

$$I = \frac{2}{k} (V_{gs} - V_t)^2 \quad (3)$$

【0 1 2 1】

ここで、 k はデバイスの相互コンダクタンスパラメータ、 V_t は閾値電圧である（ライン形領域における作動は下記参照）。従って、以下の式（4）が得られる。

【0 1 2 2】

【数 4】

10

$$V_{gs} = \sqrt{\frac{2I}{k}} + V_t \quad (4)$$

【0 1 2 3】

OLEDを通る前向き電流は以下の式（5）で表される。

【0 1 2 4】

【数 5】

20

$$I = AV_{diode}^m \quad (5)$$

【0 1 2 5】

ここで、 A と m は定数である（Burrows 他 の J. Appl. Phys. 79(1996)参照）。従って、以下の式（6）が得られる。

【0 1 2 6】

【数 6】

30

$$V_{diode} = \sqrt[m]{\frac{I}{A}} \quad (6)$$

【0 1 2 7】

従って、ゲート電流とダイオード電流との全体的関係は、以下の式（7）で表される。

【0 1 2 8】

【数 7】

40

$$V_g = V_t + \sqrt{\frac{2I}{k}} + \sqrt[m]{\frac{I}{A}} \quad (7)$$

【0 1 2 9】

OLEDの $I-V$ 特性を表すため、他の関数形式を使用することも出来るが、上記の式によれば、ゲート電流とダイオード電流との間の異なる関数関係をもたらすことに注目すべきである。しかし、本発明は、上記のOLEDの $I-V$ 特性の詳細な関数形に限定されず、従って、任意のダイオード的特性に関して作動するように適応させることが出来る。

【0 1 3 0】

OLEDの輝度 L は、その電流 I にほぼ比例し、比例定数は、ディスプレイ全面にわたって安定かつ均一である。良好に確定されたOLED電流を発生させることが出来れば、ディスプレイは視覚的に均一となる。しかし、以上説明したように、画素は電流 I ではな

50

く、電圧 V_g を使用してプログラムされている。問題は、O L E D のパラメータ A と m の他に、T F T のパラメータ V_t と k がディスプレイ全面にわたって、ある程度の初期不均一性を呈するという点である。更に、 V_t がバイアス温度ストレス条件下で増加することは周知である。O L E D パラメータ A は、O L E D のターンオン電圧に直接関連し、バイアスストレス下で減少することが知られている。O L E D パラメータ m は、オーガニック・バンド・ギャップ内のトラップの分布に関連があり、O L E D の全寿命にわたって変化する。従って、これらのパラメータは初期に不均一であり、各画素の個々のバイアス履歴に依存してディスプレイの全寿命にわたって変化するものと予想される。これらのパラメータの変動を補正せずにゲート電圧をプログラムすると、ディスプレイは初期に不均一で、その全寿命にわたって不均一性が増大する。

10

【0131】

実際に、不均一性の原因は他にもある。ゲート電圧 V_g は、意図したデータ電圧 V_{data} に必ずしも等しくない。むしろ、データドライバにおけるゲイン誤差とオフセット誤差、および $N1$ の選択解除から発生する（データ依存性の）フィードスルーが、これら二つの電圧に差異を生じさせる。これらの誤差原因も、不均一であり、かつ、ディスプレイの全寿命にわたって変動する。上記およびその他のゲイン誤差とオフセット誤差を、以下の式（8）で表す。

【0132】

【数8】

$$V_g = BV_{data} + V_0 \quad (8)$$

20

【0133】

ここで、 B と V_0 はそれぞれゲイン係数とオフセット電圧であり、ともに不均一であり得る。式（7）と（8）を組み合わせて整理すると以下の式（9）が得られる。

【0134】

【数9】

$$V_{data} = V_{off} + C\sqrt{I} + D\sqrt[m]{I} \quad (9)$$

30

【0135】

ここで、 V_{off} 、 C 、 D は前出のパラメータの組合せである。

【0136】

本発明は、 V_{off} 、 C 、 D 、および m の変動を補正するため、意図する（入力）データ電圧を補正する種々の補正方法を提供し、それによって画素アレイ内における良好に確定された O L E D 電流の発生を可能にする。パラメータ V_{off} 、 C 、 D 、および m の変動を補正するため、上記の外付け電流検知回路が、各画素に関する情報、すなわち単一の画素によって引き出された電流を外部から測定することが出来る。パラメータ V_{off} 、 C 、 D 、および m に関して測定された情報を使用して、本発明は、通常のディスプレイ作動中、必要な O L E D 電流を確定するため、式（9）に従って適切なデータ電圧 V_{data} を計算する。

40

【0137】

また、電流の測定値から4個のパラメータ V_{off} 、 C 、 D 、および m を正確に計算することは、コンピュータでは高価になり、複雑な繰り返し計算が必要になる。しかし、効果的な補正を維持しつつ計算の複雑さを低減する良好な近似を使用することが出来る。

【0138】

好ましい実施態様において、上記のように4個ではなく、わずか2個のパラメータを使用して画素の不均一特性を表すことが出来る。式（9）の画素の電流電圧特性を参照すると、通常の点灯レベルにおいて、 $N2$ の V_{gs} に関する $C\sqrt{I}$ 項と、 V_{diode} に関する $D\sqrt[m]{I}$ 項とは、ほぼ同じ大きさである。しかし、それらの画素電流への依存性は大き

50

く異なる。 m の値は約10であるので、普通の点灯レベルにおいては、 $D^m \sqrt{I}$ は $C \sqrt{I}$ に比してはるかに弱い I の関数である。例えば、 I を100倍に増加させると、 $C \sqrt{I}$ は10倍になるが、 $D^m \sqrt{I}$ は(m を10と仮定すると)1.58倍にしかない。すなわち、普通の点灯電流レベルにおいては、OLEDの $I-V$ 曲線はTFTの $I-V_{gs}$ 曲線よりはるかに急勾配となる。

【0139】

従って、普通の電流レベルにおいて、 $D^m \sqrt{I}$ は電流に対して独立であり、その画素ごとの変動は単に一つのオフセット誤差として処理可能であるという近似が行なわれる。この近似は多少の誤差を持ち込むが、ディスプレイ全体の外観は大幅には劣化しない。従って、かなりの精度で、すべてのディスプレイの不均一性を、オフセットとゲインの変動として処理することが出来る。従って、(9)式は以下の式(10)の様に近似することが出来る。

【0140】

【数10】

$$V_{data} = V_{offset} + C\sqrt{I} \quad (10)$$

【0141】

ここで、 $V_{offset} = V_{off} + D^m \sqrt{I}$ は $D^m \sqrt{I}$ を含み、 V_{offset} と C は画素ごとに変動する。

【0142】

図14は、全画素のパラメータの測定によってディスプレイを初期化する方法1400のフローチャートである。方法1400は、ステップ1405から始まり、ステップ1410に進み、そこで、画素ブロック内の対象とする画素以外のすべての画素に、「オフ」データ電圧を印加する。

【0143】

ステップ1420において、対象とする特定の画素の V_{offset} と C を求めるため、方法1400は二つのデータ電圧($V1$ と $V2$)を印加し、各データ電圧について電流を測定する。

【0144】

ステップ1430において、電流 $I1$ と $I2$ の平方根が計算される。好ましい実施態様において、この計算のために平方根表が使用される。

【0145】

ステップ1440において、 V_{offset} と C とが求められる。すなわち、二つの変数を求めるのに二つの式を使用することが出来る。次に、特定の対象画素の求められた V_{offset} と C を記憶装置、例えばメモリーに保存する。全部の画素の測定が終ると、メモリーはアレイ内の各画素について二つのパラメータ V_{offset} と C とを保存している。これらの値は、後に式(10)を使用して V_{data} のキャリブレーションまたは調整に使用することが出来る。方法1400は次にステップ1455において終了する。

【0146】

測定される画素を通る電流は、 $D^m \sqrt{I}$ が二つの測定点においてほぼ等しくなるように、十分に高くなければならないことに注目すべきである。この条件は、一方の測定を、システムが発生可能な最高データ電圧において行ない、次に他方の測定をわずかに低いデータ電圧において行なうことによって満足させ得ることが望ましい。

【0147】

ディスプレイの初期化が行なわれると、ディスプレイモジュールに供給された生の入力ビデオデータを修正することが出来る。入力ビデオデータは、例えば(1)画素電圧、(2)ガンマ補正された画素輝度、または(3)画素電流といった種々のフォーマットで存在することが出来ることに注目すべきである。従って、入力ビデオデータのキャリブレーションまたは補正を行なうための、保存されたパラメータ V_{offset} と C の使用は、

各特定のフォーマットに依存する。

【0148】

図15は、画素電圧を表す入力ビデオデータの修正方法1500のフローチャートである。方法1500は、ステップ1505から始まり、ステップ1510へ進み、そこで対象画素に関して保存されたパラメータ、例えば V_{offset} とCが取出される。

【0149】

ステップ1520において、方法1500は、入力ビデオデータのキャリブレーションを行なうため、取出したパラメータを印加する。より具体的には、入力ビデオデータにはバイアスがかかっていない、すなわち、ゼロボルトはゼロ輝度を表し、ゼロより大きいデータはゼロより大きい輝度レベルを表すものと期待される。従って、電圧は $C_0 \sqrt{I}$ に等しいと見なすことが出来る。ここで、 I は必要電流、 C_0 は定数、例えば典型的な値は $103\text{ V}/\sqrt{\text{A}}$ である。入力ビデオデータがディスプレイモジュールに入る際の画素変動を補正するため、各画素について $V_{offset} = V_{offset} + C \sqrt{I}$ を、保存された V_{offset} とCに基づいて計算する。この計算は、ビデオデータに C/C_0 を掛けることと、その結果に V_{offset} を加えることから成る。 C_0 による除法は、ビデオデータ V_{data} が既に一定の係数 $1/C_0$ によって縮小されていれば不要である。Cによる乗法は、デジタルロジックで直接、またはルックアップテーブルを使用して行なうことが出来る。例えば、後者の場合、Cの各値は、ビデオデータの値がインデックスであるとともにテーブルエントリーが乗法の結果であるテーブルを指定する。(あるいは、ルックアップテーブル内の入力ビデオデータとCの役割を逆にすることも出来る。)乗法が行なわれた後、デジタルロジックにより V_{offset} の急速加算が行なわれる。

【0150】

ステップ1530において、得られた電圧 V_{data} 、すなわち修正または調整された入力データは、画素アレイのデータドライバに送られる。方法1500は次にステップ1535で終了する。

【0151】

ガンマ補正された輝度データの場合、入力ビデオデータは、 $L^{0.45}$ に比例する。ここで、 L は輝度である。これは、CRT輝度-電圧特性に関して予め補正されたビデオデータでは典型的である。 $L^{0.45} = \sqrt{L}$ であり、また、OLED輝度はその電流に比例するので、データは $\sqrt{I}$ に比例するものとして処理することが出来る。従って、計算は先に説明したゼロオフセット電圧に関する方法と同様な方法で行なうことが出来る。

【0152】

図16は、画素電流、すなわち輝度を表す入力ビデオデータの補正方法1600のフローチャートである。方法1600は、ステップ1605から始まり、ステップ1610に進み、そこで測定された電流の平方根の値が求められる。すなわち、方法1600は、 I を表すビデオデータが $\sqrt{I}$ を発生するように処理されねばならないこと以外は、上記の方法1500と同じである。上記のように、この演算は、図14に示すように、画素電流測定値から画素パラメータ V_{offset} とCを求めるのに必要な平方根の値を与える表を使用して行なうことが出来る。ここで再びこの表を使用してビデオデータから $\sqrt{I}$ を発生させる。

【0153】

次にデータ補正ステップ1610ないし1645は、ステップ1630において入力データにCを掛け、次に V_{offset} を加えて補正されたデータ電圧を求めること以外は、上記の方法1500と同一である。

【0154】

あるいは、別の実施態様において、上記のように2個または4個のパラメータではなく、1個のみのパラメータを使用して画素の不均一特性を表すことが出来る。すなわち、単一のパラメータを使用して画素の不均一特性を表すようにして更に単純化を行なう。

【0155】

更に具体的には、多くの場合、画素ごとのゲイン係数Cの変動は小さく、 V_{offset}

10

20

30

40

50

t のみが不均一性の有意の原因として残る。これは、T F T 相互コンダクタンスパラメータ k と電圧ゲイン係数 B が均一のとき発生する。この場合、各画素の V_{offset} のみを求めれば十分である。そうすると、データ補正は乗法を行わず（ゲイン係数が均一であると見なされるので）、オフセットパラメータの加算のみを行なう。

【0156】

この単一パラメータ手法は、上記のオートゼロ化 O L E D 画素構造に類似である。この単一パラメータ補正方法は、コンピュータ費用を低減するとともに、満足すべきディスプレイ均一性を生み出すはずである。しかし、ディスプレイの均一性保持が非常に重要な特定のディスプレイの使用に於ては、コンピュータの複雑さと費用が増しても、上記の 2 個または 4 個パラメータ方法を使用することが出来る。

10

【0157】

ここでも、単一パラメータ抽出とデータ補正に関して、ディスプレイ初期化プロセスはデータのフォーマット（形式）に左右される。単一パラメータ手法は、ビデオデータが、（１）画素電圧、（２）画素電流、および（３）ガンマ補正された画素輝度、を表す場合に、ディスプレイの初期化とビデオデータの補正に使用することが出来る。

【0158】

図 17 は、全画素のパラメータの測定によるディスプレイの初期化方法のフローチャートを示す。方法 1700 は、ステップ 1705 から始まってステップ 1710 へ進み、そこで、画素ブロック内の対象画素以外のすべての画素に「オフ」データ電圧が印加される。ステップ 1720 において、対象とする特定の画素に関する V_{offset} と C を求めるため、方法 1700 は、2 個のデータ電圧（ V_1 と V_2 ）を印加し、各データ電圧ごとに電流を測定する。

20

【0159】

ステップ 1730 において、電流 I_1 と I_2 の平方根を計算する。好ましい実施態様において、この計算に平方根表を使用する。

【0160】

C の値は均一であると考えられるので、それは理想的には、ディスプレイ内の任意の場所で 2 点測定を行なうことによって、求め得ることに注目すべきである。しかしこれは、対象画素が異常であるかも知れないので、問題を有するかもしれない。従って、2 点測定は、各画素ごとに行なわれる。

30

【0161】

ステップ 1740 において、 C の平均値が求められる。すなわち、各電流測定値に関する $\sqrt{I}$ を計算するための表を使用して、ディスプレイの C の平均値が計算できる。

【0162】

ステップ 1750 において、各画素の電流測定値から平均値 C を使用して、各画素の V_{offset} が求められる。このようにして、ディスプレイ全体にわたる C の小変動が V_{offset} の計算によって部分的に補正される。上記理由により、各画素の電流の測定は、可能な最高データ電圧において測定することが望ましい。

【0163】

最後にステップ 1760 において、各画素の V_{offset} が記憶装置、例えばメモリーに保存される。次に、方法 1700 はステップ 1765 において終了する。

40

【0164】

図 18 は、画素電圧を表す入力ビデオデータの補正方法 1800 のフローチャートである。方法 1800 は、ステップ 1805 から始まり、ステップ 1810 へ進み、そこで、対象画素に関して保存されているパラメータ V_{offset} を取り出す。

【0165】

ステップ 1820 において、方法 1800 は、取出したパラメータ V_{offset} を使用して入力ビデオデータのキャリブレーションを行なう。より具体的には、保存された V_{offset} の値に基づいて、各画素に関する $V_{data} = V_{offset} + V_{data}$ の値を計算する。

50

【0166】

ステップ1830において、得られた V_{data} 、すなわち補正された、または調整された入力データは画素アレイのデータドライバへ送られる。方法1800は次に、ステップ1835において終了する。

【0167】

図19は、ビデオデータが画素電流を表す状況に関する全画素のパラメータの測定によるディスプレイの初期化方法1900のフローチャートである。方法1900は上記方法1700に酷似している。上記方法1700との相違は、方法1900が追加のステップ1950を取り入れて計算されたCの平均値を使用して、ゼロ・オフセットデータ電圧対画素電流の表を作成する場合である。この点から先の初期化とデータ補正プロセスにおいては、この表を使用することにより、平方根演算を行わない。この表は、平方根関数より高い精度で、画素の電流-電圧特性を表すものと期待される。この表は次に、後で使用するため、記憶装置、例えばメモリーに保存される。次に、個々の画素電流測定値を、この表に入れるためのインデックスとして使用して、個々の画素オフセット V_{offset} を求める。

10

【0168】

図20は、画素電流、すなわち輝度を表す入力ビデオデータの補正方法2000のフローチャートである。方法2000は、ステップ2005から始まり、ステップ2010へ進み、そこで現在対象とする画素の V_{offset} を記憶装置から取出す。

【0169】

ステップ2020において、ゼロ・オフセットデータ電圧対画素電流の表を使用して入力ビデオデータ電流からゼロ・オフセットデータ電圧を求める。ステップ2030において、このゼロ・オフセットデータ電圧を、取出された V_{offset} に加える。最後に、ステップ2040において、補正または調整された入力ビデオデータを画素アレイのデータドライバへ送る。

20

【0170】

要するに、ビデオデータがディスプレイモジュールに導入されると、各電流に対応するゼロ・オフセットデータ電圧が $V-I$ 表内で検索される。次に、保存されている画素オフセットをゼロ・オフセット電圧に加算し、その結果がデータドライバへの入力となる。方法2000は次にステップ2045において終了する。

30

【0171】

図21は、ビデオデータがガンマ補正された輝度データを表す状況に関する全画素のパラメータの測定によるディスプレイの初期化方法2100のフローチャートである。方法2100は、上記方法1900に酷似している。方法2100と上記方法1900との相違は、ステップ2150において、計算されたCの平均値を使用してゼロ・オフセットデータ電圧対画素電流の平方根の表を作成するときである。すなわち、ビデオデータは、 $\sqrt{I}$ を表すものとして近似させることが出来る。従って、Cの平均値を使用して V_{data} 対 $\sqrt{I}$ のゼロ・オフセット表を作成し、この表をメモリーなどの記憶装置に保存する。

【0172】

図22は、ガンマ補正された輝度データを表す入力ビデオデータの補正方法2200のフローチャートである。方法2200は、上記方法2000に酷似している。上記方法2000との相違は、 V_{data} 対 $\sqrt{I}$ のゼロ・オフセット表において発生する。従って、要するに、入ってくるビデオデータを使用してゼロ・オフセットデータ電圧を探し、保存された画素オフセットをこれらの電圧に加える。

40

【0173】

上記説明において、OLED駆動トランジスタN2が飽和状態で作動するものと見なしている。N2がライン形領域で作動するならば、類似の補正方法を使用することが出来る。その場合、画素の電流電圧特性は以下の式(11)で表される。

【0174】

【数 1 1】

$$V_{data} = V_{off} + C(I)I + D\sqrt[m]{I} \quad (11)$$

【0 1 7 5】

ここで、 $C(I)$ は I の弱い関数である。ここでも、上記のように、オフセット項とゲイン係数のみを求めればよい程度に、電流が十分に高ければ、 $D\sqrt[m]{I}$ 項を V_{off} 項に含めることが出来る。しかし、オフセット電圧のみを不均一と見なす単一パラメータ近似は、ゲイン係数 $C(I)$ が不均一な OLED パラメータ A と m を含むので、上記の飽和の場合に関する単一パラメータ近似ほど精度がよいとは予想されない。従って、 N^2 がライン形領域で作動するならば、2 個パラメータ補正方法の方が単一パラメータ補正方法よりもはるかに性能がよいと思われる。

【0 1 7 6】

図 2 3 は、本発明の複数のアクティブマトリックス LED 画素構造 3 0 0、5 0 0、または 7 0 0 を備えたディスプレイ 2 3 2 0 を使用したシステム 2 3 0 0 のブロックダイアグラムである。システム 2 3 0 0 は、ディスプレイコントローラ 2 3 1 0 とディスプレイ 2 3 2 0 とから成る。

【0 1 7 7】

更に具体的には、ディスプレイコントローラは、中央処理装置 CPU (2 3 1 2)、メモリー 2 3 1 4、および複数の I/O 装置 (例えばマウス、キーボード、磁気装置や光装置などの記憶装置、モデム、A/D コンバータ、上記の測定モジュール 1 3 3 0 などの各種モジュール) を有する汎用コンピュータとすることが出来る。ディスプレイ 2 3 2 0 を作動させるためのソフトウェア命令 (例えば上記種々の方法) は、例えば記憶媒体からメモリー 2 3 1 4 へロードし、CPU 2 3 1 2 によって実行することが出来る。従って、本発明のソフトウェア命令は、コンピュータで読むことの出来る媒体に保存することが出来る。

【0 1 7 8】

ディスプレイ 2 3 2 0 は、画素インターフェイス 2 3 2 2 と、複数の画素 (画素構造 3 0 0、5 0 0、または 7 0 0) とから成る。画素インターフェイス 2 3 2 2 は画素 3 0 0、5 0 0、または 7 0 0 の駆動に必要な回路を含む。例えば、画素インターフェイス 2 3 2 2 は、図 1 に示したようなマトリックス・アドレッシング・インターフェイスとすることが出来、また、オプションとして追加の上記の信号ライン/制御ラインを含むことが出来る。

【0 1 7 9】

従って、システム 2 3 0 0 は、ラップトップコンピュータとして実施することが出来る。あるいは、ディスプレイコントローラ 2 3 1 0 は、マイクロコントローラとして、または特定用途の集積回路 (ASIC) として、またはハードウェアとソフトウェア命令との組合せとして、実施することが出来る。要するに、システム 2 3 0 0 は、本発明を組込んだ大きなシステム内において実施することが出来る。

【0 1 8 0】

本発明を、NMOS トランジスタを使用するものとして説明したが、本発明は、関連電圧が逆転した PMOS トランジスタを使用しても実現可能である。

【0 1 8 1】

以上、本発明の種々の実施態様を本明細書に示しかつ詳細に説明したが、本発明の要旨を超えない限りにおいて多くの態様を取り得ることが出来る。

【図面の簡単な説明】

【0 1 8 2】

【図 1】マトリックスアドレッシングインターフェイスのブロック図

【図 2】従来技術のアクティブマトリックス LED 画素構造の略図

【図 3】本発明のアクティブマトリックス LED 画素構造の略図

10

20

30

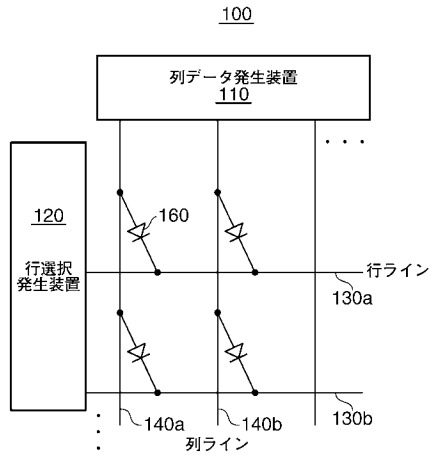
40

50

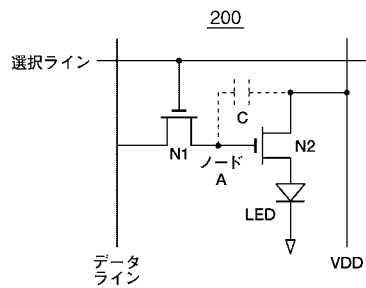
【図 4】 図 3 のアクティブマトリックス L E D 画素構造のためのタイミング図	
【図 5】 本発明の代替実施態様のアクティブマトリックス L E D 画素構造の略図	
【図 6】 図 5 のアクティブマトリックス L E D 画素構造のためのタイミング図	
【図 7】 本発明の代替実施態様のアクティブマトリックス L E D 画素構造の略図	
【図 8】 図 7 のアクティブマトリックス L E D 画素構造のためのタイミング図	
【図 9】 本発明の代替実施態様のアクティブマトリックス L E D 画素構造の略図	
【図 10】 本発明の代替実施態様のアクティブマトリックス L E D 画素構造の略図	
【図 11】 図 10 のアクティブマトリックス L E D 画素構造のためのタイミング図	
【図 12】 画素アレイを相互接続して画素ブロックとした略図	
【図 13】 ディスプレイとディスプレイコントローラとの相互接続の略図	10
【図 14】 全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート	
【図 15】 画素電圧を表す入力データの補正方法のフローチャート	
【図 16】 画素電流すなわち輝度を表す入力ビデオデータの補正方法のフローチャート	
【図 17】 ビデオデータが画素電圧を表す場合、全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート	
【図 18】 画素電圧を表す入力ビデオデータの補正方法のフローチャート	
【図 19】 ビデオデータが画素電流を表す場合、全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート	
【図 20】 画素電流すなわち輝度を表す入力ビデオデータの補正方法のフローチャート	20
【図 21】 ビデオデータがガンマ補正された輝度データを表す場合、全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート	
【図 22】 ガンマ補正された輝度データで表された入力ビデオデータの補正方法のフローチャート	
【図 23】 本発明による複数のアクティブマトリックス L E D 画素構造を有するディスプレイを使用したシステムのブロック図	
【符号の説明】	
【0183】	
100：ディスプレイ	
110：列データ発生装置	30
120：行データ発生装置	
130：行ライン	
160：表示要素（画素）	
200：従来技術のアクティブマトリックス L E D 画素構造	
300：本発明の画素構造	
302：コンデンサ	
304：L E D（O L E D）（光要素）	
310：第 1 トランジスタ	
320：第 2 トランジスタ	
330：第 3 トランジスタ	40
340：第 4 トランジスタ	
350：第 5 トランジスタ	
360：データライン	
370：選択ライン	
380：オートゼロライン	
382：前の行からのオートゼロライン	
390：V D D ライン	
500：本発明の好ましい画素構造	
510：第 1 トランジスタ	
520：第 2 トランジスタ	50

5 3 0 : 第 3 トランジスタ	
5 0 2 : コンデンサ	
5 4 0 : ショットキダイオード	
5 5 0 : L E D (O L E D) (光 要 素)	
5 7 0 : 選択ライン	
5 6 0 : データライン	
5 8 0 : オートゼロライン	
5 9 0 : 点灯ライン	
7 0 0 : 本発明の好ましい画素構造	
7 0 2 : コンデンサ	10
7 0 4 : L E D (O L E D) (光 要 素)	
7 1 0 : 第 1 トランジスタ	
7 2 0 : 第 2 トランジスタ	
7 3 0 : 第 3 トランジスタ	
7 4 0 : 第 4 トランジスタ	
7 5 0 : 第 5 トランジスタ	
7 6 0 : データライン	
7 7 0 : 選択ライン	
7 8 0 : オートゼロライン	
7 8 2 : 前の行からのオートゼロライン	20
7 9 0 : V D D ライン	
9 0 0 : 本発明の好ましい画素構造	
9 9 2 : V _{p r e c h a r g e}	
9 5 0 : 第 5 トランジスタ	
1 0 0 0 : 本発明の画素構造	
1 0 1 0 : データドライバ	
1 0 2 0 : 列トランジスタ	
1 2 0 0 : 画素ブロック	
1 2 1 0 : 検知ピン (V D D / S E N S E)	
1 3 1 0 : ディスプレイ	30
1 3 2 0 : ディスプレイコントローラ	
1 3 3 0 : 測定モジュール	
1 3 3 2 : トランジスタ P 2	
1 3 3 4 : 電流検知回路	
1 3 5 0 : V D D コントロールモジュール	
1 3 5 2 : トランジスタ P 1	
2 3 0 0 : システム	
2 3 1 0 : ディスプレイコントローラ	
2 3 1 2 : 中央処理装置 C P U	
2 3 1 4 : メモリー	40
2 3 1 6 : I / O 装置	
2 3 2 0 : ディスプレイ	
2 3 2 2 : 画素インターフェイス	

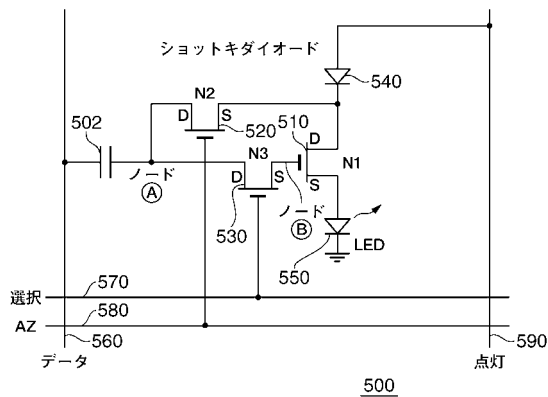
【図 1】



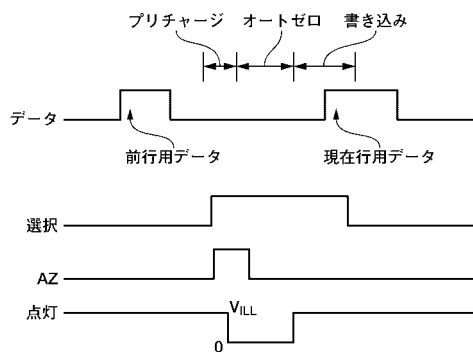
【図 2】



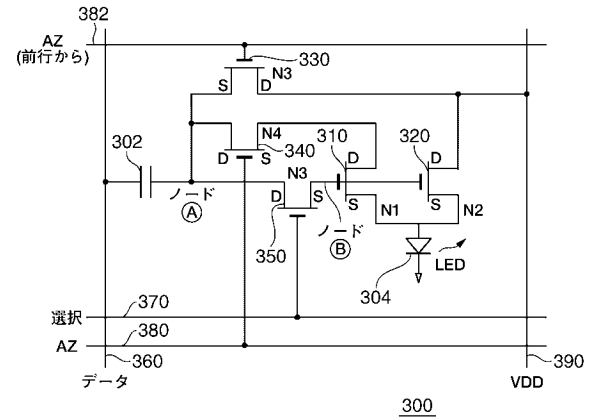
【図 5】



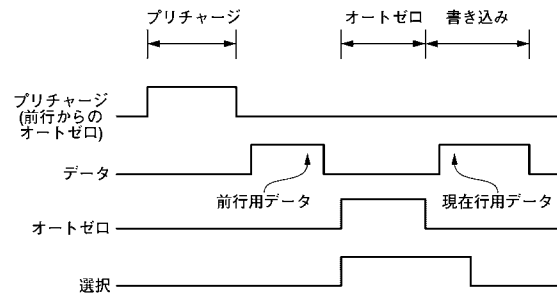
【図 6】



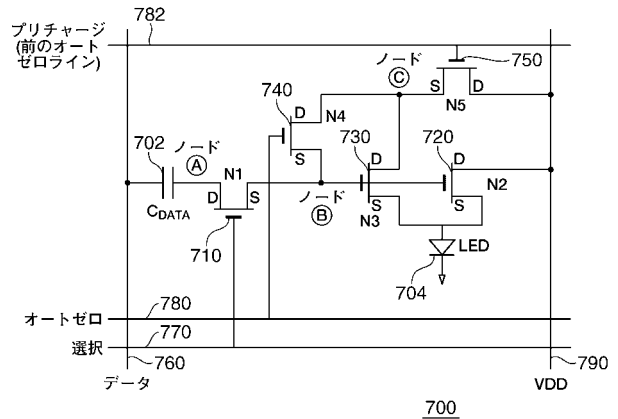
【図 3】



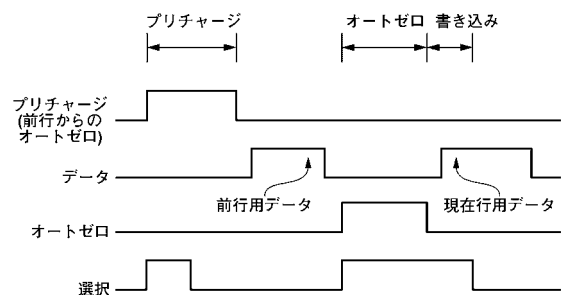
【図 4】



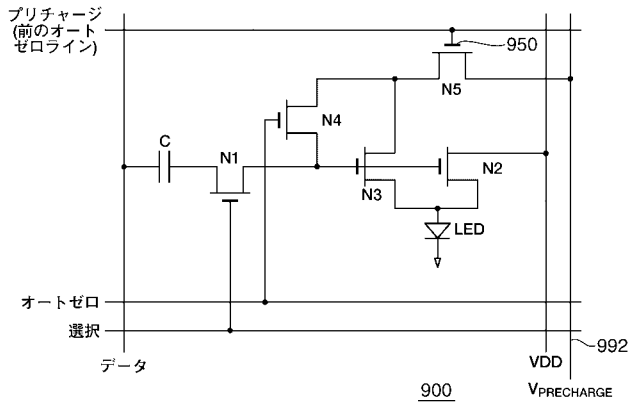
【図 7】



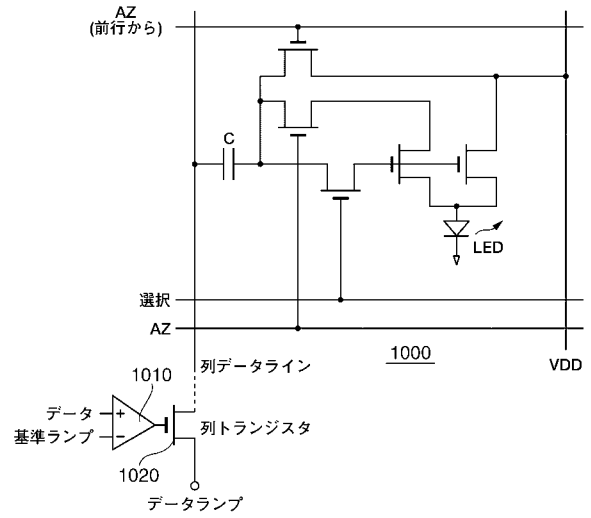
【図 8】



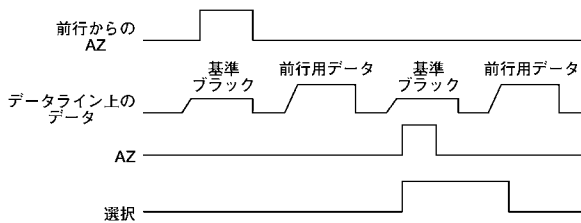
【図 9】



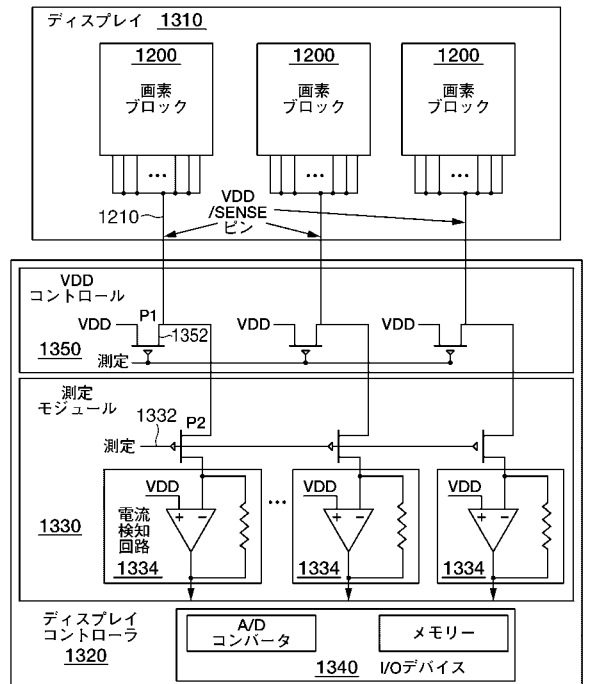
【図 10】



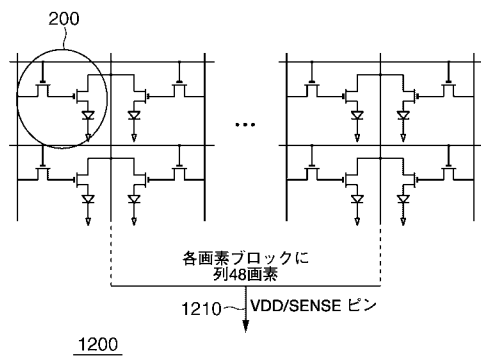
【図 11】



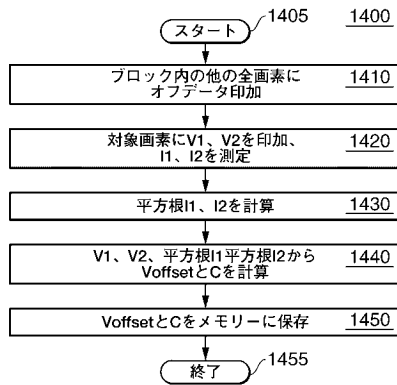
【図 13】



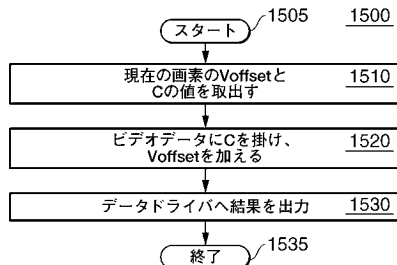
【図 12】



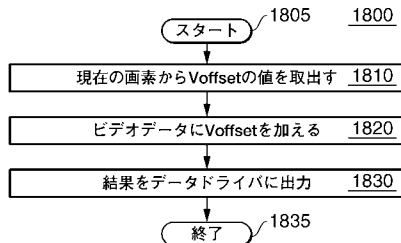
【図 1 4】



【図 1 5】



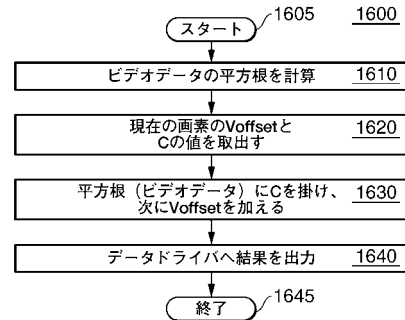
【図 1 8】



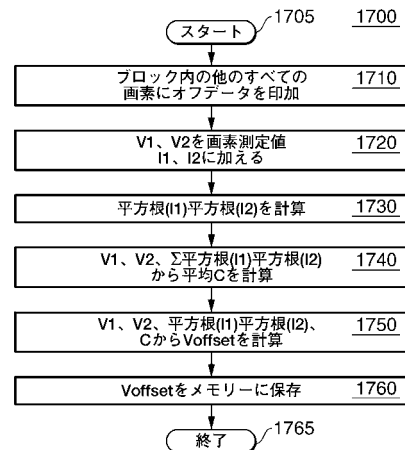
【図 1 9】



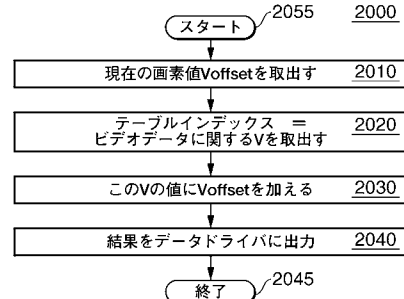
【図 1 6】



【図 1 7】



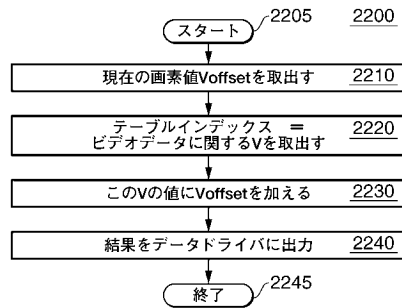
【図 2 0】



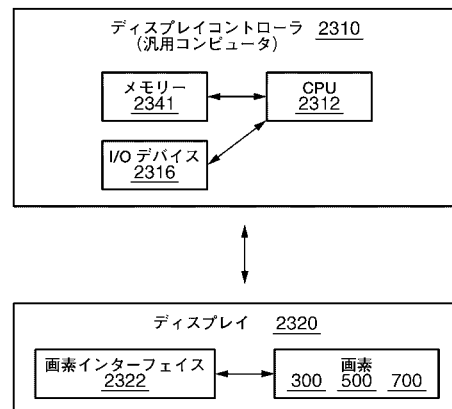
【図 2 1】



【図 2 2】



【図 2 3】



【手続補正書】

【提出日】平成18年1月20日(2006.1.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

少なくとも 1 個の画素を有するディスプレイを点灯する方法であって、(a) 当該画素の画素パラメータを測定するステップと、(b) 測定された画素パラメータに基づいて入力画素データを調整するステップと、(c) 調整された入力画素データに基づいて当該画素を点灯するステップとから成ることを特徴とする方法。

【請求項 2】

前記測定ステップ (a) が前記画素によって引き出された電流を外部的に測定する請求項 1 に記載の方法。

【請求項 3】

前記調整ステップ (b) が、電圧オフセット (Voffset) パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する請求項 1 又は 2 に記載の方法。

【請求項 4】

前記調整ステップ (b) が、更に、ゲイン係数 (C) パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する請求項 3 に記載の方法。

【請求項 5】

(1) 画素の画素パラメータを測定するための測定モジュールと、(2) 当該測定され

た画素パラメータを保存するための記憶装置とを有するディスプレイコントローラと、（３）当該保存された画素パラメータに基づいて調整された入力画素データを表示するため、当該ディスプレイコントローラに接続されたディスプレイとから成るシステム。

【請求項 6】

前記測定モジュールが前記画素によって引き出される電流を測定するための電流検知回路を有する請求項 5 に記載のシステム。

【請求項 7】

少なくとも一つの画素を備えたディスプレイであって、当該画素は、（１）一つの選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第 1 トランジスタと、（２）当該第 1 トランジスタのドレインが接続されている第 1 端子と、第 2 端子とを有するキャパシタと、（３）オートゼロラインへの接続用であるゲートと、ソースと、当該第 1 トランジスタの当該ドレインが接続されているドレインとを有する第 2 トランジスタと、（４）当該第 2 トランジスタのソースに接続された第 1 端子と、点灯ラインへの接続用の第 2 端子とを有するダイオードと、（５）第 1 トランジスタのソースに接続されたゲートと、ソースと、当該ダイオードの第 1 端子に接続されたドレインとを有する第 3 トランジスタと、（６）当該第 3 トランジスタのソースが、一方の端子に接続されている 2 個の端子を有する光要素とから成ることを特徴とするディスプレイ。

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 P
	G 0 9 G 3/20	6 7 0 J
	H 0 5 B 33/14	A

(72)発明者 ジェームズ ハロルド アサトン
アメリカ合衆国、ニュージャージー州・0 8 5 5 1、リンゴーズ、エヴェリットス ロード 4 5

(72)発明者 ロジャー グリーン スチュアート
アメリカ合衆国、ニュージャージー州・0 8 8 5 3、ネシャニック ステーション、スキー ドラ
イブ 3

(72)発明者 フランク パウル キュオモ
アメリカ合衆国、ニュージャージー州・0 8 5 4 0、プリンストン、リーヴィット レーン 7 4

F ターム(参考) 3K007 AB17 BA06 DB03 GA04
5C080 AA06 BB05 DD05 DD29 EE29 FF11 GG12 HH09 JJ02 JJ03
JJ04 JJ07

专利名称(译)	有源矩阵发光二极管像素结构及其方法		
公开(公告)号	JP2006146257A	公开(公告)日	2006-06-08
申请号	JP2005371476	申请日	2005-12-26
[标]申请(专利权)人(译)	三菱化学株式会社 萨尔诺夫公司		
申请(专利权)人(译)	三菱化学株式会社 Sarnoff公司		
[标]发明人	ミカエルギリスケーン ジェームズハロルドアサトン ロジャーグリーンスチュアート フランクパウルキュオモ		
发明人	ミカエル ギリス ケーン ジェームズ ハロルド アサトン ロジャー グリーン スチュアート フランク パウル キュオモ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/14 G09F9/00 G09F9/33 G09G3/32 H01L33/00		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/089 G09G2310/0248 G09G2310/0251 G09G2310/0254 G09G2310/027 G09G2310/06 G09G2310/061 G09G2320/02 G09G2320/0233 G09G2320/0238 G09G2320/0285 G09G2320/029 G09G2320/0295 G09G2320/043 G09G2360/145 G09G2360/16		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.611.H G09G3/20.641.P G09G3/20.642.A G09G3/20.642.P G09G3/20.670.J H05B33/14.A G09G3/30.J G09G3/3216 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/ /DD29 5C080/EE29 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE65 3K107/EE66 3K107/ /HH04 5C380/AA01 5C380/AA03 5C380/AB05 5C380/AB06 5C380/AB09 5C380/AB22 5C380/AB23 5C380/AB27 5C380/AB46 5C380/AC04 5C380/AC08 5C380/BA01 5C380/BA05 5C380/BA10 5C380/ /BA12 5C380/BA13 5C380/BA14 5C380/BA21 5C380/BA22 5C380/BA28 5C380/BA29 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB04 5C380/BB22 5C380/BC03 5C380/BC07 5C380/ /BC10 5C380/BC13 5C380/BC15 5C380/BD04 5C380/BD05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB33 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC09 5C380/ /CC27 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC55 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC71 5C380/CD012 5C380/CD013 5C380/CD015 5C380/CD072 5C380/CE22 5C380/CF01 5C380/CF05 5C380/CF13 5C380/CF21 5C380/CF28 5C380/CF31 5C380/ /CF41 5C380/CF46 5C380/CF49 5C380/CF52 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA40 5C380/DA46 5C380/DA53 5C380/DA56 5C380/DA57 5C380/FA02 5C380/FA03 5C380/ /FA21 5C380/FA28 5C380/HA05		
代理人(译)	冈田 数彦		
优先权	60/060386 1997-09-29 US 60/060387 1997-09-29 US		
其他公开文献	JP4045285B2		
外部链接	Espacenet		

摘要(译)

校正TFT和OLED的电参数，从而在像素阵列中产生清晰的OLED电流。每个像素块1200在显示器的末端连接到检测引脚（VDD / SENSE引脚）1210。在正常显示操作期间，在测量周期中，感测引脚1210经由晶体管P1连接至VDD电源，而其在测量周期中经由晶体管P2连接至电流感测电路1334。I / O设备1340收集每个像素块的测量电流，将其转换为数字形式并存储以进行数据电压校准。存储的信息用于校正数据电压，以应对晶体管的阈值电压变化和OLED导通电压变化。[选择图]图13

