

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-106141

(P2006-106141A)

(43) 公開日 平成18年4月20日(2006.4.20)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5F110
H01L 29/786 (2006.01)	G09G 3/20 641C	
	H05B 33/14 A	
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2004-289366 (P2004-289366)
 (22) 出願日 平成16年9月30日 (2004.9.30)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 佐々木 昭史
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 松本 昭一郎
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

最終頁に続く

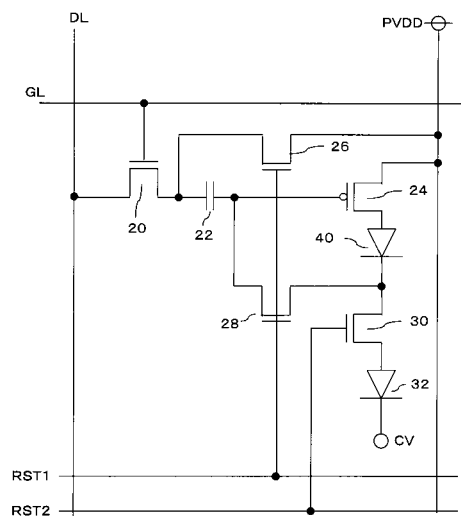
(54) 【発明の名称】 有機EL画素回路

(57) 【要約】

【課題】 効果的に駆動TFTのしきい値電圧の変動を補償する。

【解決手段】 選択TFT 20および制御TFT 30をオフ、短絡TFT 28およびリセット制御TFT 26をオンして、駆動TFT 24のゲート電圧をリセットする。次に、制御TFT 24をオフのまま、選択TFT 20をオンするとともに、短絡TFT 28およびリセット制御TFT 26をオフし、駆動TFT 24のゲートにデータ信号を印加する。その後、選択TFT 20がオンの期間において制御TFT 30をオンし、その後選択TFT 20をオフすることで制御TFT 30がオンしたときに、駆動TFT 24のゲート電圧が下がることを防止する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする制御トランジスタと、

前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、

この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフするリセット制御トランジスタと、

を有し、

選択トランジスタがオフ、制御トランジスタがオンの状態で、短絡トランジスタおよびリセット制御トランジスタをオンした後、制御トランジスタをオフして駆動トランジスタの制御端電圧を所定電圧にセットし、次に制御トランジスタをオフのまま、短絡トランジスタおよびリセット制御トランジスタをオフするとともに、選択トランジスタをオンし、駆動トランジスタの制御端にデータ電圧を印加し、その後選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする有機 E L 画素回路。

10

20

【請求項 2】

請求項 1 に記載の有機 E L 画素回路において、

前記選択トランジスタの制御端が接続され、選択トランジスタのオンオフを制御する第 1 制御ラインと、

前記短絡トランジスタおよびリセット制御トランジスタの制御端が接続され、これらトランジスタのオンオフを制御する第 2 制御ラインと、

前記制御トランジスタのオンオフを制御する第 3 制御ラインと、

を有し、

前記第 1 制御ラインを活性化している状態で、第 3 制御ラインを活性化し、その後第 1 制御ラインを不活性化することで、選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする有機 E L 画素回路。

30

【請求項 3】

請求項 1 または 2 に記載の有機 E L 画素回路において、

前記駆動トランジスタは、p チャネルトランジスタであり、前記制御トランジスタは、n チャネルトランジスタであることを特徴とする有機 E L 画素回路。

【請求項 4】

請求項 3 に記載の有機 E L 画素回路において、

前記駆動トランジスタと、制御トランジスタとの間にダイオードが形成されていることを特徴とする有機 E L 画素回路。

【請求項 5】

制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする制御トランジスタと、

前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された第 1 容量と、

一端が前記駆動トランジスタの制御端と接続され他端が前記電源に接続された第 2 容量と、

40

50

を有し、

選択トランジスタがオフ、制御トランジスタがオンの状態で、短絡トランジスタをオンした後、制御トランジスタをオフして駆動トランジスタの制御端電圧を所定電圧にセットし、次に制御トランジスタをオフのまま、短絡トランジスタをオフするとともに、選択トランジスタをオンし、駆動トランジスタの制御端にデータ電圧を印加し、その後選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする有機 E L 画素回路。

【請求項 6】

制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする制御トランジスタと、

10

前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、

を有し、

データラインを所定電位にセットした状態で選択トランジスタおよび短絡トランジスタをオンし、前記容量の一端をデータラインと同電位にするとともに、前記駆動トランジスタの制御端電荷を放電し、

20

次に制御トランジスタをオフし駆動トランジスタの制御端電位を所定電位にセットした後短絡トランジスタをオフし、

次に制御トランジスタをオフしたまま、データラインにデータ電圧をセットして容量にデータ電圧を保持するとともに、駆動トランジスタの制御端にデータ信号を印加し、その後選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする有機 E L 画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

有機 E L 素子へ供給する駆動電流をデータ信号に応じて制御する有機 E L 画素回路に関する。

30

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 E L) 素子を各画素に発光素子として用いた E L 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (LCD) や CRT などの表示装置に代わる表示装置として注目されている。

【0003】

特に、E L 素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎に E L 素子を制御するアクティブマトリクス型 E L 表示装置では、高精細な表示が可能である。

40

【0004】

このアクティブマトリクス型 E L 表示装置では、基板上に複数本のゲートラインが行 (水平) 方向に伸び、複数本のデータライン及び電源ラインが列 (垂直) 方向に伸びており、各画素は有機 E L 素子と、選択 TFT、駆動 TFT 及び保持容量を備えている。ゲートラインを選択することで選択 TFT をオンし、データライン上のデータ電圧 (電圧ビデオ信号) を保持容量に充電し、この電圧で駆動 TFT をオンして電源ラインからの電力を有機 E L 素子に流している。

【0005】

【特許文献 1】特表 2002 - 514320 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【0007】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。 10

【0008】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献1）。

【0009】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【0010】

本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。 20

【課題を解決するための手段】

【0011】

本発明は、制御端の電位に応じた駆動電流を電源から有機EL素子に流す駆動トランジスタと、この駆動トランジスタと前記有機EL素子の間に挿入配置され、前記駆動電流をオンオフする制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフするリセット制御トランジスタと、を有し、選択トランジスタがオフ、制御トランジスタがオンの状態で、短絡トランジスタおよびリセットトランジスタをオンした後、制御トランジスタをオフして駆動トランジスタの制御端電圧を所定電圧にセットし、次に制御トランジスタをオフのまま、短絡トランジスタおよびリセットトランジスタをオフするとともに、選択トランジスタをオンし、駆動トランジスタの制御端にデータ電圧を印加し、その後選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする。 30

【0012】

また、前記選択トランジスタの制御端が接続され、選択トランジスタのオンオフを制御する第1制御ラインと、前記短絡トランジスタおよびリセット制御トランジスタの制御端が接続され、これらトランジスタのオンオフを制御する第2制御ラインと、前記制御トランジスタのオンオフを制御する第3制御ラインと、を有し、前記第1制御ラインを活性化している状態で、第3制御ラインを活性化し、その後第1制御ラインを不活性化することで、選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることが好適である。 40

【0013】

また、前記駆動トランジスタは、pチャネルトランジスタであり、前記制御トランジスタは、nチャネルトランジスタであることが好適である。

【0014】

また、前記駆動トランジスタと、制御トランジスタとの間にダイオードが形成されてい 50

ることが好適である。

【0015】

また、本発明は、制御端の電位に応じた駆動電流を電源から有機EL素子に流す駆動トランジスタと、この駆動トランジスタと前記有機EL素子の間に挿入配置され、前記駆動電流をオンオフする制御トランジスタと、前記駆動トランジスタをダイオード接続するかどうかを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するかどうかを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された第1容量と、一端が前記駆動トランジスタの制御端と接続され他端が前記電源に接続された第2容量と、を有し、選択トランジスタがオフ、制御トランジスタがオンの状態で、短絡トランジスタをオンした後、制御トランジスタをオフして駆動トランジスタの制御端電圧を所定電圧にセットし、次に制御トランジスタをオフのまま、短絡トランジスタをオフするとともに、選択トランジスタをオンし、駆動トランジスタの制御端にデータ電圧を印加し、その後選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする。

10

【0016】

また、本発明は、制御端の電位に応じた駆動電流を電源から有機EL素子に流す駆動トランジスタと、この駆動トランジスタと前記有機EL素子の間に挿入配置され、前記駆動電流をオンオフする制御トランジスタと、前記駆動トランジスタをダイオード接続するかどうかを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するかどうかを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、を有し、データラインを所定電位にセットした状態で選択トランジスタおよび短絡トランジスタをオンし、前記容量の一端をデータラインと同電位にするとともに、前記駆動トランジスタの制御端電荷を放電し、次に制御トランジスタをオフし駆動トランジスタの制御端電位を所定電位にセットした後短絡トランジスタをオフし、次に制御トランジスタをオフしたまま、データラインにデータ電圧をセットして容量にデータ電圧を保持するとともに、駆動トランジスタの制御端にデータ信号を印加し、その後選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフすることを特徴とする。

20

【発明の効果】

30

【0017】

以上説明したように、本発明によれば、選択トランジスタがオンの期間において制御トランジスタをオンし、その後選択トランジスタをオフする。制御トランジスタをオンすると、有機EL素子に電流が流れ始め、これによって、駆動トランジスタの有機EL素子側の端子の電圧が低くなり、これによって駆動トランジスタの制御端電圧が低くなりやすい。しかし、本発明では、この時に選択トランジスタがオンしている。そこで、コンデンサのデータライン側の電圧が変化しにくく、従って駆動トランジスタの制御端電圧の変動を抑制することができる。

【0018】

また、前記駆動トランジスタは、pチャネルトランジスタであり、前記制御トランジスタは、nチャネルトランジスタであり、前記駆動トランジスタと、制御トランジスタとの間にダイオードが形成されていることで、駆動トランジスタと制御トランジスタを同一の半導体層を用いて形成することができ、効率的なレイアウトが可能になる。

40

【0019】

さらに、リセット制御トランジスタを省略することも好適である。この場合には、データラインに、所定の電圧（例えば、電源電圧）をセットして、選択トランジスタをオンすればよい。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施形態について、図面に基づいて説明する。

50

【0021】

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直方向に伸びるデータラインDLには、nチャンネルの選択TFT20のドレインが接続されている。この選択TFT20のゲートは水平方向に伸びるゲートラインGLに接続され、ソースはコンデンサ22の一端に接続されている。コンデンサ22の他端はpチャンネルの駆動TFT24のゲートに接続されている。さらに、選択TFT20のソースと、コンデンサ22の接続部には、nチャンネルのリセット制御TFT26のドレインが接続されており、このリセット制御TFT26のソースは垂直方向に伸びる電源ラインPVDに接続されている。さらに、駆動TFT24のゲートには、nチャンネルの短絡TFT28のソースが接続され、この短絡TFT28のドレインは、駆動TFT24のドレインに接続されている。そして、リセット制御TFT26と短絡TFT28のゲートは、リセットラインRST1に接続されている。

10

【0022】

また、駆動TFT24のソースは、電源ラインPVDに接続され、ドレインはダイオード40を介しnチャンネルの制御TFT30のドレインに接続されている。ここで、駆動TFT24と、制御TFT30は、1つの連続する半導体層を用いて構成されており、駆動TFT24のドレインは、p型不純物がドーピングされており、一方制御TFT30のドレインは、n型不純物がドーピングされている。ダイオード40は、この連続する半導体層におけるpn接合によって生じるものである。ここで、図のように、ダイオード40を短絡TFT28との接続部より、駆動TFT24側に配置することで、短絡TFT28から制御TFT30への電流が阻止されることがなくなり、駆動TFT24のゲート電圧のリセットが問題なく行える。なお、駆動TFT24と、制御TFT30を別個の半導体層を用いて構成し、その接続はメタル層を利用すれば、ダイオード40を省略できるが、この場合メタル層との2つのコンタクトが必要となり、レイアウト時に不利となる。

20

【0023】

制御TFT30のソースは、有機EL素子32のアノードに接続され、ゲートは水平方向に伸びるリセットラインRST2に接続されている。有機EL素子32のカソードは、カソード電源CVに接続されている。ここで、通常の場合、有機EL素子32のカソードは全画素共通になっており、このカソードが所定の電位のカソード電源CVに接続されている。

30

【0024】

次に、この画素回路の動作について、図2に基づいて説明する。ゲートラインGLが該当水平ライン(行)の画素が選択される1H(水平期間)の選択期間だけHレベルになる。図において、ゲートラインGL(-1)は、該当水平ラインの1つ上の水平ラインについてのゲートラインであり、1H前のタイミングでHレベルになる。そして、GL(-1)がHレベルとなるとこれと同時にリセットラインRST1がHレベルになる。このリセットラインRST1のHレベルによって、選択TFT20がオフ、制御TFT30がオンの状態で、リセット制御TFT26および短絡TFT28がオンし、有機EL素子32に所定の電流が流れる。これによって、コンデンサ22の選択TFT20側が電源電圧PVDの状態、駆動TFT24のドレインソース間が短絡され、駆動TFT24のゲートから電荷が引き抜かれ、リセットされる。

40

【0025】

次に、所定の短期間だけ遅れてリセットラインRST2がLレベルになり、制御TFT30がオフする。一方、リセット制御TFT26と短絡TFT28はオンしているため、コンデンサ22の駆動TFT24のゲートに接続されているのと反対側がPVDの電位に保たれている状態で、駆動TFT24のゲート・ドレイン間は短絡TFT28によって短絡され、駆動TFT24はダイオード接続される。そこで、駆動TFT24のゲート電位は、PVDよりしきい値電圧 V_t だけ低い電圧になり、このしきい値電圧 V_t の電圧が、コンデンサ22に保持される。

【0026】

50

このように、1 H前の水平期間において、コンデンサ22に駆動TFT24のしきい値電圧 V_t が充電される。次に、リセットラインRST1がLレベルとなり、リセット制御TFT26と短絡TFT28がオフされる。ここで、リセットラインRST2は、Lレベルに維持され、制御TFT30はオフのままにする。

【0027】

次に、該当水平ラインの選択期間に入り、ゲートラインGLがHレベルになり、これによって選択TFT20がオンになる。この状態で、水平ドライバは、ビデオラインDLから供給される各画素のビデオ信号を各データラインDLに順次供給する。従って、データラインDLには、対応する画素についてビデオ信号が設定される。そして、このデータラインDLは、ゲートラインGLがLレベルになるまで、ビデオ信号の電位を維持する。

10

【0028】

データラインDLがビデオ信号の電位に設定されると、コンデンサ22の他端である駆動TFT24のゲート電位は、ビデオ信号の電圧(データ電圧)によりシフトされる。そして、リセットラインRST2がHレベルとなり、制御TFT30がオンとなり、駆動TFT24にそのゲート電位に応じた電流が流れ、これが制御TFT30を介し、有機EL素子32に流れる。その後、ゲートラインGLがLレベルに復帰して選択TFT20がオフした後も、駆動TFT24のゲート電位はそのときの電圧のまま保たれ、有機EL素子32にはビデオ信号の電圧に応じた電流が流れ、発光する。

【0029】

このように、本実施形態では、最初に駆動TFT24のゲートに、PVDより駆動TFT24のしきい値電圧 V_t 分だけ低い電圧を設定し、これをコンデンサ22に保持する。従って、各画素の駆動TFT24の間でしきい値電圧 V_t にバラツキがあっても、これを補償して、ビデオ信号に応じた電流を有機EL素子32に供給することができる。

20

【0030】

特に、リセット制御TFT26により、コンデンサ22の選択TFT20側の電圧を一定電位(この例ではPVD)に設定している。このため、前フレームでの書き込みデータ影響を排除して、短絡TFT28をオンしたときに、コンデンサ22に駆動TFT24のしきい値電圧 V_t に応じた電圧を確実に保持することができる。また、しきい値電圧 V_t のセットの際には、データラインDLの電圧を変更する必要はなく、水平ドライバの動作が簡略化される。また、該当するゲートラインGLがLレベルの期間であれば、駆動トランジスタのゲート電圧のリセットをいずれのタイミングでも行うこともでき、リセットの時間を長くして、確実なしきい値電圧のセットが行える。

30

【0031】

さらに、制御TFT30がオンしている状態で、リセット制御TFT26と短絡TFT28を同時にオンする。このため、駆動TFT24のゲート電圧のリセットが確実に行える。

【0032】

そして、本実施形態では、ゲートラインGLがHレベルで選択TFT20がオンしている状態で、リセットラインRST2をHレベルとして、制御TFT30をオンする。制御TFT30がオンすると、有機EL素子32に電流が流れ始め、駆動TFT24のドレイン電圧が下がり、この影響でそのゲート電圧も下がりやすい。本実施形態では、この制御TFT30がオンするときに、選択TFT20がオンであり、コンデンサ22の一端がデータラインDLに接続されている。従って、制御TFT30がオンすることで、駆動TFT24のドレイン電位が変動しても、コンデンサ22の一端の電位は変動しにくいのでゲート電位は変動しにくく、入力されたビデオデータに則した電位を保持することができ、データ電圧に応じた有機EL素子32の発光が達成できる。

40

【0033】

また、制御TFT30をpチャンネルにすると、リーク電流が生じやすく、駆動TFT24のゲートドレイン間を短絡TFT28をオンして駆動TFT24のゲート電圧をPVD-VFにセットする際に、ゲート電圧が低くなる傾向がある。制御TFT30をnチャ

50

ネルにすることによって、リーク電流を減少して、駆動TFT24の正確なゲート電圧セットが行える。

【0034】

また、本実施形態において、PVDDは5V未満、データラインDLにセットされるデータ電圧の黒レベル電圧はPVDDより2V程度高い電圧に設定される。これによって、黒レベルの際に駆動TFT24のゲートをソースの電圧であるPVDDに対し、十分高い電圧として、電流が流れるのを防止して、黒レベルを達成することができる。

【0035】

「画素回路他の構成例」

図3には、画素回路の他の構成例を示している。この回路では、リセット制御TFT26を省略し、これに代えて一端が電源ラインPVDD他端が駆動TFT24のゲートに接続される容量34が設けられている。また、選択TFT20、短絡TFT28、制御TFT30は、いずれもpチャンネルTFTで形成されている。この画素回路は、特許文献1に記載されているものと同様であり、同様に動作する。

10

【0036】

ここで、本実施形態においては、短絡TFT28のオンと、制御TFT30のオンのタイミングを図2に示したように、若干ずらす。なお、この実施形態では、pチャンネルTFTを利用しているため、各ラインに供給される信号の極性は反対になる。

【0037】

そして、本実施形態においては、選択TFT20がオンしているときに、制御TFT30をオンさせる。これによって、上述の場合と同様に、制御TFT30のオンに伴い駆動TFT24のゲート電圧が低下するのを防止することができる。

20

【0038】

「タイミング発生回路の構成」

図4には、上述のようなリセットラインRL1、RST2に供給する信号RST1、RST2の発生回路が示されている。

【0039】

入力信号としては、1水平ライン上のゲート信号の反転信号であるXGL(-1)と、当該水平ラインのゲート信号の反転信号であるXGLと、水平方向のドライバ最終段の出力信号の反転信号であるXHOUTと、を利用する。

30

【0040】

XGLは、インバータ50によって反転され、GLが出力される。また、XGL(-1)がインバータ52によって反転されてリセット信号RST1として出力される。

【0041】

XGLと、XHOUTは、ノアゲート54に入力される。このノアゲート54の出力は、nチャンネルTFT56のゲートに供給されるとともに、ノアゲート58に入力される。

【0042】

TFT56は、ソースがグランドに接続され、ドレインはpチャンネルTFT60のドレインに接続され、このTFT60のソースが電源に接続されている。また、TFT60のゲートには、XGL(-1)が供給されている。

40

【0043】

TFT60とTFT56の接続部は、ノアゲート58に入力されるとともに、この入力ラインには、インバータ62a、62bの直列接続からなるラッチ回路62が接続されている。すなわち、TFT60とTFT56の接続部からノアゲート58の入力ラインには、インバータ62aに入力され、インバータ62bの出力が返されている。従って、TFT60とTFT56の接続部が変化した場合に、その変化がラッチ回路62に取り込まれた後、ノアゲート58への入力に変化する。

【0044】

このような回路における動作について、図5に基づいて説明する。XGL(-1)、XGLは、1水平ラインの選択期間だけLレベルになる信号であり、Lレベルになる期間が

50

1 Hだけシフトしている。X H O U Tは、1 Hに1回Lレベルになる信号であり、各ラインのゲート信号がLレベルになる期間の終了前においてLレベルとなり、ゲート信号がHレベルになる若干前にHレベルに戻る。

【0045】

このような信号によって、T F T 60のゲートに入力される信号Aは、X G L (- 1)と同じ信号となる。ノアゲート54の出力信号である信号Bは、X G Lと、X H O U Tの両方がLレベルの時のみHレベルとなる。

【0046】

さらに、ノアゲート58の入力ラインの信号Cは、X G L (- 1)のLレベルによって立ち上がり、ノアゲート54のHレベルによって立ち下がる信号となる。ここで、T F T 60、56の能力と、ラッチ回路62に能力に差があり、ラッチ回路62の書き込みに時間が掛かると、その能力差に応じて遅れることになる。すなわち、X G L (- 1)の立ち下がりに応じてT F T 60、56の接続点は上昇しようとするが、ラッチ回路62の出力がHレベルになるまでの期間だけ、立ち上がるのが遅れる。一方、ノアゲート54の出力がHレベルとなった場合にも、信号Bは、だけ遅れてLレベルになる。

10

【0047】

さらに、リセット信号R S T 2は、ノアゲート58の出力であり、ノアゲート58の入力が2つともLレベルの時のみHレベルを出力する。従って、リセット信号R S T 2は、信号Cの立ち上がりによって、Lレベルとなり、その後の信号Bの立ち下がりによって、Hレベルとなる。

20

【0048】

このようにして、リセット信号R S T 2の立ち下がりタイミングは、リセット信号R S T 1の立ち上がりタイミングに比べ、若干遅れる。この遅れ時間は、T F T 60、56の能力と、ラッチ回路62を構成するインバータ62 a、62 bの能力に差によって決定される。例えば、ラッチ回路62を構成するインバータ62 a、62 bの能力をT F T 60、56の能力の2倍程度に設定することが好適である。これによって、例えば400 n s e c程度の遅延が得られる。一方、この程度の遅延を容量によって得ようとする、かなりの面積が必要となる。このため、この回路によって、効果的な信号の遅延を図ることができる。

【0049】

一方、R S T 2の立ち上がりは、信号X H O U Tの立ち上がりに同期しており、予め定められたタイミングである。ゲートラインG Lの立ち下がりより、所定の短時間1 f H (ここで、1 f Hは、最小周期であり、例えば、200 n s e c程度である。)だけ、早い。従って、この回路によって、所定時間だけ、選択T F T 20と、制御T F T 30を両方オンする時間、設けることができる。

30

【0050】

このように、本回路によれば、所定の遅延時間を2つのT F T 56、60の直列接続からなるドライバーと、ラッチ回路62の能力差によって、得ることができる。従って、通常のように容量を設け、その充電時間を利用する回路に比べ、所要面積を小さくすることができる。

40

【図面の簡単な説明】

【0051】

【図1】実施形態の構成を示す回路図である。

【図2】実施形態の動作を説明するための信号の波形図である。

【図3】他の実施形態の構成を示す回路図である。

【図4】リセット信号R S T 1、R S T 2を生成する回路の構成を示す図である。

【図5】図4の回路の動作を説明するための信号の波形図である。

【符号の説明】

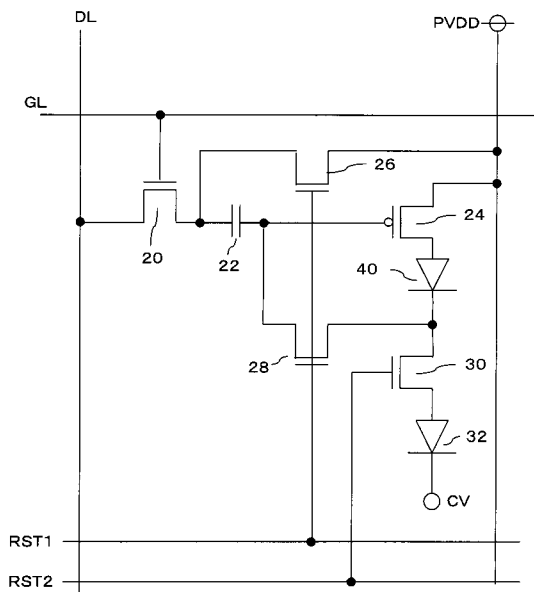
【0052】

20 選択T F T、22 コンデンサ、24 駆動T F T、26 リセット制御T F T

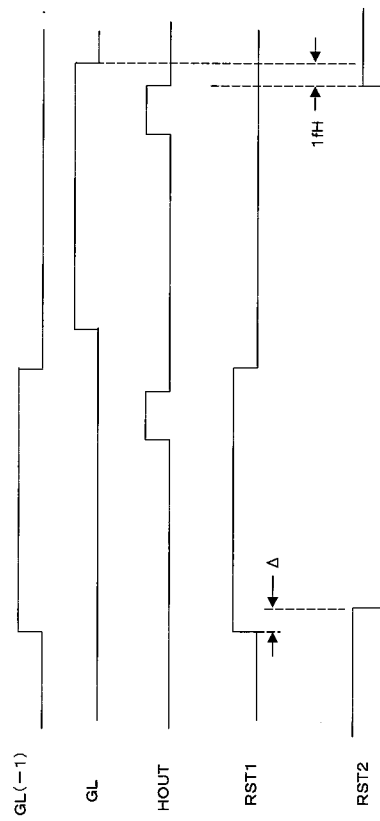
50

、 28 短絡 T F T、 30 制御 T F T、 34 容量、 50 インバータ、 52 インバ
ータ、 54 , 58 ノアゲート、 56 , 60 T F T、 62 ラッチ回路。

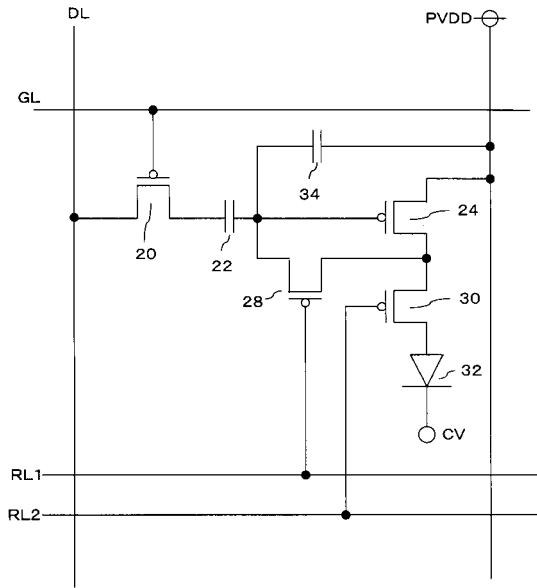
【 図 1 】



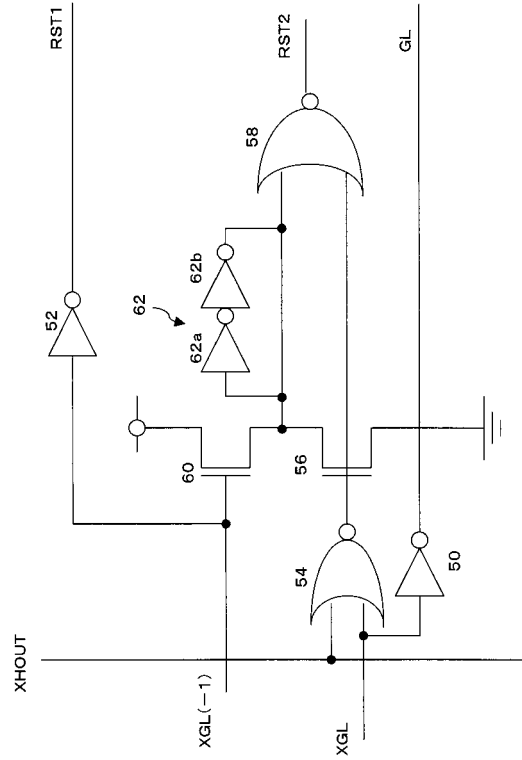
【 図 2 】



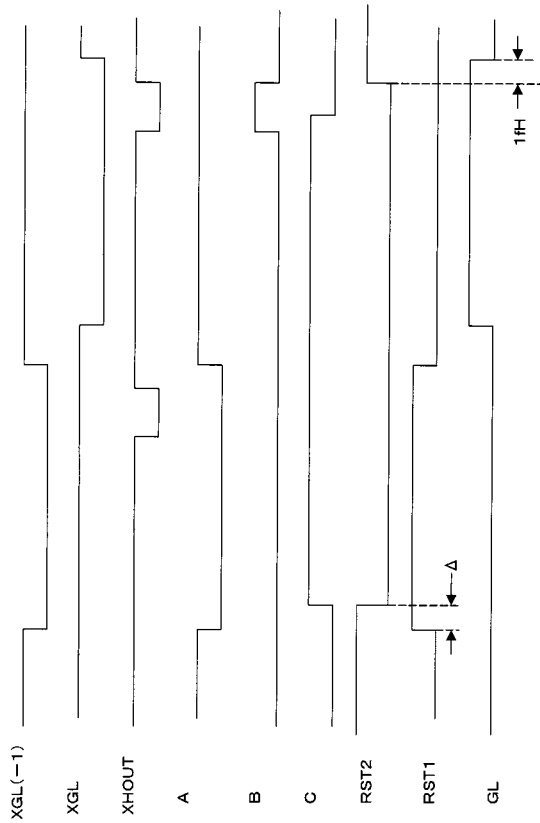
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 4

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 EE29 FF11 HH09 JJ03 JJ04
5F110 AA30 BB01 BB04 NN71 NN73

专利名称(译)	有机EL画素回路		
公开(公告)号	JP2006106141A	公开(公告)日	2006-04-20
申请号	JP2004289366	申请日	2004-09-30
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	佐々木昭史 松本昭一郎		
发明人	佐々木 昭史 松本 昭一郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H01L29/786		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2300/089 G09G2310/066 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.C H05B33/14.A H01L29/78.614 G09G3 /3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080 /DD22 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5F110/AA30 5F110/BB01 5F110/BB04 5F110/NN71 5F110/NN73 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107 /CC33 3K107/CC36 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BA10 5C380/BA39 5C380/BB02 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CB01 5C380 /CB12 5C380/CB17 5C380/CC05 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC64 5C380/CD015 5C380/CD024 5C380/CE19 5C380/CF09 5C380/CF23 5C380/CF33 5C380/CF46 5C380 /DA02 5C380/DA06 5C380/DA46		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

为了有效地补偿驱动TFT的阈值电压的波动。通过关闭选择TFT和控制TFT，接通短路TFT和复位控制TFT来复位驱动TFT的栅极电压。然后，在关闭控制TFT 24的同时，选择TFT 20导通，短路TFT 28和复位控制TFT 26截止，并且数据信号被施加到驱动TFT 24的栅极。此后，通过在选择TFT 20导通期间接通控制TFT 30，然后关闭选择TFT 20，当控制TFT 30导通时，防止驱动TFT 24的栅极电压降低。 点域1

