

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-342457

(P2004-342457A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H05B 33/10	H05B 33/10	3K007
G09F 9/00	G09F 9/00 338	5C094
G09F 9/30	G09F 9/00 352	5G435
H05B 33/14	G09F 9/30 338	
H05B 33/22	G09F 9/30 365Z	
審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2003-137734 (P2003-137734)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成15年5月15日 (2003.5.15)	(74) 代理人	100075258 弁理士 吉田 研二
		(74) 代理人	100096976 弁理士 石田 純
		(72) 発明者	神野 優志 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	3K007 AB11 AB13 AB18 BA06 DB03 FA00
		最終頁に続く	

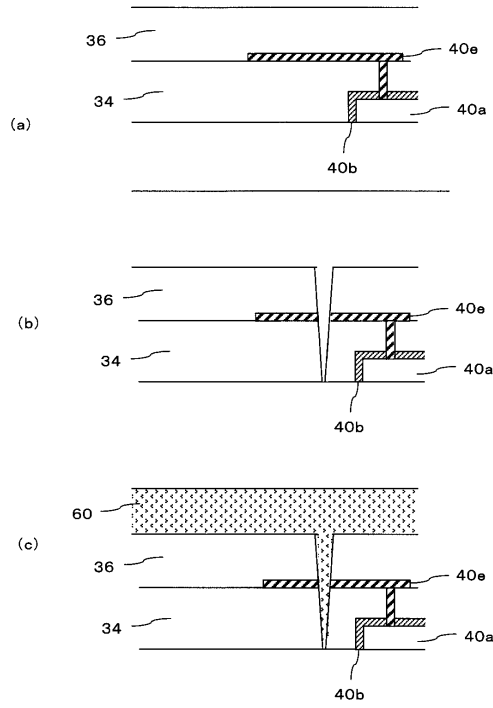
(54) 【発明の名称】 表示パネルの製造方法および表示パネル

(57) 【要約】

【課題】 画素の劣化を抑制しつつ、レーザを利用した欠陥画素の減光化を効果的に行う。

【解決手段】 パネル形成の途中、例えば第2 TFT 40が完成し、有機EL素子の陽極が形成された段階で、アレ検査を行う。そして、欠陥画素については、レーザによって配線を切断する。そして、このレーザによるリペアの後、第2平坦化絶縁膜60を形成してレーザにより生じた穴を埋める。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、

基板上に薄膜トランジスタを形成する工程と、

この薄膜トランジスタ形成後に複数の層を積層して、表示素子を完成する工程と、

を有し、

前記複数の層を積層する工程には、層厚の厚い絶縁性の平坦化絶縁膜を形成する工程が少なくとも 1 つ含まれ、

この少なくとも 1 つの平坦化絶縁膜を形成する工程の前の工程において、不良画素について、前記表示素子と電源ラインとの接続を切断する工程を設ける表示パネルの製造方法。 10

**【請求項 2】**

表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、

基板上に前記薄膜トランジスタを構成する工程と、

この薄膜トランジスタのゲート電極およびその配線を形成する工程と、

前記薄膜トランジスタのソース・ドレイン電極およびこれらのうちの一方の電極と電源ラインとの接続のための配線を形成する工程と、

前記電源ラインに電源を接続するとともに、前記薄膜トランジスタのゲート電極への信号印加を制御し、前記薄膜トランジスタのスイッチング動作に応じた前記電極の状態を検出して導通検査を行う工程と、 20

この検査結果によって、欠陥ありと判定された画素について、前記薄膜トランジスタを介する前記表示素子と、前記電源ラインとの配線の切断する工程と、

を有し、

前記表示素子の完成前に前記導通検査および配線の切断を行う有機 E L パネルの製造方法。

**【請求項 3】**

請求項 2 に記載の方法において、

前記導通検査は、前記表示素子の 1 つの電極を形成した後に行う表示パネルの製造方法。

**【請求項 4】**

請求項 2 または 3 に記載の方法において、

前記導通検査および配線の切断の後に、平坦性のよい絶縁膜を形成する工程を含み、この絶縁膜によって配線を切断した際に生じた凹部を修復する表示パネルの製造方法。

**【請求項 5】**

請求項 1 ~ 4 のいずれか 1 つに記載の方法において、

前記配線の切断は、レーザの照射によって行う表示パネルの製造方法。

**【請求項 6】**

請求項 1 ~ 5 のいずれか 1 つに記載の方法において、

前記表示素子は、有機 E L 素子である表示パネルの製造方法。

**【請求項 7】**

請求項 1 ~ 6 に記載の方法によって、製造された表示パネル。 40

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタ（以下 T F T という）とを画素毎に有するアクティブマトリクスタイプの表示パネルの製造、特に欠陥画素についての処理に関する。

**【0002】****【従来の技術】**

従来より、フラットディスプレイパネルの 1 つとして、有機 E L ディスプレイパネルが知 50

られている。この有機ELディスプレイパネルは、液晶ディスプレイパネル(LCD)とは異なり、自発光であり、明るく見やすいフラットディスプレイパネルとしてその普及が期待されている。

#### 【0003】

この有機ELディスプレイは、有機EL素子を画素として、これを多数マトリクス状に配置して構成される。また、この有機EL素子の駆動方法としては、LCDと同様にパッシブ方式とアクティブ方式があるが、LCDと同様にアクティブマトリクス方式が好ましいとされている。すなわち、画素毎にスイッチ用の素子を設け、そのスイッチ用の素子を制御して、各画素の表示をコントロールするアクティブマトリクス方式の方が、画素毎にスイッチ用の素子を有しないパッシブ方式より高精細の画面を実現でき好ましい。

10

#### 【0004】

なお、LCDの場合は、1つのスイッチング素子(TFT)を用い、これを直接画素電極に接続するが、有機ELパネルの場合には、2つのTFTと、1つの容量を用いる。図3に、従来の薄膜トランジスタ(TFT)を利用した有機ELパネルにおける画素回路の構成例を示す。有機ELパネルは、このような画素をマトリクス配置して構成される。

#### 【0005】

行方向に伸びるゲートラインには、ゲートラインによって選択されるnチャンネル薄膜トランジスタである第1TFT10のゲートが接続されている。この第1TFT10のドレインには列方向に伸びるデータラインDLが接続されており、そのソースには他端が低電圧の電源である容量ラインSLに接続された保持容量CSが接続されている。また、第1TFT10のソースと保持容量CSの接続点は、pチャンネル薄膜トランジスタである第2TFT40のゲートに接続されている。そして、この第2TFT40のソースが電源ラインVLに接続され、ドレインが有機EL素子ELに接続されている。なお、有機EL素子ELの他端はカソード電源CVに接続されている。

20

#### 【0006】

従って、ゲートラインGLがHレベルの時に第1TFT10がオンとなり、そのときのデータラインDLのデータが保持容量CSに保持される。そして、この保持容量CSに維持されているデータ(電荷)に応じて第2TFT40の電流が制御され、この第2TFT40の電流に従って有機EL素子ELに電流が流れ発光する。

#### 【0007】

そして、第1TFT10がオンしているときにデータラインDLに、その画素に対応するビデオ信号が供給される。従って、データラインDLに供給されるビデオ信号に応じて保持容量CSが充電され、これによって第2TFT40が対応する電流を流し、有機EL素子ELの輝度制御が行われる。すなわち、第2TFT40のゲート電位を制御して有機EL素子に流す電流を制御して各画素の階調表示が行われる。

30

#### 【0008】

このような有機ELパネルにおいて、各画素毎に設けられたTFT1またはTFT2に欠陥が生じる場合がある。これらTFT1、TFT2に欠陥があると、その画素が輝点や暗点になったり、また短絡の発生により接続されているデータラインDLに影響を与え、線欠陥が発生する場合もある。そこで、このような欠陥部分については、TFT1、TFT2等を欠陥部分をラインから切り離し、正常化するリペアが行われている。

40

#### 【0009】

このリペアによって、所定数の暗点が発生するが、有機ELパネルは製品として問題がなく、輝点を暗点化することで歩留まりの大幅な向上が達成できる。

#### 【0010】

ここで、リペアは、欠陥部分に至る配線を断線することによって行える。すなわち、LCDの場合と同様に、YAGレーザなどのレーザ照射によって、TFT2と電源ラインまたは画素電極との配線を切断することが考えられる。

#### 【0011】

これによって、欠陥部分を配線から切り離し、減点化することができ、全体の表示におけ

50

る問題を解決することができる。

【0012】

【発明が解決しようとする課題】

しかし、このYAGレーザによるリペア処理を行うと、深い穴があく。例えば、各画素のTFTが形成された段階で、YAGレーザによる配線の切断を行うと、配線とともに、その下の層なども吹き飛ばされ、そこに深い穴が形成される。有機ELパネルでは、その後有機層、カソードを形成するが、これらの層はかなり薄いため、穴をカバーすることができない。従って、有機EL素子の有機層もその側面が直接陰極の上方空間にさらされることになる。そこで、水分の浸水による有機層の劣化などが進みやすく、欠陥画素が広がるおそれもある。

10

【0013】

また、LCDにおいても、レーザにより配線を切断した場合に、その部分は配線だけでなく、他の層もなくなり、穴となっている。従って、各層の側面が露出されることになり、劣化などの原因や微細画素デバイスにおける配向乱れの原因になる。

【0014】

本発明は、上記課題に鑑みなれたのものであり、画素の劣化を抑制しつつ、レーザを利用した欠陥画素の減点化が効果的に行える表示パネルの減点化方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明は、表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、基板上に薄膜トランジスタを形成する工程と、この薄膜トランジスタ形成後に複数の層を積層して、表示素子を完成する工程と、を有し、前記複数の層を積層する工程には、層厚の厚い絶縁性の平坦化絶縁膜を形成する工程が少なくとも1つ含まれ、この少なくとも1つの平坦化絶縁膜を形成する工程の前の工程において、不良画素について、前記表示素子と電源ラインとの接続を切断する工程を設けることを特徴とする。

20

【0016】

このように、本発明によれば、表示素子の完成前に、欠陥画素については配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層の形成工程で、配線切断によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

30

【0017】

また、本発明は、表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、基板状に前記薄膜トランジスタを構成する工程と、この薄膜トランジスタのゲート電極およびその配線を形成する工程と、前記薄膜トランジスタのソース・ドレイン電極およびこれらのうちの一方の電極と電源ラインとの接続のための配線を形成する工程と、前記電源ラインに電源を接続するとともに、前記薄膜トランジスタのゲート電極への信号印加を制御し、前記薄膜トランジスタのスイッチング動作に応じた前記電極の状態を検出して導通検査を行う工程と、この検査結果によって、欠陥有りと判定された画素について、前記薄膜トランジスタを介する前記表示素子と、前記電源ラインとの配線の切断する工程と、を有し、前記表示素子の完成前に前記導通検査および配線の切断を行うことを特徴とする。

40

【0018】

このように、本発明によれば、表示素子の完成前に前記導通検査を行い、欠陥画素については例えばレーザによる配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層などの形成工程で、レーザ等によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【0019】

50

また、前記導通検査は、前記表示素子の1つの電極を形成した後に行うことが好適である。

【0020】

また、前記導通検査および配線の切断の後に、平坦性のよい絶縁膜を形成する工程を含み、この絶縁膜によって配線を切断した際に生じた凹部を修復することが好適である。

【0021】

また、前記配線の切断は、レーザの照射によって行うことが好適である。

【0022】

また、前記表示素子は、有機EL素子であることが好適である。

【0023】

また、本発明は、上述の方法によって、製造された表示パネルに関する。

【0024】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【0025】

図1は、本実施形態に係る表示装置の製造を説明する図である。まず、ガラス基板上30にTFTを形成する。すなわち、低温ポリシリコンによる能動層40aを形成し、その表面に酸化シリコンのゲート酸化膜を形成し、ゲート電極40cを形成する。次に、ゲート電極40cをマスクとして、能動領域40aに不純物を注入して、ソースドレイン領域を形成する。さらに、層間絶縁膜34を形成し、TFTを覆った後、コンタクトホールを形成し、ソース電極40d、ドレイン電極40eを形成する。次に、平坦化絶縁膜36を形成し、この平坦化絶縁膜36にソース電極40dに接続するコンタクトホールを形成して、平坦化絶縁膜36上にITOからなる陽極50を形成する。

【0026】

このようにして、有機EL素子ELの陽極50までの回路が形成される。そして、この段階でアレイテストを行う。このアレイテストは、電源ラインVLに所定の電源電圧を印加した状態で、ゲートラインGL、データラインDLに所定の信号を供給して、その際に保持容量CSおよび第2TFT40の寄生容量Cdtの蓄積電荷を検出することによって行う。すなわち、第2TFT40の寄生容量が所定の値であれば、第2TFT40が正常であることが分かる。そこで、第2TFT40に蓄積された電荷を計測することによって、第1TFT10および第2TFT40の両方の検査を行うことができる。

【0027】

なお、第1TFT、容量CSや、周辺のドライブ回路も、第2TFT40と一緒に形成されており、これら回路を利用してテスト用信号の供給ができる。

【0028】

そして、このアレイテストにより、欠陥画素が発見された場合には、その画素について、第2TFT40と電源ラインVLまたは陽極50（例えば、コンタクトの周囲を切り離す）の接続を切り離す。すなわち、TFTの異常などによるショートが発生など欠陥があった場合には、その異常な部分を電氣的に切り離し、正常化する。

【0029】

すなわち、図2(a)に示すように、TFTが形成され、第1平坦化絶縁膜36が形成され、その上に陽極50（図示省略）が形成された段階で、アレイテストを行う。そして、欠陥画素については、レーザを照射して、配線を切断することで、マトリクス回路から各画素を切り離す。レーザの照射は、図における上方からでも、ガラス基板30を介して下方からでもかまわない。これによって、図2(b)に示すように、レーザによって、各層が除去され、穴が生じる。この例では、電源ラインVLと、駆動トランジスタ40の間の配線を切断している。

【0030】

そして、第2平坦化絶縁膜60を形成することで、図2(c)に示すように、レーザの照射によって形成された穴が、埋められる。

10

20

30

40

50

## 【0031】

次に、第2平坦化絶縁膜60の陽極50の上方を除去した上で、正孔輸送層52、有機発光層54、電子輸送層56、陰極58を順次積層し、素子基板を完成する。また、その後周辺部分にシール材が付着形成された封止基板を素子基板に接着して有機ELパネルが完成される。なお、図1においては、有機発光層54が陽極50上にもみ存在し、他の層は全面に存在するように記載したが、電子輸送層56は、Alq3など発光する材料を含む場合もあり、電子輸送層56も有機発光層54と同様に発光部のみに限定する場合も多い。

## 【0032】

なお、レーザには、YAGレーザ等が用いられ、YAGレーザとしては、1064nmや533nmのレーザが通常利用される。このような波長であれば、TFTE能動層である多結晶シリコンなどを透過して、その上層の形成されている配線層を切断することができる。

10

## 【0033】

このように、本実施形態によれば、陽極50が形成された段階で、アレイテストを行い、欠陥画その配線をレーザによって、切除して、その画素の暗点化を行う。本有機EL表示装置では、陽極50形成後にさらに厚い第2平坦化絶縁膜60の形成工程が存在しており、レーザリペアにより生じた穴を、その後第2平坦化絶縁膜60によって穴埋めすることが可能であり、レーザ照射による傷を効果的にリペアすることができる。

## 【0034】

また、ドレイン/ソース両電極形成後に、レーザリペアを行い、第1平坦化膜以降の膜形成のプロセスでレーザで生じた穴を埋めることも可能である。

20

## 【0035】

特に、有機ELパネルの場合には、有機EL素子を形成する正孔輸送層52、有機発光層54、電子輸送層56からなる有機層は、200nm程度とかなり薄く、有機層によっては、レーザによって形成された穴を穴埋めすることができないが、本実施形態によれば第2平坦化絶縁膜によって、効果的な穴埋めができる。

## 【0036】

従って、TFTEの欠陥などに起因する配線の欠陥をリペアして、有機ELパネルの歩留まりを大幅に向上するとともに、レーザ照射によって形成された穴を絶縁材によって埋めることができ、その後の使用によって、穴を介し、水分や酸素などが有機層に至り、有機層が劣化し、ダークスポットが形成されるのを効果的に防止することができる。

30

## 【0037】

なお、アレイテストに用いるアレイテストは、有機層形成前のTFTE形成基板(素子基板)に対して実行するため、LCDのテストに用いられるものをそのまま利用することもできる。もちろん、有機EL専用のテストによりテストを行ってもよい。さらに、レーザを照射して配線を切断するレーザリペア装置についてもLCDの製造において使用されるものをそのまま利用することができる。

## 【0038】

また、LCDにおいても、TFTE基板の電極を構成するまでのプロセスは、ほとんど同一である。すなわち、ガラス基板上に画素毎に第1TFTEと補助容量が形成された後、画素電極が形成され、この段階で、アレイテストを行い、不良画素について、レーザを用いたリペアを行えばよい。

40

## 【0039】

上述の例では、レーザ光を用い配線を切断したが、これに限らず、電子線、FIB(Focused Ion Beam)等を用いることもできる。

## 【0040】

このように、本実施形態によれば、画素電極50を形成した段階で、つまり後工程に比較的厚い絶縁膜(第2平坦化絶縁膜60)の形成工程が存在する前の段階で検査を行い、欠陥画素については、レーザによる配線切断を行い、異常短絡個所の切断や、その画素の暗

50

点化が行われる。そして、その後第2平坦化絶縁膜60を必要な領域に形成することで、レーザによって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【0041】

ここで、第2平坦化絶縁膜60は、画素電極(陽極)50の中央では、開口し、その端部をカバーするようにパターニングされるが、レーザリペアされて生じた穴部に第2平坦化絶縁膜60を残すパターンとすることで、特別な工程の追加なくリペア後の穴のカバーが可能である。

【0042】

【発明の効果】

以上説明したように、本発明によれば、表示素子の完成前に前記導通検査を行い、欠陥画素についてはレーザ等による配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層などの形成工程で、レーザ等によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【図面の簡単な説明】

【図1】画素部の構成を示す図である。

【図2】レーザによるリペアを説明する図である。

【図3】画素回路の構成を示す図である。

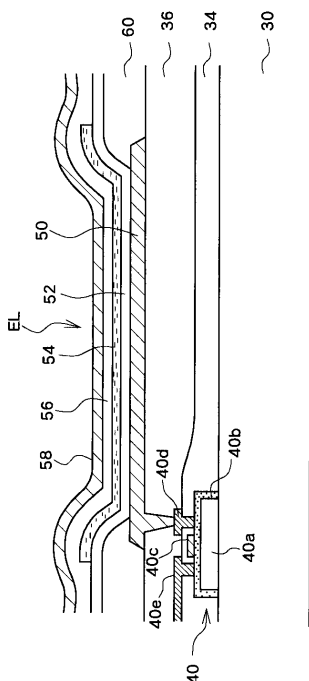
【符号の説明】

30 ガラス基板、40 第2 TFT、50 陽極、60 第2平坦化絶縁膜。

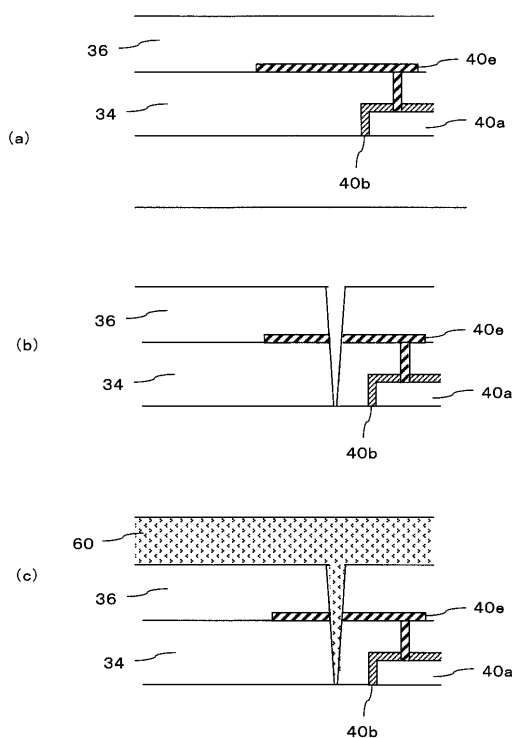
10

20

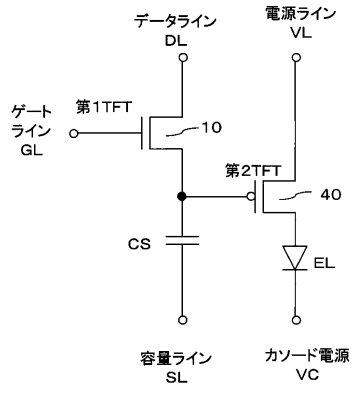
【図1】



【図2】



【 図 3 】



## フロントページの続き

(51) Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 5 B 33/14 A  
H 0 5 B 33/22 Z

Fターム(参考) 5C094 AA31 AA38 AA42 AA43 BA03 BA27 CA19 CA25 DA13 DB01  
DB04 EA04 EA07 FA01 FA02 FB01 FB12 FB14 FB15 FB20  
5G435 AA13 AA14 AA17 BB05 CC09 HH12 HH13 HH14 KK05 KK10

专利名称(译)	制造显示面板和显示面板的方法		
公开(公告)号	<a href="#">JP2004342457A</a>	公开(公告)日	2004-12-02
申请号	JP2003137734	申请日	2003-05-15
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	神野優志		
发明人	神野 優志		
IPC分类号	H05B33/10 G02F1/1362 G09F9/00 G09F9/30 H01L21/77 H01L27/12 H01L27/32 H01L51/50 H05B33/22 H05B33/14		
CPC分类号	H01L27/3244 G02F2001/136268 H01L27/124 H01L27/1248 H01L2251/568		
FI分类号	H05B33/10 G09F9/00.338 G09F9/00.352 G09F9/30.338 G09F9/30.365.Z H05B33/14.A H05B33/22.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB11 3K007/AB13 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 5C094/AA31 5C094/AA38 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5G435/AA13 5G435/AA14 5G435/AA17 5G435/BB05 5G435/CC09 5G435/HH12 5G435/HH13 5G435/HH14 5G435/KK05 5G435/KK10 3K107/AA01 3K107/BB01 3K107/CC23 3K107/CC45 3K107/EE03 3K107/GG56 3K107/GG57 3K107/HH05		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP2004342457A5		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：使用激光有效地减少缺陷像素的光，同时抑制像素的劣化。例如，当完成第二TFT 40并且形成有机EL元件的阳极时，在面板形成的中间执行阵列检查。然后，关于缺陷像素，通过激光切割布线。然后，在该激光修复之后，形成第二平坦化绝缘膜60以填充由激光产生的孔。[选择图]图2

