

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2003 - 523533

(P2003 - 523533A)

(43)公表日 平成15年8月5日(2003.8.5)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
3/20	621	3/20	621 B
	622		621 G
			622 C
			622 G

審査請求 未請求 予備審査請求 (全 31数) 最終頁に続く

(21)出願番号 特願2001 - 560383(P2001 - 560383)

(86)(22)出願日 平成13年2月13日(2001.2.13)

(85)翻訳文提出日 平成14年8月15日(2002.8.15)

(86)国際出願番号 PCT/CA01/00165

(87)国際公開番号 W001/061677

(87)国際公開日 平成13年8月23日(2001.8.23)

(31)優先権主張番号 09/504,472

(32)優先日 平成12年2月16日(2000.2.16)

(33)優先権主張国 米国(US)

(71)出願人 アイファイア テクノロジー インコーポレーテッド
カナダ,アルベルタ ティ-8エル 3ダブリ
ユー-4,フォート サスカチュワン,10102 -
114ス ストリート

(72)発明者 チェン, チュン - ファイ
カナダ,オンタリオ エル3エックス 1エム
2,ニューマーケット,1072 ロックウッド
サークル

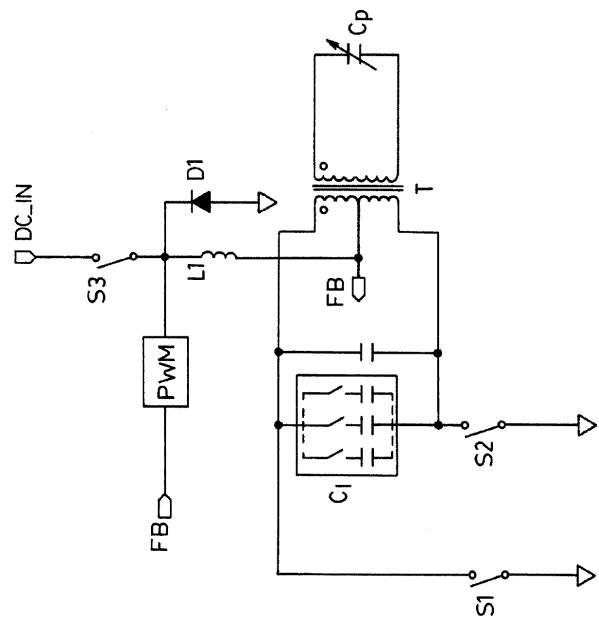
(74)代理人 弁理士 小野 由己男 (外 1 名)

最終頁に続く

(54)【発明の名称】 エネルギー効率的共振切換エレクトロルミネッセンスディスプレイドライバ

(57)【要約】

ディスプレイの変動するパネル容量から回収されたエネルギーを用いてエレクトロルミネッセンスディスプレイに電力を与える駆動回路。駆動回路は、電気エネルギー源と、電気エネルギーを受け入れ、それに従ってディスプレイの走査周波数と実質的に同期した共振周波数でディスプレイに電力を与えるための正弦波電圧を生成するための、パネル容量を用いる共振回路とを含む。共振回路は、ディスプレイの実効パネル容量を減少させる降圧変圧器をさらに含む。



【特許請求の範囲】**【請求項1】**

ディスプレイの変動するパネル容量(C_p)から回収されたエネルギーを用いてエレクトロルミネッセンスディスプレイに電力を与える駆動回路であって、

電気エネルギー源と、

前記電気エネルギーを受け入れ、それに応じ前記ディスプレイの走査周波数と実質的に同期した共振周波数で前記ディスプレイに電力を与えるための正弦波電圧を生成するための、前記パネル容量(C_p)を用いる共振回路とを含む駆動回路。

【請求項2】

前記共振回路が前記ディスプレイの実効パネル容量(C_p)を減少させる降圧変圧器をさらに含む、請求項1に記載の駆動回路。

【請求項3】

前記降圧変圧器が、さらなる容量(C_1)が接続される一次巻線と前記パネル容量(C_p)が接続される二次巻線とを有し、前記さらなる容量(C_1)の値が、前記共振周波数と前記走査周波数との実質的な同期を維持するために前記パネル容量(C_p)に対して十分に大きい請求項2に記載の駆動回路。

【請求項4】

$C_1 \gg (n_2/n_1)^2 \times C_p$ であるように、前記一次巻線が n_1 の巻数を有し、前記二次巻線が n_2 の巻数を有する請求項3に記載の駆動回路。

【請求項5】

前記共振周波数を変化させる追加の容量手段をさらに含む請求項3に記載の駆動回路。

【請求項6】

前記電気エネルギー源が、直流電圧を生成する電圧手段と、前記直流電圧を電気エネルギーのパルスにチョップするパルス幅変調器手段と、を含む、請求項1に記載の駆動回路。

【請求項7】

前記ディスプレイの変動するインピーダンスおよび前記ディスプレイによるエネルギー使用による前記正弦波電圧の変動を制御するために、前記共振回路が受

け取った電気エネルギーの割合を制御するための制御手段をさらに含む請求項1に記載の駆動回路。

【請求項8】

前記制御手段が、前記共振回路からの入力を用いて前記正弦波電圧の変動を感知するためのフィードバック手段をさらに含む、請求項7に記載の駆動回路。

【請求項9】

前記入力が、前記共振回路の降圧変圧器の一次巻線からのものである請求項8に記載の駆動回路。

【請求項10】

ディスプレイの変動するコラム容量(C_c)から回収されたエネルギーを用いて、アドレス可能なエレクトロルミネッセンスディスプレイのコラムに電力を与える駆動回路であって、

電気エネルギー源と、

前記電気エネルギーを受け入れ、それに応じ前記ディスプレイの走査周波数と実質的に同期した共振周波数で前記ディスプレイの前記コラムに電力を与えるための正弦波電圧を生成するための、前記ディスプレイの前記コラム容量(C_c)を用いる共振回路とを含む駆動回路。

【請求項11】

前記共振回路が前記ディスプレイの実効コラム容量(C_c)を減少させる降圧変圧器をさらに含む、請求項10に記載の駆動回路。

【請求項12】

前記降圧変圧器が、さらなる容量(C_1)が接続される一次巻線と前記コラム容量(C_c)が接続される二次巻線とを有し、前記さらなる容量(C_1)の値が、前記共振周波数と前記走査周波数との実質的な同期を維持するために前記コラム容量(C_c)に対して十分に大きい請求項11に記載の駆動回路。

【請求項13】

$C_1 \gg (n_2/n_1)^2 \times C_c$ であるように、前記一次巻線が n_1 の巻数を有し、前記二次巻線が n_2 の巻数を有する請求項12に記載の駆動回路。

【請求項14】

前記共振周波数を変化させる追加の容量手段をさらに含む請求項12に記載の駆動回路。

【請求項15】

前記電気エネルギー源が、直流電圧を生成する電圧手段と、前記直流電圧を電気エネルギーのパルスにチョップするパルス幅変調器手段と、を含む請求項10に記載の駆動回路。

【請求項16】

前記コラムの変動するインピーダンスおよび前記コラムによるエネルギー使用による前記正弦波電圧の変動を制御するために、前記共振回路が受け取った電気エネルギーの割合を制御するための制御手段をさらに含む請求項10に記載の駆動回路。

【請求項17】

前記制御手段が、前記共振回路からの入力を用いて前記正弦波電圧の変動を感知するためのフィードバック手段をさらに含む、請求項16に記載の駆動回路。

【請求項18】

前記入力が、前記共振回路の降圧変圧器の一次巻線からのものである請求項17に記載の駆動回路。

【請求項19】

ディスプレイの変動するロウ容量(C_r)から回収されたエネルギーを用いて、アドレス可能なエレクトロルミネッセンスディスプレイのロウに電力を与える駆動回路であって、

電気エネルギー源と、

前記電気エネルギーを受け入れ、それに応じ前記ディスプレイの走査周波数と実質的に同期した共振周波数で前記ディスプレイの前記ロウに電力を与えるための正弦波電圧を生成するための、前記ディスプレイの前記ロウ容量(C_r)を用いる共振回路とを含む駆動回路。

【請求項20】

前記共振回路が、前記ディスプレイの実効ロウ容量(C_r)を減少させる降圧変圧器をさらに含む請求項19に記載の駆動回路。

【請求項 2 1】

前記降圧変圧器が、さらなる容量(C_1)が接続される一次巻線と前記ロウ容量(C_r)が接続される二次巻線とを有し、前記さらなる容量(C_1)の値が、前記共振周波数と前記走査周波数との実質的な同期を維持するために前記ロウ容量(C_r)に対して十分に大きい請求項 2 0 に記載の駆動回路。

【請求項 2 2】

$C_1 \gg (n_2/n_1)^2 \times C_r$ であるように、前記一次巻線が n_1 の巻数を有し、前記二次巻線が n_2 の巻数を有する請求項 2 1 に記載の駆動回路。

【請求項 2 3】

前記共振周波数を変化させる追加の容量手段をさらに含む請求項 2 1 に記載の駆動回路。

【請求項 2 4】

前記電気エネルギー源が、直流電圧を生成する電圧手段と、前記直流電圧を電気エネルギーのパルスにチョップするパルス幅変調器手段と、を含む請求項 1 9 に記載の駆動回路。

【請求項 2 5】

前記ロウの変動するインピーダンスおよび前記ロウによるエネルギー使用による前記正弦波電圧の変動を制御するために、前記共振回路が受け取った電気エネルギーの割合を制御するための制御手段をさらに含む請求項 1 9 に記載の駆動回路。

【請求項 2 6】

前記制御手段が、前記共振回路からの入力を用いて前記正弦波電圧の変動を検知するためのフィードバック手段をさらに含む請求項 2 5 に記載の駆動回路。

【請求項 2 7】

前記入力が、前記共振回路の降圧変圧器の一次巻線からのものである請求項 2 6 に記載の駆動回路。

【請求項 2 8】

前記ディスプレイのロウに印加された前記正弦波電圧の極性を交互に反転させるための極性反転手段をさらに含む請求項 1 9 に記載の駆動回路。

【発明の詳細な説明】

発明の分野

本発明は、一般にフラットパネルディスプレイに関し、特に、パネルが駆動回路に可変の高容量負荷を与える共振切換パネル駆動回路に関する。

発明の背景

エレクトロルミネッセンスディスプレイは、陰極線管に対して動作電圧が低く、画質が優れており、液晶表示に比べ視野角が広く、かつ応答時間が速く、グレースケール能力が優れており、プラズマディスプレイパネルより厚みが薄いという利点がある。しかし、これらは、以下に詳細に述べるように画素帯電が非効率であるために消費電力が比較的高い。これは、画素内での電気エネルギーの光への変換が比較的効率的である場合でも起こる。しかし、エレクトロルミネッセンスディスプレイに伴う高消費電力という欠点は、エレクトロルミネッセンス画素に蓄積される容量エネルギーを効率的に回収できると緩和され得る。

【0001】

本発明は、駆動回路に可変の容量負荷を与えるような表示パネルを駆動するエネルギー効率的な方法および回路に関する。本発明は、パネル容量が高いエレクトロルミネッセンスディスプレイに特に有用である。パネル容量は、ディスプレイのロウおよびコラムピンに見られるような容量である。エレクトロルミネッセンスディスプレイ画素は、画素にかかる電圧が規定の閾電圧より低い場合、画素の輝度はゼロであるが、電圧が閾電圧を超えて増加するにつれて累進的に大きくなるという特徴を有している。この特性により、マトリックスアドレッシングを用いて、表示パネル上に映像を容易に生成することができる。

【0002】

図1および図2に示すように、エレクトロルミネッセンスディスプレイには、ロウ（ROW 1、ROW 2など）およびコラム（COL 1、COL 2など）と呼ばれる交差した2組の平行な導電性アドレスラインがあり、これらは、2つの誘電膜の間にカプセル化された蛍光体膜のいずれかの側に配置されている。画素は、ロウとコラムとの交点として規定されている。図2は、このような図1におけるROW 4とCOL 4との交点の画素の断面図である。ロウおよびコラムの交点

に電圧をかけることによって各画素が点灯する。マトリクスアドレッシングは、ロウに対し閾電圧より低い電圧をかけ、同時にそのロウと交差する各コラムに反対の極性の電圧をかけることによって行う。反対の極性の電圧は、それぞれの画素に所望される照度に応じてロウ電圧を増加させることによって、画像の1つのラインを生成する。別の構成では、ロウに最大画素電圧をかけ、すべてのコラムに対し、最大電圧と閾電圧との差以下の大きさの同じ極性のコラム電圧をかけることによって、所望の画像に応じ画素電圧を低下させる。いずれの場合においても、一旦、各ロウがアドレスされると、すべてのロウがアドレスされるまで同様に別のロウがアドレスされる。アドレスされていないロウは、開回路に残される。すべてのロウの連続アドレッシングにより完全なフレームが構成される。通常、1秒あたり少なくとも約50回、新しいフレームがアドレスされ、人間の目にはちらつきのない映像画として見えるものを生成する。

【0003】

エレクトロルミネッセンスディスプレイの各ロウが点灯すると、点灯した画素に与えられたエネルギーの一部は、光を生成するために電流が画素蛍光体層に流れるとき散逸するが、一旦発光が終わると、一部は、画素に蓄積されて残る。この残留エネルギーは、電圧パルスが加えられている間画素に残り、通常、画素に与えられたエネルギーのかなりの部分になる。以下に詳細に述べるように、本発明の1つの局面の目的は、ディスプレイのロウおよびコラムを駆動するこの残留エネルギーを回収することである。

【0004】

図3は、画素の電気特性をモデル化して表す等価回路である。回路は、 C_d と表示された直列キャパシタと C_p と表示された並列キャパシタとを有する2つの連続ツィナーダイオードを含む。物理的に、蛍光体および誘電膜(図2)はいずれも閾電圧未満では絶縁体である。これは、図3において、1つのツィナーダイオードが導通せず、したがって画素容量は、2つのキャパシタ C_d および C_p の直列の組み合わせの容量になる場合である。閾電圧より上では、蛍光体膜は、導電性を有し、両方のツィナーダイオードが導通し、画素容量は直列キャパシタのみの容量と等しい場合に対応する。したがって、画素容量は、電圧が閾電圧より高い

かまたは低いかによる。さらに、ディスプレイ上の画素はすべてロウおよびコラムを介して互いに連結しているため、1つのロウが点灯すると、パネル上の全画素は少なくとも部分的に帯電し得る。非点灯のロウの画素の部分帯電の程度は、同時コラム電圧の変動度に大きく依存する。コラム電圧がすべて同じ場合、非点灯のロウの画素の部分帯電は発生しない。コラムの約半分がほとんど、または全く電圧が印加されておらず、残りの半分が最大電圧に近い場合、部分帯電は最も顕著である。後者の状況は、映像表示においてしばしば発生する。通常、この部分帯電に伴うエネルギーは、特に高解像度パネルのように多くのロウがある場合、点灯したロウに蓄積されたエネルギーよりずっと大きい。非点灯ロウに蓄積されたエネルギーはすべて、潜在的に回収可能であり、特に多くのロウを有するパネルでは、画素に蓄積されたエネルギーの90%以上になり得る。

【0005】

エネルギー消費の原因となる別の要因は、画素の帯電中に駆動回路ならびにロウおよびコラムの抵抗で散逸するエネルギーである。この散逸するエネルギーは、画素が一定の電圧で帯電される場合、画素に蓄積されるエネルギーに匹敵する大きさであり得る。この場合、画素が帯電し始めると、初期の高電流サージがある。この高電流の期間に、散逸力は電流の二乗に比例するので、エネルギーのほとんどが散逸する。この散逸エネルギーは、画素帯電中、できるだけ電流が一定に流れるようにすることによって減少させることができる。これは、エレクトロルミネッセンスディスプレイ技術において従来からなされているように、1つの矩形電圧パルスではなく段階的な電圧パルスを加えることによって、例えば、C. King (C. キング) (SID国際シンポジウム講義メモ1992、1992年5月18日、第1巻、第6講義) によって行われていた。しかし、段階的パルスを提供するのに必要な回路はさらに複雑でコストがかかる。

【0006】

正弦波駆動波形もまた、抵抗エネルギー損失を減少させるために用いられてきた。米国特許第4、574、342号は、エレクトロルミネッセンスディスプレイパネルを駆動するために、DC/ACインバータおよび共振タンク回路によって生成される正弦波供給電圧を用いることを教示している。パネルは、タンク回

路の容量と平行に接続されている。タンクでの電圧増幅をパネルに伴う負荷とは独立した一定レベルに維持するように供給電圧をタンク回路に同期させる。正弦波駆動電圧を用いることにより、一定の電圧駆動パルスに伴う高ピーク電流がなくなるので、ピーク電流に伴う I^2R 損失が減少するが、パネルに蓄積された容量エネルギーの回収は行われぬ。

【0007】

米国特許第4,707,692号は、部分エネルギー回収を行うためにパネルの容量と平行なインダクタを用いることを教示している。この構成では、大きなインダクタが、ディスプレイ動作に本質的に存在するタイミング制約に合った共振周波数を達成しなくてはならず、広範囲のパネル容量での効率的なエネルギー回収ができない。これは、上記したように、エレクトロルミネッセンスディスプレイによくあることである。米国特許第5,559,402号は、パネル外部の2つの小さなインダクタおよびキャパシタが小さなエネルギー部分を順次放出し、パネルから小さなエネルギー部分を受け入れるような同様のインダクタ切替構成を教示している。しかし、回収することができるのは、蓄積されたエネルギーの一部にすぎない。米国特許第4,349,816号は、パネルから回収されたエネルギーを蓄積するために大きな外部キャパシタを用いる容量電圧分割器にディスプレイパネルを組み込むことによるエネルギー回収を教示している。この構成では、ドライバへの容量負荷が増加し、そして、負荷電流が増加し、抵抗損失が増加する。これらの3つの特許のいずれも正弦波ドライバを用いての抵抗損失の減少を教示していない。

【0008】

米国特許第4,633,141号、5,027,040号、5,293,098号、5,440,208号および5,566,064号は、エレクトロルミネッセンスランプ要素を動作させ、ランプ要素の容量エネルギーの一部を回収するために共振正弦波駆動電圧を用いることを教示している。しかし、これらの構成では、パネルの容量に大きなランダムの変動があると、効率的なエネルギー回収が容易ではない。実際、このような容量変化への対応は、パネルの老化特性による緩慢な変化を補正する以外は、パネル容量が固定であるエレクトロルミ

ッセンランプの動作にとって必ずしも必要ではない。

【0009】

米国特許第5,315,311号は、エレクトロルミッセンスディスプレイの電力節約の方法を教示している。この方法は、画素電圧がロウおよびコラム電圧の合計である場合に、コラムドライバからの電力需要が最大であるときを感知し、コラム電圧を低下させ、それに従い選択されたロウ電圧を増加させることを含んでいる。この方法は、ピーク電流の制限による抵抗損失の減少を容易にせず、また、パネルからの容量エネルギーの回収もしない。研究によれば、この特許の方法は、ディスプレイのコントラスト比を低下させることが示唆されている。というのは、オフにするように選択されたロウの画素のいずれもが、ロウ電圧が閾電圧より多少上であるために、多少点灯するからである。したがって、この従来の電力節約方法は、グレースケール能力との関連ではうまく機能しない。

発明の要旨

本発明の一局面の目的は、表示パネルに蓄積された容量エネルギーの回収および再利用ならびに高瞬間電流による抵抗損失を最小限にすることを同時に行うエレクトロルミネッセンスディスプレイ駆動方法および回路を提供することである。これらの特徴により、パネルおよびドライバ回路のエネルギー効率を高め、これにより、総合電力消費を低減する。さらなる目的は、表示パネルおよびドライバ回路の熱放散速度を低下させ、パネルの画素をより高い電圧およびより高い再生速度で駆動させ、これによって輝度を高めることによって、より明るい表示を容易にすることである。従来のディスプレイドライバ方法および回路に対する本発明のさらなる利点は、パルス駆動電圧ではなく、正弦波駆動電圧を用いることによる電磁気干渉の減少である。正弦波駆動電圧を用いることにより、分離したパルスに伴う高周波数高調波がなくなる。上記のような利点は、高価な高電圧DC/DC変換器を必要とせずに達成される。

【0010】

本発明の表示パネルおよび駆動回路のエネルギー効率は、表示ロウに電力供給するものと、表示コラムに電力供給するものとの2つの正弦波電圧を生成する2つの共振回路を用いることにより向上する。ディスプレイのロウピンに見られる

ようなロウ容量は、ロウ駆動回路のための共振回路の1つの要素を形成する。ディスプレイのコラムピンに見られるようなコラム容量は、コラム駆動回路のための共振回路の1つの要素を形成する。

各共振回路のエネルギーは、容量要素と誘電要素との間を周期的に行ったり来たりしている。各共振回路の共振周波数は、振動期間が、連続パネルロウの帯電に対し、ディスプレイの走査周波数にできるだけ合致し、同期するように調整される。

【0011】

エネルギーは誘導的に蓄積されると、ロウ共振回路を特定のロウに接続するスイッチが起動し、ロウを順次アドレスしながら、誘電的に蓄積されたエネルギーを適切なロウに向ける。ロウ用のロウ駆動回路はまた、ディスプレイの寿命を延ばすために交互フレームのロウ電圧を反転させる極性反転回路を含む。

同様に、コラム駆動回路は、コラム共振回路を同時にすべてのコラムに接続し、誘電的に蓄積されたエネルギーをコラムに向ける。従来技術に教示されているように、コラムスイッチはまた、グレースケール制御を行うために各コラムに投入するエネルギー量を制御するよう機能する。通常、ロウスイッチおよびコラムスイッチは、32または64を1組とした集積回路セットとしてパッケージされており、それぞれロウドライバおよびコラムドライバと呼ばれている。

【0012】

本発明の他のさらなる利点および特徴は、付随の図面に関連の以下の詳細な説明から当業者には明らかである。

好適な実施形態の説明

図4は、本発明による共振回路の単純模式図である。基本的な要素は、降圧電圧器(T)と、変圧器の二次巻線に接続されたパネル容量(C_p)に対応する容量と、変圧器の一次巻線に接続されたさらなるキャパシタ(C_1)とを含む共振タンクを形成する共振電圧インバータである。当該さらなる容量(C_1)は、共振周波数を異なる表示走査周波数に同期させるように選択され得る一連のキャパシタを含んでもよい。

【0013】

共振回路はまた、入力された正弦波信号を単極共振振動に反転させるために、電流がゼロであるとき開閉を交互に行う2つのスイッチ(S_1 および S_2)を含んでいる。入力された直流電圧は、共振振動の電圧振幅を制御するためにパルス幅変調器(PWM)の制御下でスイッチ(S_3)によってオン/オフされる。振動の電圧を安定させるために、信号(FB)は、変圧器の一次巻線からPWMへとフィードバックされ、二次巻線の電圧の変動に応じてスイッチ(S_3)のオン・オフ時間比を調整する。このフィードバックは、表示された画像の変化によるパネルインピーダンスの変動による電圧変化を補正する。パネルインピーダンスは、ディスプレイのロウおよびコラムピンに見られるインピーダンスである。

【0014】

効率的に動作させるために、駆動回路の共振周波数は、大幅に変化してはならず、ロウアドレッシングのタイミングパルスの周波数に近い状態を保つように調整する。共振周波数は、数式1によって表される。

$$f = 1/(2 \sqrt{LC}) \quad (1)$$

ここで、Lは、共振回路のタンクのインダクタンスであり、Cは容量である。共振回路は、全タンク容量に貢献するパネル容量の変動度を考慮しなければならない。これは、パネル容量(C_p)のタンク容量への貢献を減少させる降圧変圧器を用いて、実効タンク容量Cを数式2のようにすることによって達成される。ここで、 C_p は、パネル容量であり、 C_1 は、変圧器の一次巻線の容量値であり、 n_1 および n_2 は、それぞれ変圧器の一次および二次巻線の巻数である。

【0015】

$$C = (n_2/n_1)^2 C_p + C_1 \quad (2)$$

巻数比(n_1/n_2)と C_1 の値は、数式2の第1項が第2項に比べて小さくなるように選ぶ。数式2は、特定のパネルの巻数比および一次容量の適切な値を決定する指針として用いられ、共振回路への入力において測定された電圧波形を検討することによってこれらの値の相互最適化が行われる。そして、正弦波信号からのずれを最小にするように構成要素値を選択する。共振周波数が高すぎると、図5aに示されたようなものに例示される波形が見られ、その波形には、波形の交互極性区分間にゼロ電圧間隔がある。そして、指針として数式1および2を用いて

適切な調整を行う。共振周波数が低すぎると、図5 bに示されたようなものに例示される波形が見られ、その波形には、波形の交互極性区分を繋ぐゼロボルトを交差する垂直電圧ステップがある。共振周波数がロウアドレッシング周波数に合致している場合は、図5 cに示すようなほぼ完璧な正弦波形が見られる。

【0016】

完全なディスプレイドライバのブロック図を図6に示す。この図において、H S y n cは、1つのロウのアドレッシングを開始するタイミングパルスのことである。時間遅延制御回路60では、共振回路におけるゼロ電流時間がロウおよびコラムの切替時間に相当するように、遅延時間が設定されている。H S y n cは時間遅延制御回路60に供給される。回路60の出力がロウ共振回路62およびコラム共振回路64に与えられ、ロウ共振回路62の出力は極性切替回路66に与えられる。極性切替回路66の切替時間は、各完全なフレームを開始するタイミングを制御するV S y n cパルスによって制御される。コラム共振回路64および極性切替回路66の出力は、それぞれコラムおよびロウドライバI C s 68および70に与えられる。

【0017】

ここで、図2に戻って、本発明の好適な実施形態を厚膜誘電層を有するエレクトロルミネッセンスディスプレイでの使用に最適化する。厚膜エレクトロルミネッセンスディスプレイは2つの誘電層のうち的一方が高誘電率を有する厚膜層を含んで合いる点において、従来の薄膜エレクトロルミネッセンスディスプレイとは、異なっている。第2の誘電層は、誘電破壊に耐える必要がなく（厚膜層がこの機能を行う）、薄膜エレクトロルミネッセンスディスプレイに用いられる誘電層より実質的に薄くすることができる。米国特許第5、432、015号は、これらのディスプレイの厚膜誘電層を作成する方法を教示している。厚膜エレクトロルミネッセンスディスプレイの誘電層の性質のために、図3に示す等価回路の値は、薄膜エレクトロルミネッセンスディスプレイのものとは実質的に異なる。特に、 C_0 の値は、薄膜エレクトロルミネッセンスディスプレイのときよりずっと大きくなり得る。これにより、薄膜ディスプレイのときより大きなロウおよびコラム印加電圧の関数としてのパネル容量に変動が生じ、本発明を厚膜ディスプレ

イに用いる大きな動機となる。閾電圧より高い電圧における画素容量の閾電圧より低い電圧における画素容量に対する比は、通常約4：1であるが、10：1を超えることもある。これに対し、薄膜エレクトロルミネッセンスディスプレイでは、この比は、約2：1から3：1の範囲である。通常、パネル容量は、ディスプレイのサイズならびにロウおよびコラムへの印加電圧によって、ナノファラッドからマイクロファラッドの範囲であり得る。

【0018】

本発明の成功した実施完了にしたがって、8.5インチ240×320画素1/4VGAフォーマット対角厚膜カラーエレクトロルミネッセンスディスプレイ用のロウドライバ回路およびコラムドライバ回路の作成を行った。各画素は、分離したコラムおよび共通のロウを介してアドレスされた独立した赤、緑および青のサブ画素を有している。原型ディスプレイの閾電圧は150ボルトであった。すべてのコラムを共通の電位にし、ロウとコラムとの間に10ボルト未満の電圧を印加して測定されたこのディスプレイのパネル容量は、7ナノファラッドであった。選択されたコラムの残りのコラムの半分を選択されたコラムと同じ電位にしてロウとコラムとの間を同様の電圧にし、残りのコラムは選択されたコラムに対して60ボルトにして測定されたパネル容量は、0.4マイクロファラッドであり、ずっと大きな値になった。

【0019】

図7および図8は、本発明の好適な実施形態による、それぞれコラムおよびロウに用いられた共振回路の回路模式図である。図9は、ロウドライバの高電圧入力ピンに交流極性電圧を与えるための、ロウ共振回路とロウドライバとの間に接続された極性反転回路の回路模式図である。共振回路へ入力された直流電圧は330ボルトであった(120/240ボルトACから整流されたオフライン)。極性反転回路の出力は、ロウドライバIC70(図6)の高電圧入力ピンに接続され、ロウドライバIC70の出力ピンは、ディスプレイのロウに接続されている。ロウドライバのクロックおよびゲート入力ピンは、当該技術で公知のように、エレクトロルミネッセンスディスプレイのマトリックスアドレッシングに適応したフィールドプログラム可能ゲートアレイ(FPGA)を用いるデジタル回路

を用いて同期化される。

【0020】

図10および図11は、図6、図7、図8および図9に示すような本発明のドライバ回路を制御するのに用いられているタイミング信号波形を示している。原型ディスプレイのロウアドレッシング周波数は32kHzであり、ディスプレイの再生速度120Hzが可能であった。

図8を参照すると、好適な実施形態のコラム駆動回路における共振回路の共振周波数は、降圧変圧器T2の一次巻線で見られる実効インダクタンス、およびT2の一次巻線で見られるようなコラム容量と並列のキャパシタC42の実効容量によって制御されている。共振周波数の微調整のためにC42と並列に小さなトリミングキャパシタC11もある。変圧器の巻数比は、5より大きく、数式2のキャパシタC42の値 C_1 は、 C_1 が $(n_2/n_1)^2 C_p$ よりも実質的に大きく、パネル容量の変化の共振周波数への影響を最小にするように選択される。C9は、C42の容量に関し、異なる表示走査周波数と合致または同期させるための所望の共振周波数を得るように容量を選択することができる一連のキャパシタである。

【0021】

図8をさらに参照すると、変圧器T2の二次巻線での正弦波出力は、キャパシタC7およびダイオードD7により、瞬時出力電圧が負にならないように直流シフトされている。キャパシタC6およびダイオードD9と組み合わされた変圧器の二次巻線をさらに3回巻いて、さらなるわずかな直流シフトを行うことにより、コラムドライバICの適切な動作のために、確実に瞬時出力電圧が常に十分に正になるようにする。

共振回路は、2つのMOSFET Q2およびQ3を用いて駆動され、そのスイッチは、適切な遅延時間を用いてHsync信号と同期したLC DRV信号によって制御され、これにより、ロウドライバICがアドレスされたロウを選択する。遅延を調整することによって、駆動電流がゼロに近くなるとロウドライバICの切替が確実に行われるようにする。LC DRV信号は、通常、フィールドプログラム可能ゲートアレイ(FPGA)であるが、この目的のために設計された応用特定集積回路(ASIC)であってもよいディスプレイドライバの定電圧論理部によって生成される。

LC DRV信号は、デューティ周期が50%のTTLレベル矩形波である。LC DRV信号は、2つの形態を有している。LC DRV A信号は、LC DRV B信号の相補形である。

【0022】

また、図8について、共振回路の電圧レベルの制御は、出力が変圧器T6を通りMOSFET Q1のゲートへ送られるパルス幅変調器U1を用いて行われる。パルス幅変調器U1は、330ボルトの入力直流電圧をチョップすることによって共振回路の電圧レベルを制御する。インダクタL2は、直流電圧を印加されているとき共振回路の電流を制限し、ダイオードD12は、インダクタの電流変化のためにMOSFET Q1のソースでの電圧エクスカージョンを制限する。パルス幅変調器のデューティ周期は、変圧器T2の一次巻線の電圧フィードバック回路によって制御され、共振回路電圧を調節または調整する。パルス幅変調器の切換は、ディスプレイドライバの低電圧論理部からのTTL信号PWM SYNCを用いてHSyncと同期する。

【0023】

図7を参照すると、好適な実施形態のロウドライバ回路の動作は、コラムドライバ回路の動作と同様である。ただし、コラムドライバ回路における変圧器T2と比べて、変圧器T1の巻数比が、より高いロウ電圧およびロウを通して見られるようなより小さいパネル容量を反映して異なっていることを除く。この違いは残りのロウが開回路であるためである。コラムドライバ回路の動作と同様である。変圧器T1はまた、ロウ電圧が二極かつ対称的なゼロボルトであるので、コラムドライバのための小さな直流オフセットを提供する小さな3回の巻を有していない。

【0024】

好適な実施形態において、ロウドライバ回路の出力は、図9に示す極性反転回路に与えられる。これは、エレクトロルミネッセンスディスプレイに必要な交流動作を提供するための交互フレームの反対の極性を有するロウ電圧を提供する。ダイオードD1およびD3ならびにキャパシタC1およびC2は、2つの直流シフトし、位相反転した正弦波駆動出力を生成する。6つのMOSFET Q4~Q9は、生成される正または負のいずれかの正弦波駆動波形をパネルロウに接続

する1組のアナログスイッチを形成している。極性の選択は、FRAME POL-1から、FRAME POL-4によって制御される。FRAME POL信号は、ディスプレイシステムでのシステム論理回路によって生成される信号である。FRAME POL信号は、ディスプレイ上の各フレームの走査を開始する垂直同期信号と同期する。

【0025】

本発明の共振回路構成を組み込んだドライバで動作させたときのディスプレイの消費電力を測定すると30ワットであった。コラム電圧は50ボルトであり、ディスプレイ(均一の明るさの白色照明)の測定最大光度は、1平方メートル当たり50カンデラであった。比較のために、当該技術において公知の従来のドライバを用いて、同じ光度レベルを提供するように動作させた同様のディスプレイを測定すると50ワットであった。前者の回路の効率がより大きいので、コラムに印加される最大電圧は75ボルトになり、ディスプレイ光度は大きくなった(1平方メートル当たり50カンデラに対し100カンデラ)。より高い光度での電力消費は、45ワットであった。

【0026】

本発明の実施形態例を本明細書に記載したが、本発明の精神または添付の請求項の範囲を逸脱することなく変更がなされ得ることは当業者に理解される。

【図面の簡単な説明】

【図1】

従来技術によるエレクトロルミネッセンスディスプレイでの画素のロウおよびコラムの配列の平面図である。

【図2】

図1のエレクトロルミネッセンスディスプレイの1つの画素の断面図である。

【図3】

図2の画素の等価回路である。

【図4】

本発明によるディスプレイドライバに用いる共振回路の単純化された回路模式図である。

【図5A】

異なる条件下での図4の共振回路の波形を示すオシロスコープである。

【図5B】

異なる条件下での図4の共振回路の波形を示すオシロスコープである。

【図5C】

異なる条件下での図4の共振回路の波形を示すオシロスコープである。

【図6】

本発明の構成要素を組み込んでいる完全なディスプレイドライバのブロック図である。

【図7】

本発明の構成要素を組み込んでいるロウドライバの好適な実施形態の詳細な回路図である。

【図8】

本発明の構成要素を組み込んでいるコラムドライバの好適な実施形態の詳細な回路図である。

【図9】

図7のロウドライバの出力で用いられる極性反転回路の詳細な回路図である。

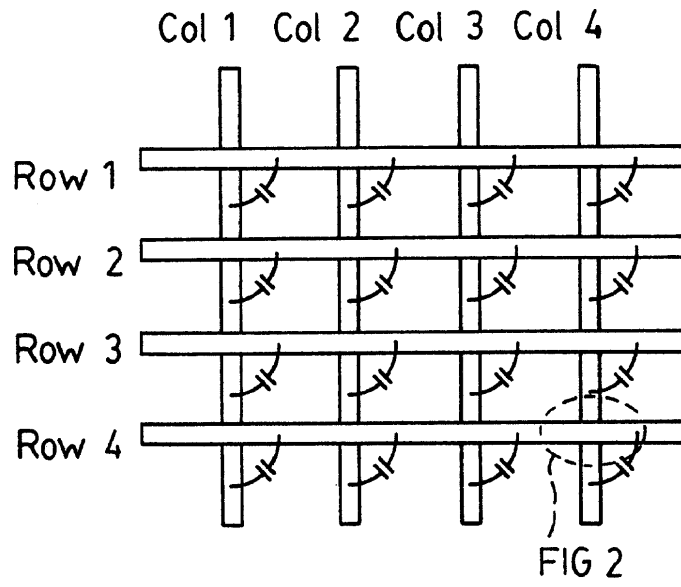
【図10】

本発明のディスプレイドライバに用いるディスプレイタイミングパルスを示すタイミング図である。

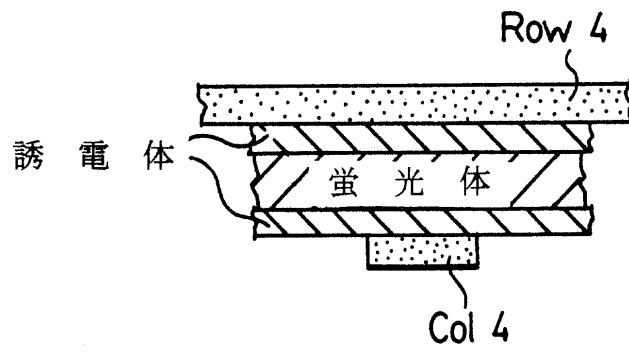
【図11】

本発明のディスプレイドライバに用いるディスプレイタイミングパルスを示すタイミング図である。

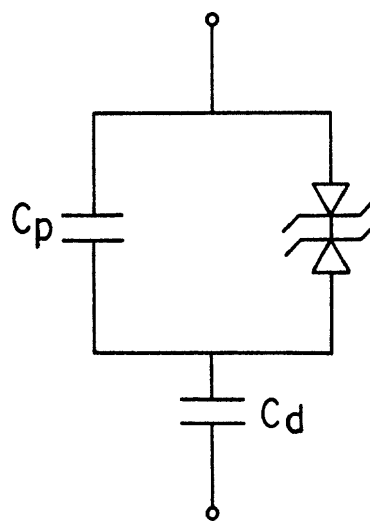
【圖1】



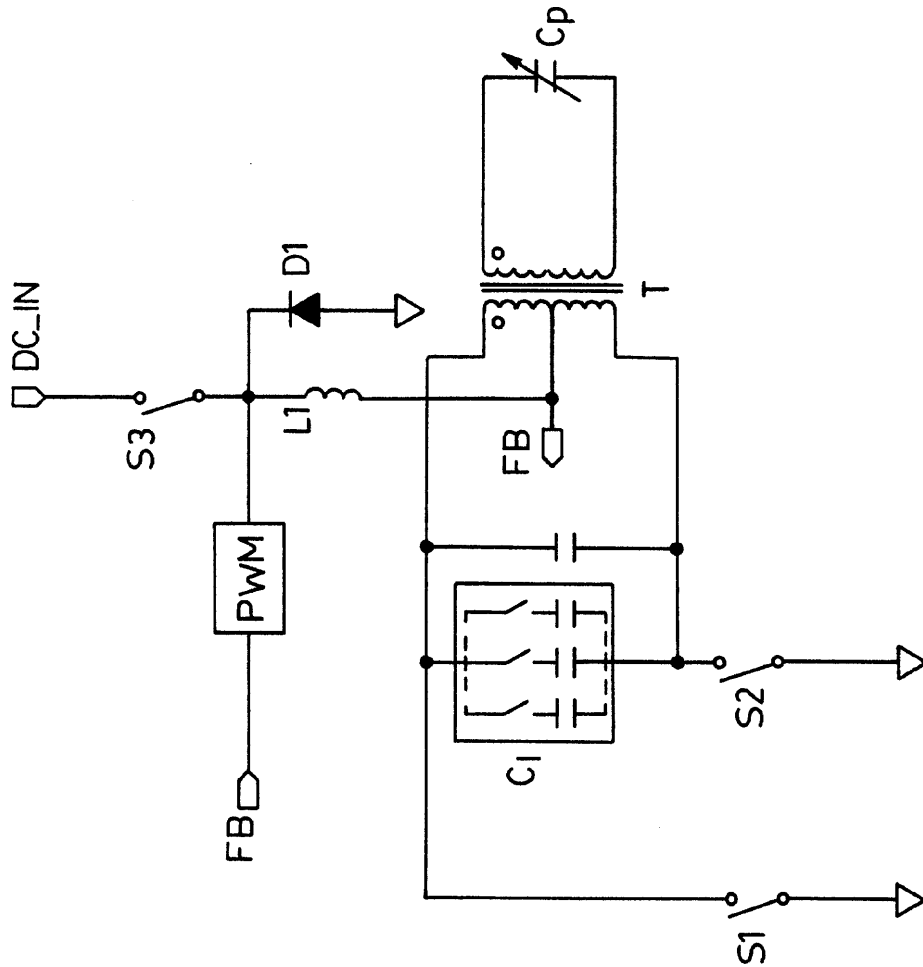
【圖2】



【圖3】

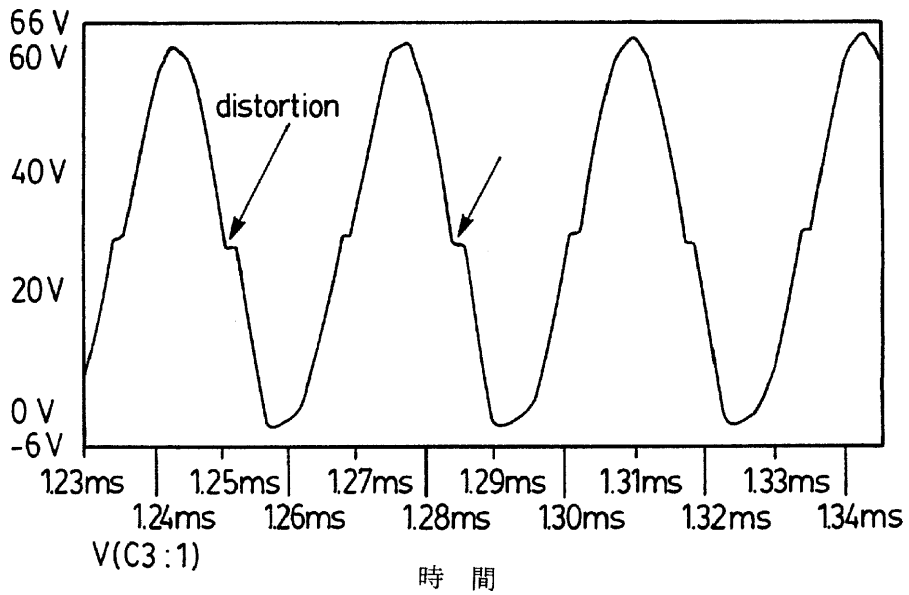


【図4】



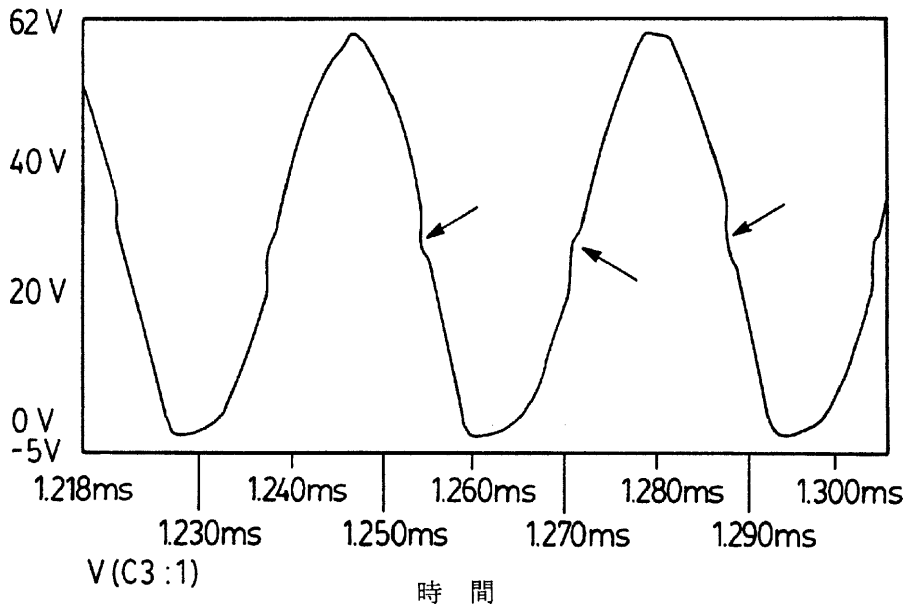
【図5 A】

共振周波数が高すぎることによる波形歪み



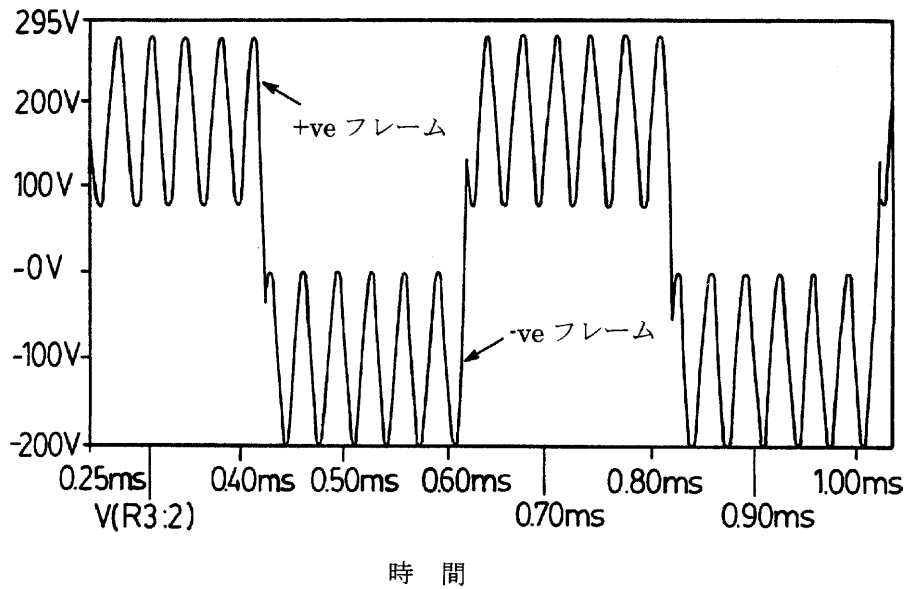
【図5B】

共振周波数が低すぎることによる波形歪み

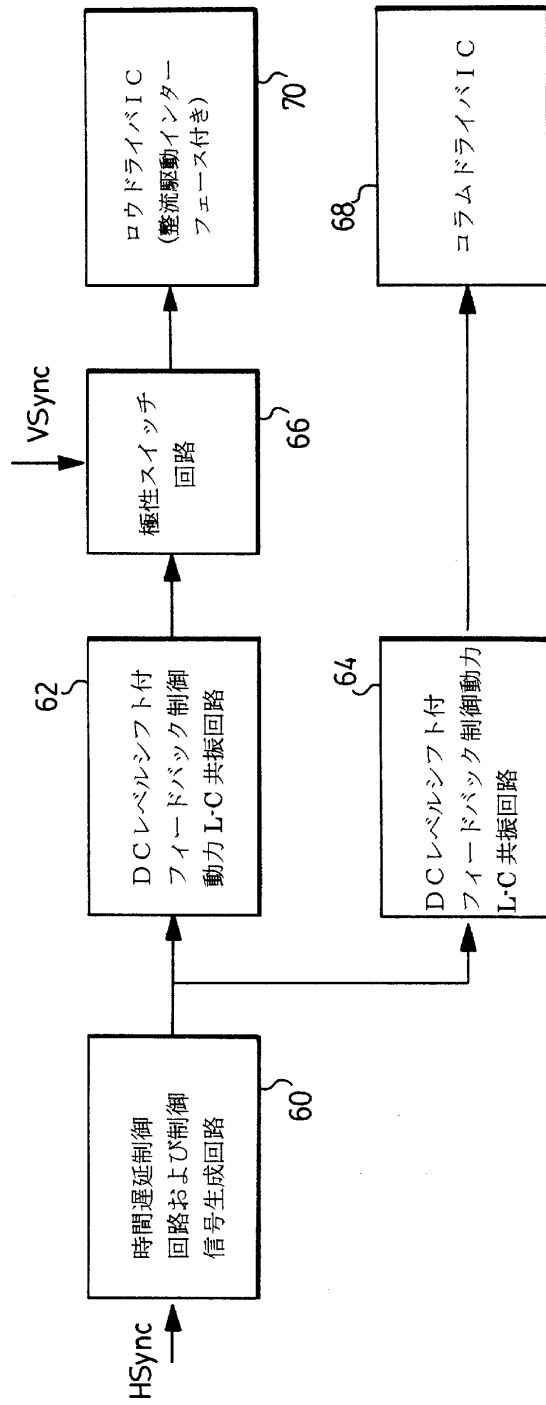


【図5C】

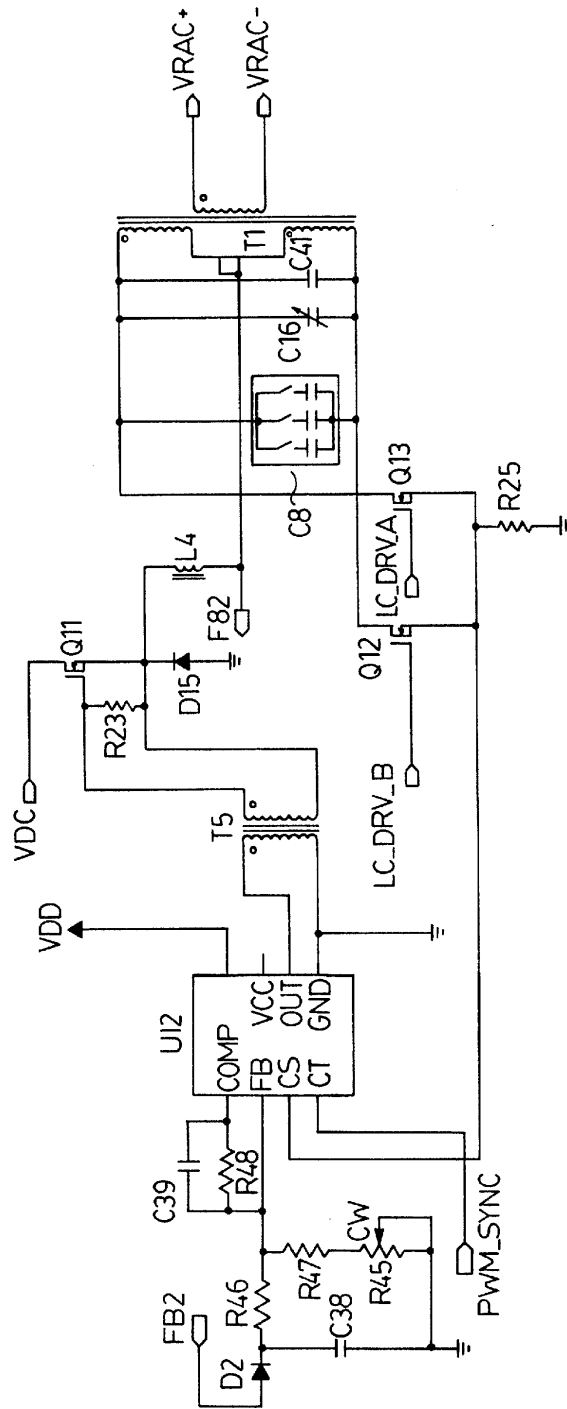
+ve および -ve 表示サイクルを示すロウ駆動極性スイッチ出力
(示された1フレームあたり6ライン)



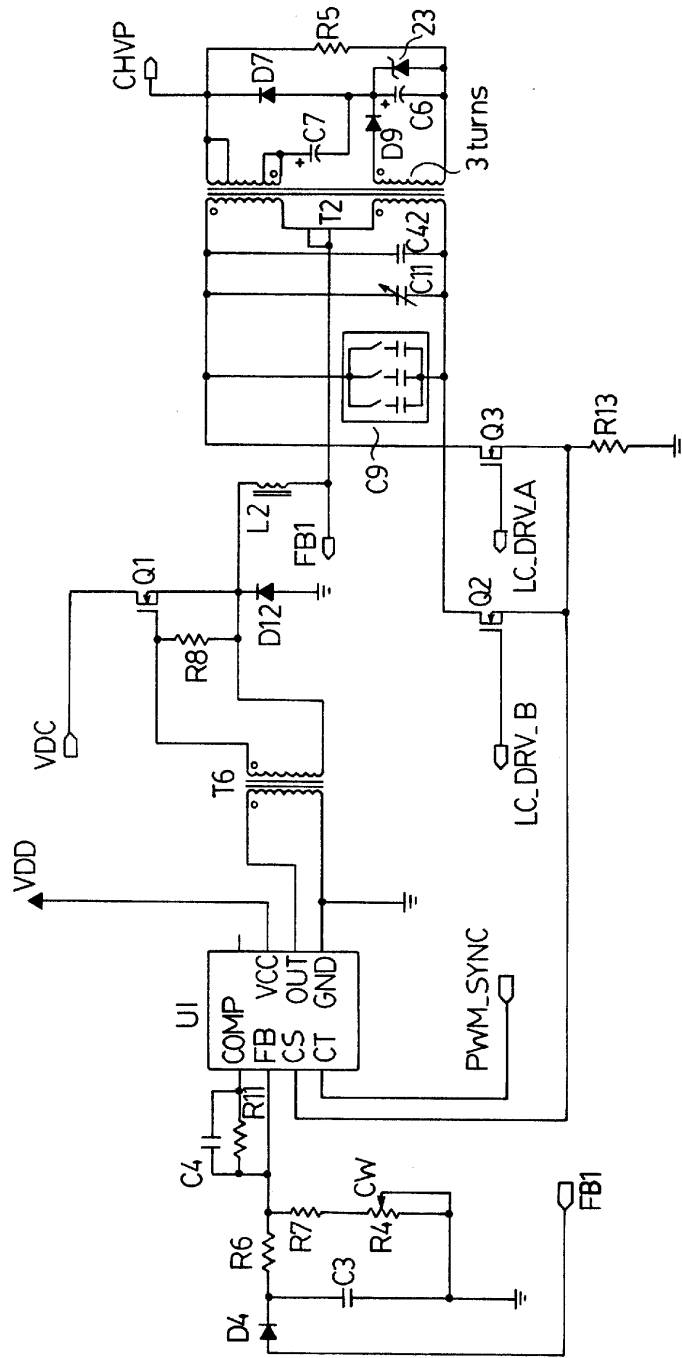
【図6】



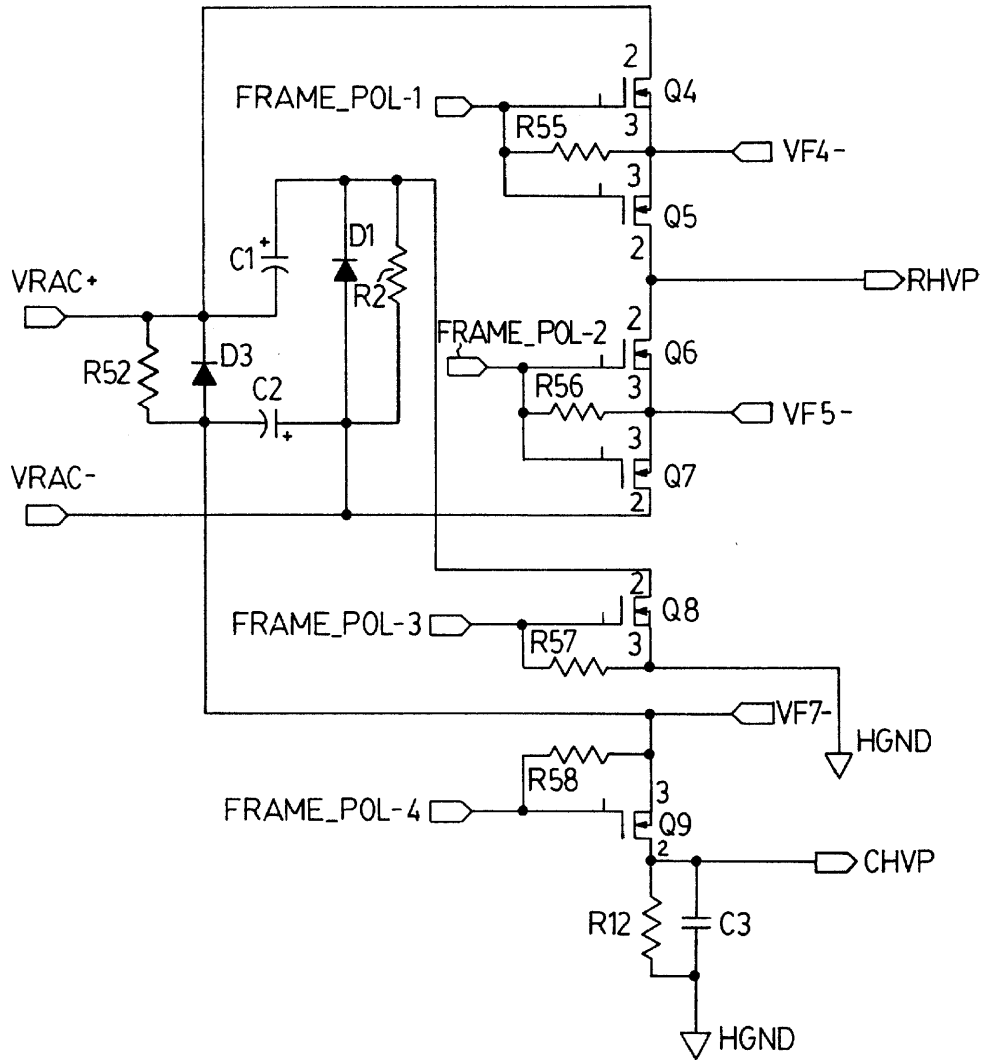
【图7】



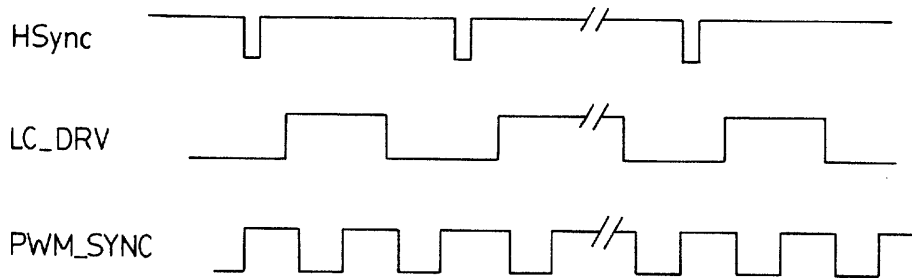
【图8】



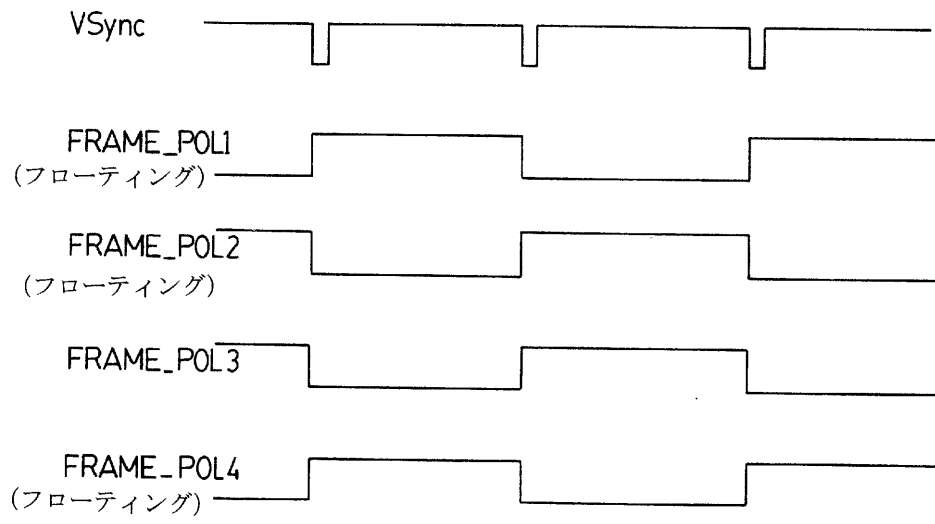
【图9】



【图10】



【図11】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PLI/CA 01/00165
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/30		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 733 228 A (FLEGAL ROBERT T) 22 March 1988 (1988-03-22) column 2, line 50 -column 3, line 14 column 5, line 41 -column 6, line 12 figure 2 ---	1, 10, 19
A	US 5 793 342 A (RHOADS MONTE) 11 August 1998 (1998-08-11) column 4, line 61 -column 5, line 16 figure 2 ---	1, 10, 19
A	US 4 707 692 A (HIGGINS ET AL) 17 November 1987 (1987-11-17) cited in the application column 1, line 42 -column 2, line 27 --- -/--	1, 10, 19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search 13 July 2001		Date of mailing of the international search report 20/07/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nt, Fax: (+31-70) 340-3016		Authorized officer Farricella, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/CA 01/00165

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 41 17 563 A (PLANAR INT OY) 5 December 1991 (1991-12-05) column 7, line 24 - line 51 ---	1, 10, 19
A	US 5 805 124 A (REBESCHI THOMAS J ET AL) 8 September 1998 (1998-09-08) ---	
A	US 4 070 663 A (INAZAKI KENZOH ET AL) 24 January 1978 (1978-01-24) ---	
A	US 3 708 717 A (FLEMING G) 2 January 1973 (1973-01-02) ---	
A	EP 0 548 051 A (UNIV ILLINOIS) 23 June 1993 (1993-06-23) -----	

INTERNATIONAL SEARCH REPORT		International Application No	
Information on patent family members		PCT/CA 01/00165	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4733228 A	22-03-1988	JP 62032495 A	12-02-1987
US 5793342 A	11-08-1998	NONE	
US 4707692 A	17-11-1987	JP 2033215 C	19-03-1996
		JP 5081912 B	16-11-1993
		JP 61132997 A	20-06-1986
DE 4117563 A	05-12-1991	FI 902755 A	05-12-1991
		JP 3042727 B	22-05-2000
		JP 7049665 A	21-02-1995
		US 5294919 A	15-03-1994
US 5805124 A	08-09-1998	NONE	
US 4070663 A	24-01-1978	JP 1220030 C	26-07-1984
		JP 52006412 A	18-01-1977
		JP 58053344 B	29-11-1983
		JP 1108309 C	13-08-1982
		JP 52011888 A	29-01-1977
		JP 56051616 B	07-12-1981
		JP 1209175 C	29-05-1984
		JP 52020785 A	16-02-1977
		JP 58042472 B	20-09-1983
		JP 1108311 C	13-08-1982
		JP 52020786 A	16-02-1977
		JP 56051618 B	07-12-1981
		JP 1108312 C	13-08-1982
		JP 52020722 A	16-02-1977
		JP 56051619 B	07-12-1981
		JP 52021787 A	18-02-1977
		DE 2630622 A	20-01-1977
		FR 2317722 A	04-02-1977
		GB 1556450 A	21-11-1979
US 3708717 A	02-01-1973	CA 943214 A	05-03-1974
		DE 2023448 A	19-11-1970
		FR 2042697 A	12-02-1971
		GB 1315381 A	02-05-1973
		NL 7007092 A	18-11-1970
		US 3715607 A	06-02-1973
		US 3774196 A	20-11-1973
		JP 51049198 B	24-12-1976
		SE 360941 B	08-10-1973
EP 0548051 A	23-06-1993	US 4866349 A	12-09-1989
		CA 1306815 A	25-08-1992
		DE 3752035 D	24-04-1997
		DE 3752035 T	16-10-1997
		DE 3788766 D	24-02-1994
		DE 3788766 T	19-05-1994
		EP 0261584 A	30-03-1988
		JP 2801907 B	21-09-1998
		JP 9325732 A	16-12-1997
		JP 2866073 B	08-03-1999
		JP 9325733 A	16-12-1997
		JP 2866074 B	08-03-1999
		JP 9325734 A	16-12-1997

INTERNATIONAL SEARCH REPORT
Information on patent family members

International Application No.
PCT/CA 01/00165

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0548051 A		JP 2801908 B	21-09-1998
		JP 10011019 A	16-01-1998
		JP 7109542 B	22-11-1995
		JP 63101897 A	06-05-1988
		JP 3117680 B	18-12-2000
		JP 11242458 A	07-09-1999
		US 5081400 A	14-01-1992

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト' (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 C
	6 4 1		6 2 3 R
(81)指定国	E P (A T , B E , C H , C Y , D E , D K , E S , F I , F R , G B , G R , I E , I T , L U , M C , N L , P T , S E , T R) , O A (B F , B J , C F , C G , C I , C M , G A , G N , G W , M L , M R , N E , S N , T D , T G) , A P (G H , G M , K E , L S , M W , M Z , S D , S L , S Z , T Z , U G , Z W) , E A (A M , A Z , B Y , K G , K Z , M D , R U , T J , T M) , A E , A G , A L , A M , A T , A U , A Z , B A , B B , B G , B R , B Y , B Z , C A , C H , C N , C R , C U , C Z , D E , D K , D M , D Z , E E , E S , F I , G B , G D , G E , G H , G M , H R , H U , I D , I L , I N , I S , J P , K E , K G , K P , K R , K Z , L C , L K , L R , L S , L T , L U , L V , M A , M D , M G , M K , M N , M W , M X , M Z , N O , N Z , P L , P T , R O , R U , S D , S E , S G , S I , S K , S L , T J , T M , T R , T T , T Z , U A , U G , U Z , V N , Y U , Z A , Z W		6 4 1 A

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2003523533A5	公开(公告)日	2008-04-10
申请号	JP2001560383	申请日	2001-02-13
[标]申请(专利权)人(译)	眼消防科技股份有限公司Retiddo		
申请(专利权)人(译)	眼消防科技股份有限公司Retiddo		
当前申请(专利权)人(译)	眼消防科技股份有限公司Retiddo		
[标]发明人	チェンチュンファイ		
发明人	チェン,チュン-ファイ		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2330/023 G09G3/30		
FI分类号	G09G3/30.J G09G3/20.621.B G09G3/20.621.G G09G3/20.622.C G09G3/20.622.G G09G3/20.623.C G09G3/20.623.R G09G3/20.641.A		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD22 5C080/DD26 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
优先权	09/504472 2000-02-16 US		
其他公开文献	JP2003523533A		

摘要(译)

一种驱动电路，利用从显示器的面板电容变化产生的能量为电致发光显示器供电。驱动电路是谐振电路，其使用面板电容来产生电能和正弦电压，该正弦电压接收电能并且因此与显示器的扫描频率基本同步的谐振频率为显示器供电。和电路。谐振电路还包括一个降压变压器，可降低显示器的有效面板电容。