

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A ) (11)特許出願公開番号

特開2003 - 255899

(P2003 - 255899A)

(43)公開日 平成15年9月10日(2003.9.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード* ( 参考 )
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	621	3/20	A 5 C 0 8 0
	624		624 B
	641		641 R
H 0 5 B 33/14		H 0 5 B 33/14	A
審査請求 有 請求項の数 5 O L ( 全 16数 )			

(21)出願番号 特願2002 - 345019(P2002 - 345019)

(22)出願日 平成14年11月28日(2002.11.28)

(31)優先権主張番号 特願2001 - 401620(P2001 - 401620)

(32)優先日 平成13年12月28日(2001.12.28)

(33)優先権主張国 日本(JP)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 土屋 博

大阪府守口市京阪本通2丁目5番5号 三洋電  
機株式会社内

(72)発明者 野口 幸宏

大阪府守口市京阪本通2丁目5番5号 三洋電  
機株式会社内

(74)代理人 100105924

弁理士 森下 賢樹

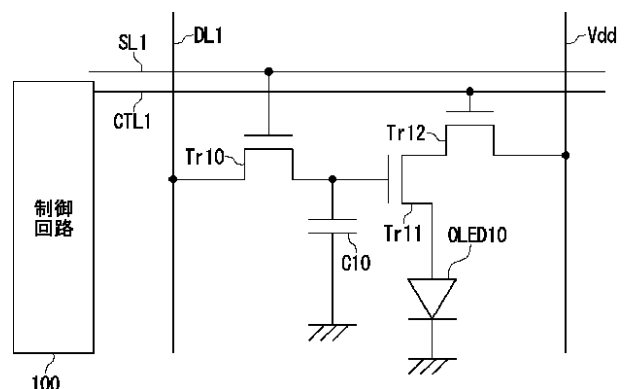
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 アクティブマトリックス型ディスプレイにおいては、動きの速い動画を表示する際に映像物の一部が尾を引くように映ったり、にじみが生じてしまうこともあった。

【解決手段】 走査線 S L 1 の信号がハイになるとトランジスタ T r 1 0 がオンされ、トランジスタ T r 1 1 のゲート電極に輝度データが設定され、O L E D 1 0 が発光する。制御信号線 C T L 1 の信号がハイになるとトランジスタ T r 1 2 がオフされて、O L E D 1 0 と電源供給線 V d d の間が遮断されて消灯する。制御回路 1 0 0 は、制御信号線 C T L 1 の信号を出力する。この信号に基づいて O L E D 1 0 のオンオフを制御することにより間欠的な発光が実現される。



## 【特許請求の範囲】

【請求項 1】 電流駆動型の光学素子と電源の間に遮断回路を設け、この遮断回路を前記光学素子に対する輝度データ設定タイミングとは別の独立したタイミングで制御することにより前記光学素子の間欠的な発光を実現することを特徴とする表示装置。

【請求項 2】 前記遮断回路を前記光学素子への輝度データ設定タイミングを制御する走査信号とは別の経路で与えられる制御信号によって制御することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 電流駆動型の光学素子と電源の間を遮断する遮断回路と、この遮断回路を制御する制御回路と、を含み、前記制御回路は、前記光学素子に対する輝度データ設定タイミングとは別の独立したタイミングで前記遮断回路を制御することにより前記光学素子の間欠的な発光を実現することを特徴とする表示装置。

【請求項 4】 一画素を構成する光学素子は、複数の色との対応で複数設けられ、前記制御回路は、前記複数の光学素子のそれぞれに対するオンとオフのデューティー比を個別に設定することを特徴とする請求項 3 に記載の表示装置。

【請求項 5】 前記遮断回路は、前記光学素子を駆動する駆動素子と、その駆動素子に設定される輝度データの保持状態を安定させる容量と、を含むとともに、前記容量を介して前記輝度データの状態を変動させることによって前記光学素子をオフ状態にすることを特徴とする請求項 1 から 4 のいずれかに記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、表示装置に関する。本発明は特に、アクティブマトリックス型表示装置の視認性を改善する技術に関する。

## 【0002】

【従来の技術】ノート型パーソナルコンピュータや携帯端末の普及が急激に進んでいる。現在、これらの表示装置に主に使用されているのが液晶ディスプレイであり、次世代平面表示パネルとして期待されているのが有機 EL (Electro Luminescence) ディスプレイである。これらディスプレイの表示方法として中心に位置するのがアクティブマトリックス駆動方式である。この方式を用いたディスプレイは、アクティブマトリックス型ディスプレイと呼ばれ、画素は縦横に多数配置されマトリックス形状を示し、各画素にはスイッチ素子が配置される。映像データはスイッチ素子によって走査ラインごとに順次書き込まれる。

【0003】有機 EL ディスプレイの実用化設計は草創期にあり、様々な画素回路が提案されている。そのような回路の一例として、特開平 11 - 219146 号公報に開示されている画素回路について図 17 をもとに簡単

に説明する。

【0004】この回路は、2 個の n チャネルトランジスタである第 1、2 のトランジスタ Tr50、Tr51 と、光学素子である OLED50 と、保持容量 C50 と、走査信号を送る走査線 SL50 と、電源供給線 Vd50 と、輝度データを送るデータ線 DL50 を備える。

【0005】この回路の動作は、OLED50 の輝度データの書込のために、走査線 SL50 の走査信号がハイになり、第 1 のトランジスタ Tr50 がオンとなり、データ線 DL50 に流された輝度データが第 2 のトランジスタ Tr51 および保持容量 C50 に設定され、その輝度データに応じた電流が流れて OLED50 が発光する。走査線 SL50 の走査信号がローになると第 1 のトランジスタ Tr50 がオフとなるが、第 2 のトランジスタ Tr51 のゲート電圧が維持され、設定された輝度データに応じて発光を継続する。

## 【0006】

【発明が解決しようとする課題】ここで、アクティブマトリックス型ディスプレイにおいては、駆動素子に書き込まれる輝度データが 1 フレーム分走査する間ずっと保持されて光学素子の発光が持続するため、CRT (Cathode Ray Tube) ディスプレイに見られるような光強度の減衰が少ない分、動きの速い動画を表示する際に映像物の一部が尾を引くように映ったり、にじみが生じてしまうこともあった。

【0007】本発明はこうした状況に鑑みなされたものであり、その目的は視認性が改善された新たな回路を提案することにある。本発明の別の目的は、残像現象を低減させる新たな回路を提案することにある。本発明のさらに別の目的は、光学素子ごとの特性の違いに応じて制御される新たな回路を提案することにある。

## 【0008】

【課題を解決するための手段】本発明のある実施の形態は表示装置である。この装置は、電流駆動型の光学素子と電源の間に遮断回路を設け、この遮断回路をその光学素子に対する輝度データ設定タイミングとは別の独立したタイミングで制御することにより前記光学素子の間欠的な発光を実現する。その遮断回路を光学素子への輝度データ設定タイミングを制御する走査信号とは別の経路で与えられる制御信号によって制御してもよい。

【0009】「光学素子」として、有機発光ダイオード (Organic Light Emitting Diode。以下、単に「OLED」と表記する。) が想定できるがこれに限る趣旨ではない。「輝度データ」は光学素子を駆動する駆動素子に設定される輝度情報に関するデータであって、光学素子が放つ光強度とは区別する。「光学素子に対する輝度データ設定タイミング」は、例えば走査信号によって動作するスイッチ素子のオンオフで制御される。なお、「駆動素子」や「スイッチ素子」として、金属酸化膜 (MO

S : Metal Oxide Semiconductor ) トランジスタや薄膜トランジスタ ( TFT : Thin Film Transistor ) が想定できるが、これに限る趣旨ではない。ここでいう「走査信号」は、輝度データ設定タイミングを制御する信号を想定するがこれに限る趣旨ではなく、例えばその信号線から分岐する形で得られる信号であってもよい。走査信号の信号線は画素ラインごとに個別に設けられる。

【0010】本発明の別の実施の形態もまた表示装置である。この装置は、電流駆動型の光学素子と電源の間を遮断する遮断回路と、この遮断回路を制御する制御回路と、を含み、その制御回路は、光学素子に対する輝度データ設定タイミングとは別の独立したタイミングで遮断回路を制御することにより前記光学素子の間欠的な発光を実現する。一画素を構成する光学素子は、複数の色との対応で複数設けられてもよい。「複数の色」は、例えばRGBの3色であり、それぞれの発色を実現するために光学素子として異なる材料が用いられる。制御回路は、複数の光学素子のそれぞれに対するオンとオフのデューティ比を個別に設定してもよい。遮断回路は、駆動素子と、その駆動素子に設定される輝度データの保持状態を安定させる容量と、を含んでもよく、その容量を介して輝度データの状態を変動させることによって光学素子をオフ状態にしてもよい。

【0011】なお、以上の構成要素の任意の組合せや組み合わせもまた、本発明の態様として有効である。

【0012】

【発明の実施の形態】実施の形態においては、表示装置としてアクティブマトリクス型有機ELディスプレイを想定する。以下、視認性を改善させた新しい回路を提案する。

【0013】(第1実施形態) 本実施形態においては、光学素子と電源との間を遮断回路によって切り離して光学素子を一時的に消灯することにより間欠的な発光を実現する。アクティブマトリクス型表示装置において動きの速い動画を表示させたときに映像が尾を引いたり、にじみが生じたりする現象を改善するために、光学素子の間欠的な発光が有効であることが「Requirements for LCD to Gain High Moving Image Quality ~ Improvement of Quality Degraded by Hold-Type Display ~」(Taichiro Kurita, AM-LCD2000) において紹介されている。本実施形態の表示装置は間欠表示によって視認性を改善する。

【0014】図1は、本実施形態における表示装置の1画素分の回路構成を示す。この画素は、スイッチ素子としての第1のトランジスタTr10、駆動素子としての第2のトランジスタTr11、遮断回路としての第3のトランジスタTr12、保持容量としてのコンデンサC10、および光学素子としてのOLED10を含む。

【0015】第1のトランジスタTr10は、OLED10の輝度データ書込のタイミングを制御するスイッチ

として動作する。第2のトランジスタTr11は、OLED10を駆動する素子として動作する。第3のトランジスタTr12は、OLED10と電源供給線Vddの間を遮断するスイッチとして動作する。

【0016】電源供給線Vddは、OLED10を発光させるための電圧を供給する。データ線DL1は、第2のトランジスタTr11に設定すべき輝度データの信号を流す。走査線SL1は、OLED10の輝度データ書込のタイミングで第1のトランジスタTr10を活性化させる走査信号を流す。制御信号線CTL1は、OLED10を電源供給線Vddから遮断するタイミングで第3のトランジスタTr12を活性化させる制御信号を流す。制御回路100は、走査線SL1とは別の経路である制御信号線CTL1に制御信号を出力する。制御回路100の詳細な構成は後述する。

【0017】第1~3のトランジスタTr10、Tr11、Tr12は、それぞれnチャネルトランジスタである。第1のトランジスタTr10は、ゲート電極が走査線SL1に接続され、ドレイン電極(またはソース電極)がデータ線DL1に接続され、ソース電極(またはドレイン電極)が第2のトランジスタTr11のゲート電極に接続される。コンデンサC10は、一端が第1のトランジスタTr10のソース電極(またはドレイン電極)と第2のトランジスタTr11のゲート電極の間の経路に接続され、他端が接地電位と同電位にされる。

【0018】第2のトランジスタTr11のドレイン電極は第3のトランジスタTr12のソース電極に接続され、第2のトランジスタTr11のソース電極はOLED10のアノード電極に接続される。第3のトランジスタTr12は、ゲート電極が制御信号線CTL1に接続され、ドレイン電極が電源供給線Vddに接続される。OLED10のカソード電極は接地電位と同電位にされる。

【0019】以上の構成によってなされる動作手順を以下説明する。まず、走査線SL1の走査信号がハイになると第1のトランジスタTr10がオンになり、制御信号線CTL1の制御信号がハイにされて第3のトランジスタTr12がオンになると、第2のトランジスタTr11のソース電極が電源供給線Vddに導通する。データ線DL1の電位と第2のトランジスタTr11のゲート電位が同電位になり、データ線DL1に流れる輝度データが第2のトランジスタTr11のゲート電極に設定される。これにより、第2のトランジスタTr11のゲートソース電圧に応じた電流が電源供給線VddとOLED10のアノード電極の間に流れ、その電流量に応じた光強度でOLED10が発光する。

【0020】走査線SL1の走査信号がローの状態となって第1のトランジスタTr10がオフになっても、その輝度データが第1のトランジスタTr10のソース電極(またはドレイン電極)と第2のトランジスタTr11

1のゲート電極の間にフローティング状態で保持されるので、その輝度データに応じたO L E D 10の発光が維持される。なお、コンデンサC 10は輝度データの保持状態を安定させる。

【0021】制御信号線C T L 1の制御信号がローになると、第3のトランジスタT r 1 2がオフになり、O L E D 10と電源供給線V d dの間が遮断される。したがって、第2のトランジスタT r 1 1のゲート電極に設定された輝度データとは無関係に、O L E D 10は消灯する。次の走査タイミングにおいて走査線S L 1の走査信号および制御信号線C T L 1の制御信号がハイになるまでO L E D 10の消灯は持続する。

【0022】図2は、制御回路の詳細な回路構成を示す。制御回路100は、制御信号をローからハイに切り替えるタイミングを決定づけるためのスタート用否定論理積回路およびスタート用シフトレジスタのセットと、制御信号をハイからローに切り替えるタイミングを決定づけるためのストップ用否定論理積回路およびストップ用シフトレジスタのセットを、画素領域200に含まれる画素のライン数に対応する数だけ有する。本実施形態における画素ライン数は240であり、第1~240のスタート用否定論理積回路S T R N A N D 1~S T R N A N D 240と、第0~240のスタート用シフトレジスタS T R S R 0~S T R S R 240と、第1~240のストップ用否定論理積回路S T P N A N D 1~S T P N A N D 240と、第0~240のストップ用シフトレジスタS T P S R 0~S T P S R 240が制御回路100に含まれる。

【0023】制御回路100は、スタート用否定論理積回路およびストップ用否定論理積回路からそれぞれ入力される信号を利用して制御信号を生成して出力する第1~240のトグル回路T 1~T 240をさらに含む。第1~240のトグル回路T 1~T 240は、それぞれ第1~240の制御信号線C T L 1~C T L 240に制御信号を出力する。第0のスタート用シフトレジスタS T R S R 0にはスタート信号V S T A R Tが入力され、第0のストップ用シフトレジスタにはストップ信号V S T O Pが入力される。各シフトレジスタには、クロック信号C Kが入力される。

【0024】以上の構成による制御回路100の動作を以下説明する。まず、スタート信号V S T A R Tおよびストップ信号V S T O Pは、240クロックに1回の割合でクロック2周期にわたってハイにされるものとする。スタート信号V S T A R Tがハイになった後、第0のスタート用シフトレジスタS T R S R 0から出力される信号はクロックのタイミングでハイになる。この信号は第1のスタート用シフトレジスタS T R S R 1および第1のスタート用否定論理積回路S T R N A N D 1に入力される。ハイの信号が入力された第1のスタート用シフトレジスタS T R S R 1から出力される信号はクロック

クのタイミングでハイになる。この信号は、第1、第2のスタート用否定論理積回路S T R N A N D 1、2と、第2のスタート用シフトレジスタS T R S R 2に入力される。

【0025】ここで、各シフトレジスタからの出力パルスは2クロック分の周期を有するため、第1のスタート用否定論理積回路S T R N A N D 1は、第1、第2のスタート用シフトレジスタS T R S R 1、2からの出力の双方ともがハイになったときにローとなるようなパルスを出力する。なお、他の形態として、スタート用否定論理積回路の代わりに論理積回路を用いる構成としてもよい。さらに他の形態として、スタート用シフトレジスタからの出力パルスの周期が短ければ否定論理積回路および論理積回路のいずれも用いずにスタート用シフトレジスタからの出力信号をそのままトグル回路に入力する構成としてもよい。

【0026】ストップ信号V S T O Pがハイになった後、第0のストップ用シフトレジスタS T P S R 0から出力される信号はクロックのタイミングでハイになる。この信号は第1のストップ用シフトレジスタS T P S R 1および第1のストップ用否定論理積回路S T P N A N D 1に入力される。ハイの信号が入力された第1のストップ用シフトレジスタS T P S R 1から出力される信号は次のクロックのタイミングでハイになる。この信号は、第1、第2のストップ用否定論理積回路S T P N A N D 1、2と、第2のストップ用シフトレジスタS T P S R 2に入力される。第1のストップ用否定論理積回路S T P N A N D 1は、第1、第2のストップ用シフトレジスタS T P S R 1、2からの出力の双方ともがハイになったときにローとなるようなパルスを出力する。他の形態においては、ストップ用否定論理積回路S T P N A N Dの代わりに論理積回路を用いる構成としてもよい。さらに他の形態においては、ストップ用シフトレジスタからの出力パルスの周期が短ければ否定論理積回路および論理積回路のいずれも用いずにストップ用シフトレジスタからの出力信号をそのままトグル回路に入力する構成としてもよい。

【0027】第1のトグル回路T 1が出力する制御信号は、第1のスタート用否定論理積回路S T R N A N D 1から入力される信号がローになったときにハイに切り替わり、その後、第1のストップ用否定論理積回路S T P N A N D 1から入力される信号がローになったときにローに切り替わる。

【0028】第2~240のスタート用シフトレジスタS T R S R 2~S T R S R 240は第1のシフトレジスタと同様に動作する。第2~240のスタート用否定論理積回路S T R N A N D 2~S T R N A N D 240は、第1のスタート用否定論理積回路S T R N A N D 1と同様に動作する。第2~240のストップ用シフトレジスタS T P S R 2~S T P S R 240は第1のストップ用

シフトレジスタ STPSR1 と同様に動作する。第 2 ~ 240 のストップ用否定論理積回路 STPNAND2 ~ STPNAND240 は、第 1 のストップ用否定論理積回路 STRNAND1 と同様に動作する。第 2 ~ 240 のトグル回路 T2 ~ T240 は、第 1 のトグル回路 T1 と同様に動作する。以上の動作により、各画素ラインごとに異なるタイミングでハイになる制御信号が第 1 ~ 240 の制御信号線 CTL1 ~ CTL240 に出力される。

【0029】図 3 は、制御回路の動作を示すタイミングチャートである。本図においては、スタート信号 VSTART、ストップ信号 VSTOP、制御信号線 CTL1 の制御信号、走査信号線 SL1 の走査信号の各状態と、OLED10 の発光状態を時間を横軸にしてハイとローで示す。なお、OLED10 は輝度データに応じた度合いで発光するが、図においてはその発光と消灯を単純にハイとローで示す。走査信号線 SL1 の走査信号の立ち上がり間隔が 1 フレーム分の走査時間である。

【0030】走査信号線 SL1 の走査信号がハイになると、第 1 のトランジスタ Tr10 がオンになり、輝度データが第 2 のトランジスタ Tr11 に設定される。スタート信号 VSTART がハイになると、制御信号線 CTL1 の制御信号もハイになり、第 3 のトランジスタ Tr12 がオンになる。OLED10 は、電源供給線 Vdd と導通して輝度データに応じた光強度で発光する。ストップ信号 VSTOP がハイになると、制御信号線 CTL1 の制御信号はローになり、OLED10 が消灯する。走査信号線 SL1 の走査信号が次にハイになった後で、さらにスタート信号 VSTART もまたハイになるまで OLED10 の消灯が維持される。

【0031】本図に示される通り、スタート信号 VSTART が立ち上がってからストップ信号 VSTOP が立ち上がるまでの期間、すなわち制御信号線 CTL1 の制御信号がハイになっている期間が OLED10 の発光期間であり、ストップ信号 VSTOP が立ち上がってからスタート信号 VSTART が立ち上がるまでの期間、すなわち制御信号線 CTL1 の制御信号がローになっている期間が OLED10 の消灯期間となる。制御信号線 CTL1 の制御信号は、輝度データ設定タイミングとは別の独立したタイミングで制御され、OLED10 の間欠的な発光が実現される。

【0032】以上の構成により、電流駆動型の光学素子を用いたアクティブマトリックス表示装置で動画を表示する際の映像が尾を引く現象やにじみが低減され、視認性が改善される。また、光学素子への電荷残りが解消され、残像現象が低減される。

【0033】(第 2 実施形態) 本実施形態は、制御回路 100 が走査信号をさらに出力する点で第 1 実施形態と異なる。以下、制御回路 100 における第 1 実施形態との相違点を中心に説明する。

【0034】図 4 は、本実施形態における制御回路の詳細な構成を示す。第 1 ~ 240 のスタート用否定論理積回路 STRNAND1 ~ STRNAND240 は、第 1 ~ 240 のトグル回路 T1 ~ T240 へ出力する信号と同じ信号を第 1 ~ 240 の走査信号として第 1 ~ 240 の走査信号線 SL1 ~ SL240 へ出力する。この走査信号は、第 1 の走査線 SL1 の走査信号は図示しない第 1 のトランジスタ Tr10 のゲート電極へ入力されて輝度データ設定のためのオンオフ制御に利用される。同様に、第 2 ~ 240 の走査線 SL2 ~ SL240 の走査信号は、それぞれ対応する他の画素ラインにおいて輝度データ設定のオンオフ制御に利用される。

【0035】図 5 は、本実施形態における制御回路の動作を示すタイミングチャートである。スタート信号 VSTART がハイになるときに、第 1 の走査信号線 SL1 の走査信号もハイになるとともに、第 1 の制御信号線 CTL1 の制御信号もハイになる。これにより、第 1 のトランジスタ Tr10 がオンになって第 2 のトランジスタ Tr11 に輝度データが設定され、さらに第 3 のトランジスタ Tr12 がオンになり、OLED10 が電源供給線 Vdd と導通し、輝度データに応じた光強度で発光する。

【0036】ストップ信号 VSTOP がオンになって第 1 の制御信号線 CTL1 の制御信号がローになると、第 3 のトランジスタ Tr12 がオフになり、OLED10 が消灯する。第 1 の走査信号線 SL1 の走査信号とスタート信号 VSTART がハイになるまで OLED10 の消灯が維持される。

【0037】(第 3 実施形態) 図 6 は、本実施形態における表示装置の 1 画素分の回路構成を示す。本実施形態は、第 3 のトランジスタ Tr12 が第 2 のトランジスタ Tr11 と OLED10 の間に位置する点で第 1 実施形態と異なる。すなわち、第 3 のトランジスタ Tr12 は、ソース電極が OLED のアノード電極に接続され、ドレイン電極が第 2 のトランジスタ Tr11 のソース電極に接続される。第 3 のトランジスタ Tr12 は、第 1 実施形態と同様に、制御信号線 CTL1 の制御信号がハイになったときにオンとなり、制御信号線 CTL1 の制御信号がローとなったときにオフになる。これらの動作およびそのタイミングは第 1 実施形態と同様である。

【0038】(第 4 実施形態) 本実施形態は、ひとつの画素ラインにつき 3 本の制御信号線を設けてそれぞれを RGB (赤、緑、青) の各画素に対応させた点で第 1 実施形態と異なる。この構成によれば、R、G、B でそれぞれ個別のタイミングで OLED と電源供給線を遮断できるので、OLED のオンとオフに関して個別のデューティ比を設定できる。これにより、RGB の色バランスを調整できる。また、RGB のそれぞれに利用される OLED の材料の相違に起因する劣化速度の相違にも対応できる。

【0039】図7は、本実施形態における表示装置の4画素分の回路構成を示す。本図には、画素 $P_{i \times 1} \sim P_{i \times 4}$ の4画素分の回路が示される。画素 $P_{i \times 1}$ 、 $P_{i \times 4}$ が赤色に発光させる画素であり、画素 $P_{i \times 2}$ が緑色に発光させる画素であり、画素 $P_{i \times 3}$ が青色に発光させる画素である。第1～4の電源供給線 $V_{dd1} \sim V_{dd4}$ は、それぞれ画素 $P_{i \times 1} \sim P_{i \times 4}$ に電圧を供給し、第1～4のデータ線 $D_{L1} \sim D_{L4}$ は、それぞれ画素 $P_{i \times 1} \sim P_{i \times 4}$ に輝度データを入力する。第1の走査線 $S_{L1}$ は、画素 $P_{i \times 1} \sim P_{i \times 4}$ に走査信号を入力する。

【0040】赤色制御信号線 $R_{CTL1}$ は、画素 $P_{i \times 1}$ 、 $P_{i \times 4}$ に赤色制御信号を入力し、緑色制御信号線 $G_{CTL1}$ は、画素 $P_{i \times 2}$ に緑色制御信号を入力し、青色制御信号線 $B_{CTL1}$ は、画素 $P_{i \times 3}$ に青色制御信号を入力する。画素 $P_{i \times 1}$ に含まれる第1～3のトランジスタ $Tr_{10}$ 、 $Tr_{11}$ 、 $Tr_{12}$ と、第1のコンデンサ $C_{10}$ と、第1のOLED10は、それぞれ第1実施形態における同じ符号が付された構成と同様に機能する。画素 $P_{i \times 2}$ に含まれる第4～6のトランジスタ $Tr_{13}$ 、 $Tr_{14}$ 、 $Tr_{15}$ と、第2のコンデンサ $C_{11}$ と、第2のOLED11は、それぞれ第1～3のトランジスタ $Tr_{10}$ 、 $Tr_{11}$ 、 $Tr_{12}$ 、第1のコンデンサ $C_{10}$ 、第1のOLED10に対応する同様の構成である。

【0041】画素 $P_{i \times 3}$ に含まれる第7～9のトランジスタ $Tr_{16}$ 、 $Tr_{17}$ 、 $Tr_{18}$ と、第3のコンデンサ $C_{12}$ と、第3のOLED12もまた、それぞれ第1～3のトランジスタ $Tr_{10}$ 、 $Tr_{11}$ 、 $Tr_{12}$ 、第1のコンデンサ $C_{10}$ 、第1のOLED10に対応する同様の構成である。画素 $P_{i \times 4}$ に含まれる第10～12のトランジスタ $Tr_{19}$ 、 $Tr_{20}$ 、 $Tr_{21}$ と、第4のコンデンサ $C_{12}$ と、第4のOLED13もまた、それぞれ第1～3のトランジスタ $Tr_{10}$ 、 $Tr_{11}$ 、 $Tr_{12}$ 、第1のコンデンサ $C_{10}$ 、第1のOLED10に対応する同様の構成である。

【0042】制御回路100は、赤色制御信号線 $R_{CTL1}$ 、緑色制御信号線 $G_{CTL1}$ 、青色制御信号線 $B_{CTL1}$ のそれぞれにおいて、赤色制御信号、緑色制御信号、青色制御信号のそれぞれを個別のタイミングでハイにすることにより、画素 $P_{i \times 1}$ と $P_{i \times 4}$ 、画素 $P_{i \times 2}$ 、画素 $P_{i \times 3}$ をそれぞれ個別のタイミングで消灯させる。

【0043】図8は、本実施形態における制御回路の詳細な構成を示す。本図の制御回路100は、1本のスタート信号と3本のストップ信号を利用してRGB別の制御信号を出力する点で第1実施形態と異なる。制御回路100は、第0～240のスタート用シフトレジスタ $STRSR0 \sim STRSR240$ と、第1～240のスタート用否定論理積回路 $STRNAND1 \sim STRNAND240$ と、第0～240の赤色ストップ用シフトレジスタ $STPRSR0 \sim STPRSR240$ と、第1～240の赤色ストップ用否定論理積回路 $STPRNAND1 \sim STPRNAND240$ と、第0～240の緑色ストップ用シフトレジスタ $STPGSR0 \sim STPGSR240$ と、第1～240の緑色ストップ用否定論理積回路 $STPGNAND1 \sim STPGNAND240$ と、第0～240の青色ストップ用シフトレジスタ $STPBSR0 \sim STPBSR240$ と、第1～240の青色ストップ用否定論理積回路 $STPBNAND1 \sim STPBNAND240$ と、第1～240の赤色用トグル回路 $RT1 \sim RT240$ と、緑色用トグル回路 $GT1 \sim GT240$ と、青色用トグル回路 $BT1 \sim BT240$ と、を含む。

【0044】第0のスタート用シフトレジスタ $STRSR0$ にはスタート信号 $V_{START}$ が入力され、第0の赤色ストップ用シフトレジスタ $STPRSR0$ には赤色ストップ信号 $V_{RSTOP}$ が入力され、第0の緑色ストップ用シフトレジスタ $STPGSR0$ には緑色ストップ信号 $V_{GSTOP}$ が入力され、第0の青色ストップ用シフトレジスタ $STPBSR0$ には青色ストップ信号 $V_{BSTOP}$ が入力される。各シフトレジスタには、クロック信号 $CK$ が入力される。スタート信号 $V_{START}$ 、赤色ストップ信号 $V_{RSTOP}$ 、緑色ストップ信号 $V_{GSTOP}$ 、および青色ストップ信号 $V_{BSTOP}$ は、それぞれ個別のタイミングで240クロックに1回ハイにされる。

【0045】以上の構成による制御回路100の動作を以下説明する。第0～240のスタート用シフトレジスタ $STRSR0 \sim STRSR240$ と、第1～240のスタート用否定論理積回路 $STRNAND1 \sim STRNAND240$ は、それぞれ第1実施形態において同じ符号が付された構成と同様に動作する。すなわち、スタート信号 $V_{START}$ がハイになると、クロックのタイミングで第1のスタート用否定論理積回路 $STRNAND1$ から出力される信号がローになり、次のクロックのタイミングで第2のスタート用否定論理積回路 $STRNAND2$ から出力される信号がローになり、これを第240のスタート用否定論理積回路 $STRNAND240$ まで順次続ける。

【0046】第1のスタート用否定論理積回路 $STRNAND1$ が出力する信号は、第1の赤色用トグル回路 $RT1$ 、第1の緑色用トグル回路 $GT1$ 、第1の青色用トグル回路 $BT1$ のそれぞれに入力される。同様に、第2～240のスタート用否定論理積回路 $STRNAND2 \sim STRNAND240$ が出力する信号は、対応する第2～240の赤色用トグル回路 $RT2 \sim RT240$ 、第2～240の緑色用トグル回路 $GT2 \sim GT240$ 、第2～240の青色用トグル回路 $BT2 \sim BT240$ にそれぞれ入力される。

【0047】第0～240の赤色ストップ用シフトレジスタSTPRSR0～STPRSR240と、第1～240の赤色ストップ用否定論理積回路STPRNAND1～STPRNAND240は、それぞれ第1実施形態における第0～240のストップ用シフトレジスタSTPSR0～STPSR240と、第1～240のストップ用否定論理積回路STPNAND1～STPNAND240と同様に動作する。すなわち、赤色ストップ信号VRSTOPがハイになると、クロックのタイミングで第1の赤色ストップ用否定論理積回路STPRNAND1から出力される信号がローになり、次のクロックのタイミングで第2の赤色ストップ用否定論理積回路STPRNAND2から出力される信号がローになり、これを第240の赤色ストップ用否定論理積回路STPRNAND240まで順次続ける。

【0048】第1～240の赤色ストップ用否定論理積回路STPRNAND1～STPRNAND240が出力する信号は、それぞれ第1～240の赤色用トグル回路RT1～RT240に入力される。第1の赤色用トグル回路RT1が出力する赤色制御信号は、第1のスタート用否定論理積回路STRNAND1から入力される信号がローになったときにハイに切り替わり、その後、第1の赤色ストップ用否定論理積回路STPRNAND1から入力される信号がローになったときにローに切り替わる。すなわち、スタート信号VSTARTがハイになったときに赤色制御信号もハイになり、その後、赤色ストップ信号VRSTOPがハイになったときに赤色制御信号はローになる。順次、第2～240の赤色制御信号もオンとオフが切り替えられる。第1～240の赤色制御信号は、それぞれ第1～240の赤色制御信号線RCTL1～RCTL240に出力される。

【0049】第0～240の緑色ストップ用シフトレジスタSTPGSR0～STPGSR240、第0～240の青色ストップ用シフトレジスタSTPBSR0～STPBSR240は、それぞれ個別のタイミングにおいて第0～240の赤色ストップ用シフトレジスタSTPRSR0～STPRSR240と同様に動作する。第1～240の緑色ストップ用否定論理積回路STPGNAND1～STPGNAND240、第1～240の青色ストップ用否定論理積回路STPBNAND1～STPBNAND240は、それぞれ個別のタイミングにおいて第1～240の赤色ストップ用否定論理積回路STPRNAND1～STPRNAND240と同様に動作する。第1～240の緑色用トグル回路GT1～GT240、第1～240の青色用トグル回路BT1～BT240は、それぞれ個別のタイミングにおいて第1～240の赤色用トグル回路RT1～RT240と同様に動作する。

【0050】第1～240の緑色用トグル回路GT1～GT240は、第1～240の緑色制御信号線GCTL

1～GCTL240にそれぞれ緑色制御信号を出力する。第1～240の青色用トグル回路BT1～BT240は、第1～240の青色制御信号線BCTL1～BCTL240にそれぞれ青色制御信号を出力する。

【0051】第1の赤色制御信号、第1の緑色制御信号、第1の青色制御信号は、それぞれスタート信号VSTARTがハイになったときに同じタイミングでハイになるとともに、それぞれ赤色ストップ信号VRSTOP、緑色ストップ信号VGSTOP、青色ストップ信号VGSTOPが個別のタイミングでハイになったときにローになる。第2～240の赤色制御信号、第2～240の緑色制御信号、第2～240の青色制御信号もまた同じタイミングでハイになり、個別のタイミングでローに切り替えられる。すなわち、RGB別のデューティ比に応じて制御信号のハイとローが切り替えられる。

【0052】図9は、本実施形態における制御回路の動作を示すタイムチャートである。ストップ信号がRGBごとに個別のタイミングでハイになり、制御信号がRGBごとに個別のタイミングでハイとローが切り替わり、有機発光ダイオードの発光期間と消灯期間がRGBごとに個別に設定される点で図3と異なる。

【0053】スタート信号VSTARTがハイになると、赤色制御信号線RCTL1、緑色制御信号線GCTL1、青色制御信号線BCTL1の各制御信号がほぼ同時にハイになり、赤色OLED10、緑色OLED11、青色OLED12がそれぞれ発光する。緑色ストップ信号VGSTOPと青色ストップ信号VBSTOPが同じタイミングでハイになると、緑色制御信号線GCTL1と青色制御信号線BCTL1の各制御信号がほぼ同時にローに切り替わり、緑色OLED11と青色OLED12が消灯する。赤色ストップ信号VRSTOPがハイになると、赤色制御信号線RCTL1の制御信号がローに切り替わり、赤色OLED10が消灯する。

【0054】(第5実施形態)本実施形態は、有機発光ダイオードと電源供給線の間の遮断回路を、トランジスタとコンデンサの組合せで構成する点で第1実施形態と異なる。

【0055】図10は、本実施形態における表示装置の1画素分の回路構成を示す。この画素には、スイッチ素子としての第1のトランジスタTr10と、駆動素子としての第2のトランジスタTr11と、保持容量としてのコンデンサC10と、光学素子としてのOLED10が含まれる。第1のトランジスタTr10はnチャネルトランジスタであり、第2のトランジスタTr11はpチャネルトランジスタである。

【0056】第1のトランジスタTr10は、ゲート電極が走査線SL1に接続され、ソース電極(またはドレイン電極)がデータ線DL1に接続され、ドレイン電極(またはソース電極)が第2のトランジスタTr11のゲート電極に接続される。第2のトランジスタTr11



は、ソース電極が電源供給線 V d d に接続され、ドレイン電極が O L E D 10 のアノード電極に接続される。O L E D 10 のカソード電極は接地電位と同電位にされる。コンデンサ C 10 は、一端が第 1 のトランジスタ T r 10 のドレイン電極（またはソース電極）と第 2 のトランジスタ T r 11 のゲート電極の間の経路に接続され、他端が制御信号線 C T L 1 に接続される。

【0057】走査線 S L 1 の走査信号がハイになると第 1 のトランジスタ T r 10 がオンになり、データ線 D L 1 の電位と第 2 のトランジスタ T r 11 のゲート電位が同電位となり、データ線 D L 1 に流れる輝度データが第 2 のトランジスタ T r 11 のゲート電極に設定される。第 2 のトランジスタ T r 11 のゲートソース電圧に応じた電流が電源供給線 V d d から O L E D 10 へ流れることにより、輝度データに応じた光強度で O L E D 10 が発光する。

【0058】走査線 S L 1 の走査信号がローになって第 1 のトランジスタ T r 10 がオフになっても、輝度データが第 2 のトランジスタ T r 11 のゲート電極に保持されるので O L E D 10 の発光状態が維持される。ここで、制御信号線 C T L 1 の制御信号がハイになると、第 1 のトランジスタ T r 10 のドレイン電極（またはソース電極）と第 2 のトランジスタ T r 11 のゲート電極の間がフローティングしているので、第 2 のトランジスタ T r 11 のゲート電位がコンデンサ C 10 を介してたたき上げられる。その結果、第 2 のトランジスタ T r 11 のゲートソース電圧が小さくなることにより O L E D 10 と電源供給線 V d d の間の経路が遮断される。すなわち、コンデンサ C 10 と第 2 のトランジスタ T r 11 とが、遮断回路として機能して O L E D 10 を消灯させる。

【0059】走査線 S L 1 の走査信号と制御信号線 C T L 1 の制御信号を通じて O L E D の発光と消灯のタイミングを制御でき、第 1 実施形態と同様に O L E D 10 の間欠的な発光を実現できる。

【0060】以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0061】ゲート電極が走査線に接続されて輝度データ書込のスイッチ素子として利用されるトランジスタ T r 10、T r 13、T r 16、T r 19 は、それぞれを複数のトランジスタの組合せで構成してもよく、それらの能力に関して任意の組合せで構成してもよい。

【0062】各実施形態において、第 1 ~ 12 のトランジスタ T r 10、T r 11、T r 12、T r 13、T r 14、T r 15、T r 16、T r 17、T r 18、T r 19、T r 20、T r 21 は、それぞれ n チャネルトランジスタで構成していたが、これらのうち少なくとも一

つを p チャネルトランジスタで構成してもよい。

【0063】実施の形態では、O L E D に対して順バイアスの電圧を印加していた。変形例においては、以下の図 11 ~ 図 16 の通り、逆バイアスを印加する構成であってもよい。

【0064】図 11 は、図 1 に示した画素回路に対してバイパス回路を設けた構成を示す。第 13 のトランジスタ T r 30 のソース電極を O L E D 10 のカソード電極が接続される接地電位より低い負電位 V e e に接続する。同様に、図 12 は、図 6 に示した画素回路に対してバイパス回路を設けた構成を示す。第 13 のトランジスタ T r 30 のソース電極を O L E D 10 のカソード電極が接続される接地電位より低い負電位 V e e に接続する。これらの画素回路において、制御信号線 C T L 1 がローになると、第 3 のトランジスタ T r 12 はオフとなり、第 13 のトランジスタ T r 30 がオンとなる。このとき O L E D 10 のアノード電極の電位は、負電位 V e e と同電位になる。O L E D 10 のカソード電極は接地電位であり、アノード電極より高電位となっているため、O L E D 10 は逆バイアスが印加された状態となる。

【0065】このように O L E D 10 を逆バイアス印加状態とすることで、O L E D 10 のアノード電極に残留している電荷を引き抜き、残像現象を抑制できると同時に、O L E D 10 を構成する有機膜の特性回復を実施できる。一般的な課題として、O L E D は、液晶を利用した光学素子などと比較して長期使用による有機膜の劣化つまり輝度低下が顕著であるという課題がある。このように、O L E D をその輝度データの更新期間に逆バイアス印加状態とすることで表示品位の低下を防ぎつつ有機膜の劣化を回復できる。

【0066】ここでは、第 3、13 のトランジスタ T r 12、T r 30 を走査線 S L 1 とは別の制御信号線 C T L 1 によりオンオフ制御したがこれに限る趣旨ではなく、走査線 S L 1 によって第 3、13 のトランジスタ T r 12、T r 30 をオンオフ制御してもよい。

【0067】一般に O L E D の積層構造は、図 13 に示すようにガラス基板 300 などの絶縁基板上に、アノード層 310、正孔輸送層 320、有機 E L 層 330、カソード層 340 が順に積層されている。O L E D の積層構造は、図 13 に示した構造に限らず図 14 に示すように、ガラス基板 300 などの絶縁基板上に、カソード層 340、有機 E L 層 330、正孔輸送層 320、アノード層 310 が順に積層された構造であってもよい。O L E D の積層構造が図 13 に示した構造である場合、O L E D のカソード電極が固定電位である接地電位に接続されたが、図 14 に示す構造である場合、O L E D のアノード電極が固定電位に接続される。このような積層構造を有する O L E D に好適な画素回路を図 15 および 16 に例示する。



【0068】図15は、図11に示した画素回路に対して、OLED10のアノード電極とカソード電極を入れ替え、アノード電極を正電位かつ固定電位である電源電位Vffに接続した構成を示す。また第13のトランジスタTr30の負電位Veeに接続されていた電極は、電源電位Vffより高い電位である正電位Vggに接続される。電源供給線Vddに接続されていた第3のトランジスタTr12の電極は、接地電位となっている低電位線Vhhに接続される。

【0069】OLED10の発光期間には、電流は電源電位Vffから、OLED10、第2のトランジスタTr11、第3のトランジスタTr12を経て接地電位である低電位線Vhhに流れる。このとき、制御信号線CTL1をローとすることで、第3のトランジスタTr12をオン、第13のトランジスタTr30をオフとする。OLED10の輝度データの更新期間に制御信号線CTL1をローとすると、第3のトランジスタTr12はオフとなり、第13のトランジスタTr30がオンとなるので、OLED10のカソード電極の電位は、電源電位Vffより高電位である正電位Vggとなり、OLED10は逆バイアス印加状態となる。

【0070】図16は、図12に示した画素回路に対して、OLED10のアノード電極とカソード電極を入れ替え、アノード電極を固定電位である電源電位Vffに接続した構成を示す。図12で第2のトランジスタTr11が接続されていた正電位である電源供給線Vddを負電位である負電位線Viiとする。また、第13のトランジスタTr30の負電位Veeに接続されていた電極は、接地電位より高電位である正電位Vggに接続される。OLED10の輝度データの更新期間に、制御信号線CTL1をハイとすると、第13のトランジスタTr30がオンとなり第3のトランジスタTr12がオフとなる。このとき、OLED10のカソード電極の電位はアノード電極の電位である電源電位Vffより高い正電位VggとなるのでOLED10は逆バイアス印加状態となる。

【0071】図15、図16で示した画素回路では、第3、13のトランジスタTr12、Tr30を制御信号線CTL1によりオンオフ制御したがこれに限る趣旨ではなく、走査線SL1によりオンオフ制御する構成としてもよい。その場合、第2のトランジスタTr11に輝度データが設定されるときに、第3のトランジスタTr12がオフかつ第13のトランジスタTr30がオンとなる型のトランジスタとすればよい。

【0072】

【発明の効果】本発明によれば、電流駆動型の光学素子を用いたアクティブマトリックス表示装置の視認性を改

善することができる。

【図面の簡単な説明】

【図1】 第1実施形態における表示装置の1画素分の回路構成を示す図である。

【図2】 第1実施形態における制御回路の詳細な回路構成を示す図である。

【図3】 第1実施形態における制御回路の動作を示すタイミングチャートである。

【図4】 第2実施形態における制御回路の詳細な構成を示す図である。

【図5】 第2実施形態における制御回路の動作を示すタイミングチャートである。

【図6】 第3実施形態における表示装置の1画素分の回路構成を示す図である。

【図7】 第4実施形態における表示装置の4画素分の回路構成を示す図である。

【図8】 第4実施形態における制御回路の詳細な構成を示す図である。

【図9】 第4実施形態における制御回路の動作を示すタイムチャートである。

【図10】 第5実施形態における表示装置の1画素分の回路構成を示す図である。

【図11】 図1に示した画素回路に対してバイパス回路を設けた構成を示す図である。

【図12】 図6に示した画素回路に対してバイパス回路を設けた構成を示す図である。

【図13】 一般的な有機発光ダイオードの積層構造を示した図である。

【図14】 一般的な有機発光ダイオードの積層構造とは逆の積層構造を示した図である。

【図15】 図11に示した画素回路に対して、OLEDのアノード電極とカソード電極を入れ替え、アノード電極を正電位かつ固定電位である電源電位Vffに接続した構成を示す図である。

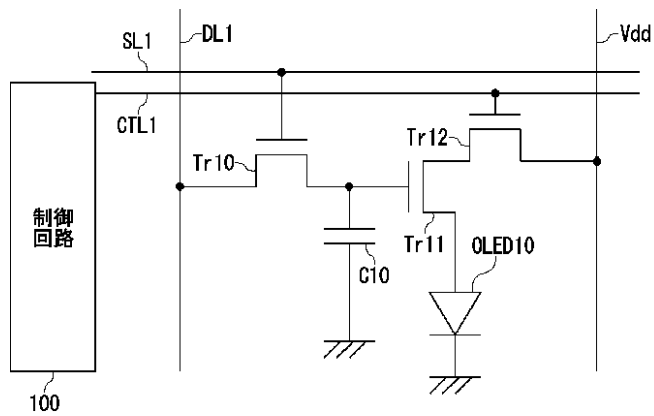
【図16】 図12に示した画素回路に対して、OLEDのアノード電極とカソード電極を入れ替え、アノード電極を固定電位である接地電位に接続した構成を示す図である。

【図17】 従来技術における表示装置の1画素分の回路構成を示す図である。

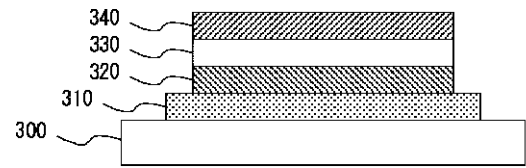
【符号の説明】

Vdd1～Vdd4 電源供給線、DL1～DL4 データ線、SL1～SL240 走査線、CTL1～CTL240 制御信号線、OLED10～OLED13 有機発光ダイオード、Tr10～Tr21 トランジスタ、C10～C13 コンデンサ、100 制御回路。

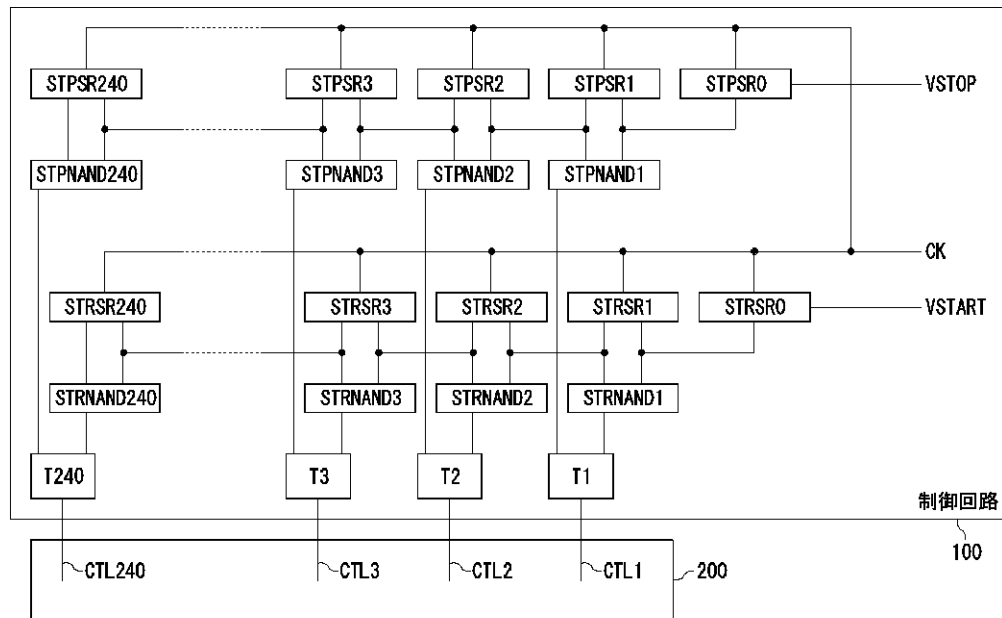
【図 1】



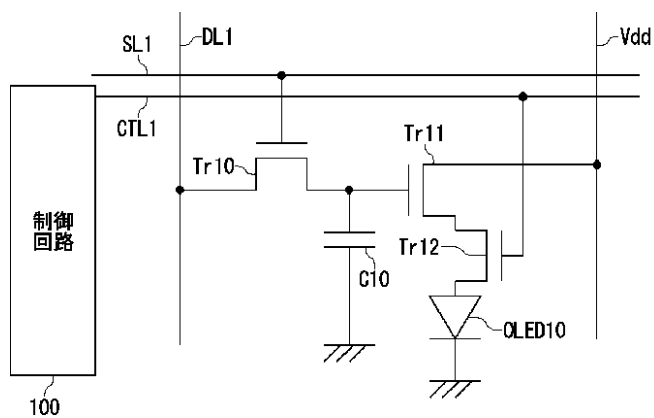
【図 1 3】



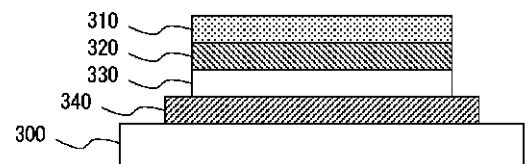
【図 2】



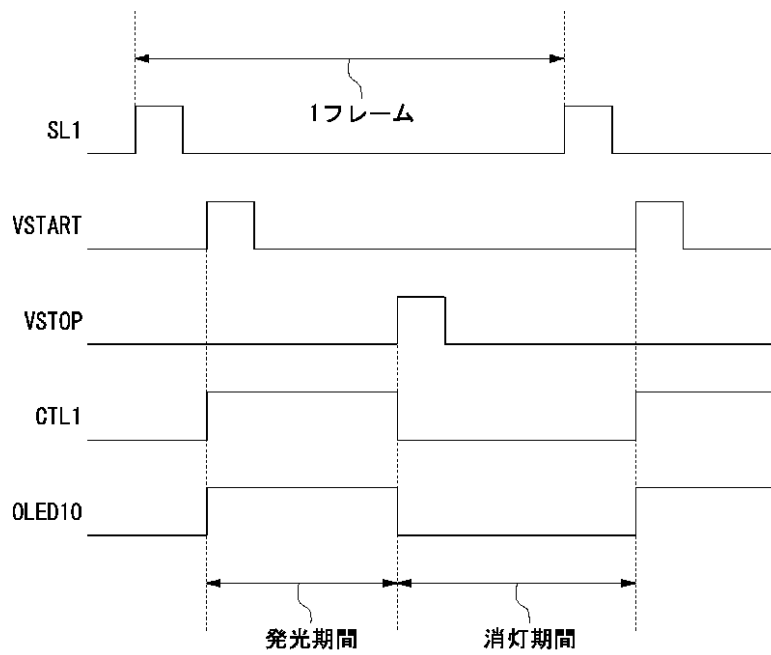
【図 6】



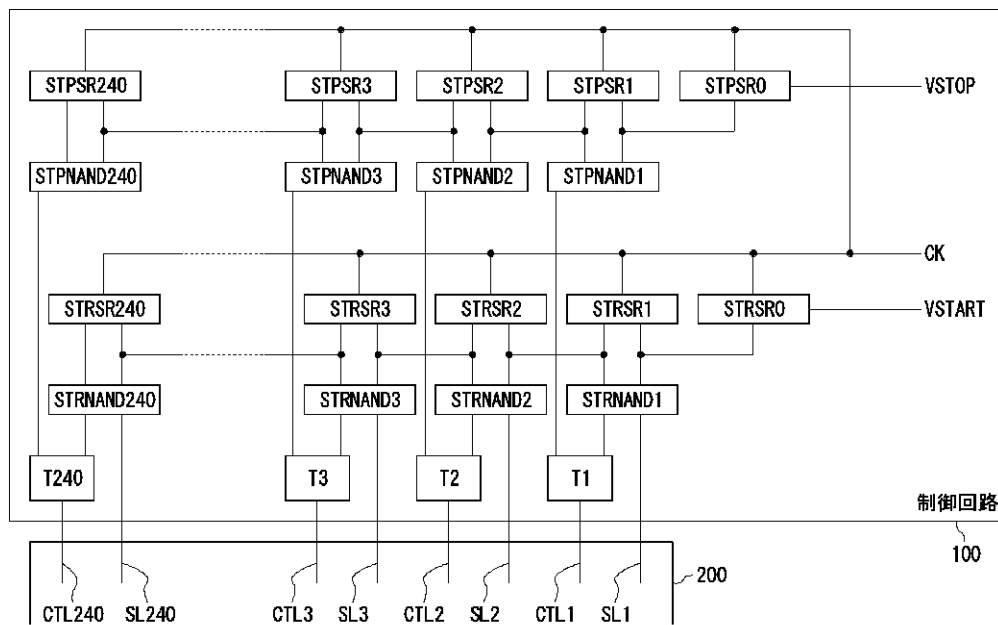
【図 1 4】



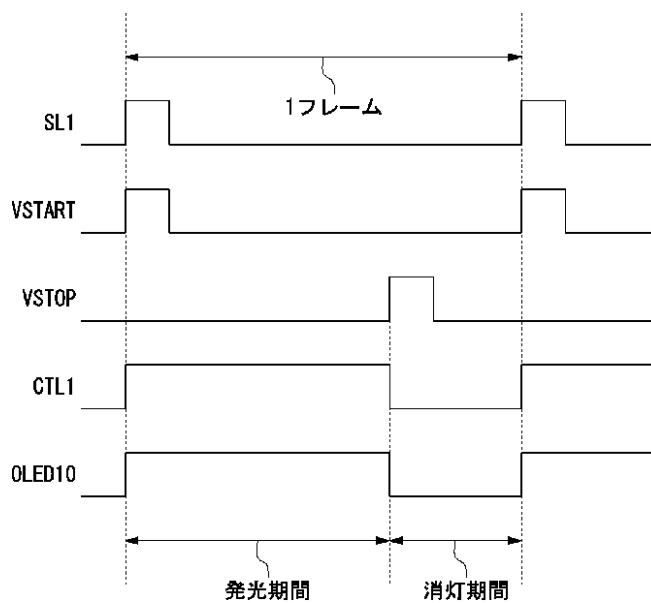
【図 3】



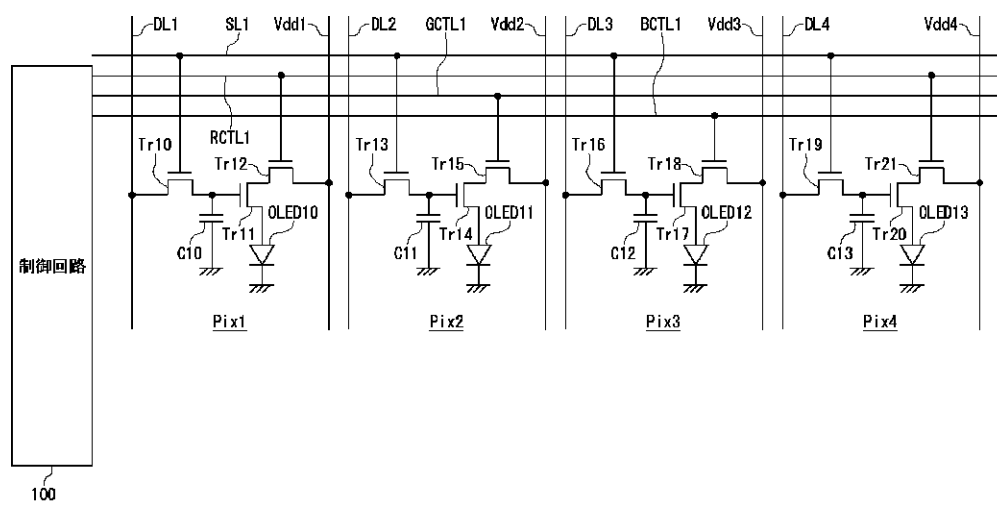
【図 4】



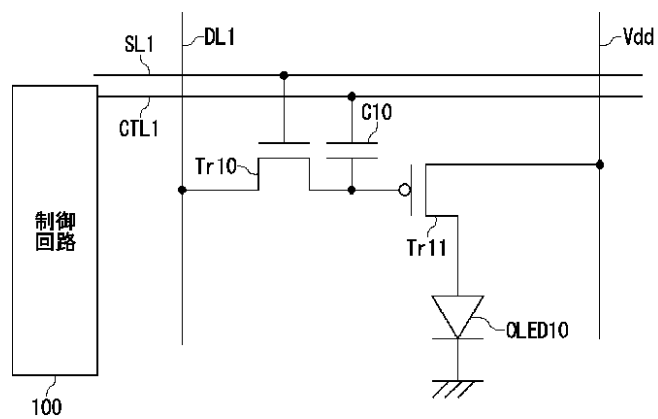
17レーム



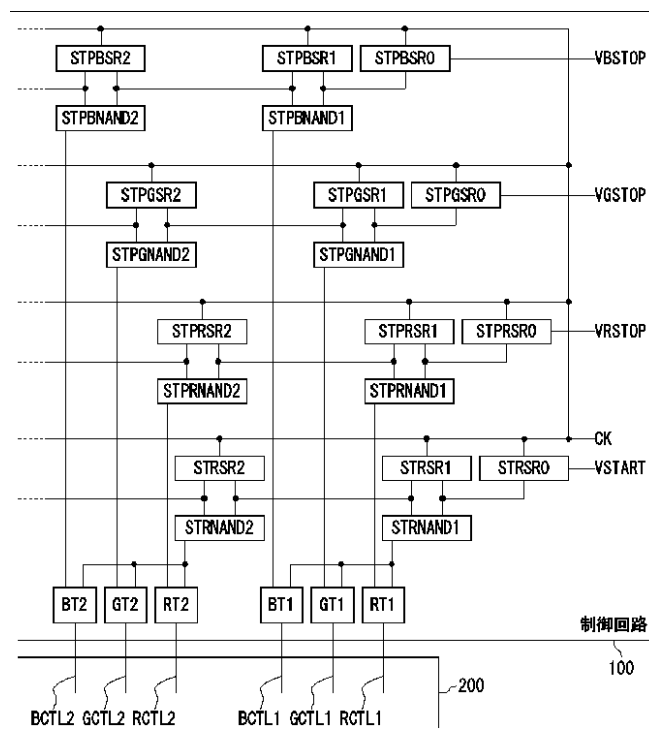
【圖 7】



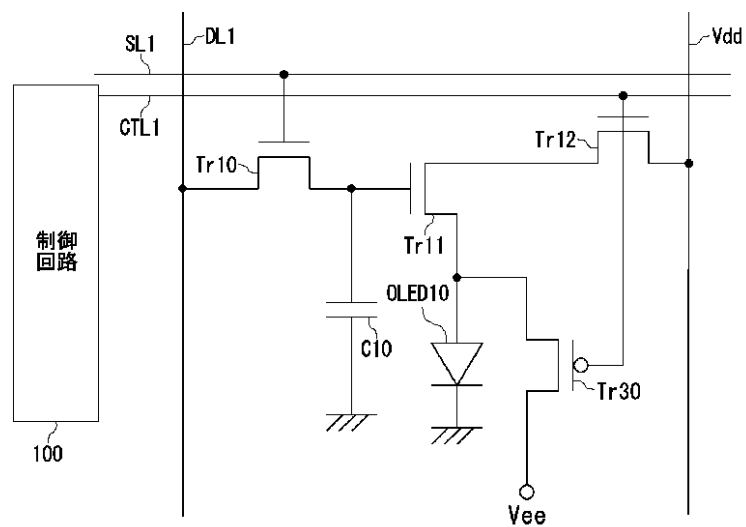
【図 10】



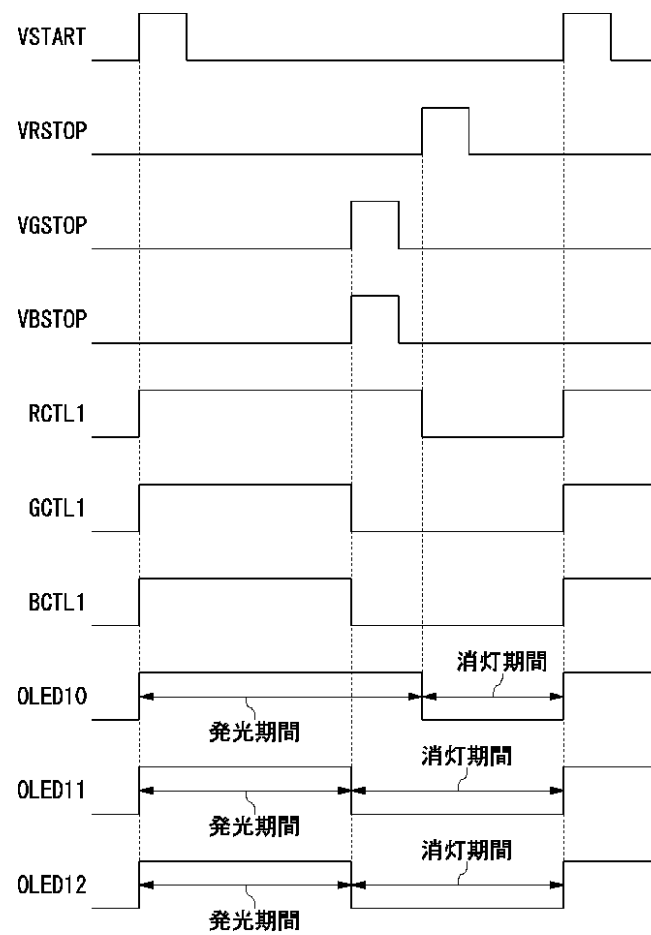
【図8】



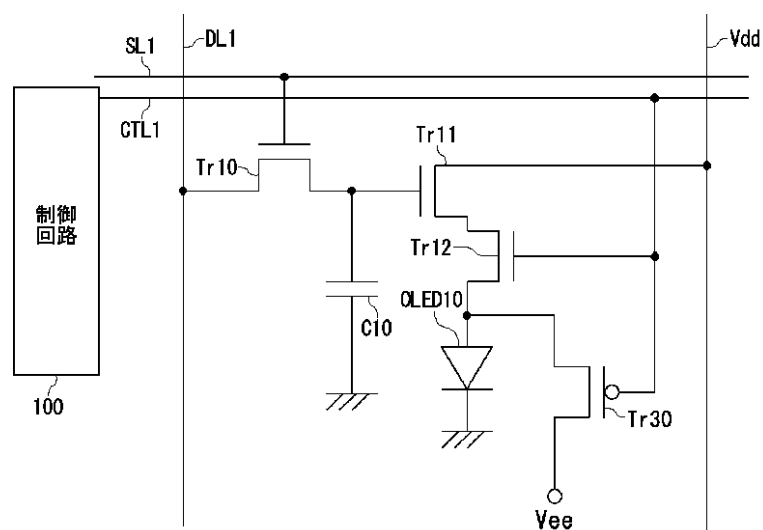
【図11】



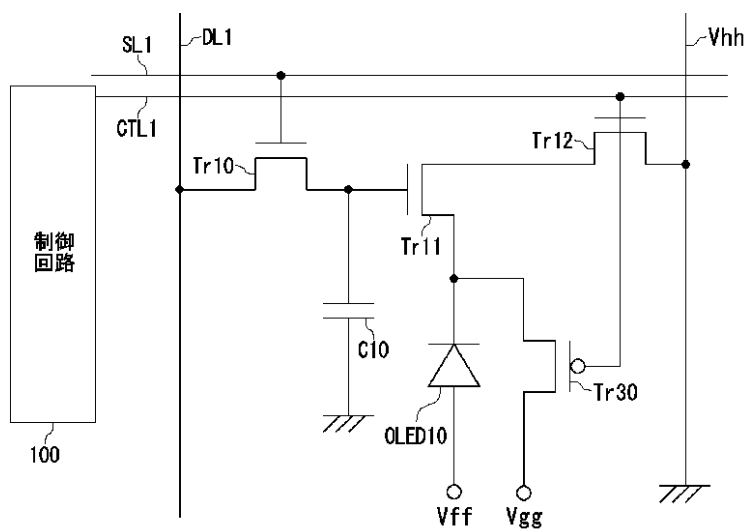
【図9】



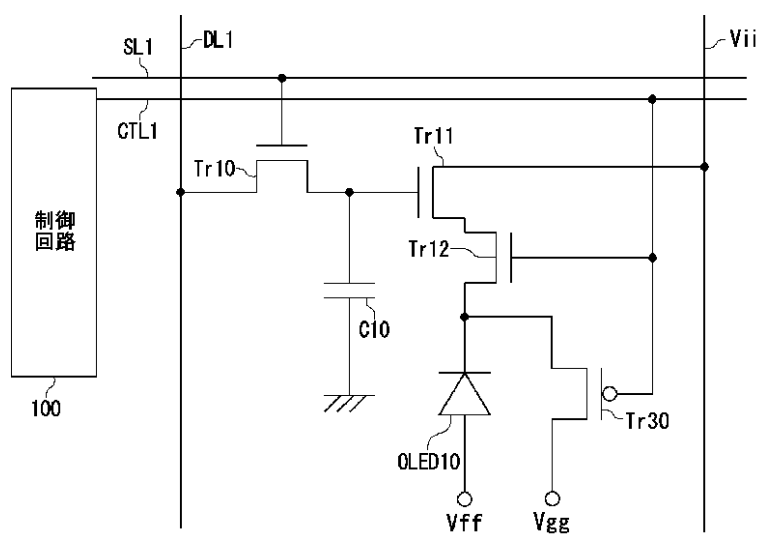
【図12】



【図15】

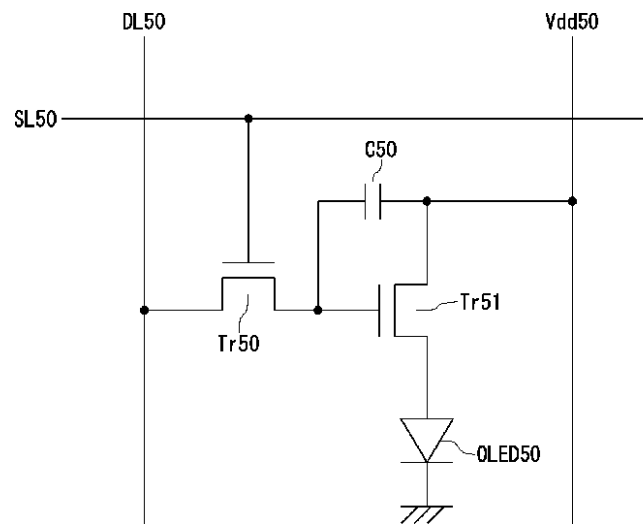


【図16】





【図17】



フロントページの続き

(72)発明者 松本 昭一郎  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04  
5C080 AA06 BB05 DD05 EE19 EE28  
FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2003255899A</a>	公开(公告)日	2003-09-10
申请号	JP2002345019	申请日	2002-11-28
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	土屋博 野口幸宏 松本昭一郎		
发明人	土屋 博 野口 幸宏 松本 昭一郎		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3266 G09G3/2081 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2310/0256 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.621.A G09G3/20.624.B G09G3/20.641.R H05B33/14.A G09G3/20.622.B G09G3/20.622.E G09G3/20.670.K G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE19 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AC08 5C380/AC12 5C380/BB14 5C380/BD05 5C380/BD08 5C380/BE02 5C380/BE04 5C380/CA08 5C380/CA13 5C380/CA51 5C380/CB01 5C380/CB18 5C380/CC11 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CE19 5C380/CF07 5C380/CF31 5C380/DA02 5C380/DA06 5C380/DA42		
代理人(译)	森下Kenju		
优先权	2001401620 2001-12-28 JP		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

解决的问题：在有源矩阵型显示器中，当显示快速移动的运动图像时，图像对象的一部分可能看起来像是拖尾的或模糊的。当扫描线SL1的信号变高时，晶体管Tr10导通，在晶体管Tr11的栅电极中设置亮度数据，并且OLED 10发光。当控制信号线CTL1上的信号变高时，晶体管Tr12截止，并且OLED 10和电源线Vdd被截止以关闭灯。控制电路100输出控制信号线CTL1的信号。通过基于该信号控制OLED 10的开/关来实现间歇发光。

