

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6340108号  
(P6340108)

(45) 発行日 平成30年6月6日(2018.6.6)

(24) 登録日 平成30年5月18日(2018.5.18)

(51) Int.Cl.	F I	
H05B 33/02 (2006.01)	H05B 33/02	
H01L 27/32 (2006.01)	H01L 27/32	
H01L 51/50 (2006.01)	H05B 33/14	A
H05B 33/14 (2006.01)	H05B 33/14	Z
G09F 9/30 (2006.01)	G09F 9/30	365
請求項の数 5 (全 55 頁) 最終頁に続く		

(21) 出願番号 特願2017-79533 (P2017-79533)  
 (22) 出願日 平成29年4月13日(2017.4.13)  
 (62) 分割の表示 特願2016-95817 (P2016-95817)  
         の分割  
         原出願日 平成18年1月24日(2006.1.24)  
 (65) 公開番号 特開2017-130466 (P2017-130466A)  
 (43) 公開日 平成29年7月27日(2017.7.27)  
         審査請求日 平成29年5月1日(2017.5.1)  
 (31) 優先権主張番号 特願2005-24631 (P2005-24631)  
 (32) 優先日 平成17年1月31日(2005.1.31)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 木村 肇  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 野尻 悠平

最終頁に続く

(54) 【発明の名称】 表示装置、電子機器、及び携帯情報端末

(57) 【特許請求の範囲】

【請求項1】

プラスチック基板の上方に、第1の配線、第2の配線、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、第5のトランジスタ、第6のトランジスタ、及び発光素子を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第4のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第5のトランジスタのソースまたはドレイン

10

20

の一方と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記発光素子と電氣的に接続され、

前記第1の配線は、データ信号を伝達することができる機能を有し、

前記第2の配線は、前記発光素子に流れる電流を供給することができる機能を有し、

前記第1のトランジスタ、前記第2のトランジスタ、前記第3のトランジスタ、前記第4のトランジスタ、及び前記第5のトランジスタは、スイッチング用のトランジスタとしての機能を有し、

前記第6のトランジスタは、駆動用のトランジスタとしての機能を有し、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の配線と重なる部分を有する第1の領域と、前記第1の領域の幅よりも細い幅を有する第2の領域と、を有し、

前記第2の配線は、前記第2のトランジスタのソースまたはドレインの他方と重なる部分を有する第3の領域と、前記第3の領域の幅よりも細い幅を有する第4の領域と、を有することを特徴とする表示装置。

【請求項2】

可撓性を有する基板の上方に、第1の配線、第2の配線、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、第5のトランジスタ、第6のトランジスタ、及び発光素子を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第4のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第5のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記発光素子と電氣的に接続され、

前記第1の配線は、データ信号を伝達することができる機能を有し、

前記第2の配線は、前記発光素子に流れる電流を供給することができる機能を有し、

前記第1のトランジスタ、前記第2のトランジスタ、前記第3のトランジスタ、前記第4のトランジスタ、及び前記第5のトランジスタは、スイッチング用のトランジスタとしての機能を有し、

前記第6のトランジスタは、駆動用のトランジスタとしての機能を有し、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の配線と重なる部分を有する第1の領域と、前記第1の領域の幅よりも細い幅を有する第2の領域と、を有し、

前記第2の配線は、前記第2のトランジスタのソースまたはドレインの他方と重なる部分を有する第3の領域と、前記第3の領域の幅よりも細い幅を有する第4の領域と、を有することを特徴とする表示装置。

【請求項3】

10

20

30

40

50

請求項 1 または請求項 2 において、  
前記第 2 の領域又は前記第 4 の領域は、3 μm 以下の幅を有することを特徴とする表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーに記載の表示装置を有する電子機器。

【請求項 5】

請求項 1 乃至 3 のいずれかーに記載の表示装置を有する携帯情報端末。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光素子を有する表示装置における欠陥画素の修正方法に関する。特に、EL (Electro Luminescence) 素子を有するアクティブマトリクス型の表示装置における欠陥画素の修正方法に関する。また、欠陥画素が形成された場合に簡便に修正対応することができる構造を有する表示装置に関する。

【背景技術】

【0002】

近年、EL 素子を代表とする発光素子を含む発光装置の開発が進められ、自発光型ゆえの高画質、広視野角、薄型、軽量等の利点を活かして、幅広い利用が期待されている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(「OLED (Organic Light Emitting Diode)」、20「有機EL素子」などとも言う)、エレクトロルミネッセンス (Electro Luminescence: EL) 素子などが注目を集めており、EL ディスプレイなどに用いられるようになってきている。OLED などの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。また、発光素子の輝度は、当該発光素子を流れる電流値によって制御される。

【0003】

EL 素子は、陰極と陽極との間に電界発光層(有機化合物を含む層)を有している。電界発光層(有機化合物を含む層)は、単数の層(発光層のみ)で構成しても良いし、複数の層を積層させて構成しても良い。複数の層で構成する場合、半導体素子側(画素電極側)から見て、(1)陽極、ホール(正孔)注入層、ホール輸送層、発光層、電子輸送層、陰極、(2)陽極、ホール注入層、発光層、電子輸送層、陰極、(3)陽極、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層、陰極、(4)陽極、ホール注入層、ホール輸送層、発光層、ホールブロッキング層、電子輸送層、陰極、(5)陽極、ホール注入層、ホール輸送層、発光層、ホールブロッキング層、電子輸送層、電子注入層、陰極、等の素子構造とすればよい。これは、所謂順積みと呼ばれる構造で、画素電極は、陽極として機能する。一方、半導体素子側(画素電極側)から見て、陰極が先に来る場合には、逆積みと呼ばれ、画素電極は陰極として機能する。30

【0004】

また、電界発光層に求められる性質としては、発光すること、電流を流すことの2点が挙げられる。電流は、膜厚の3乗に反比例して流れなくなる特性を示すため、電界発光層の膜厚は非常に薄いことが要求される(例えば、特許文献1参照)。40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第04/043937号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、電界発光層の膜厚を極端に薄くすると、以下の問題が発生する。すなわち、電界発光層の膜厚が薄いことにより、陽極-陰極間が非常にショートしやすくなる(50

以下、本明細書において、「両極間ショート」と呼ぶ。)。また、その他に、電極の多層の凹凸が原因の場合もあるし、小さなゴミが原因の場合もある。また、EL素子に接続されたトランジスタの動作不良により、本来EL素子に電荷を供給しない期間においてもEL素子に電荷を供給してしまいEL素子が発光してしまうことがある。また、その逆に、EL素子に接続されたトランジスタの動作不良により、EL素子に電荷を供給することができず、常にEL素子が発光しなくなってしまうこともある。このように、EL素子の電界発光層に過剰の電流が流れてしまったり、本来光るべきではないところでEL素子が光ってしまうことがあり、表示装置の品位を著しく損なっている。なお、本明細書においては、発光素子が設けられている複数の画素のうち、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良により、常に発光または非発光の状態となっていたり、発光素子を正常に制御することができないような状態の画素を欠陥画素と呼ぶ。

10

**【0007】**

また、欠陥画素があると、ショートにより電圧降下して各画素に電位を与えるべく接続されている電源線から他の画素に十分な電位を与えることが困難になることがある。すなわち、常時発光素子があると、その画素だけでなく他の画素の発光素子にも影響を及ぼすことになる。

**【0008】**

ここで、昨今表示装置の市場を賑わしている液晶表示装置の場合について考える。液晶表示装置の場合、液晶素子は、キャパシタとして動作し、電圧を加えると、その電圧をそのまま保持し、加えられた電圧によって生じる電界によって、液晶分子が制御される。つまり、液晶素子に電流が流れ続けることはない。したがって、仮に、ある画素の画素電極が別の配線とショートしたとしても、電流が流れ続けるわけではないので、別の画素に影響を与えてしまうことはない。

20

**【0009】**

また、液晶素子の場合、電流が流れ続けるわけではないので、消費電力が大きくなってしまってもない。また、通常、1画素に1つのトランジスタが配置されているだけであるため、修復の対象は、1つのトランジスタと1つの画素電極のみを考えればよい。

**【0010】**

一方、EL素子は、電流駆動型のデバイスであり、発光している間、電源線から電流が流れ続ける。このような性質を有するEL素子が設けられた画素に欠陥が生じると、他の正常な画素にまで悪影響を与えたり、消費電力が多くなってしまったりする。また、画素には最低2つのトランジスタが配置されており、信号を保持する部分や電流量を制御する部分など複雑な回路構成をしているため、どの部分をどのようにすればよいかは自明ではない。

30

**【0011】**

このような問題は、電源線を必要としたり、電流が流れ続けたりするという、エレクトロルミネッセンス表示装置に特有の問題であって、液晶表示装置にはない問題である。

**【0012】**

本発明は、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良などにより、欠陥画素、特に常時発光していたり、正常に制御することができず発光素子が発光してしまうような状態の画素における欠陥を修正し、画像の品位が損なわれることのない表示装置を提供することを目的とする。また、欠陥画素が形成された場合に容易に修正することができる構造を有する表示装置を提供することを目的とする。

40

**【課題を解決するための手段】****【0013】**

欠陥画素、特に常時発光していたり、正常に制御することができず発光素子が発光してしまうような状態の画素において、前記発光素子の一方の電極に、電位が常に与えられないようにする。例えば、発光素子の一方の電極をフローティング状態となるようにする。

50

## 【0014】

本明細書で開示する発明の構成は、発光素子の一方の電極に電位を与える配線（電源線）と前記発光素子の一方の電極との間において、少なくとも1箇所配線をカット（切断）することを特徴とする。つまり、物理的に配線の接続を切断し、電流が流れなくなるようにする。

## 【0015】

また、上記発明の構成において、レーザー光を照射することにより、配線をカットすることを特徴とする。その結果、電源線から発光素子を通して電流が流れる経路を遮断することができるため、発光素子が発光すること（輝点の発生）を防止することができる。

## 【0016】

また、本明細書で開示する別の発明の構成は、発光素子と、当該発光素子に電位を与える電源線との間において、前記発光素子に接続されたトランジスタが常時オフになるようにする。例えば、ノーマリーオフのトランジスタ（エンハンスメント型のトランジスタ）において、ゲートとソースが同電位になるようにする。つまり、電氣的に配線の接続を切断し、表示期間中にはEL素子に電流が流れなくなるようにする。

## 【0017】

また、本明細書で開示する別の発明の構成は、発光素子と、当該発光素子に電位を与える電源線との間に設けられた配線において、前記配線の一部の幅が狭くなっていることを特徴とする。なお、本明細書において、「配線の幅」と単に記載するとき、当該配線を通れる電流の向きに対して垂直の方向をさすものとする。また、本明細書において「電源線の幅」または「電極の幅」と記載するときも同様に、電源線（または電極）を通れる電流の向きに対して垂直の方向をさすものとする。

## 【0018】

また、上記発明の構成において、前記狭くなっている配線の一部の幅は、3 μm以下であることを特徴とする。

## 【0019】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子が設けられた画素を複数有し、前記複数の画素のうち少なくとも一つ以上の画素が欠陥画素である表示装置の欠陥修正方法であって、  
前記欠陥画素に設けられた発光素子の電極に接続された配線を切断することを特徴とする。

## 【0020】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、トランジスタとが設けられた画素を複数有し、前記複数の画素のうち少なくとも一つ以上の画素が欠陥画素である表示装置の欠陥修正方法であって、  
前記トランジスタのソースまたはドレインのいずれか一方と前記発光素子の電極とが配線を介して接続されており、  
前記欠陥画素に設けられた発光素子の電極に接続された配線を切断することを特徴とする。

## 【0021】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、トランジスタとが設けられた画素を複数有し、前記複数の画素のうち少なくとも一つ以上の画素が欠陥画素である表示装置の欠陥修正方法であって、  
前記欠陥画素に設けられたトランジスタを常時オフにすることを特徴とする。

## 【0022】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、Pチャネル型のトランジスタとが設けられた画素を複数有し、前記複数の画素のうち少なくとも一つ以上の画素が欠陥画素である表示

10

20

30

40

50

装置の欠陥修正方法であって、

前記トランジスタにおいて、ソースまたはドレインのいずれか一方が電源線と接続され、他方が配線を介して前記発光素子の電極と接続され、ゲートが前記電源線よりも高い電位を有する配線と接続されていることを特徴とする。

【0023】

また、上記発明の構成において、前記欠陥画素に設けられた発光素子の電極に接続された配線をレーザー照射により切断することを特徴とする。また、上記発明の構成において、前記トランジスタにより発光素子を駆動することを特徴とする。

【0024】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、  
前記発光素子の電極に電氣的に接続された配線と、  
ソース、ドレイン、及びチャネル形成領域を含む活性層を有するトランジスタと、  
前記トランジスタのソースまたはドレインの一方に電氣的に接続された電源線とを有し

10

、  
前記配線は、前記トランジスタのソースまたはドレインの他方に電氣的に接続され、  
前記電極と前記配線とが電氣的に接続される領域の近傍に、前記電極と前記配線とが電氣的に接続される領域に比較して前記電極の幅が細い領域を有することを特徴とする。

【0025】

また、上記発明の構成において、前記電極の幅が細い領域の幅は3 μm以下であることを特徴とする。また、前記電極の幅が細い領域は、当該電極において最も幅が細いことを特徴とする。また、前記電極の幅が細い領域の幅は、それ以外の領域の幅に比較して半分以下であることを特徴とする。また、前記電極の幅が細い領域の幅は、信号線駆動回路及び走査線駆動回路に用いられている配線のうち、最も細い幅を有する配線の幅よりも細いことを特徴とする。

20

【0026】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、  
前記発光素子の電極に電氣的に接続された配線と、  
ソース、ドレイン、及びチャネル形成領域を含む活性層を有するトランジスタと、  
前記トランジスタのソースまたはドレインの一方に電氣的に接続された電源線とを有し

30

、  
前記配線は、前記トランジスタのソースまたはドレインの他方に電氣的に接続され、  
前記電極と前記配線とが電氣的に接続される領域と、前記配線と前記トランジスタのソースまたはドレインの他方とが電氣的に接続される領域との間に、前記配線の幅が細い領域を有することを特徴とする。

【0027】

また、上記発明の構成において、前記配線の幅が細い領域の幅は3 μm以下であることを特徴とする。また、前記配線の幅が細い領域は、当該配線において最も幅が細いことを特徴とする。また、前記配線の幅が細い領域の幅は、それ以外の領域の幅に比較して半分以下であることを特徴とする。また、前記配線の幅が細い領域の幅は、信号線駆動回路及び走査線駆動回路に用いられている配線のうち、最も細い幅を有する配線の幅よりも細いことを特徴とする。

40

【0028】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、  
前記発光素子の電極に電氣的に接続された配線と、  
ソース、ドレイン、及びチャネル形成領域を含む活性層を有するトランジスタと、  
前記トランジスタのソースまたはドレインの一方に電氣的に接続された電源線と、  
ゲート配線とを有し、

50

前記配線は、前記トランジスタのソースまたはドレインの他方に電氣的に接続され、  
前記活性層は、前記配線、前記ゲート配線、及び前記電源線とそれぞれ一部重なっており、

前記活性層のうち、前記配線、前記ゲート配線、及び前記電源線に重ならない領域の幅が細いことを特徴とする。

【0029】

また、上記発明の構成において、前記活性層のうち、前記配線、前記ゲート配線、及び前記電源線に重ならない領域の幅は $3\ \mu\text{m}$ 以下であることを特徴とする。また、前記活性層のうち、前記配線、前記ゲート配線、及び前記電源線に重ならない領域の幅は、それ以外の領域の幅に比較して半分以下であることを特徴とする。また、前記活性層のうち、前記配線、前記ゲート配線、及び前記電源線に重ならない領域の幅は、信号線駆動回路及び走査線駆動回路に用いられている配線のうち、最も細い幅を有する配線の幅よりも細いことを特徴とする。

10

【0030】

また、本明細書で開示する別の発明の構成は、  
電極及び電界発光層を有する発光素子と、  
前記発光素子の電極に電氣的に接続された配線と、  
ソース、ドレイン、及びチャネル形成領域を含む活性層を有するトランジスタと、  
前記トランジスタのソースまたはドレインの一方に電氣的に接続された電源線とを有し

20

、  
前記配線は、前記トランジスタのソースまたはドレインの他方に電氣的に接続され、  
前記トランジスタのソースまたはドレインの一方と前記電源線とが電氣的に接続される領域の近傍に、前記トランジスタのソースまたはドレインの一方と前記電源線とが電氣的に接続される領域に比較して前記電源線の幅が細い領域を有することを特徴とする。

【0031】

また、上記発明の構成において、前記電源線の幅が細い領域の幅は $3\ \mu\text{m}$ 以下であることを特徴とする。また、前記電源線の幅が細い領域は、当該電源線において最も幅が細いことを特徴とする。また、前記電源線の幅が細い領域の幅は、それ以外の領域の幅に比較して半分以下であることを特徴とする。また、前記電源線の幅が細い領域の幅は、信号線駆動回路及び走査線駆動回路に用いられている配線のうち、最も細い幅を有する配線の幅よりも細いことを特徴とする。

30

【0032】

また、上記発明の構成において、前記トランジスタの活性層は、非晶質半導体膜または結晶性半導体膜であることを特徴とする。また、前記トランジスタはトップゲート型またはボトムゲート型であることを特徴とする。

【0033】

本明細書において、発光素子は、有機EL、無機EL、有機ELと無機ELとが混合された素子のいずれでもよい。また、電子放出素子、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することもできる。電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)、SED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などが挙げられる。

40

【0034】

また、本明細書において、「接続されている」とは、電氣的に接続されている場合も含むものとする。したがって、間に別の素子やスイッチなどが配置されていてもよい。

【0035】

また、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよい。例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(以下、「TFT」と記載する。)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体や

50

カーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することができる。

#### 【0036】

また、本明細書中において、「スイッチ」は、電気的なスイッチでもよいし、機械的なスイッチでもよい。すなわち、電流の流れを制御できるものなら、何でも良い。例えば、トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域が設けられているものや、マルチゲート構造のもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ $V_{ss}$ 、 $V_{gnd}$ 、 $0V$ など）に近い状態で動作する場合はnチャンネル型を、反対に、ソース端子の電位が、高電位側電源（ $V_{dd}$ など）に近い状態で動作する場合はpチャンネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。また、nチャンネル型とpチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

10

#### 【0037】

なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、画素を駆動する回路が全てガラス基板上に形成されていてもよいし、プラスチック基板上に形成されていてもよいし、単結晶基板上に形成されていてもよいし、SOI基板上に形成されていてもよいし、他のどのような基板上に形成されていてもよい。また、画素を駆動する回路の一部が、第1の基板上に形成されており、画素を駆動する回路の他の一部が、前記第1の基板とは別の第2の基板上に形成されていてもよい。すなわち、画素を駆動する回路の全てが同じ基板上に形成されていなくてもよい。例えば、画素配列及びゲート線駆動回路は、TFTを用いてガラス基板上に形成し、信号線駆動回路（もしくはその一部）は単結晶基板上に形成してもよい。さらに、単結晶基板上に形成した前記信号線駆動回路を（ICチップ）をCOG（Chip On Glass）で接続して前記ガラス基板上に配置してもよいし、ICチップをTAB（Tape Auto Bonding）やプリント基板を用いて前記ガラス基板と接続するようにしてもよい。

20

30

#### 【0038】

また、本明細書において「半導体装置」とは、トランジスタやダイオードなどの半導体素子を有する装置のことをいう。なお、表示装置とは、液晶素子やEL素子などの表示素子を有する装置のことを言う。なお、液晶表示装置とは、液晶素子を有する表示装置のことをいう。発光装置とは、EL素子などの発光素子を有する装置のことをいう。

#### 【0039】

また、本発明は、パッシブマトリックス駆動方式、アクティブマトリックス駆動方式のいずれの駆動方式を用いた表示装置にも適用することができる。

40

#### 【発明の効果】

#### 【0040】

本発明を適用することにより、簡単なプロセスを追加するのみで欠陥画素を確実に修正することができ、輝点がなく、画面全体の画質不良が低減された、表示品位に優れた表示装置が得られる。また、同時に表示装置の作製歩留まりの向上、大幅なコストダウンを図ることができる。

#### 【0041】

また、発光素子が設けられている複数の画素のうち、常に発光素子が発光している画素に対して本発明を適用すると、常時黒の表示となる。したがって、例えば点欠（ドット抜け）の状態であるという点においては、本発明を適用する場合としない場合においても同

50

じである。しかしながら、全画素の発光素子を発光させようとしているときに消灯している画素がある状態の方が、全画素の発光素子を消灯させようとしているときに点灯している画素がある状態に比べて、画素の欠陥が目立ちにくい。したがって、本発明により、表示品位に優れ、かつ消費電力の点でも格段に優れた表示装置を提供することができる。また、正常な発光素子が設けられた画素に対して不良画素が悪影響を与えることもない。

【0042】

また、上述のような構成を有する表示装置は、欠陥画素が形成された場合に容易に画素の欠陥を修正することができる。

【図面の簡単な説明】

【0043】

【図1】本発明の実施の形態1を示す図。

【図2】本発明の実施の形態3を示す図。

【図3】本発明の実施の形態3を示す図。

【図4】本発明の実施の形態5を示す図。

【図5】本発明の実施の形態6を示す図。

【図6】本発明の実施の形態7を示す図。

【図7】本発明の実施の形態8を示す図。

【図8】本発明の実施例2を示す図。

【図9】本発明の実施の形態6を示す図。

【図10】本発明の実施例2を示す図。

【図11】本発明の実施の形態1、4を示す図。

【図12】本発明の実施の形態1、4を示す図。

【図13】本発明の実施の形態1、4を示す図。

【図14】本発明の実施の形態1、4を示す図。

【図15】本発明の実施の形態1、4を示す図。

【図16】本発明の実施の形態5を示す図。

【図17】本発明の実施の形態5を示す図。

【図18】本発明の実施の形態9を示す図。

【図19】本発明の実施の形態6を示す図。

【図20】本発明の実施の形態6を示す図。

【図21】本発明の実施例1を示す図。

【図22】本発明の実施例1を示す図。

【図23】本発明の実施例1を示す図。

【図24】本発明の実施例1を示す図。

【図25】本発明の実施例1を示す図。

【図26】本発明の実施例1を示す図。

【図27】本発明の実施例1を示す図。

【図28】本発明の実施例1を示す図。

【図29】本発明の実施例1を示す図。

【図30】本発明の実施例1を示す図。

【図31】本発明の実施例1を示す図。

【図32】本発明の実施例1を示す図。

【図33】本発明の実施例1を示す図。

【図34】本発明の実施例1を示す図。

【図35】本発明の実施の形態9を示す図。

【図36】本発明の実施の形態10を示す図。

【図37】本発明の実施の形態11を示す図。

【図38】本発明の実施の形態12を示す図。

【図39】本発明の実施の形態13を示す図。

【図40】本発明の実施の形態14を示す図。

10

20

30

40

50

【図 4 1】本発明の実施の形態 1 5 を示す図。

【図 4 2】本発明の実施の形態 1 6 を示す図。

【図 4 3】本発明の実施の形態 1 7 を示す図。

【発明を実施するための形態】

【0044】

本発明を実施するための最良の形態を、図面を用いながら説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0045】

(実施の形態 1)

本実施の形態では、発光素子の一方の電極に電位を与える電源線と前記発光素子の一方の電極との間において、少なくとも 1 箇所配線をカット（切断）する方法について図を用いながら説明する。

【0046】

図 1 1 を用いて説明する。各画素には、発光素子 1 0 1、トランジスタ 1 1 0 3 が設けられており、トランジスタ 1 1 0 3 のソースとドレインは、一方が電源線 1 0 5 に、もう一方が発光素子 1 0 1 の一方の電極にそれぞれ接続されている。

20

【0047】

次に、欠陥画素の修正方法について説明する。電源線 1 0 5 がトランジスタ 1 1 0 3 を介して発光素子 1 0 1 の一方の電極に接続されている場合、電源線 1 0 5 とトランジスタ 1 1 0 3 のソース、ドレインのいずれか一方とが接続されている間、またはトランジスタのソース、ドレインの他方と発光素子 1 0 1 の一方の電極とが接続されている間の配線をカットするようにする。例えば、図 1 1 の楕円形状で示した領域 1 1 0 1、1 1 0 2 をカットする。なお、カットする箇所は少なくとも 1 箇所あればよいが、信頼性向上のために 2 箇所以上カットするようにしてもよい。

【0048】

このように、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良が生じていても領域 1 1 0 1 や領域 1 1 0 2 をカットすることにより、電源線 1 0 5 からトランジスタ 1 1 0 3 や発光素子 1 0 1 を通って発光素子の他方の電極 1 0 8 に電流が流れる経路を遮断することができるため、発光素子 1 0 1 が発光すること（輝点の発生）を防止することができる。

30

【0049】

なお、図 1 1 におけるトランジスタ 1 1 0 3 は、Pチャネル型を示しているが、これに限定されない。トランジスタ 1 1 0 3 がNチャネル型の場合でも、領域 1 1 0 1 や領域 1 1 0 2 をカットすることにより、電源線 1 0 5 からトランジスタ 1 1 0 3 や発光素子 1 0 1 を通って発光素子の他方の電極 1 0 8 に電流が流れる経路を遮断することができるため、発光素子 1 0 1 が発光すること（輝点の発生）を防止することができる。また、図 1 1 においては電源線 1 0 5 と発光素子 1 0 1 との間にトランジスタ 1 1 0 3 を有する構成を示しているが、トランジスタ 1 1 0 3 の代わりに別の素子を設ける構成としてもよい。また、電源線 1 0 5 と発光素子 1 0 1 との間にトランジスタ 1 1 0 3 に加え、当該トランジスタ 1 1 0 3 以外の素子を有する構成としても本発明を実施することが可能である。

40

【0050】

次に、図 1 2 を用いて説明する。各画素には、発光素子 1 0 1、第 1 のトランジスタ 1 2 0 4、第 2 のトランジスタ 1 2 0 5 が設けられており、第 2 のトランジスタ 1 2 0 5 のソースとドレインは、一方が電源線 1 0 5 に、他方が第 1 のトランジスタ 1 2 0 4 のソースとドレインの一方に接続され、第 1 のトランジスタ 1 2 0 4 のソースとドレインの他方

50

が発光素子 101 の一方の電極に接続されている。すなわち、電源線 105 は、互いに直列に接続された第 1 のトランジスタ 1204 及び第 2 のトランジスタ 1205 を介して発光素子 101 の一方の電極に接続されている。

#### 【0051】

次に、欠陥画素の修正方法について説明する。電源線 105 と第 2 のトランジスタ 1205 のソース、ドレインの一方とが接続されている間、第 2 のトランジスタ 1205 のソース、ドレインの他方と第 1 のトランジスタ 1204 のソース、ドレインの一方とが接続されている間、または第 1 のトランジスタのソース、ドレインの他方と発光素子 101 の一方の電極とが接続されている間のどこかで配線をカットする。例えば、電源線 105 と発光素子 101 の一方の電極との間において、図 12 の楕円形状で示した領域 1201、1202、1203 を切断する。なお、カットする箇所は少なくとも 1 箇所あればよいが、信頼性向上のために 2 箇所以上カットするようにしてもよい。

10

#### 【0052】

このように、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良が生じていても領域 1201、領域 1202、領域 1203 をカットすることにより、電源線 105 から第 1 のトランジスタ 1204 及び第 2 のトランジスタ 1205 や発光素子 101 を通って発光素子の他方の電極 108 に電流が流れる経路を遮断することができるため、発光素子 101 が発光すること（輝点の発生）を防止することができる。

#### 【0053】

なお、図 12 における第 1 のトランジスタ 1204、第 2 のトランジスタ 1205 は、それぞれ P チャネル型を示しているが、これに限定されない。第 1 のトランジスタ 1204、第 2 のトランジスタ 1205 のいずれかが一つが N チャネル型であったり、共に N チャネル型の場合でも、領域 1201 や領域 1202、領域 1203 をカットすることにより、電源線 105 から第 1 のトランジスタ 1204 及び第 2 のトランジスタ 1205 や発光素子 101 を通って発光素子の他方の電極 108 に電流が流れる経路を遮断することができるため、発光素子 101 が発光すること（輝点の発生）を防止することができる。すなわち、第 1 のトランジスタ 1204、第 2 のトランジスタ 1205 は共に P チャネル型である場合、共に N チャネル型である場合、2 つのトランジスタのうち一方が P チャネル型で他方が N チャネル型である場合のいずれの場合でもよい。なお、図 12 では、トランジスタが 2 つ直列になっているものを示したが、これに限定されない。3 個以上のトランジスタが接続されていてもよい。その場合も、図 12 と同様に配線をカットすればよい。また、電源線 105 と発光素子 101 との間に、第 1 のトランジスタ 1204 及び第 2 のトランジスタ 1205 以外の素子も有する構成としても本発明を実施することが可能である。

20

30

#### 【0054】

次に、図 13 を用いて説明する。各画素には、発光素子 101、第 1 のトランジスタ 1304、第 2 のトランジスタ 1305 が設けられている。また、第 1 のトランジスタ 1304 のソースとドレインは、一方が配線 1351 に、もう一方が発光素子 101 の一方の電極に接続されている。また、第 2 のトランジスタ 1305 のソースとドレインは、一方が配線 1352 に、もう一方が発光素子 101 の一方の電極に接続されている。なお、配線 1351 と配線 1352 は、同じ電源に接続されていてもよいし、互いに異なる電源に接続されていてもよい。

40

#### 【0055】

次に、欠陥画素の修正方法について説明する。配線 1351 と第 1 のトランジスタ 1304 のソース、ドレインの一方とが接続されている間、配線 1352 と第 2 のトランジスタ 1305 のソース、ドレインの一方とが接続されている間の配線をとともにカットする。または、第 1 のトランジスタ 1304 のソース、ドレインの他方と第 2 のトランジスタ 1305 のソース、ドレインの他方とが接続されている箇所と発光素子 101 の一方の電極とが接続されている間のどこかで配線をカットする。例えば、図 13 の楕円形状で示した

50

領域 1301 をカットするか、領域 1302 及び領域 1311 のいずれか一方と領域 1303 及び領域 1312 のいずれか一方とを共にカットする。

【0056】

このように、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良が生じていても領域 1301 をカットするか、領域 1302 及び領域 1303 を共にカットすることにより、配線 1351 及び配線 1352 から各トランジスタや発光素子 101 を通って発光素子の他方の電極 108 に電流が流れる経路を遮断することができるため、発光素子 101 が発光すること（輝点の発生）を防止することができる。

【0057】

なお、図 13 における第 1 のトランジスタ 1304、第 2 のトランジスタ 1305 は、それぞれ P チャネル型を示しているが、これに限定されない。第 1 のトランジスタ 1304、第 2 のトランジスタ 1305 が N チャネル型の場合でも、領域 1301 をカットするか、領域 1302、領域 1303 をカットすることにより、電源線 105 から各トランジスタや発光素子 101 を通って発光素子の他方の電極 108 に電流が流れる経路を遮断することができるため、発光素子 101 が発光すること（輝点の発生）を防止することができる。すなわち、第 1 のトランジスタ 1304、第 2 のトランジスタ 1305 は共に P チャネル型である場合、共に N チャネル型である場合、2 つのトランジスタのうち一方が P チャネル型で他方が N チャネル型である場合のいずれの場合でもよい。なお、図 13 では、トランジスタが 2 つ並列になっているものを示したが、これに限定されない。3 個以上のトランジスタが並列接続されていてもよい。その場合も、図 13 と同様に配線をカットすればよい。

【0058】

配線 1351 及び配線 1352 は、何と接続されていてもよい。電源線に接続されていてもよいし、回路やトランジスタ、容量素子に接続されていてもよい。また、配線 1351 及び配線 1352 は、各々別のものに接続されていてもよいし、同じものに接続されていてもよい。また、配線 1351 及び配線 1352 が同一のものであり、配線 1351 及び配線 1352 それ自体が電源線として機能する配線でもよい。

【0059】

第 1 のトランジスタ 1304 は、一つだけ配置されているが、これに限定されない。例えば、図 15 に示すように、さらに別のトランジスタなどの素子が直列に接続されていてもよい。また、第 2 のトランジスタ 1305 も同様に、さらにトランジスタなどの素子が直列に接続されていてもよい。

【0060】

次に、図 15 を用いて説明する。各画素には、発光素子 101、第 1 のトランジスタ 1506、第 2 のトランジスタ 1507、第 3 のトランジスタ 1508 が設けられている。また、第 2 のトランジスタ 1507 のソースとドレインは、一方が配線 1551 に、他方が第 1 のトランジスタ 1506 のソースとドレインの一方に接続されている。また、第 3 のトランジスタ 1508 のソースとドレインは、一方が配線 1552 に、他方が発光素子 101 の一方の電極に接続されている。また、第 1 のトランジスタ 1506 のソースとドレインの他方は、発光素子 101 の一方の電極に接続されている。なお、配線 1551 と配線 1552 は、同じ電源に接続されていてもよいし、互いに異なる電源に接続されていてもよい。

【0061】

次に、欠陥画素の修正方法について説明する。配線 1551 と第 2 のトランジスタ 1507 のソース、ドレインの一方とが接続されている箇所から第 2 のトランジスタ 1507 のソース、ドレインの一方までの間の配線、第 2 のトランジスタ 1507 のソース、ドレインの他方と第 1 のトランジスタ 1506 のソース、ドレインの一方とが接続されている間の配線、第 1 のトランジスタ 1506 のソース、ドレインの他方と発光素子 101 の一方の電極が接続されている箇所から第 1 のトランジスタ 1506 のソース、ドレインの他

10

20

30

40

50

方までの間の配線のいずれか一を少なくともカットすることにより、配線 1 5 5 1 から発光素子 1 0 1 の他方の電極までの電流が流れる経路を遮断することができる。さらに、配線 1 5 5 2 と第 3 のトランジスタ 1 5 0 8 のソース、ドレインの一方とが接続されている箇所から第 3 のトランジスタ 1 5 0 8 のソース、ドレインの一方までの間の配線、第 3 のトランジスタ 1 5 0 8 のソース、ドレインの他方と発光素子 1 0 1 の一方の電極が接続されている箇所から第 3 のトランジスタ 1 5 0 8 のソース、ドレインの他方までの間の配線のいずれか一を少なくともカットすることにより、配線 1 5 5 2 から発光素子 1 0 1 の他方の電極までの電流が流れる経路を遮断することができる。例えば、配線 1 5 5 1 及び配線 1 5 5 2 と発光素子 1 0 1 の一方の電極との間において、図 1 5 の楕円形状で示した領域 1 5 0 1 または領域 1 5 1 2 をカットするか、領域 1 5 0 2、領域 1 5 0 4、領域 1 5 1 1 のいずれか一方と領域 1 5 0 3 及び領域 1 5 0 5 のいずれか一方とを共にカットする。

10

#### 【 0 0 6 2 】

このように、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良が生じていても、領域 1 5 0 1 をカットするか、領域 1 5 0 2、領域 1 5 0 4 の一方、及び領域 1 5 0 3、領域 1 5 0 5 の一方を共にカットすることにより、配線 1 5 5 1 及び配線 1 5 5 2 から各トランジスタや発光素子 1 0 1 を通って発光素子の他方の電極 1 0 8 に電流が流れる経路を遮断することができるため、発光素子 1 0 1 が発光すること（輝点の発生）を防止することができる。

20

#### 【 0 0 6 3 】

なお、図 1 5 における第 1 ~ 3 のトランジスタ 1 5 0 6 ~ 1 5 0 8 は、それぞれ P チャネル型を示しているが、これに限定されるものでない。すなわち、第 1 ~ 3 のトランジスタ 1 5 0 6 ~ 1 5 0 8 の導電型に依存するものではなく、領域 1 5 0 1 をカットするか、領域 1 5 0 2、領域 1 5 0 4 の一方、及び領域 1 5 0 3、領域 1 5 0 5 の一方を共にカットすることにより、配線 1 5 5 1 及び配線 1 5 5 2 から各トランジスタや発光素子 1 0 1 を通って発光素子の他方の電極 1 0 8 に電流が流れる経路を遮断することができるため、発光素子 1 0 1 が発光すること（輝点の発生）を防止することができる。

#### 【 0 0 6 4 】

次に、図 1 4 を用いて説明する。各画素には、発光素子 1 0 1、第 1 のトランジスタ 1 4 0 5、第 2 のトランジスタ 1 4 0 6、第 3 のトランジスタ 1 4 0 7 が設けられている。また、第 2 のトランジスタ 1 4 0 6 のソースとドレインは、いずれか一方が配線 1 4 5 1 に、他方が第 1 のトランジスタ 1 4 0 5 のソースとドレインのいずれか一方に接続されている。また、第 3 のトランジスタ 1 4 0 7 のソースとドレインは、いずれか一方が配線 1 4 5 2 に、他方が第 1 のトランジスタ 1 4 0 5 のソースとドレインのいずれか一方に接続されている。また、第 1 のトランジスタ 1 4 0 5 のソースとドレインの他方は、発光素子 1 0 1 の一方の電極に接続されている。なお、配線 1 4 5 1 と配線 1 4 5 2 は、同じ電源に接続されていてもよいし、互いに異なる電源に接続されていてもよい。また、配線 1 4 5 1 及び配線 1 4 5 2 が同一のものであり、配線 1 4 5 1 及び配線 1 4 5 2 それ自体が電源線として機能する配線でもよい。

30

40

#### 【 0 0 6 5 】

次に、欠陥画素の修正方法について説明する。発光素子 1 0 1 の一方の電極と第 1 のトランジスタ 1 4 0 5 のソース、ドレインの他方とが接続されている間の配線をカットする。または、第 1 のトランジスタ 1 4 0 5 のソース、ドレインの一方と、第 2 のトランジスタ 1 4 0 6 のソース、ドレインの他方及び第 3 のトランジスタ 1 4 0 7 のソース、ドレインの他方とが接続されている箇所の配線をカットする。または、第 2 のトランジスタ 1 4 0 6 のソース、ドレインの一方と配線 1 4 5 1 とが接続されている間、第 3 のトランジスタ 1 4 0 7 のソース、ドレインの一方と配線 1 4 5 2 とが接続されている間の配線をともにカットする。例えば、配線 1 4 5 1 及び配線 1 4 5 2 と発光素子 1 0 1 の一方の電極との間において、図 1 4 の楕円形状で示した領域 1 4 0 1、領域 1 4 0 2 または領域 1 4 1

50

1 をカットするか、領域 1 4 0 3 及び領域 1 4 1 2 のいずれか一方と領域 1 4 0 4 及び領域 1 4 1 3 のいずれか一方とを共にカットする。

【 0 0 6 6 】

このように、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良が生じていても領域 1 4 0 1 または領域 1 4 0 2 をカットするか、領域 1 4 0 3 及び領域 1 4 0 4 を共にカットすることにより、配線 1 4 5 1 及び配線 1 4 5 2 から各トランジスタや発光素子 1 0 1 を通って発光素子の他方の電極 1 0 8 に電流が流れる経路を遮断することができるため、発光素子 1 0 1 が発光すること（輝点の発生）を防止することができる。

【 0 0 6 7 】

なお、図 1 4 における第 1 ~ 3 のトランジスタ 1 4 0 5 ~ 1 4 0 7 は、それぞれ P チャネル型を示しているが、これに限定されるものでない。すなわち、第 1 ~ 3 のトランジスタ 1 4 0 5 ~ 1 4 0 7 の導電型に依存するものではなく、領域 1 4 0 1 または領域 1 4 0 2 をカットするか、領域 1 4 0 3 及び領域 1 4 0 4 を共にカットすることにより、配線 1 4 5 1 及び配線 1 4 5 2 から各トランジスタや発光素子 1 0 1 を通って発光素子の他方の電極 1 0 8 に電流が流れる経路を遮断することができるため、発光素子 1 0 1 が発光すること（輝点の発生）を防止することができる。なお、配線 1 4 5 1 と第 1 のトランジスタ 1 4 0 5 との間に、第 2 のトランジスタ 1 4 0 6 以外のトランジスタなどの素子がさらに直列にあってもよいし、配線 1 4 5 2 と第 1 のトランジスタ 1 4 0 5 との間に、第 3 のトランジスタ 1 4 0 7 以外のトランジスタなどの素子がさらに直列にあってもよい。また、第 2 のトランジスタ 1 4 0 6、第 3 のトランジスタ 1 4 0 7 と並列関係にあるトランジスタなどの素子がさらにあってもよい。

【 0 0 6 8 】

（実施の形態 2）

本実施の形態では、発光素子の一方の電極に電位を与える電源線と前記発光素子の一方の電極との間において、少なくとも 1 箇所配線のカット（切断）する方法について説明する。

【 0 0 6 9 】

図 1 に、E L 素子を有する画素がマトリクス状に設けられている画素部における 1 画素の構成の一例を示す。

【 0 0 7 0 】

各画素には、発光素子 1 0 1、駆動用のトランジスタ 1 0 2、スイッチング用トランジスタ 1 0 3、コンデンサ 1 0 4 が設けられている。スイッチング用トランジスタ 1 0 3 のゲート電極は、ゲート信号線 1 0 7（走査線）に接続され、ソース領域とドレイン領域は、一方がソース信号線 1 0 6（データ線）に、もう一方が駆動用のトランジスタ 1 0 2 のゲート電極及びコンデンサ 1 0 4 の一方の電極にそれぞれ接続されている。

【 0 0 7 1 】

コンデンサ 1 0 4 はスイッチング用トランジスタ 1 0 3 が非選択状態（オフ状態）にあるとき、駆動用のトランジスタ 1 0 2 のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。なお、本実施の形態ではコンデンサ 1 0 4 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 1 0 4 を設けない構成にしてもよい。つまり、駆動用のトランジスタ 1 0 2 のゲート容量で代用することが可能である。トランジスタ 1 0 2 のゲート容量については、ソース領域、ドレイン領域、L D D 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル形成領域とゲート電極との間で容量が形成されていてもよいし、それらの組み合わせでもよい。

【 0 0 7 2 】

また、駆動用のトランジスタ 1 0 2 のソース領域とドレイン領域は、一方が電源線 1 0 5 に接続され、もう一方は発光素子 1 0 1 の一方の電極に接続される。本実施の形態では、スイッチング用トランジスタ 1 0 3 は P チャネル型であり、電源線 1 0 5 の方が発光素

10

20

30

40

50

子の他方の電極 108 よりも電位が高いとしているので、電源線 105 に接続されているのがソースであり、発光素子 101 の一方の電極に接続されているのがドレインである。

【0073】

電源線 105 はコンデンサ 104 の他方の電極に接続されている。しかし、この構成に限定されるものではなく、例えば、コンデンサ 104 の他方の電極に専用配線が接続されていてもよいし、他の画素のゲート信号線が接続されている構成でもよい。

【0074】

発光素子 101 は、陽極と陰極との間に設けられた有機化合物を含む層とからなる。陽極が駆動用のトランジスタ 102 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が駆動用のトランジスタ 102 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。なお、本実施の形態では、画素電極を陽極として説明する。

【0075】

なお、有機化合物を含む層は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層には、元素周期律第 4 族金属錯体をその一部に用いることとする。また、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、有機化合物からなる膜の一部に無機化合物を用いる構成であってもよい。さらに、一重項材料だけでなく公知の三重項材料を用いることも可能である。

【0076】

発光素子 101 の発光素子の他方の電極 108 (対向電極 (陰極)) には低電源電位 (VSS) が与えられている。また電源線は高電源電位 (VDD) が与えられている。ここで、本明細書においては、高電源電位 (VDD) は低電源電位 (VSS) よりも相対的に高い電位を有しているものとする。また、高電源電位と低電源電位は、外付けの IC 等により表示装置に設けられた電源によって与えられる。

【0077】

次に、欠陥画素の修正方法について説明する。

【0078】

電源線 105 と発光素子 101 の陽極との間において、少なくとも 1 箇所配線をカット (切断) する。例えば、図 1 の楕円形状で示した箇所 121、122 の少なくともいずれか一方 (配線部) を切断する。例えば、駆動用のトランジスタ 102 の有する活性層を、チャンネル幅方向に切断する。したがって、発光素子の両極間ショート、配線間のショート、発光素子の電極と配線間のショート、または発光素子に接続されたトランジスタの動作不良が生じていても、このように領域 121 や領域 122 をカットすることにより、電源線 105 から駆動用のトランジスタ 102 や発光素子 101 を通って発光素子の他方の電極 108 (陰極) に電流が流れる経路を遮断することができるため、発光素子 101 が発光すること (輝点の発生) を防止することができる。

【0079】

配線または活性層の切断方法については、公知の方法を用いればよい。例えば、任意の波長のレーザー光を、配線または活性層上の層間絶縁膜に照射して除去する。次に、任意の波長のレーザー光を露出された配線または活性層に照射して切断する。なお、レーザーの種類や、周波数、ビームプロファイル、エネルギー密度 (またはパワー密度、)、パルス幅といったレーザーの照射条件についても特に限定されるものではない。また、レーザー光の発振方式は、パルス発振方式でもよいし、連続発振方式でもよい。また、レーザー光は、発光素子が設けられている側 (基板上面側) から照射してもよいし、その逆側 (基板下面側) から照射してもよい。ただし、レーザー光を上面側から照射するときは、発光素子の他方の電極 108 (陰極) を透過させる必要があるため、下面側から照射することが望ましい。

【0080】

本実施の形態では紫外（UV）レーザーを用いるが、本発明に用いるレーザーの種類に制約はない。レーザーは、レーザー媒質、励起源、共振器により構成されている。レーザーは、媒質により分類すると、気体レーザー、液体レーザー、固体レーザーがあり、発振の特徴により分類すると、自由電子レーザー、半導体レーザー、X線レーザーがあるが、本発明では、いずれのレーザーを用いてもよい。なお、好ましくは、気体レーザー又は固体レーザーを用いるとよく、さらに好ましくは固体レーザーを用いるとよい。

【0081】

気体レーザーは、ヘリウムネオンレーザー、炭酸ガスレーザー、エキシマレーザー、アルゴンイオンレーザーがある。エキシマレーザーは、希ガスエキシマレーザー、希ガスハライドエキシマレーザーがある。希ガスエキシマレーザーは、アルゴン、クリプトン、キセノンの3種類の励起分子による発振がある。アルゴンイオンレーザーは、希ガスイオンレーザー、金属蒸気イオンレーザーがある。

【0082】

液体レーザーは、無機液体レーザー、有機キレートレーザー、色素レーザーがある。無機液体レーザーと有機キレートレーザーは、固体レーザーに利用されているネオジムなどの希土類イオンをレーザー媒質として利用する。

【0083】

固体レーザーが用いるレーザー媒質は、固体の母体に、レーザー作用をする活性種がドーパされたものである。固体の母体とは、結晶又はガラスである。結晶とは、YAG（イットリウム・アルミニウム・ガーネット結晶）、YLF、YVO<sub>4</sub>、YAlO<sub>3</sub>、サファイア、ルビー、アレキサンドライトである。また、レーザー作用をする活性種とは、例えば、3価のイオン（Cr<sup>3+</sup>、Nd<sup>3+</sup>、Yb<sup>3+</sup>、Tm<sup>3+</sup>、Ho<sup>3+</sup>、Er<sup>3+</sup>、Ti<sup>3+</sup>）である。

【0084】

なお、媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。媒質として単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状のものが用いられているが、媒質としてセラミック（多結晶）を用いる場合はさらに大きいものを作ることが可能である。また、発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザーの出力向上にはある程度限界がある。しかしながら、媒質としてセラミックを用いると、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。さらに、媒質としてセラミックを用いると、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。

【0085】

また、本実施の形態では、駆動用のトランジスタ102をPチャンネル型、スイッチング用トランジスタ103をNチャンネル型としたが、本発明はこの構成に限定されず、それぞれNチャンネル型、Pチャンネル型のどちらでも用いることができる。ただし、本実施の形態のように、画素電極が発光素子101の陽極である場合、駆動用のトランジスタ102はPチャンネル型であることが望ましい。また、画素電極が発光素子101の陰極である場合、駆動用のトランジスタ102はNチャンネル型を用いると、駆動用のトランジスタ102のソース電位が変化せず、動作させやすいため、好ましい。

【0086】

また、駆動用のトランジスタ102、スイッチング用トランジスタ103は、それぞれ非晶質半導体膜（代表的には、アモルファスシリコン）からなる活性層を有していてもよいし、多結晶半導体膜（代表的には、ポリシリコン）からなる活性層を有していてもよいし、単結晶でもよい。ただし、本実施の形態のように、駆動用のトランジスタ102としてPチャンネル型を用いるときは、移動度の特性を考慮して多結晶半導体膜からなる活性層

10

20

30

40

50

を有していることが望ましい。また、駆動用のトランジスタ102としてNチャンネル型を用いるときは、非晶質半導体膜からなる活性層を有していることが望ましい。

【0087】

また、駆動用のトランジスタ102、スイッチング用トランジスタ103は、順スタガ型でもよいし、逆スタガ型であってもよい。また、トップゲート型でもよいし、ボトムゲート型でもよい。また、チャンネル形成領域の上にゲート電極があってもよいし、下にゲート電極があってもよい。

【0088】

また、駆動用のトランジスタ102、スイッチング用トランジスタ103は、シングルゲート構造でもよいし、マルチゲート構造であってもよい。また、駆動用のトランジスタ102、スイッチング用トランジスタ103は、LDD構造を有していてもよいし、GOLLDD構造を有していてもよい。

【0089】

なお、本実施の形態では、駆動用のトランジスタ102と電源線105の間に、他のトランジスタや素子が配置されていない構成について説明したが、実施の形態1で説明した図12～15の構造のように、電源線と陽極との間に駆動用のトランジスタ102以外のトランジスタが配置されているような画素構成についても本発明を適用することができる。すなわち、画素内部に引き込まれた電源線と陽極との間において、電流の経路を断線させることにより、発光素子に電流が流れて発光しないようにしたり、他の画素に所定の電位を与えることができる。

【0090】

(実施の形態3)

本実施の形態では、発光素子の一方の電極に電位を与える電源線と前記発光素子の一方の電極との間において、少なくとも1箇所配線をカット(切断)する別の方法について説明する。

【0091】

図2に、表示装置の一例を示す。201は画素部、202は走査線駆動回路(ゲートドライバ)、203は信号線駆動回路(ソースドライバ)、を示している。また、走査線駆動回路202は、走査線G1～Gn(n:正の整数)を介して画素部201の各行を順に走査する。信号線駆動回路203は、信号線S1～Sm(m:正の整数)を介して画素部201の各列にデータ信号を伝達する。各画素の発光素子の一方の電極に電位を与えるための電源線V1～Vnは、各画素毎に上下の両方向から電位を与えることができるような構造になっている。なお、図2には、画素構成の一例を示しているが、本発明はこの画素構成に限定されるものではなく、他の実施の形態で説明するような構成を有する画素でも勿論構わない。

【0092】

次に、欠陥画素の修復方法について図3を用いながら説明する。なお、図3は、画素の構成に関して図1と全く同じであるので、ここでは接続関係などについての説明を省略する。

【0093】

欠陥画素に電源線から電位が与えられないようにするために、画素に電位を与える経路(図3における131、132の少なくともいずれか一と133)を2カ所(または3箇所)切断する。

【0094】

なお、欠陥画素を修正した後は、当該画素が設けられた画素の行よりも下の行には、下から電源線を介して電位を与え、当該画素が設けられた画素の行よりも上の行には、上から電源線を介して電位を与えることが可能であり、その他の画素についても正常に動作させることができる。

【0095】

本実施の形態においては、図2のような画素構成の場合について説明したが、本発明は

10

20

30

40

50

画素内部の構成には依存せず、あらゆる画素構成に対して本発明を適用することができる。すなわち、各画素に対して電源線105を介して上下の両方向から電位を与えることができるような構造を有してさえいれば、あらゆる画素構成に対して本発明を適用することができる。

【0096】

(実施の形態4)

本実施の形態では、発光素子と、当該発光素子に電位を与える電源線との間において、前記発光素子に接続されたトランジスタが常時オフになるようにする方法について説明する。

【0097】

発光素子に接続されているトランジスタを常時オフにする方法として、トランジスタのゲート・ソース間電圧 $V_{gs}$ を制御して、Nチャネル型のときは $V_{gs} < V_{th}$ 、Pチャネル型のときは $V_{gs} > V_{th}$ となるようにする。例えば、Nチャネル型で、 $V_{th} > 0$ 、Pチャネル型で、 $V_{th} < 0$ のときは、トランジスタのゲートとソースとを同電位にする。

【0098】

まず、図11に示すような発光素子101と電源線105との接続関係の場合について説明する。1103は、Pチャネル型トランジスタを示している。

【0099】

発光素子に接続されているPチャネル型トランジスタ1103を常時オフにする方法として、Pチャネル型トランジスタ1103のゲート・ソース間電圧 $V_{gs}$ を制御して、 $V_{gs} > V_{th}$ となるようにする。例えば、 $V_{th} < 0$ のときは、トランジスタのゲートとソースとを同電位にする。

【0100】

したがって、電源線に接続されている発光素子の一方の電極が陽極の場合、電源線に接続されている側がソースであり、陽極に接続されている側がドレインとなるため、電源線105とPチャネル型トランジスタ1103のゲート配線とを短絡(ショート)させることにより、Pチャネル型トランジスタ1103のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0101】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Pチャネル型トランジスタ1103のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、Pチャネル型トランジスタ1103のゲート配線と、高電位電源に接続された電源線105の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0102】

また、電源線に接続されている発光素子の一方の電極が陰極の場合、電源線に接続されている側がドレインであり、陰極に接続されている側がソースとなるため、発光素子の陰極とPチャネル型トランジスタ1103のゲート配線とを短絡(ショート)させることにより、Pチャネル型トランジスタ1103のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0103】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Pチャネル型トランジスタ1103のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、Pチャネル型トランジスタ1103のゲート配線と、高電位電源に接続された発光素子の陽極の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0104】

なお、図11を用いて、トランジスタ1103がPチャネル型のときについて説明した

10

20

30

40

50

が、トランジスタ1103がNチャンネル型のときにも本発明は適用することができる。以下、具体的に説明する。

【0105】

電源線に接続されている発光素子の一方の電極が陽極の場合、発光素子の一方の電極に接続されている側がソースであり、電源線に接続されている側がドレインとなるため、発光素子の一方の電極とNチャンネル型のトランジスタ1103のゲート配線とを短絡（ショート）させることにより、Nチャンネル型のトランジスタ1103のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0106】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Nチャンネル型のトランジスタ1103のゲートに、ソースよりも低い電位を与えるようにしてもよい。すなわち、Nチャンネル型のトランジスタ1103のゲート配線と、発光素子の陽極の電位よりも低い電位を与える配線とを短絡させるようにしてもよい。

【0107】

また、電源線に接続されている発光素子の一方の電極が陰極の場合、陰極に接続されている側がドレインであり、電源線に接続されている側がソースとなるため、電源線105とNチャンネル型のトランジスタ1103のゲート配線とを短絡（ショート）させることにより、Nチャンネル型のトランジスタ1103のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0108】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Nチャンネル型のトランジスタ1103のゲートに、ソースよりも低い電位を与えるようにしてもよい。すなわち、Nチャンネル型のトランジスタ1103のゲート配線と、低電位電源に接続された電源線の電位よりも低い電位を与える配線とを短絡させるようにしてもよい。

【0109】

次に、図12に示すような発光素子101と電源線105との接続関係の場合について説明する。1204、1205は、共にPチャンネル型トランジスタを示している。Pチャンネル型トランジスタ1204、1205は直列接続されているので、少なくとも一つをオフにすればよいが、信頼性向上のために両方をオフにしてもよい。

【0110】

電源線に接続されている発光素子の一方の電極が陽極の場合、電源線に接続されている側がソースであり、陽極に接続されている側がドレインとなるため、電源線105と第1のPチャンネル型トランジスタ1204のゲート配線、または電源線105と第2のPチャンネル型トランジスタ1205のゲート配線とを短絡（ショート）させることにより、第1のPチャンネル型トランジスタ1204または第2のPチャンネル型トランジスタ1205をオフにすることができる。また、第1のPチャンネル型トランジスタ1204のゲートとソースとを短絡（ショート）させることにより、第1のPチャンネル型トランジスタ1204をオフにしてもよい。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0111】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第1のPチャンネル型トランジスタ1204または第2のPチャンネル型トランジスタ1205のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、第1のPチャンネル型トランジスタ1204または第2のPチャンネル型トランジスタ1205のゲート配線と、高電位電源に接続された電源線105の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0112】

また、電源線に接続されている発光素子の一方の電極が陰極の場合、電源線に接続され

10

20

30

40

50

ている側がドレインであり、陰極に接続されている側がソースとなるため、発光素子の陰極と、第1のPチャンネル型トランジスタ1204または第2のPチャンネル型トランジスタ1205のゲート配線とを短絡(ショート)させることにより、第1のPチャンネル型トランジスタ1204または第2のPチャンネル型トランジスタ1205をオフにすることができる。また、第2のPチャンネル型トランジスタ1205のゲートとソースとを短絡(ショート)させることにより、第2のPチャンネル型トランジスタ1205をオフにしてもよい。

この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0113】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Pチャンネル型のトランジスタのゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、第1のPチャンネル型トランジスタ1204または第2のPチャンネル型トランジスタ1205のゲート配線と、高電位電源に接続された発光素子の陽極の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0114】

なお、図12を用いて、第1のトランジスタ1204及び第2のトランジスタ1205が共にPチャンネル型のときについて説明したが、これに限定されない。第1のトランジスタ1204及び第2のトランジスタ1205が共にNチャンネル型でもよいし、いずれか一方のみがNチャンネル型のときにも本発明は適用することができる。以下、具体的に説明する。

【0115】

第1のトランジスタ1204及び第2のトランジスタ1205が共にNチャンネル型の場合について説明する。Nチャンネル型のトランジスタ1204、1205は直列接続されているので、少なくとも一つをオフにすればよいが、信頼性向上のために両方をオフにしてもよい。

【0116】

電源線に接続されている発光素子の一方の電極が陽極の場合、陽極に接続されている側がソースであり、電源線に接続されている側がドレインとなるため、陽極と第1のNチャンネル型のトランジスタ1204のゲート配線、または陽極と第2のNチャンネル型のトランジスタ1205のゲート配線とを短絡(ショート)させることにより、第1のNチャンネル型のトランジスタ1204または第2のNチャンネル型のトランジスタ1205をオフにすることができる。また、第2のNチャンネル型のトランジスタ1205のゲートとソースとを短絡(ショート)させることにより、第2のNチャンネル型のトランジスタ1205をオフにしてもよい。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0117】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第1のNチャンネル型のトランジスタ1204または第2のNチャンネル型のトランジスタ1205のゲートに、ソースよりも低い電位を与えるようにしてもよい。すなわち、第1のNチャンネル型のトランジスタ1204または第2のNチャンネル型のトランジスタ1205のゲート配線と、陽極の電位よりも低い電位を与える配線とを短絡させるようにしてもよい。

【0118】

また、電源線に接続されている発光素子の一方の電極が陰極の場合、陰極に接続されている側がドレインであり、電源線に接続されている側がソースとなるため、電源線と、第1のNチャンネル型のトランジスタ1204または第2のNチャンネル型のトランジスタ1205のゲート配線とを短絡(ショート)させることにより、第1のNチャンネル型のトランジスタ1204または第2のNチャンネル型のトランジスタ1205をオフにすることができる。また、第1のNチャンネル型のトランジスタ1205のゲートとソースとを短絡(ショート)させることにより、第1のNチャンネル型のトランジスタ1205をオフにしても

10

20

30

40

50

よい。この結果、発光素子 101 の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0119】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Nチャネル型のトランジスタのゲートに、ソースよりも低い電位を与えるようにしてもよい。すなわち、第1のNチャネル型のトランジスタ1204または第2のNチャネル型のトランジスタ1205のゲート配線と、低電位電源に接続された電源線よりも低い電位を与える配線とを短絡させるようにしてもよい。

【0120】

次に、第1のトランジスタ1204及び第2のトランジスタ1205のうち、いずれか一方のみがNチャネル型の場合について説明する。

10

【0121】

上述したように、発光素子に接続されているトランジスタを常時オフにすればよいので、図12においては、第1のトランジスタ1204及び第2のトランジスタ1205の少なくとも一方を常時オフになるようにすればよい。そして、第1のトランジスタ1204がPチャネル型、Nチャネル型のそれぞれの場合につき、常時オフにさせる方法はすでに説明したので省略する。同様に、第2のトランジスタ1205がPチャネル型、Nチャネル型のそれぞれの場合につき、常時オフにさせる方法はすでに説明したので省略する。

【0122】

次に、図13に示すような発光素子101と電源線との接続関係の場合について説明する。1304、1305は、共にPチャネル型トランジスタを示している。

20

【0123】

発光素子の他方の電極108よりも配線1351、配線1352の方が電位が高く、電源線に接続されている発光素子の一方の電極が陽極の場合、電源線に接続されている側がソースであり、陽極に接続されている側がドレインとなるため、配線1351と第1のPチャネル型トランジスタ1304のゲート配線、及び配線1352と第2のPチャネル型トランジスタ1305のゲート配線とを短絡（ショート）させることにより、第1のPチャネル型トランジスタ1304のゲートとソース、及び第2のPチャネル型トランジスタ1305のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位

30

【0124】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第1のPチャネル型トランジスタ1304及び第2のPチャネル型トランジスタ1305のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、第1のPチャネル型トランジスタ1304のゲート配線と、高電位電源に接続された配線1351の電位よりも高い電位を与える配線とを短絡させ、且つ、第2のPチャネル型トランジスタ1305のゲート配線と、高電位電源に接続された配線1352の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0125】

40

また、電源線に接続されている発光素子の一方の電極が陰極の場合、電源線に接続されている側がドレインとなり、陰極に接続されている側がソースとなるため、発光素子の陰極と、第1のPチャネル型トランジスタ1304及び第2のPチャネル型トランジスタ1305のゲート配線とを短絡（ショート）させることにより、第1及び第2のPチャネル型トランジスタのゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0126】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第1のPチャネル型トランジスタ1304及び第2のPチャネル型トランジスタ1305のゲ-

50

トに、ソースよりも高い電位をそれぞれ与えるようにしてもよい。すなわち、第1のPチャンネル型トランジスタ1304及び第2のPチャンネル型トランジスタ1305のゲート配線と、高電位電源に接続された発光素子の陽極の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0127】

なお、図13を用いて、第1のトランジスタ1304及び第2のトランジスタ1305が共にPチャンネル型のときについて説明したが、これに限定されない。第1のトランジスタ1304及び第2のトランジスタ1305が共にNチャンネル型でもよいし、いずれか一方のみがNチャンネル型のときにも本発明は適用することができる。

【0128】

次に、図14に示すような発光素子101と電源線との接続関係の場合について説明する。1405、1406、1407は、全てPチャンネル型トランジスタを示している。

【0129】

発光素子の他方の電極108よりも配線1451、配線1452の方が電位が高く、電源線に接続されている発光素子の一方の電極が陽極の場合、電源線に接続されている側がソースであり、陽極に接続されている側がドレインとなるため、配線1451と第2のPチャンネル型トランジスタ1406のゲート配線、及び配線1452と第3のPチャンネル型トランジスタ1407のゲート配線とを短絡(ショート)させることにより、第2のPチャンネル型トランジスタ1406のゲートとソース、及び第3のPチャンネル型トランジスタ1407のゲートとソースを同電位とすることができる。また、第1のPチャンネル型トランジスタ1405と第2のPチャンネル型トランジスタ1406及び第3のPチャンネル型トランジスタ1407とを接続している配線と、第1のPチャンネル型トランジスタ1405のゲート配線とを短絡(ショート)させることにより、第1のPチャンネル型トランジスタ1405のゲートとソースを同電位とすることができる。また、第1のPチャンネル型トランジスタ1405のゲート配線と、配線1451または配線1452とをショートさせるようにしてもよい。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0130】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第2のPチャンネル型トランジスタ1406及び第3のPチャンネル型トランジスタ1407のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、第2のPチャンネル型トランジスタ1406のゲート配線と、高電位電源に接続された配線1451の電位よりも高い電位を与える配線とを短絡させ、且つ、第3のPチャンネル型トランジスタ1407のゲート配線と、高電位電源に接続された配線1452の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。例えば、配線1451よりも配線1452の方が電位が高い場合、第2のPチャンネル型トランジスタ1406のゲート配線と配線1452とをショートさせてもよい。また、第1のPチャンネル型トランジスタ1405のゲートに、ソースよりも高い電位を与えるようにしてもよい。

【0131】

また、電源線に接続されている発光素子の一方の電極が陰極の場合、電源線に接続されている側がドレインであり、陰極に接続されている側がソースとなる。このため、発光素子の陰極と、第1のPチャンネル型トランジスタ1405のゲート配線とを短絡(ショート)させることにより、第1のPチャンネル型トランジスタ1405のゲートとソースを同電位とすることができる。また、第1のPチャンネル型トランジスタ1405と第2のPチャンネル型トランジスタ1406及び第3のPチャンネル型トランジスタ1407とを接続している配線と、第2のPチャンネル型トランジスタ1406のゲート配線及び第3のPチャンネル型トランジスタ1407のゲート配線を共に短絡(ショート)させることにより、第2のPチャンネル型トランジスタ1406のゲートとソース及び第3のPチャンネル型トランジスタ1407のゲートとソースを同電位とすることができる。また、第1のPチャンネル型トランジスタ1405のゲートと、配線1451または配線1452とを短絡(ショート

10

20

30

40

50

)させることにより、第1のPチャンネル型トランジスタ1405をオフにしてもよい。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0132】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第2のPチャンネル型トランジスタ1406及び第3のPチャンネル型トランジスタ1407のゲートに、ソースよりも高い電位を与えるようにしてもよい。また、第1のPチャンネル型トランジスタ1405のゲートに、ソースよりも高い電位を与えるようにしてもよい。

【0133】

なお、図14を用いて、第1～3のトランジスタ1405～1407が全てPチャンネル型のときについて説明したが、これに限定されない。第1～3のトランジスタ1405～1407が全てNチャンネル型でもよいし、これらのうち1個または2個のトランジスタがNチャンネル型のときにも本発明は適用することができる。

【0134】

次に、図15に示すような発光素子101と電源線との接続関係の場合について説明する。1506、1507、1508は、全てPチャンネル型トランジスタを示している。

【0135】

発光素子の他方の電極108よりも配線1551、配線1552の方が電位が高く、電源線に接続されている発光素子の一方の電極が陽極の場合、電源線に接続されている側がソースであり、陽極に接続されている側がドレインとなるため、配線1551と第2のPチャンネル型トランジスタ1507のゲート配線、及び配線1552と第3のPチャンネル型トランジスタ1508のゲート配線とを短絡(ショート)させることにより、第2のPチャンネル型トランジスタ1507のゲートとソース、及び第3のPチャンネル型トランジスタ1508のゲートとソースを同電位とすることができる。また、第1のPチャンネル型トランジスタ1506と第2のPチャンネル型トランジスタ1507とを接続している配線または配線1551と、第1のPチャンネル型トランジスタ1506のゲート配線とを短絡(ショート)させることにより、第1のPチャンネル型トランジスタ1506のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

【0136】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第1のPチャンネル型トランジスタ1506または第2のPチャンネル型トランジスタ1507、及び第3のPチャンネル型トランジスタ1508のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、第1のPチャンネル型トランジスタ1506または第2のPチャンネル型トランジスタ1507のゲート配線と、高電位電源に接続された配線1551の電位よりも高い電位を与える配線とを短絡させ、且つ、第3のPチャンネル型トランジスタ1508のゲート配線と、高電位電源に接続された配線1552の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。

【0137】

また、電源線に接続されている発光素子の一方の電極が陰極の場合、電源線に接続されている側がドレインであり、陰極に接続されている側がソースとなる。このため、発光素子の陰極と第1のPチャンネル型トランジスタ1506のゲート配線とを短絡(ショート)させるか、第2のPチャンネル型トランジスタ1507のゲート配線と、第1のPチャンネル型トランジスタ1506及び第2のPチャンネル型トランジスタ1507とを接続している配線とを短絡(ショート)させることにより、配線1551と発光素子101の陽極との間で電流が流れる経路を断つことができる。さらに、発光素子の陰極と第3のPチャンネル型トランジスタ1508のゲート配線とを短絡(ショート)させることにより、配線1552と発光素子101の陽極との間で電流が流れる経路を断つことができる。この結果、発光素子101の両端がショートしても発光素子に電流が流れて発光しないようにし、他の画素に所定の電位を与えることができる。

10

20

30

40

50

## 【0138】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、第1のPチャンネル型トランジスタ1506または第2のPチャンネル型トランジスタ1507のゲートに、ソースよりも高い電位を与えるようにし、且つ、第3のPチャンネル型トランジスタ1508のゲートに、ソースよりも高い電位を与えるようにしてもよい。

## 【0139】

なお、図15を用いて、第1～3のトランジスタ1506～1508が全てPチャンネル型のときについて説明したが、これに限定されない。第1～3のトランジスタ1506～1508が全てNチャンネル型でもよいし、これらのうち1個または2個のトランジスタがNチャンネル型のときにも本発明は適用することができる。

10

## 【0140】

以上、本実施の形態では、発光素子に接続されたトランジスタを常時オフにする方法について説明したが、発光素子に電位を与える電流の経路が図13～15のように複数有る場合は、実施の形態1、2で述べた方法と本実施の形態で述べた方法を組み合わせて使用することが可能である。例えば、図15において、配線1551に接続されている電流の経路については領域1502または領域1504にレーザーを照射して配線をカットし、配線1552に接続されている電流の経路については、第3のトランジスタ1508のゲートとソースの電位を同電位にするようにし、第3のトランジスタ1508が常時オフになるようにすることもできる。

## 【0141】

(実施の形態5)

本実施の形態では、発光素子と、当該発光素子に電位を与える電源線との間において、前記発光素子に接続されたトランジスタが常時オフになるようにする方法について図4を用いながら説明する。なお、図4は、図1におけるスイッチング用トランジスタ103がPチャンネル型に置き換わっていること以外、図1と全く同じであるため、ここでは接続関係などについての説明を省略する。

20

## 【0142】

実施の形態1で説明したように、駆動用のトランジスタ102はPチャンネル型であり、電源線に接続されている発光素子の一方の電極は陽極である。つまり、電源線に接続されている側がソースであり、陽極に接続されている側がドレインとなる。したがって、より具体的には、電源線105と駆動用のトランジスタ102のゲート配線とを短絡(ショート)させることにより、駆動用のトランジスタ102のゲートとソースを同電位とすることができる。この結果、発光素子101の両端がショートしても、発光素子に電流が流れて発光しないようにしたり、他の画素に所定の電位を与えることができる。なお、ゲートとソースとを同電位とする駆動用のトランジスタ102は、エンハンスメント型であることが望ましい。

30

## 【0143】

また、発光素子に接続されているトランジスタを常時オフにする別の例として、Pチャンネル型の駆動用のトランジスタ102のゲートに、ソースよりも高い電位を与えるようにしてもよい。すなわち、駆動用のトランジスタ102のゲート配線と、高電位電源に接続された電源線105の電位よりも高い電位を与える配線とを短絡させるようにしてもよい。この方法に関する具体例を説明する。

40

## 【0144】

本実施の形態ではスイッチング用トランジスタ103がPチャンネル型であるため、スイッチング用トランジスタ103のゲートに接続されているゲート信号線107には、通常スイッチング用トランジスタ103をオフにすべくHiの信号が与えられている。したがって、ゲート信号線107に通常与えられている電位を、電源線105の電位よりも高い電位に設定し、ゲート信号線107と駆動用のトランジスタ102のゲート配線とを短絡させることにより、駆動用のトランジスタ102を強制的にオフにさせることができる。

## 【0145】

50

なお、短絡させる方法については、公知の方法を用いればよい。例えば、ゲート信号線107と駆動用のトランジスタ102のゲート配線とが絶縁膜を介して上下に重なっている箇所に対して任意の波長のレーザー光を照射する。レーザー光の照射により、当該照射領域における絶縁膜は破壊され、照射領域周辺においてゲート信号線107と駆動用のトランジスタ102のゲート配線とを接続することができる。なお、レーザーの種類や、エネルギー密度、パルス幅といった照射条件についても特に限定されるものではない。また、レーザー光の発振方式は、パルス発振方式でもよいし、連続発振方式でもよい。また、レーザー光は、発光素子が設けられている側（基板上面側）から照射してもよいし、その逆側（基板下面側）から照射してもよい。ただし、レーザー光を上面側から照射するときには、陰極108を透過させる必要があるため、下面側から照射することが望ましい。

10

## 【0146】

なお、実施の形態1で説明した図12～15のように、電源線と陽極との間に駆動用のトランジスタ102以外のトランジスタが配置されている場合もある。この場合も、本実施の形態で説明した方法を用い、電源線と陽極との間に接続されたトランジスタの少なくとも一つが常にオフするようにし、発光素子の一方の電極に電流が流れ込まないようにすればよい。

## 【0147】

また、本実施の形態では駆動用のトランジスタ102がPチャネル型の場合について説明したが、本方法は駆動用のトランジスタ102がNチャネル型の場合にも適用することが可能である。

20

## 【0148】

また、本実施の形態ではスイッチング用トランジスタ103がPチャネル型の場合について説明したが、本方法はスイッチング用トランジスタ103がNチャネル型の場合にも適用することが可能である。

## 【0149】

（実施の形態6）

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の構成について説明する。

## 【0150】

図17に、1画素分のレイアウトの一例を示す。また、図17において波線で示した部分の拡大図を図5(A)に示す。また、図5(B)は、図5(A)において、A-A'方向に切断したときの断面図である。なお、本画素構成の等価回路は、図1に対応している。

30

## 【0151】

図5(A)、図5(B)において、501は発光素子の一方の電極（陽極）、502は配線、503は駆動用のトランジスタ102の活性層、504は駆動用のトランジスタ102のゲート電極も兼ねるゲート配線、521は基板、522は下地膜、523は駆動用のトランジスタ102のゲート絶縁膜、524は層間絶縁膜、525は層間絶縁膜を示している。なお、これらを構成する材料は公知のものを用いればよく、具体例を以下に説明するが、以下に説明する具体例に限定されるものではない。

40

## 【0152】

基板521は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板、プラスチック等の可撓性を有する合成樹脂からなる基板等を用いることができる。

## 【0153】

下地膜522は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜のいずれか一を用いる単層構造としてもよいし、これらを適宜積層する構造としてもよい。例えば、下地膜として、基板521上に窒化酸化珪素膜、酸化窒化珪素膜を順に積層する構成とすればよい。この場合、下地膜が透明となり、レーザー光を透過させることが出来る。したがって、下地膜上に形成される配線または半導体層のみカットしたり配線間などをショ

50

ートさせることができる。なお、本明細書中において、酸化窒化珪素とは酸素の組成比が窒素の組成比より大きい物質のことを指し、窒素を含む酸化珪素ということもできる。また、本明細書中において、窒化酸化珪素とは窒素の組成比が酸素の組成比より大きい物質のことを指し、酸素を含む窒化珪素ということもできる。

【0154】

活性層503は、非晶質半導体膜、微結晶半導体膜、結晶性半導体膜などを用いることができる。また、半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)を用いるとよい。また、駆動用のトランジスタ102の活性層503は、ソース領域、ドレイン領域、及びチャネル形成領域を少なくとも有し、ソース領域、ドレイン領域には、p型の導電性を付与する不純物が含まれている。また、活性層503はゲート電極にLDD領域がオーバーラップしている構造や、ゲート電極にLDD領域が重ならない構造、またはオフセット構造を有していてもよい。例えば、駆動用のトランジスタ102はNチャネル型、Pチャネル型のいずれの場合でもゲート電極にLDD領域がオーバーラップしている構造が好ましい。また、スイッチング用トランジスタ103は、Nチャネル型、Pチャネル型のいずれの場合でもゲート電極にLDD領域が重ならない構造であることが好ましい。

10

【0155】

ゲート絶縁膜523は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜のいずれか一を用いる単層構造としてもよいし、これらを適宜積層する構造としてもよい。例えば、単層構造とする場合は酸化珪素膜を用い、積層構造とする場合は酸化窒化珪素膜窒化酸化珪素膜を順に積層する構成とすればよい。

20

【0156】

ゲート配線504は、Al、Mo、Ti、NdまたはW等の金属若しくはその合金、またはその金属窒化物を使用することができ、これらの金属の単層構造としてもよいし、積層構造としてもよい。また、導電膜としてポリシリコン膜を用いてもよい。

【0157】

層間絶縁膜524は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜のいずれか一を用いる単層構造としてもよいし、これらを適宜積層する構造としてもよい。なお、ゲート配線504としてモリブデン(Mo)を用いているときは、ゲート配線504に接して層間絶縁膜524として窒化珪素膜を用いることが好ましい。

30

【0158】

配線502、電源線105は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba、Nd等の金属若しくはその合金、またはその金属窒化物を用いて形成する。また、Si、Geなどの半導体材料を用いることもできる。また、これらの積層構造としてもよい。なお、配線502や電源線105として低融点の金属材料を用いることは、配線502や電源線105を後にレーザー照射によってカットすることが容易になるため、本発明に最適である。

【0159】

層間絶縁膜525は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素と結合された水素がメチル基やフェニル基のような有機基によって置換された有機シロキサン系の絶縁性材料を用いることができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。また、これらの材料からなる層を積層させてもよい。また、図16に示すように、層間絶縁膜525を設けず、コンタクトホールを介さずに発光素子の一方の電極501と配線502とを直接接続する構成としてもよい。

40

【0160】

50

次に、本実施の形態における表示装置の構造について説明する。

【0161】

電源線105は、駆動用のトランジスタ102とコンタクトホールを介して接続するために、電源線は各画素（行）ごとに一部突出した形状を有している。また、電源線が一部突出している領域において、一部の幅が狭くなった形状（図5における領域515の部分）を有している。この場合、領域515における電源線105の縦幅（Y55）を3 $\mu$ m以下にすることが好ましい。また、領域515における電源線105の横幅（X55）を4 $\mu$ m以上にすることが好ましい。このようにすることで、レーザーショットの断面（スポット）の形状や大きさとの関係から、欠陥を修復するのに必要な箇所のみカットすることができるため、電源線105自体が断線して他の画素に影響を与えることがない。また、他の配線がショートして他の回路に影響を与えることを防止することもできる。

10

【0162】

このような形状の電源線105を有することにより、領域515にレーザーを照射して電源線105を容易に切断することができる。すなわち、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【0163】

また、駆動用のトランジスタ102の活性層503は、配線502やゲート配線504、電源線105に覆われていない領域513、514を有する。この領域513、514を、駆動用のトランジスタ102のチャンネル幅方向に対して平行な方向の長さを小さくするようにしておき、領域513または領域514にレーザーを照射することによって、活性層503を切断するようにしてもよい。この場合、駆動用のトランジスタ102のチャンネル幅方向に対して平行な方向の長さ（Y53、Y54）を3 $\mu$ m以下にすることが好ましい。また、駆動用のトランジスタ102のチャンネル長方向に対して平行な方向の長さ（X53、X54）を4 $\mu$ m以上にすることが好ましい。

20

【0164】

また、活性層503と発光素子の一方の電極（陽極）501とを接続するための配線502において、配線502と活性層503とが接続されるコンタクトホールと、配線502と発光素子の一方の電極（陽極）501とが接続されるコンタクトホールとの間の配線502の一部の幅が狭くなるようにしてもよい。この場合、配線502の一部の縦幅（Y52）を3 $\mu$ m以下にすることが好ましい。また、配線502の一部の横幅（X52）を4 $\mu$ m以上にすることが好ましい。

30

【0165】

このような形状の配線502を有することにより、領域512にレーザーを照射して配線502を容易に切断することができる。すなわち、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【0166】

また、発光素子の一方の電極（陽極）501において、配線502と重なっている箇所に隣接する領域の幅を一部狭くなるようにしてもよい。この場合、発光素子の一方の電極（陽極）501の一部の縦幅（Y51）を3 $\mu$ m以下にすることが好ましい。また、発光素子の一方の電極（陽極）501の一部の横幅（X51）を4 $\mu$ m以上にすることが好ましい。

40

【0167】

このような形状の発光素子の一方の電極（陽極）501を有することにより、領域511にレーザーを照射して発光素子の一方の電極（陽極）501を容易に切断することができる。すなわち、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【0168】

また、図5ではゲート電極が半導体活性層に対して上部にある構成（トップゲート型）を示したが、図9に示すようなゲート電極が半導体活性層に対して下部にある構成の場合においても、レーザー照射により領域511～515の少なくともいずれかを容易に切

50

断することができる。

【0169】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた構成の場合においても、本発明は適用することができる。例えば、図19に示すような逆スタガ型のチャンネルエッチ構造のトランジスタ、図20に示すようなチャンネル保護構造のトランジスタにおいても、レーザー照射により領域511~515の少なくともいずれかを容易に切断することができる。なお、図20において、絶縁膜516がチャンネルを保護する膜として機能している。

【0170】

(実施の形態7)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0171】

図6に、1画素のレイアウトの上面図を示す。なお、本画素構成の等価回路は、図1に対応している。

【0172】

駆動用のトランジスタ102の活性層503は、配線502や電源線105に覆われていない領域612を有する。この領域612を、電源線105に対して平行な方向の長さを小さくするようにしておき、領域612にレーザーを照射することによって、活性層503を切断するようにしてもよい。この場合、電源線105に対して平行な方向の長さ(Y62)を3 $\mu$ m以下にすることが好ましい。また、電源線105に対して垂直な方向の長さ(X62)を4 $\mu$ m以上にすることが好ましい。このようにすることで、レーザーショットの断面(スポット)の形状や大きさとの関係から、欠陥を修復するのに必要な箇所のみカットすることができるため、領域612に隣接している電源線105自体が断線して他の画素に影響を与えることがない。また、他の配線がショートして他の回路に影響を与えることを防止することもできる。

【0173】

また、活性層503と発光素子の一方の電極(陽極)501とを接続するための配線502において、配線502と活性層503とが接続されるコンタクトホールと、配線502と発光素子の一方の電極(陽極)501とが接続されるコンタクトホールとの間の配線502の一部の幅が狭くなるようにしてもよい。この場合、配線502の一部の縦幅(Y61)を3 $\mu$ m以下にすることが好ましい。また、配線502の一部の横幅(X61)を4 $\mu$ m以上にすることが好ましい。

【0174】

このような形状の配線502を有することにより、領域611にレーザーを照射して配線502を容易に切断することができる。すなわち、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【0175】

(実施の形態8)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0176】

図7に、1画素のレイアウトの上面図を示す。なお、本画素構成の等価回路は、図1に対応しており、駆動用のトランジスタ102はPチャンネル型であるものとする。また、駆動用のトランジスタ102は、電源線105と接続されている側がソースであり、発光素子の一方の電極(陽極)501に接続されている側がドレインであるものとする。

【0177】

電源線105は、概略直線形状であるが、各画素(行)ごとに対応して、凹部を有している。さらに、この凹部の箇所には、活性層503に接続するために一部突出した領域を有し、且つ、前記突出した領域の一部の幅が狭くなった形状を有している。この場合、領

10

20

30

40

50

域 7 1 2 における電源線 1 0 5 の縦幅 ( Y 7 2 ) を  $3 \mu\text{m}$  以下にすることが好ましい。また、領域 7 1 2 における電源線 1 0 5 の横幅 ( X 7 2 ) を  $4 \mu\text{m}$  以上にすることが好ましい。

【 0 1 7 8 】

このような形状の電源線 1 0 5 を有することにより、領域 7 1 2 にレーザーを照射して電源線 1 0 5 を容易に切断することができる。すなわち、どの画素において欠陥画素が生じて、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。なお、図 5 に示した構造では、電源線 1 0 5 の一部が突出しているためにレイアウト面積が大きくなり開口率が犠牲になってしまうが、図 7 に示した構造のように電源線に凸部が設けられていることにより、開口率を犠牲にせず配線 5 0 2 を容易に切断する構成を得ることができる。

10

【 0 1 7 9 】

また、ゲート配線 5 0 4 は、層間絶縁膜を介して電源線 1 0 5 と重なっている。この重なっている領域の一部、例えば領域 7 1 3 に対してレーザーを照射することにより、ゲート配線 5 0 4 と電源線 1 0 5 とを短絡させてもよい。すなわち、ゲート配線 5 0 4 と、電源線 1 0 5 とを短絡させることによって駆動用のトランジスタ 1 0 2 のゲートとソースが同電位になるため、駆動用のトランジスタ 1 0 2 はオフになり、発光素子がショートしても電流が流れず、画素不良の欠陥を容易に修正することができる。

【 0 1 8 0 】

また、駆動用のトランジスタ 1 0 2 の活性層 5 0 3 は、配線 5 0 2 やゲート配線 5 0 4 、電源線 1 0 5 に覆われていない領域 7 2 1、7 2 2 を有する。この領域 7 2 1、7 2 2 を、駆動用のトランジスタ 1 0 2 のチャンネル幅方向に対して平行な方向の長さを小さくするようにしておき、領域 7 2 1 または領域 7 2 2 にレーザーを照射することによって、活性層 5 0 3 を切断するようにしてもよい。この場合、駆動用のトランジスタ 1 0 2 のチャンネル幅方向に対して平行な方向の長さ ( Y 7 3、Y 7 4 ) を  $3 \mu\text{m}$  以下にすることが好ましい。また、駆動用のトランジスタ 1 0 2 のチャンネル長方向に対して平行な方向の長さ ( X 7 3、X 7 4 ) を  $4 \mu\text{m}$  以上にすることが好ましい。

20

【 0 1 8 1 】

また、活性層 5 0 3 と発光素子の一方の電極 ( 陽極 ) 5 0 1 とを接続するための配線 5 0 2 において、配線 5 0 2 と活性層 5 0 3 とが接続されるコンタクトホールと、配線 5 0 2 と発光素子の一方の電極 ( 陽極 ) 5 0 1 とが接続されるコンタクトホールとの間の配線 5 0 2 の一部の幅が狭くなるようにしてもよい。この場合、配線 5 0 2 の一部の縦幅 ( Y 7 1 ) を  $3 \mu\text{m}$  以下にすることが好ましい。また、配線 5 0 2 の一部の横幅 ( X 7 1 ) を  $4 \mu\text{m}$  以上にすることが好ましい。

30

【 0 1 8 2 】

このような形状の配線 5 0 2 を有することにより、領域 7 1 1 にレーザーを照射して配線 5 0 2 を容易に切断することができる。すなわち、どの画素において欠陥画素が生じて、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【 0 1 8 3 】

( 実施の形態 9 )

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

40

【 0 1 8 4 】

図 1 8 に、1 画素のレイアウトの上面図を示す。なお、本画素構成の等価回路は、図 1 3 において配線 1 3 5 1 と配線 1 3 5 2 とが同じ電源に接続されている場合に対応しており、発光素子の一方の電極 5 0 1 は、互いに並列に接続された第 1 のトランジスタと第 2 のトランジスタを介して電源線 1 0 5 に接続されている。

【 0 1 8 5 】

電源線 1 0 5 は、概略直線形状であるが、各画素 ( 行 ) ごとに対応して、凸部を 2 箇所有している。この凸部は、一部の幅が狭くなった形状を有している。この場合、領域 1 8

50

01及び領域1805における電源線105の縦幅(Y)を3 $\mu$ m以下にすることが好ましい。また、領域712における電源線105の横幅(X)を4 $\mu$ m以上にすることが好ましい。

【0186】

このような形状の電源線105を有することにより、領域1801及び領域1805にレーザーを照射して電源線105を容易に切断することができる。すなわち、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【0187】

また、ゲート配線504は、層間絶縁膜を介して電源線105と重なっている。このため、第1のトランジスタ及び第2のトランジスタがPチャンネル型で、且つ、発光素子の一方の電極501が陽極の場合、または、第1のトランジスタ及び第2のトランジスタがNチャンネル型で、且つ、発光素子の一方の電極501が陰極の場合、ゲート配線504と電源線105とが重なっている領域の一部、例えば領域1808に対してレーザーを照射することにより、ゲート配線504と電源線105とを短絡させてもよい。すなわち、ゲート配線504と、電源線105とを短絡させることによって第1のトランジスタ及び第2のトランジスタのゲートとソースが同電位になるため、各トランジスタはオフになり、発光素子がショートしても電流が流れず、画素不良の欠陥を容易に修正することができる。

【0188】

また、第1及び第2のトランジスタの活性層503に対して、領域1802及び領域1804の双方に対してレーザー照射を行い、活性層をカットするようにしてもよい。また、領域1803に対してレーザー照射を行えば、照射箇所が1箇所によいため、歩留まり向上の点で好ましい。なお、領域1802及び領域1804の横幅(X)は3 $\mu$ m以下にし、

縦幅(Y)を4 $\mu$ m以上にすることが好ましい。

【0189】

このような形状の活性層503を有することにより、領域領域1802及び領域1804の双方、または領域1803にレーザーを照射して活性層503を容易に切断することができる。すなわち、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥のみを容易に修正することができる。

【0190】

なお、図18においては、発光素子の一方の電極501と第1及び第2のトランジスタの活性層503とが直接接続されているが、図35に示すように、発光素子の一方の電極501と第1及び第2のトランジスタの活性層503との間に配線1806が設けられていてもよい。このとき、配線1806は、電源線105を形成する際に同時に作製することができる。また、配線1806は、欠陥画素が生じたときに簡便に修正することができる構造とする。すなわち、配線1806は、発光素子の一方の電極501と配線1806とが接続される領域と、配線1806と第1及び第2のトランジスタの活性層503とが接続される領域との間における配線1806の一部の幅が細くなった構造としている。配線1806が一部細くなっている領域1807の幅は3 $\mu$ m以下にすることが好ましい。

【0191】

(実施の形態10)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0192】

図36(A)に表示装置の画素部における1画素の一部に相当するレイアウトを示す。図36(A)は、画素電極(発光素子の有する一対の電極のうち一方の電極)と電源線との接続関係を示す上面図であり、図36(B)は、図36(A)においてA-A'方向に切断したときの断面図である。また、図36(A)に示す上面図を等価回路に表すと、図12に相当する。すなわち、図36(A)、図36(B)は、画素電極(発光素子の有

10

20

30

40

50

する一対の電極のうち的一方の電極)と電源線との間に、直列に接続された2つのトランジスタを有する構成を示している。

【0193】

図36(A)は、実施の形態6で説明した図5(A)におけるゲート配線504と駆動用のトランジスタの活性層503との重なりが1つであるのに対し、2つである点で異なるが、それ以外の構成については同じである。このため、本実施の形態では図5との違いに関してのみ説明する。本実施の形態では、上面から見て2つのゲート配線との間に挟まれた活性層503の領域の幅Y54を狭く(細く)した形状としている。この活性層503の領域の幅は、3 $\mu$ m以下とすることが好ましい。

【0194】

このような形状の活性層503を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

【0195】

(実施の形態11)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0196】

図37(A)に表示装置の画素部における1画素の一部に相当するレイアウトを示す。図37(A)は、画素電極(発光素子の有する一対の電極のうち一方の電極)と電源線との接続関係を示す上面図であり、図37(B)は、図37(A)においてA-A'方向に切断したときの断面図である。また、図37(A)に示す上面図を等価回路に表すと、図12に相当し、図36(A)と同様に、画素電極(発光素子の有する一対の電極のうち一方の電極)と電源線との間に、直列に接続された2つのトランジスタを有する構成を示している。

【0197】

図37(A)は、実施の形態10で説明した図36(A)における活性層503が2つに分割され、当該二つの活性層が配線531を介して接続された構成となっている点で図36(A)と異なるが、それ以外の構成については同じである。このため、本実施の形態では図36(A)との違いに関してのみ説明する。本実施の形態では、上面から見て2つのゲート配線との間に挟まれ、且つ配線531と重ならない活性層503の領域の幅Y56、Y58を狭く(細く)した形状としている。この活性層503の領域の幅は、3 $\mu$ m以下とすることが好ましい。また、この活性層503の領域の幅Y56、Y58は、共に狭くした形状としてもよいし、どちらか一方でもよい。

【0198】

また、活性層503の領域の幅の少なくとも一部を狭く(細く)する形状とする代わりに、上面から見て2つの活性層と重ならない配線531の領域の幅を狭く(細く)した形状としてもよい。この配線531の領域の幅Y57は、3 $\mu$ m以下とすることが好ましい。

【0199】

上述したような形状の活性層503または配線531を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

【0200】

(実施の形態12)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0201】

図38に表示装置の画素部における1画素の一部に相当するレイアウトを示す。図38は、画素電極と電源線との接続関係を示す上面図である。また、図38(A)に示す上面図を等価回路に表すと、図13に相当し、画素電極(発光素子の有する一対の電極のうち

10

20

30

40

50

の一方の電極)と電源線との間において、発光素子の一方の電極に接続された2つのトランジスタを少なくとも有する構成を示している。

【0202】

活性層1365を有するトランジスタ1304のソースまたはドレインの一方及び活性層1366を有するトランジスタ1305のソースまたはドレインの一方は、配線1362を介して互いに接続されている。また、配線1362は発光素子101の一方の電極1361(画素電極)に接続されている。また、トランジスタ1304のソースまたはドレインの他方は、配線1351に接続され、トランジスタ1305のソースまたはドレインの他方は、配線1352に接続されている。

【0203】

本実施の形態では、上面から見て配線1362、ゲート配線1363、及び配線1351と重ならない活性層1365の領域の幅Y103、Y104、または活性層1365と重ならない配線1351の幅Y107を狭く(細く)した形状としている。このとき、活性層1365の領域の幅Y103、Y104、または配線1351の幅Y107は、3 $\mu$ m以下とすることが好ましい。また、この幅Y103、Y104、Y107は、これら全ての幅を狭くした形状としてもよいが、少なくとも一つが上記形状となっていればよい。

【0204】

また、本実施の形態では、上面から見て配線1362、ゲート配線1364、及び配線1352と重ならない活性層1366の領域の幅Y105、Y106、または活性層1366と重ならない配線1352の幅Y108を狭く(細く)した形状としている。このとき、活性層503の領域の幅Y105、Y106、または活性層1366と重ならない配線1352の幅Y108は、3 $\mu$ m以下とすることが好ましい。また、この幅Y105、Y106、Y108は、これら全ての幅を狭くした形状としてもよいが、少なくとも一つが上記形状となっていればよい。

【0205】

また、幅Y103、Y104、Y107、及び幅Y105、Y106、Y108を共に狭く(細く)する形状とする代わりに、上面から見て発光素子101の一方の電極1361と配線1362とが重ならない領域の近傍における配線1362の幅Y102または発光素子101の一方の電極1361の幅Y101を狭く(細く)した形状としてもよい。欠陥画素を修復する際に、前者の構成より後者の構成を採用することにより、配線などを切断する箇所が1箇所でありたいため好ましい。また、この配線1362の幅Y102または発光素子101の一方の電極1361の幅Y101は、3 $\mu$ m以下とすることが好ましい。

【0206】

上述したような形状の発光素子101の一方の電極1361、配線1362、活性層1365、活性層1366、配線1351、配線1352を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

【0207】

(実施の形態13)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0208】

図39に表示装置の画素部における1画素の一部に相当するレイアウトを示す。図39は、画素電極(発光素子の有する一対の電極のうち一方の電極)と電源線との接続関係を示す上面図である。また、図39に示す上面図を等価回路に表すと、図13に相当し、図38と同様に、発光素子の一方の電極に接続された2つのトランジスタを有する構成を示している。

【0209】

図39は、実施の形態10で説明した図38における2つの活性層1365、1366

10

20

30

40

50

が一つの活性層 1 3 7 2 に置換された構成となっている点で図 3 8 と異なるが、それ以外の構成については同じである。このため、本実施の形態では図 3 8 との違いに関してのみ説明する。本実施の形態では、幅 Y 1 1 3、Y 1 1 4、及び幅 Y 1 1 5、Y 1 1 6 を共に狭く（細く）する形状とすればよい。また、この構成の代わりに、幅 Y 1 1 1 または Y 1 1 2 を狭く（細く）した形状としてもよい。欠陥画素を修復する際に、前者の構成より後者の構成を採用することにより、配線などを切断する箇所が 1 箇所であり好ましい。また、幅 Y 1 0 3、Y 1 0 4、Y 1 0 7、及び幅 Y 1 0 5、Y 1 0 6、Y 1 0 8 は、それぞれ 3  $\mu$ m 以下とすることが好ましい。

#### 【0210】

上述したような形状の発光素子 1 0 1 の一方の電極 1 3 6 1、配線 1 3 7 1、活性層 1 3 7 2、配線 1 3 5 1、配線 1 3 5 2 を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

#### 【0211】

（実施の形態 1 4）

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

#### 【0212】

図 4 0 に表示装置の画素部における 1 画素の一部に相当するレイアウトを示す。図 4 0 は、画素電極と電源線との接続関係を示す上面図である。また、図 4 0 に示す上面図を等価回路に表すと、図 1 4 に相当し、画素電極と電源線との間において、発光素子の一方の電極に接続されたトランジスタ 1 4 0 5 と、当該トランジスタと接続された 2 つのトランジスタ 1 4 0 6、1 4 0 7 とを少なくとも有する構成を示している。

#### 【0213】

図 4 0 は、活性層 1 4 6 8 を有するトランジスタ 1 4 0 6 のソースまたはドレインの一方及び活性層 1 4 6 9 を有するトランジスタ 1 4 0 7 のソースまたはドレインの一方が配線 1 4 6 5 を介して互いに接続されている。また、配線 1 4 6 5 は、活性層 1 4 6 4 を有するトランジスタ 1 4 0 5 のソースまたはドレインの一方に接続されている。また、トランジスタ 1 4 0 5 のソースまたはドレインの他方は、配線 1 4 6 2 を介して発光素子 1 0 1 の一方の電極 1 4 6 1（画素電極）に接続されている。また、トランジスタ 1 4 0 6 のソースまたはドレインの他方は、配線 1 4 5 1 に接続され、トランジスタ 1 4 0 7 のソースまたはドレインの他方は、配線 1 4 5 2 に接続されている。

#### 【0214】

本実施の形態では、実施の形態 1 3 で図 3 9 を用いて説明したように、幅 Y 1 2 6、Y 1 2 7、Y 1 2 8 の少なくとも一つ、及び幅 Y 1 2 9、Y 1 3 0、Y 1 3 1 の少なくとも一つを狭く（細く）した形状としている。このとき、幅 Y 1 2 6、Y 1 2 7、Y 1 2 8 の少なくとも一つ、及び幅 Y 1 2 9、Y 1 3 0、Y 1 3 1 の少なくとも一つは、3  $\mu$ m 以下とすることが好ましい。

#### 【0215】

また、幅 Y 1 2 6、Y 1 2 7、Y 1 2 8 の少なくとも一つ、及び幅 Y 1 2 9、Y 1 3 0、Y 1 3 1 の少なくとも一つを狭く（細く）する形状とする代わりに、幅 Y 1 2 1、Y 1 2 2、Y 1 2 3、Y 1 2 4、Y 1 2 5 の少なくとも一つを狭く（細く）した形状としてもよい。欠陥画素を修復する際に、前者の構成より後者の構成を採用することにより、配線などを切断する箇所が 1 箇所であり好ましい。また、このとき幅 Y 1 2 1、Y 1 2 2、Y 1 2 3、Y 1 2 4、Y 1 2 5 は、3  $\mu$ m 以下とすることが好ましい。

#### 【0216】

上述したような形状の発光素子 1 0 1 の一方の電極 1 4 6 1、配線 1 4 6 2、活性層 1 4 6 4、配線 1 4 6 5、活性層 1 4 6 8、活性層 1 4 6 9、配線 1 4 5 1、配線 1 4 5 2 を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

#### 【0217】

10

20

30

40

50

(実施の形態 15)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0218】

図41に表示装置の画素部における1画素の一部に相当するレイアウトを示す。図41は、画素電極と電源線との接続関係を示す上面図である。また、図41に示す上面図を等価回路に表すと、図15に相当し、画素電極と電源線との間において、直列に接続されたトランジスタ1506、1507と、トランジスタ1508とが発光素子の一方の電極に接続された構成を示している。

【0219】

発光素子の一方の電極1561は、配線1562を介してトランジスタ1506の活性層1565(ソースまたはドレインの一方)及びトランジスタ1508の活性層1566(ソースまたはドレインの一方)に接続されている。また、トランジスタ1506のソースまたはドレインの他方は、配線1571を介してトランジスタ1507の活性層1570(ソースまたはドレインの一方)に接続されている。また、トランジスタ1507のソースまたはドレインの他方は、配線1572に接続されている。また、トランジスタ1508のソースまたはドレインの他方は、配線1568に接続されている。

【0220】

本実施の形態では、幅Y143、Y144、Y147、Y149、Y150、Y151の少なくとも一つ、及び幅Y145、Y146、Y148の少なくとも一つを狭く(細く)した形状としている。このとき、幅Y143、Y144、Y147、Y149、Y150、Y151の少なくとも一つ、及び幅Y145、Y146、Y148の少なくとも一つは、3µm以下とすることが好ましい。

【0221】

また、幅Y143、Y144、Y147、Y149、Y150、Y151の少なくとも一つ、及び幅Y145、Y146、Y148の少なくとも一つを狭く(細く)する形状とする代わりに、幅Y141、Y142の少なくとも一つを狭く(細く)した形状としてもよい。欠陥画素を修復する際に、前者の構成より後者の構成を採用することにより、配線などを切断する箇所が1箇所であり、好ましい。また、このとき幅Y141、Y142は、3µm以下とすることが好ましい。

【0222】

上述したような形状の発光素子101の一方の電極1561、配線1562、活性層1565、活性層1566、配線1567、配線1568、活性層1570、配線1571を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

【0223】

(実施の形態 16)

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

【0224】

図42(A)に表示装置の画素部における1画素の一部に相当するレイアウトを示す。図42(A)は、画素電極(発光素子の有する一対の電極のうちの一方の電極)と電源線との接続関係を示す上面図であり、図42(B)は、図42(A)においてA-A'方向に切断したときの断面図である。また、図42(A)に示す上面図を等価回路に表すと図12に相当し、図36(A)、図37(A)と同様に、画素電極(発光素子の有する一対の電極のうちの一方の電極)と電源線との間に、直列に接続された2つのトランジスタを少なくとも有する構成を示している。

【0225】

画素電極4201は、配線4202を介して、活性層4204を有するトランジスタ1204のソースまたはドレインの一方に接続されている。また、トランジスタ1204の

10

20

30

40

50

ソースまたはドレインの他方は、配線 4 2 0 5 を介して活性層 4 2 0 6 を有するトランジスタ 1 2 0 5 のソースまたはドレインの一方に接続されている。また、トランジスタ 1 2 0 5 のソースまたはドレインの他方は、配線 4 2 0 7 に接続されている。なお、図 4 2 ( B ) において、4 2 0 8 は 1 3 族元素 ( または 1 5 族元素 ) を含有する半導体膜を示しており、図 4 2 ( A ) においては配線 4 2 0 2、配線 4 2 0 5、配線 4 2 0 7 の下に配置されているため、図示されない。また、ゲート配線 4 2 0 3 の下には基板が存在するが、本図面では図示していない。

#### 【 0 2 2 6 】

本実施の形態では、上面から見て、画素電極 4 2 0 1 及び活性層 4 2 0 4 と重ならない配線 4 2 0 2 の領域の幅 Y 1 6 1 を狭く ( 細く ) した形状としている。この幅 Y 1 6 1 は、3  $\mu$ m 以下とすることが好ましい。

10

#### 【 0 2 2 7 】

また、幅 Y 1 6 1 を狭く ( 細く ) する形状とする代わりに、活性層 4 2 0 4 及び活性層 4 2 0 6 と重ならない配線 4 2 0 5 の領域の幅 Y 1 6 2 を狭く ( 細く ) した形状としてもよい。この幅 Y 1 6 2 は、3  $\mu$ m 以下とすることが好ましい。また、幅 Y 1 6 1、Y 1 6 2 を狭く ( 細く ) する形状とする代わりに、活性層 4 2 0 6 と重ならない配線 4 2 0 7 の幅 Y 1 6 3 を狭く ( 細く ) した形状としてもよい。この幅 Y 1 6 3 は、3  $\mu$ m 以下とすることが好ましい。なお、幅 Y 1 6 1、Y 1 6 2、Y 1 6 3 は、共に狭くした形状としてもよいが、少なくともいずれか一つを狭く ( 細く ) した形状とすればよい。

#### 【 0 2 2 8 】

上述したような形状の配線 4 2 0 2、配線 4 2 0 5、または配線 4 2 0 7 を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を容易に修正することができる。

20

#### 【 0 2 2 9 】

( 実施の形態 1 7 )

本実施の形態では、欠陥画素を簡便に修復できる表示装置の画素部の別の構成について説明する。

#### 【 0 2 3 0 】

図 4 3 ( A ) に表示装置の画素部における 1 画素の一部に相当するレイアウトを示す。図 4 3 ( A ) は、画素電極 ( 発光素子の有する一対の電極のうち一方の電極 ) と電源線との接続関係を示す上面図であり、図 4 3 ( B ) は、図 4 3 ( A ) において A - A ' 方向に切断したときの断面図である。また、図 4 3 ( A ) に示す上面図を等価回路に表すと図 1 2 に相当し、図 4 2 ( A ) と同様に、画素電極 ( 発光素子の有する一対の電極のうち一方の電極 ) と電源線との間に、直列に接続された 2 つのトランジスタを少なくとも有する構成を示している。

30

#### 【 0 2 3 1 】

実施の形態 1 6 で説明した図 4 2 ( A ) においては、1 3 族元素 ( または 1 5 族元素 ) を含有する半導体膜 4 2 0 8 と重ならない領域の活性層 ( チャネル形成領域に相当する ) が一部エッチングされており、配線 4 2 0 2 の上に重なるように画素電極 4 2 0 1 が設けられた構造である。これに対し、図 4 3 ( A ) は、チャネル形成領域と重ならない領域の活性層の上を覆うように保護膜 4 2 0 9 が設けられており、画素電極 4 2 0 1 の上に重なるように配線 4 2 0 2 が設けられた構造であり、この点で図 4 2 ( A ) と相違するが、それ以外の構成については同じである。すなわち、本実施の形態では、上面から見て、配線 4 2 0 2 の幅 Y 1 6 1、配線 4 2 0 5 の幅 Y 1 6 2、または配線 4 2 0 7 の幅 Y 1 6 3 の少なくともいずれか一つを狭く ( 細く ) した形状とすればよい。この幅 Y 1 6 1、Y 1 6 2、Y 1 6 3 は、3  $\mu$ m 以下とすることが好ましい。なお、幅 Y 1 6 1、Y 1 6 2、Y 1 6 3 は、共に狭くした形状としてもよい。

40

#### 【 0 2 3 2 】

上述したような形状の配線 4 2 0 2、配線 4 2 0 5、または配線 4 2 0 7 を有する表示装置は、どの画素において欠陥画素が生じても、他の画素に影響を与えることなく欠陥を

50

容易に修正することができる。

【実施例 1】

【0233】

本実施例では、欠陥画素を簡便に修復することが可能な表示装置の構成について説明する。なお、実施の形態 2 においては、図 1 を用いて 1 画素の構成例を説明したので、本実施例では図 1 とは違う構造を有する画素の構成例について説明する。

【0234】

図 2 1 に表示装置の画素部における 1 画素分の等価回路図の一例を示す。各画素には、第 1 のトランジスタ 2 1 0 5、第 2 のトランジスタ 2 1 0 6、第 3 のトランジスタ 2 1 0 7、コンデンサ 2 1 0 8、発光素子 2 1 0 9、発光素子 2 1 0 9 の一方の電極 2 1 1 0 が設けられている。発光素子 2 1 0 9 の一方の電極 2 1 1 0 は、陽極であってもよいし、陰極であってもよい。

10

【0235】

第 1 のトランジスタ 2 1 0 5 は、ゲート電極がゲート信号線 2 1 0 4 (走査線) に接続され、ソース領域またはドレイン領域の一方が第 1 のソース信号線 2 1 0 2 (データ線) に、他方が第 3 のトランジスタ 2 1 0 7 のゲート電極及びコンデンサ 2 1 0 8 の一方の電極にそれぞれ接続されている。また、第 2 のトランジスタ 2 1 0 6 は、ゲート電極が第 2 のソース信号線 2 1 0 1 に接続され、ソース領域またはドレイン領域の一方が発光素子 2 1 0 9 の他方の電極に、他方が第 3 のトランジスタ 2 1 0 7 のソース領域またはドレイン領域の一方にそれぞれ接続されている。また、第 3 のトランジスタ 2 1 0 7 は、ソース領域またはドレイン領域の他方が電源線 2 1 0 3 に接続されている。また、コンデンサ 2 1 0 8 の他方の電極は電源線 2 1 0 3 に接続されている。

20

【0236】

コンデンサ 2 1 0 8 は、第 3 のトランジスタ 2 1 0 7 のゲート電位を保持する役目をしている。このため、図 2 1 においては、第 3 のトランジスタ 2 1 0 7 のゲート電極と電源線 2 1 0 3 との間にコンデンサ 2 1 0 8 が接続されているが、この構成に限定されない。すなわち、第 3 のトランジスタ 2 1 0 7 のゲート電位を保持できるようにコンデンサ 2 1 0 8 は設けられていればよい。また、第 3 のトランジスタ 2 1 0 7 のゲート容量などを用いて第 3 のトランジスタ 2 1 0 7 のゲート電位を保持できる場合は、コンデンサ 2 1 0 8 を設けない構成とすることもできる。

30

【0237】

なお、実施の形態 2 で説明したように、第 1 ~ 第 3 のトランジスタ 2 1 0 5 ~ 2 1 0 7 は図 2 1 の構成に限定されるものではない。すなわち、第 1 ~ 第 3 のトランジスタ 2 1 0 5 ~ 2 1 0 7 は、それぞれ N チャネル型、P チャネル型のどちらでもよい、また、各トランジスタの活性層は、それぞれ非晶質でもよいし、結晶性を有していてもよい。また、各トランジスタの活性層は、それぞれ L D D 構造を有していてもよいし、G O L D 構造を有していてもよい。また、各トランジスタの構造は、それぞれ順スタガ型、逆スタガ型のどちらでもよい。また、各トランジスタの構造は、それぞれトップゲート型、ボトムゲート型のどちらでもよい。また、各トランジスタのゲート電極は、それぞれチャンネル形成領域の上下の両方であってもよいし、チャンネル形成領域の上方または下方の一方に複数のゲート電極があってもよい。

40

【0238】

図 2 1 において本発明を実施するためには、発光素子 2 1 0 9 の他方の電極 (第 2 のトランジスタ 2 1 0 6 のソース領域またはドレイン領域の一方に接続されている側の電極) と電源線 2 1 0 3 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子 2 1 0 9 の他方の電極と電源線 2 1 0 3 との間において電流の流れる経路は、上述した図 1 2 の構成と同じであるので、ここでは詳細な説明を省略する。

【0239】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を

50

狭くする具体的な構成例としては、実施の形態 6 ~ 9 で説明した方法を用いればよいので、ここでは説明を省略する。

【0240】

次に、図 22 に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のトランジスタ 2205、第 2 のトランジスタ 2206、第 3 のトランジスタ 2207、コンデンサ 2208、発光素子 2209、発光素子 2209 の一方の電極 2210 が設けられている。発光素子 2209 の一方の電極 2210 は、陽極であってもよいし、陰極であってもよい。

【0241】

第 1 のトランジスタ 2205 は、ゲート電極が第 1 のゲート信号線 2204 に接続され、ソース領域またはドレイン領域の一方が第 1 のソース信号線 2201 (データ線) に、他方が第 2 のトランジスタ 2206 のゲート電極、第 3 のトランジスタ 2207 のソース領域またはドレイン領域の一方、及びコンデンサ 2208 の一方の電極にそれぞれ接続されている。また、第 2 のトランジスタ 2206 は、ソース領域またはドレイン領域の一方が発光素子 2209 の他方の電極に、他方が電源線 2202 にそれぞれ接続されている。また、第 3 のトランジスタ 2207 は、ゲート電極が第 2 のゲート信号線 2203 に接続され、ソース領域またはドレイン領域の他方が電源線 2202 に接続されている。また、コンデンサ 2208 の他方の電極は電源線 2202 に接続されている。

【0242】

図 22 において本発明を実施するためには、発光素子 2209 の他方の電極 (第 2 のトランジスタ 2206 のソース領域またはドレイン領域の一方に接続されている側の電極) と電源線 2202 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子 2209 の他方の電極と電源線 2202 との間において電流の流れる経路は、上述した図 11 の構成と同じであるので、ここでは詳細な説明を省略する。

【0243】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態 6 ~ 9 で説明した方法を用いればよいので、ここでは説明を省略する。

【0244】

次に、図 23 に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のスイッチ 2303、第 2 のスイッチ 2304、トランジスタ 2305、コンデンサ 2306、第 3 のスイッチ 2307、第 4 のスイッチ 2308、第 5 のスイッチ 2309、発光素子 2310、発光素子 2310 の一方の電極 2311 が設けられている。発光素子 2310 の一方の電極 2311 は、陽極であってもよいし、陰極であってもよい。

【0245】

トランジスタ 2305 は、ゲート電極がコンデンサ 2306 の一方の電極、第 4 のスイッチ 2308 の一方の端子、及び第 5 のスイッチ 2309 の一方の端子に接続され、ソース領域またはドレイン領域の一方が第 1 のスイッチ 2303 の一方の端子、及び第 2 のスイッチ 2304 の一方の端子に、他方が第 3 のスイッチ 2307 の一方の端子、及び第 4 のスイッチ 2308 の他方の端子に接続されている。また、第 1 のスイッチ 2303 の他方の端子はソース信号線 2301 に接続され、第 2 のスイッチ 2304 の他方の端子は電源線 2302 に接続されている。また、コンデンサ 2306 の他方の電極は電源線 2302 に接続されている。また、第 3 のスイッチ 2307 の他方の端子は、発光素子 2310 の他方の電極に接続されている。

【0246】

図 23 において本発明を実施するためには、発光素子 2310 の他方の電極 (第 3 のスイッチ 2307 の他方の端子に接続されている側の電極) と電源線 2302 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。

## 【0247】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6～9で説明した方法を用いればよいので、ここでは説明を省略する。

## 【0248】

次に、図24に表示装置の画素部における1画素分の等価回路図の別の一例を示す。各画素には、第1のトランジスタ2405、第2のトランジスタ2406、スイッチ2407、コンデンサ2408、第3のトランジスタ2409、第4のトランジスタ2410、発光素子2411、発光素子2411の一方の電極2412が設けられている。発光素子2411の一方の電極2412は、陽極であってもよいし、陰極であってもよい。

10

## 【0249】

第1のトランジスタ2405は、ゲート電極が第1のゲート信号線2403に接続され、ソース領域またはドレイン領域の一方が発光素子2411の他方の電極に、他方が第2のトランジスタ2406のソース領域またはドレイン領域の一方に接続されている。また、第2のトランジスタ2406は、ゲート電極がスイッチ2407の一方の端子、コンデンサ2408の一方の電極、並びに第3のトランジスタ2409のソース領域またはドレイン領域の一方及びゲート電極に接続され、ソース領域またはドレイン領域の他方が電源線2402に接続されている。また、コンデンサ2408の他方の電極は、電源線2402に接続されている。また、第3のトランジスタ2409は、ソース領域またはドレイン領域の他方が第4のトランジスタ2410のソース領域またはドレイン領域の一方に接続されている。また、第4のトランジスタ2410は、ゲート電極が第2のゲート信号線2404に接続され、ソース領域またはドレイン領域の他方がソース信号線2401に接続されている。

20

## 【0250】

図24において本発明を実施するためには、発光素子2411の他方の電極と電源線2402との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子2411の他方の電極と電源線2402との間において電流の流れる経路は、上述した図12の構成と同じであるので、ここでは詳細な説明を省略する。

## 【0251】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6～9で説明した方法を用いればよいので、ここでは説明を省略する。

30

## 【0252】

次に、図25に表示装置の画素部における1画素分の等価回路図の別の一例を示す。図25に示す構成は、図24において設けられていたスイッチ2407の代わりに、第5のトランジスタ2413が設けられた構成となっている。

## 【0253】

第5のトランジスタ2413は、ゲート電極が当該第5のトランジスタ2413のソース領域またはドレイン領域の一方及び第4のトランジスタ2410のソース領域またはドレイン領域の一方に接続され、ソース領域またはドレイン領域の他方が第3のトランジスタ2409のソース領域またはドレイン領域の一方に接続されている。

40

## 【0254】

図25において本発明を実施するためには、発光素子2411の他方の電極と電源線2402との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子2411の他方の電極と電源線2402との間において電流の流れる経路は、上述した図12の構成と同じであるので、ここでは詳細な説明を省略する。

## 【0255】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させ

50

る領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態 6 ~ 9 で説明した方法を用いればよいので、ここでは説明を省略する。

【0256】

次に、図 26 に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のトランジスタ 2606、第 1 のコンデンサ 2607、第 2 のコンデンサ 2608、第 2 のトランジスタ 2609、第 3 のトランジスタ 2610、第 4 のトランジスタ 2611、第 5 のトランジスタ 2612、発光素子 2613、発光素子 2613 の一方の電極 2614 が設けられている。発光素子 2613 の一方の電極 2614 は、陽極であつてもよいし、陰極であつてもよい。

10

【0257】

第 1 のトランジスタ 2606 は、ゲート電極が第 2 のゲート信号線 2604 に接続され、ソース領域またはドレイン領域の一方がソース信号線 2601 に、他方が第 1 のコンデンサ 2607 の一方の電極、第 2 のコンデンサ 2608 の一方の電極、及び第 2 のトランジスタ 2609 のソース領域またはドレイン領域の一方に接続されている。また、第 1 のコンデンサ 2607 の他方の電極は電源線 2602 に接続されている。また、第 2 のコンデンサ 2608 の他方の電極は、第 3 のトランジスタ 2610 のソース領域またはドレイン領域の一方及び第 4 のトランジスタ 2611 のゲート電極に接続されている。また、第 2 のトランジスタ 2609 は、ゲート電極が第 1 のゲート信号線 2603、及び第 3 のトランジスタ 2610 のゲート電極に接続され、ソース領域またはドレイン領域の他方が電源線 2602、及び第 4 のトランジスタ 2611 のソース領域またはドレイン領域の一方に接続されている。また、第 3 のトランジスタ 2610 は、ソース領域またはドレイン領域の他方が電源線 2602、第 4 のトランジスタ 2611 のソース領域またはドレイン領域の他方、及び第 5 のトランジスタ 2612 のソース領域またはドレイン領域の一方に接続されている。また、第 5 のトランジスタ 2612 は、ゲート電極が第 3 のゲート信号線 2605 に接続され、ソース領域またはドレイン領域の他方が発光素子 2613 の他方の電極に接続されている。

20

【0258】

図 26 において本発明を実施するためには、発光素子 2613 の他方の電極と電源線 2602 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子 2613 の他方の電極と電源線 2602 との間において電流の流れる経路は、上述した図 12 の構成と同じであるので、ここでは詳細な説明を省略する。

30

【0259】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態 6 ~ 9 で説明した方法を用いればよいので、ここでは説明を省略する。

【0260】

次に、図 27 (A) に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のトランジスタ 2706、第 1 のコンデンサ 2707、第 2 のトランジスタ 2708、第 3 のトランジスタ 2709、第 4 のトランジスタ 2710、発光素子 2711、発光素子 2711 の一方の電極 2712 が設けられている。発光素子 2711 の一方の電極 2712 は、陽極であつてもよいし、陰極であつてもよい。

40

【0261】

第 1 のトランジスタ 2706 は、ゲート電極が第 2 のゲート信号線 2704 に接続され、ソース領域またはドレイン領域の一方がソース信号線 2701 に、他方が第 1 のコンデンサ 2707 の一方の電極、及び第 3 のトランジスタ 2709 のゲート電極に接続されている。また、第 1 のコンデンサ 2707 の他方の電極は電源線 2702 に接続されている。また、第 2 のトランジスタ 2708 は、ゲート電極が第 1 のゲート信号線 2703 に接続され、ソース領域またはドレイン領域の一方がソース信号線 2701 に、他方が第 3 の

50

トランジスタ 2709 のソース領域またはドレイン領域の一方、及び第 4 のトランジスタ 2710 のソース領域またはドレイン領域の一方に接続されている。また、第 3 のトランジスタ 2709 は、ソース領域またはドレイン領域の他方が電源線 2702 に接続されている。また、第 4 のトランジスタ 2710 は、ゲート電極が第 3 のゲート信号線 2705 に接続され、ソース領域またはドレイン領域の他方が発光素子 2711 の他方の電極に接続されている。

【0262】

次に、図 27 (B) について説明する。図 27 (A) において第 1 のトランジスタ 2706 のソース領域またはドレイン領域の一方がソース信号線 2701 に接続されていたのに対し、図 27 (B) では、第 1 のトランジスタ 2706 のソース領域またはドレイン領域の一方が第 2 のトランジスタ 2708 のソース領域またはドレイン領域の他方、第 3 のトランジスタ 2709 のソース領域またはドレイン領域の一方、及び第 4 のトランジスタ 2710 のソース領域またはドレイン領域の一方に接続されている点で図 27 (B) は図 27 (A) と相違し、これ以外の構成については同じである。

10

【0263】

図 27 (A)、(B) において本発明を実施するためには、発光素子 2711 の他方の電極と電源線 2702 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子 2711 の他方の電極と電源線 2702 との間において電流の流れる経路は、上述した図 12 の構成と同じであるので、ここでは詳細な説明を省略する。

【0264】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態 6 ~ 9 で説明した方法を用いればよいので、ここでは説明を省略する。

20

【0265】

次に、図 28 に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のトランジスタ 2806、第 1 のコンデンサ 2807、第 2 のコンデンサ 2808、第 2 のトランジスタ 2809、第 3 のトランジスタ 2810、第 4 のトランジスタ 2811、発光素子 2812、発光素子 2812 の一方の電極 2813 が設けられている。発光素子 2812 の一方の電極 2813 は、陽極であってもよいし、陰極であってもよい。

30

【0266】

第 1 のトランジスタ 2806 は、ゲート電極が第 1 のゲート信号線 2803 に接続され、ソース領域またはドレイン領域の一方がソース信号線 2801 に、他方が第 1 のコンデンサ 2807 の一方の電極に接続されている。また、第 1 のコンデンサ 2807 の他方の電極は、第 2 のコンデンサ 2808 の一方の電極、第 2 のトランジスタ 2809 のソース領域またはドレイン領域の一方、及び第 3 のトランジスタ 2810 のゲート電極に接続されている。また、第 2 のコンデンサ 2808 の他方の電極は、電源線 2802 に接続されている。また、第 2 のトランジスタ 2809 は、ゲート電極が第 2 のゲート信号線 2804 に接続され、ソース領域またはドレイン領域の他方が第 3 のトランジスタ 2810 のソース領域またはドレイン領域の一方、及び第 4 のトランジスタ 2811 のソース領域またはドレイン領域の一方に接続されている。また、第 3 のトランジスタ 2810 は、ソース領域またはドレイン領域の他方が電源線 2802 に接続されている。また、第 4 のトランジスタ 2811 は、ゲート電極が第 3 のゲート信号線 2805 に接続され、ソース領域またはドレイン領域の他方が発光素子 2812 の他方の電極に接続されている。

40

【0267】

図 28 において本発明を実施するためには、発光素子 2812 の他方の電極と電源線 2802 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子 2812 の他方の電極と電源線 2802 との間において電流の流れる経路は、上述した図 12 の構成と同じであるので、ここでは詳細な説明を省略する。

50

## 【0268】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6～9で説明した方法を用いればよいので、ここでは説明を省略する。

## 【0269】

次に、図29に表示装置の画素部における1画素分の等価回路図の別の一例を示す。各画素には、第1のスイッチ2903、第1のトランジスタ2904、第2のスイッチ2905、コンデンサ2906、第2のトランジスタ2907、発光素子2908、発光素子2908の一方の電極2909が設けられている。発光素子2908の一方の電極2909は、陽極であってもよいし、陰極であってもよい。

10

## 【0270】

第1のスイッチ2903は、一方の端子がソース信号線2901に接続され、他方の端子が第1のトランジスタ2904のソース領域またはドレイン領域の一方、ゲート電極、及び第2のスイッチ2905の一方の端子に接続されている。また、第1のトランジスタ2904は、ソース領域またはドレイン領域の他方が電源線2902に接続されている。また、第2のスイッチ2905の他方の端子は、コンデンサ2906の一方の電極、及び第2のトランジスタ2907のゲート電極に接続されている。また、コンデンサ2906の他方の電極は、電源線2902に接続されている。また、第2のトランジスタ2907は、ソース領域またはドレイン領域の一方が電源線2902に接続され、他方が発光素子2908の他方の電極に接続されている。

20

## 【0271】

図29において本発明を実施するためには、発光素子2908の他方の電極と電源線2902との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子2908の他方の電極と電源線2902との間において電流の流れる経路は、上述した図11の構成と同じであるので、ここでは詳細な説明を省略する。

## 【0272】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6～9で説明した方法を用いればよいので、ここでは説明を省略する。

30

## 【0273】

次に、図30に表示装置の画素部における1画素分の等価回路図の別の一例を示す。各画素には、第1のスイッチ3003、第1のトランジスタ3004、第2のスイッチ3005、コンデンサ3006、第2のトランジスタ3007、発光素子3008、発光素子3008の一方の電極3009が設けられている。発光素子3008の一方の電極3009は、陽極であってもよいし、陰極であってもよい。

## 【0274】

第1のスイッチ3003は、一方の端子がソース信号線3001に接続され、他方の端子が第1のトランジスタ3004のソース領域またはドレイン領域の一方、及び第2のスイッチ3005の一方の端子に接続されている。また、第1のトランジスタ3004は、ゲート電極が第2のスイッチ3005の他方の端子、コンデンサ3006の一方の電極、及び第2のトランジスタ3007のゲート電極に接続され、ソース領域またはドレイン領域の他方が電源線3002に接続されている。また、コンデンサ3006の他方の電極は、電源線3002に接続されている。また、第2のトランジスタ3007は、ソース領域またはドレイン領域の一方が電源線3002に接続され、他方が発光素子3008の他方の電極に接続されている。

40

## 【0275】

図30において本発明を実施するためには、発光素子3008の他方の電極と電源線3002との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発

50

光素子 3008 の他方の電極と電源線 3002 との間において電流の流れる経路は、上述した図 11 の構成と同じであるので、ここでは詳細な説明を省略する。

【0276】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態 6～9 で説明した方法を用いればよいので、ここでは説明を省略する。

【0277】

次に、図 31 に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のトランジスタ 3108、第 1 のコンデンサ 3109、第 2 のコンデンサ 3110、第 2 のトランジスタ 3111、第 3 のトランジスタ 3112、第 4 のトランジスタ 3113、第 5 のトランジスタ 3114、発光素子 3115、発光素子 3115 の一方の電極 3116 が設けられている。発光素子 3115 の一方の電極 3116 は、陽極であつてもよいし、陰極であつてもよい。

【0278】

第 1 のトランジスタ 3108 は、ゲート電極が第 1 のゲート信号線 3103 に接続され、ソース領域またはドレイン領域の一方がソース信号線 3101 に、他方が第 1 のコンデンサ 3109 の一方の電極、第 2 のコンデンサ 3110 の一方の電極、及び第 2 のトランジスタ 3111 のソース領域またはドレイン領域の一方に接続されている。また、第 1 のコンデンサ 3109 の他方の電極は電源線 3102 に接続されている。また、第 2 のコンデンサ 3110 の他方の電極は、第 3 のトランジスタ 3112 のソース領域またはドレイン領域の一方、及び第 4 のトランジスタ 3113 のゲート電極に接続されている。また、第 2 のトランジスタ 3111 は、ゲート電極が第 2 のゲート信号線 3104、ソース領域またはドレイン領域の他方が、第 4 のトランジスタ 3113 のソース領域またはドレイン領域の一方、及び第 5 のトランジスタ 3114 のソース領域またはドレイン領域の一方に接続されている。また、第 3 のトランジスタ 3112 は、ゲート電極が第 3 のゲート信号線 3105 に接続され、ソース領域またはドレイン領域の他方が初期化用の配線 3107 に接続されている。また、第 4 のトランジスタ 3113 は、ソース領域またはドレイン領域の他方が発光素子 3115 の他方の電極に接続されている。また、第 5 のトランジスタ 3114 は、ゲート電極が第 4 のゲート信号線 3106 に接続され、ソース領域またはドレイン領域の他方が電源線 3102 に接続されている。

【0279】

図 31 において本発明を実施するためには、発光素子 3115 の他方の電極と電源線 3102 との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子 3115 の他方の電極と電源線 3102 との間において電流の流れる経路は、上述した図 12 の構成と同じであるので、ここでは詳細な説明を省略する。

【0280】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態 6～9 で説明した方法を用いればよいので、ここでは説明を省略する。

【0281】

次に、図 32 に表示装置の画素部における 1 画素分の等価回路図の別の一例を示す。各画素には、第 1 のコンデンサ 3203、トランジスタ 3204、第 1 のスイッチ 3205、第 2 のスイッチ 3206、発光素子 3207、発光素子 3207 の一方の電極 3208 が設けられている。発光素子 3207 の一方の電極 3208 は、陽極であつてもよいし、陰極であつてもよい。

【0282】

第 1 のコンデンサ 3203 は、一方の電極がソース信号線 3201 に接続され、他方の電極がトランジスタ 3204 のゲート電極、及び第 1 のスイッチ 3205 の一方の端子に

10

20

30

40

50

接続されている。また、トランジスタ3204は、ソース領域またはドレイン領域の一方が電源線3202に接続され、他方が第1のスイッチ3205の他方の端子及び第2のスイッチ3206の一方の端子に接続されている。また、第2のスイッチ3206の他方の端子は、発光素子3207の他方の電極に接続されている。

【0283】

図32において本発明を実施するためには、発光素子3207の他方の電極と電源線3202との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。

【0284】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6～9で説明した方法を用いればよいので、ここでは説明を省略する。

【0285】

次に、図33に表示装置の画素部における1画素分の等価回路図の別の一例を示す。各画素には、第1のコンデンサ3303、第1のトランジスタ3304、第2のトランジスタ3305、第1のスイッチ3306、第2のスイッチ3307、発光素子3308、発光素子3308の一方の電極3309が設けられている。発光素子3308の一方の電極3309は、陽極であってもよいし、陰極であってもよい。

【0286】

第1のコンデンサ3303は、一方の電極がソース信号線3301に接続され、他方の電極が第1のトランジスタ3304のゲート電極、第2のトランジスタ3305のゲート電極、及び第2のスイッチ3307の一方の端子に接続されている。また、第1のトランジスタ3304は、ソース領域またはドレイン領域の一方が第1のスイッチ3306の一方の端子に、他方が第2のトランジスタ3305のソース領域またはドレイン領域の一方、第2のスイッチ3307の他方の端子、及び発光素子3308の他方の電極に接続されている。また、第2のトランジスタ3305は、ソース領域またはドレイン領域の他方が低電源電位に接続されている。このように第1のトランジスタ3304、及び第2のトランジスタ3305はCMOSインバータ回路を構成している。また、第1のスイッチ3306の他方の端子は、電源線3302に接続されている。

【0287】

図33において本発明を実施するためには、発光素子3308の他方の電極と電源線3302との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。

【0288】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6～9で説明した方法を用いればよいので、ここでは説明を省略する。

【0289】

次に、図34に表示装置の画素部における1画素分の等価回路図の別の一例を示す。各画素には、第1のトランジスタ3404、コンデンサ3405、第2のトランジスタ3406、第3のトランジスタ3407、発光素子3408、発光素子3408の一方の電極3409が設けられている。発光素子3408の一方の電極3409は、陽極であってもよいし、陰極であってもよい。

【0290】

第1のトランジスタ3404は、ゲート電極がゲート信号線3403に接続され、ソース領域またはドレイン領域の一方がソース信号線3401に、他方がコンデンサ3405の一方の電極、第2のトランジスタ3406のソース領域またはドレイン領域の一方、及び発光素子3408の他方の電極に接続されている。また、コンデンサ3405の他方の電極は、第2のトランジスタ3406のゲート電極、及び第3のトランジスタ3407のソース領域またはドレイン領域の一方に接続されている。また、第2のトランジスタ34

10

20

30

40

50

06は、ソース領域またはドレイン領域の他方が電源線3402に接続されている。また、第3のトランジスタ3407は、ゲート電極がゲート信号線3403に接続され、ソース領域またはドレイン領域の他方が電源線3402に接続されている。

【0291】

図34において本発明を実施するためには、発光素子3408の他方の電極と電源線3402との間において電流の流れる経路のうち、少なくとも一部を断線させればよい。発光素子3408の他方の電極と電源線3402との間において電流の流れる経路は、上述した図11の構成と同じであるので、ここでは詳細な説明を省略する。

【0292】

また、本発明では、欠陥画素を簡便に修復することができるようにするため、断線させる領域に相当する配線の幅を狭くする構成とする。断線させる領域に相当する配線の幅を狭くする具体的な構成例としては、実施の形態6~9で説明した方法を用いればよいので、ここでは説明を省略する。

【0293】

本実施例で説明した図面は、あくまで一例である。すなわち、トランジスタの極性や図面の構成に限定されるものではなく、Nチャンネル型、Pチャンネル型のどちらでも構わない。

【実施例2】

【0294】

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に薄型、軽量が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

【0295】

上記実施の形態及び上記実施例に示される表示装置を筐体に組み込んだ電子機器として、テレビジョン装置(単にTV、テレビ、又はテレビジョン受信機ともよぶ。)、カメラ(ビデオカメラやデジタルカメラ等)、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話機、携帯型のゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDVD(digital versatile disc)やHDDVD(High Definition DVD)、ブルーレイディスク(Blu-ray(登録商標)Disk)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)、その他表示部を有する電化製品などが挙げられる。電子機器の具体例を図8、図10に示す。

【0296】

図8(A)に示す携帯情報端末は、本体9201、表示部9202等を含んでいる。表示部9202は、実施形態1~9で示すものを適用することができる。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れた携帯情報端末を歩留まり良く安価に提供することができる。

【0297】

図8(B)に示すデジタルビデオカメラは、表示部9701、表示部9702等を含んでいる。表示部9701は、実施形態1~9で示すものを適用することができる。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れたデジタルビデオカメラを歩留まり良く安価に提供することができる。

【0298】

図8(C)に示す携帯端末は、本体9101、表示部9102等を含んでいる。表示部9102は、実施形態1~9で示すものを適用することができる。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れた携帯端末を歩留まり良く安価に提供することができる。

【0299】

図8(D)に示す携帯型のテレビジョン装置は、本体9301、表示部9302等を含

10

20

30

40

50

んでいる。表示部 9302 は、実施形態 1 ~ 9 で示すものを適用することができる。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れた携帯型のテレビジョン装置を歩留まり良く安価に提供することができる。このようなテレビジョン装置は携帯電話機などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば 40 インチ以上）まで、幅広く適用することができる。

#### 【0300】

図 8 (E) に示す携帯型のコンピュータは、本体 9401、表示部 9402 等を含んでいる。表示部 9402 は、実施形態 1 ~ 9 で示すものを適用することができる。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れた携帯型のコンピュータを歩留まり良く安価に提供することができる。

10

#### 【0301】

図 8 (F) に示すテレビジョン装置は、本体 9501、表示部 9502 等を含んでいる。表示部 9502 は、実施形態 1 ~ 9 で示すものを適用することができる。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れたテレビジョン装置を歩留まり良く安価に提供することができる。

#### 【0302】

図 10 に示す電子ブックは、両面表示型パネル 4303 を搭載した例である。第 1 の筐体 4305 は第 1 の表示部 4301 を有し、第 2 の筐体 4306 は操作ボタン 4304 及び第 2 の表示部 4307 を有し、両面表示型パネル 4303 は、第 1 の表示面、及び第 1 の表示面の裏面に相当する第 2 の表示面 4302 を有し、両面表示型パネル 4303 は、第 1 の筐体 4305 と第 2 の筐体 4306 の間に挿入されている。各表示部は、実施形態 1 ~ 9 で示すものを適用することができる。

20

#### 【0303】

両面表示型パネル 4303 を挿入した電子ブックの使い方の例としては、第 1 の表示部 4301 及び第 2 の表示面 4302 で文章を読み、第 2 の表示部 4307 及び第 1 の表示面で図を参照するのは便利である。このとき、両面表示型パネル 4303 は、第 1 の表示面と第 2 の表示面 4302 を同時に違う画面を表示することはできないため、第 1 の表示面と第 2 の表示面 4302 を動かしたときに、第 1 の表示面の表示から第 2 の表示面の表示に切り替わるものとする。

30

#### 【0304】

また、第 1 の表示部 4301 から第 1 の表示面を読んで、次のページ、両面表示型パネルをめくり始めた時に、ある角度で第 2 の表示面及び第 2 の表示部 4307 は次のページの表示を行い、また、第 2 の表示面 4302 及び第 2 の表示部 4307 を使い終わり、両面表示型パネルをめくり始めると、ある角度で第 1 の表示面及び第 1 の表示部 4301 が次のページを表示する。これにより、画面の切り替わりを目に見えないようにし、視覚的な違和感等を抑えることが可能となる。また、違和感を更に低減するために、可撓性基板に両面射出型パネルを設けるとよい。本発明の一である表示装置を用いることにより、点欠ではあるものの輝点がなく、画面全体の画質不良が低減された、表示品位に優れた電子ブックを歩留まり良く安価に提供することができる。

40

#### 【0305】

上記に挙げた電子機器において、二次電池を用いているものは、表示装置の消費電力を削減した分、電子機器の使用時間を長持ちさせることができ、二次電池を充電する時間を短くすることができる。

#### 【0306】

なお、上述した電子機器の他に、フロント型若しくはリア型のプロジェクターに用いることも可能である。

#### 【0307】

50

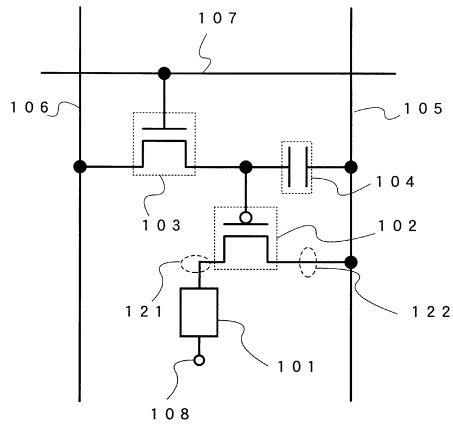
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【符号の説明】

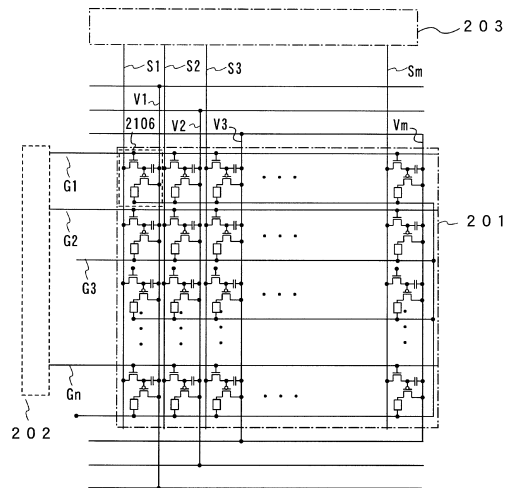
【0308】

- 101 発光素子
- 102 駆動用のトランジスタ
- 103 スイッチング用トランジスタ
- 104 コンデンサ
- 105 電源線
- 106 ソース信号線
- 107 ゲート信号線
- 108 発光素子の他方の電極（陰極）に接続された配線

【図1】

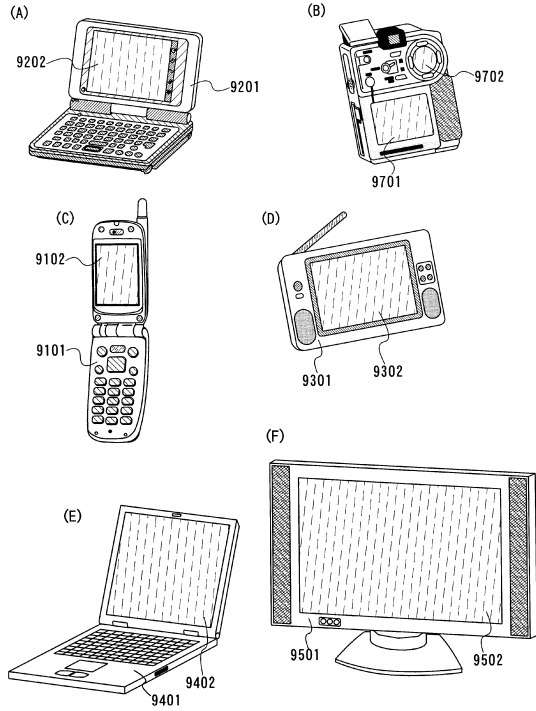


【図2】

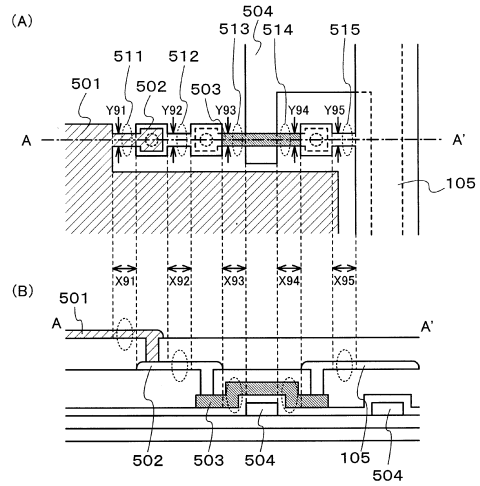




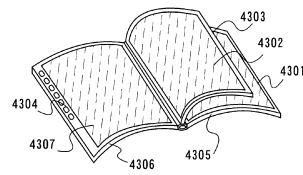
【 8 】



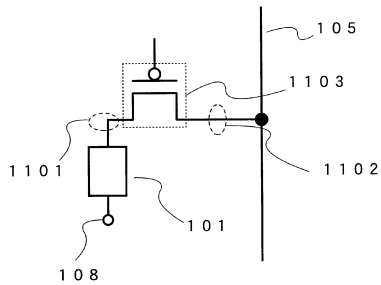
【 9 】



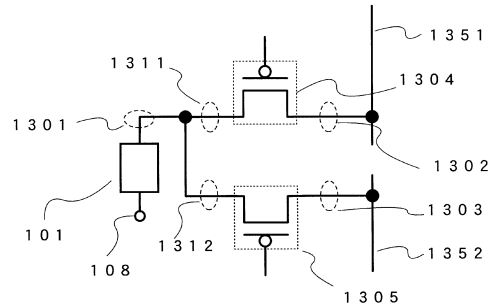
【 10 】



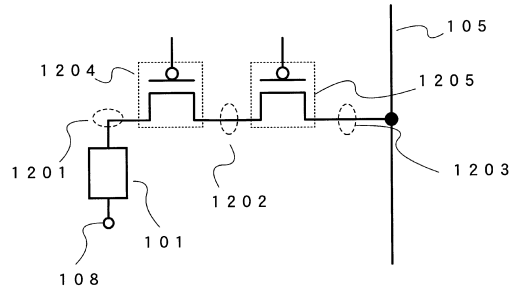
【 11 】



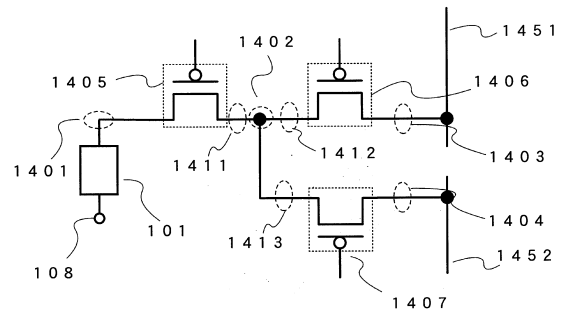
【 13 】



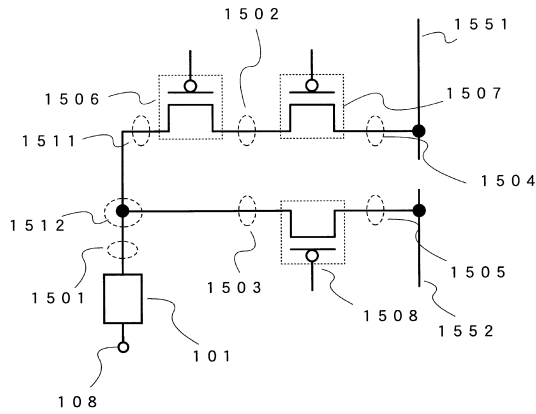
【 12 】



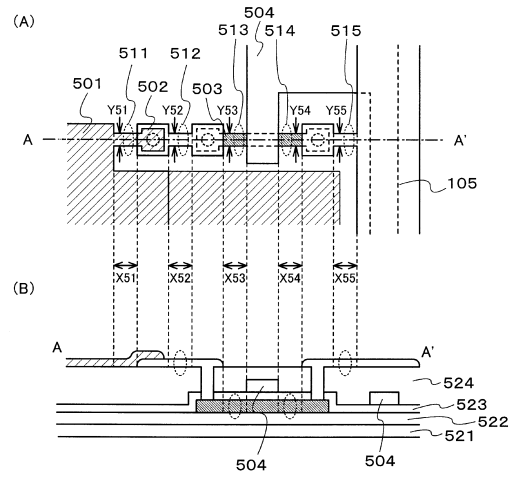
【 14 】



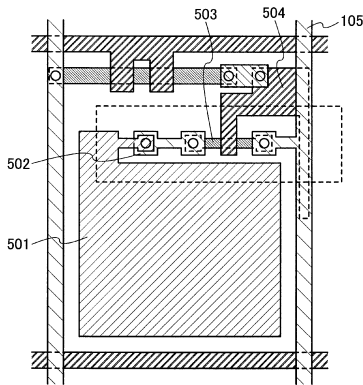
【図15】



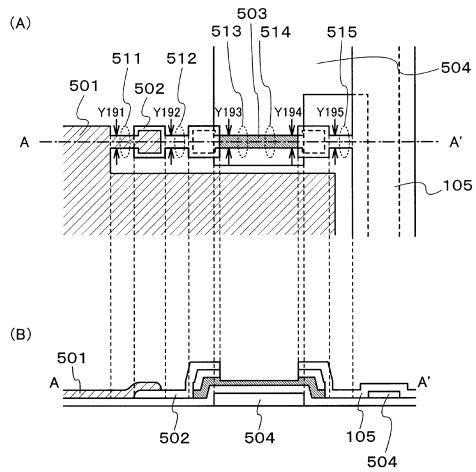
【図16】



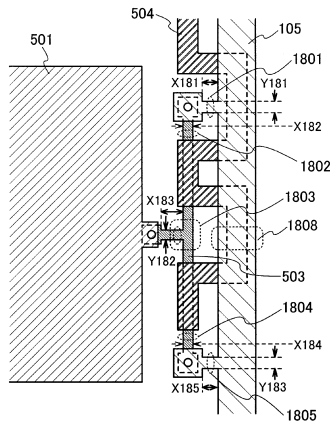
【図17】



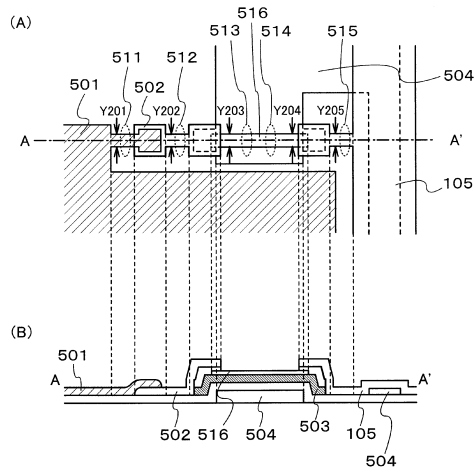
【図19】



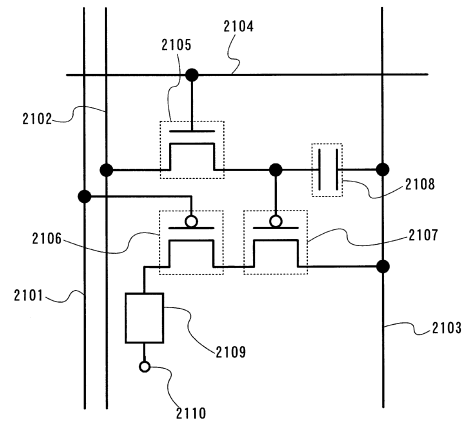
【図18】



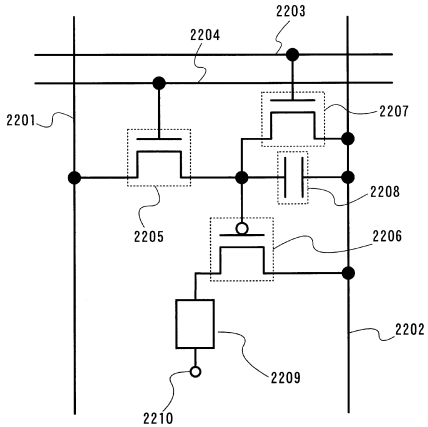
【図20】



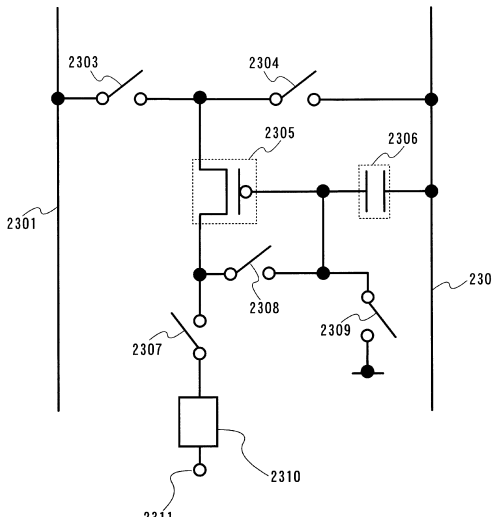
【図21】



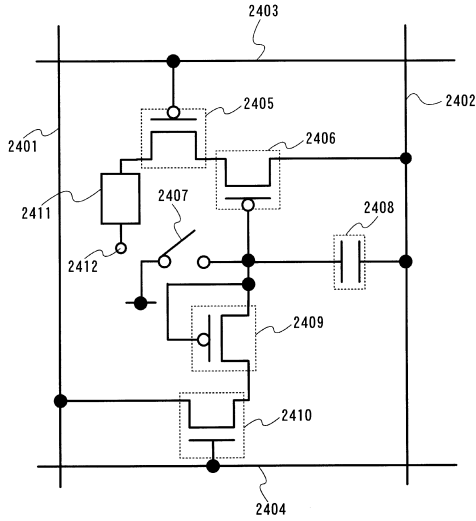
【図22】



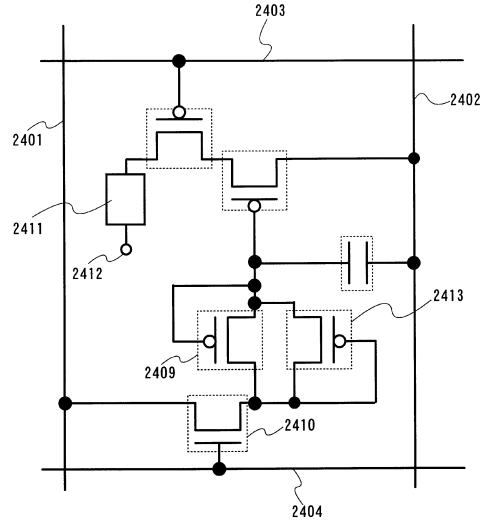
【図23】



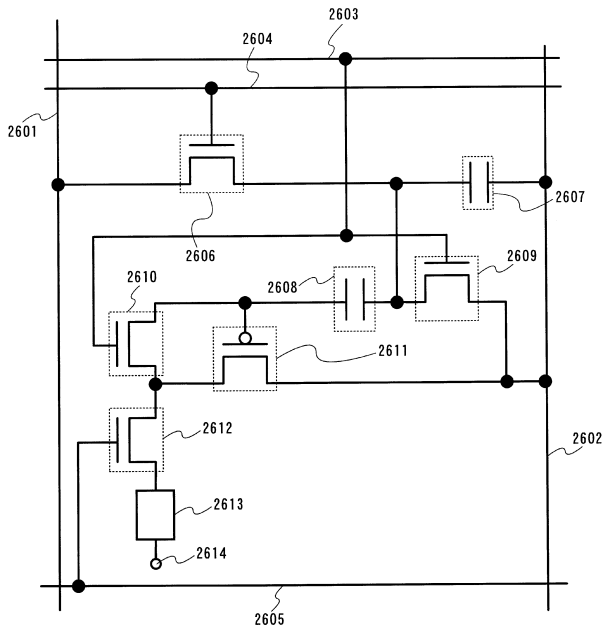
【図 24】



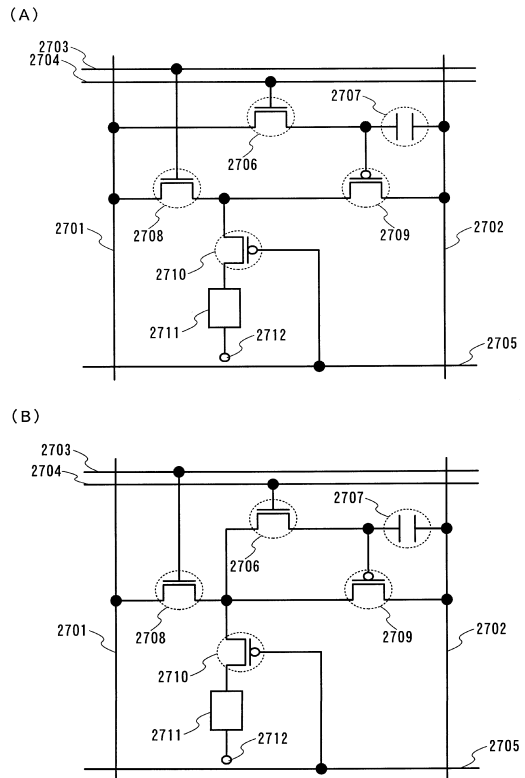
【図 25】



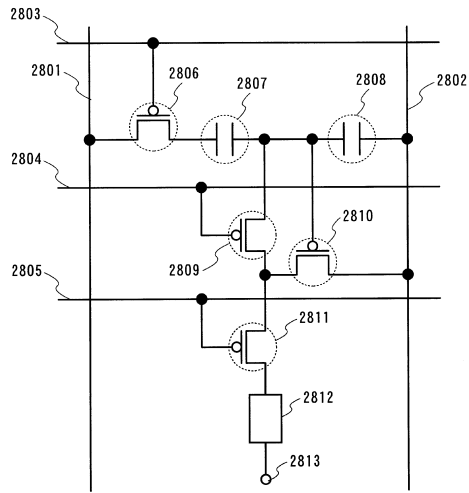
【図 26】



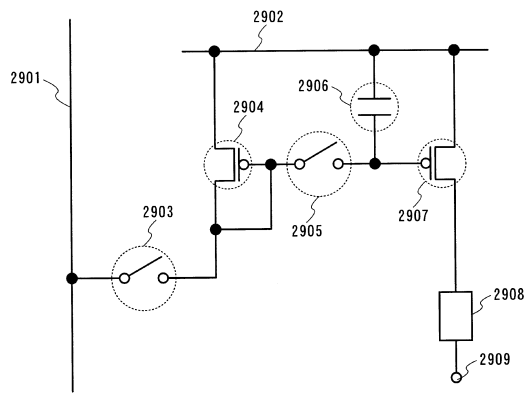
【図 27】



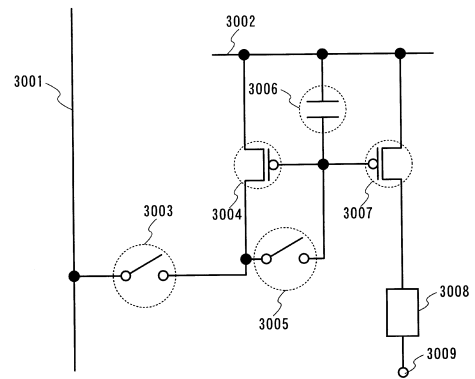
【 28 】



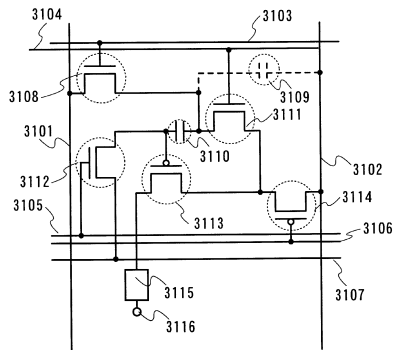
【 29 】



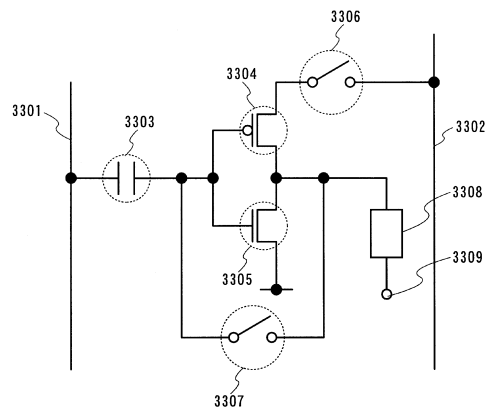
【 30 】



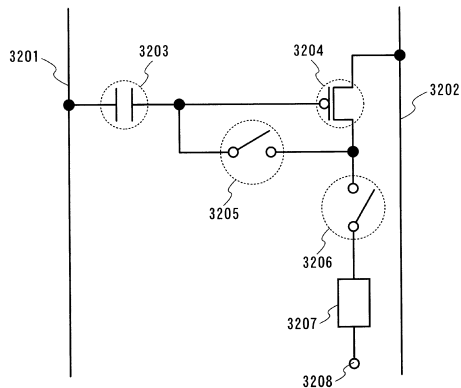
【 31 】



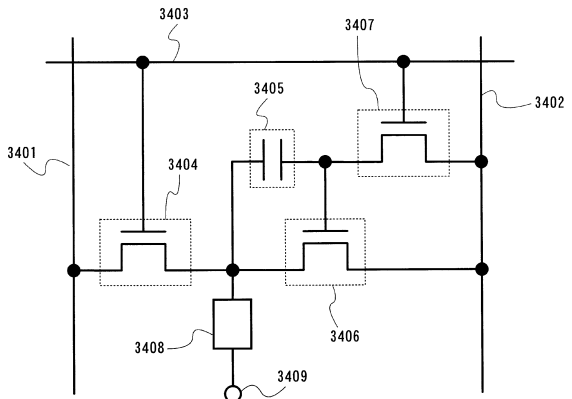
【 33 】



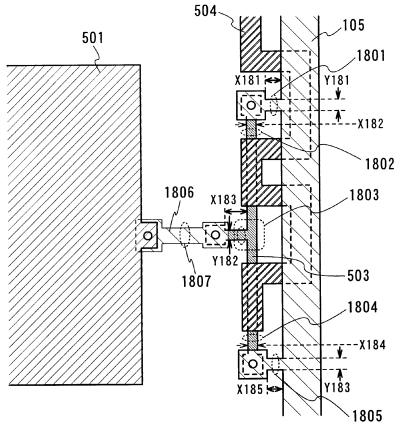
【 32 】



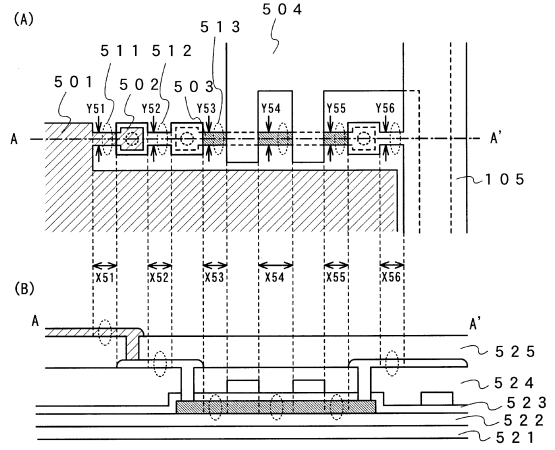
【 34 】



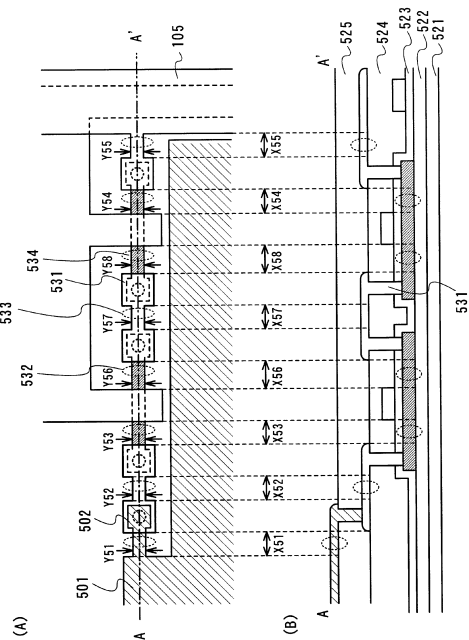
【図 35】



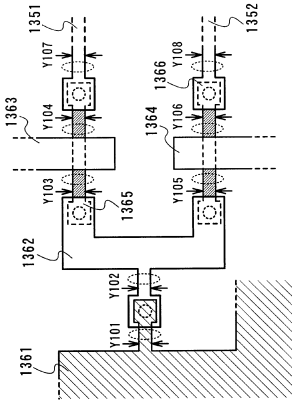
【図 36】



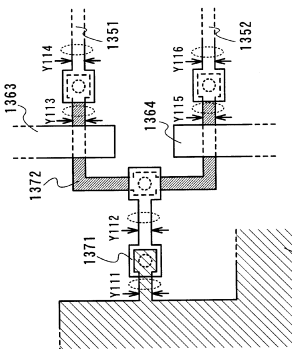
【図 37】



【図 38】



【図 39】





---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 F 9/30 3 3 8

(56)参考文献 特開2004-126106(JP,A)  
特開2003-216104(JP,A)  
特開2000-259098(JP,A)  
特開2002-358031(JP,A)  
国際公開第2004/068446(WO,A1)  
特表2004-531753(JP,A)  
特開2004-140267(JP,A)  
特開2003-086356(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 F 9 / 3 0  
H 0 5 B 3 3 / 0 2  
H 0 1 L 2 7 / 3 2  
H 0 1 L 5 1 / 5 0

专利名称(译)	显示设备，电子设备，便携式信息终端		
公开(公告)号	<a href="#">JP6340108B2</a>	公开(公告)日	2018-06-06
申请号	JP2017079533	申请日	2017-04-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	H05B33/02 H01L27/32 H01L51/50 H05B33/14 G09F9/30		
CPC分类号	G09G3/3225 G09G2300/0852 H01L2924/0002 H01L2924/00 G09G2300/0819 G09G2320/0233 H01L27/124 H01L27/3262 H01L27/3276 H01L51/52 H01L2251/5392		
FI分类号	H05B33/02 H01L27/32 H05B33/14.A H05B33/14.Z G09F9/30.365 G09F9/30.338		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC14 3K107/CC29 3K107/CC33 3K107/CC45 3K107/DD39 3K107/EE03 3K107/FF15 3K107/GG57 5C094/AA25 5C094/AA43 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB04 5C094/EA07 5C094/FB12 5C094/FB14 5C094/HA05 5C094/HA06 5C094/HA07 5C094/HA08 5C094/JA08		
优先权	2005024631 2005-01-31 JP		
其他公开文献	JP2017130466A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：为了提供由于薄EL厚度而可能在阳极和阴极之间短路的发光器件，它发生了。具有电极和电致发光层的发光元件，以及电连接到发光元件的电极的电极连续布线并与包括源极，漏极和沟道形成区域的有源层相连电源线，电连接到所述晶体管的源极和漏极中的一个；并且布线包括晶体管的源极或漏极与另一个电气连接并且在电极和布线电连接的区域附近，电极和布线 该区域具有比电极电连接的区域更窄的宽度。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6340108号 (P6340108)
(45) 発行日 平成30年6月6日(2018.6.6)	(24) 登録日 平成30年5月18日(2018.5.18)	
(51) Int. Cl.	F I	
H05B 33/02 (2006.01)	H05B 33/02	
H01L 27/32 (2006.01)	H01L 27/32	
H01L 51/50 (2006.01)	H05B 33/14	A
H05B 33/14 (2006.01)	H05B 33/14	Z
G09F 9/30 (2006.01)	G09F 9/30	365
	請求項の数 5 (全 55 頁)	最終頁に続く
(21) 出願番号 特願2017-79533(P2017-79533)	(73) 特許権者 000153878	
(22) 出願日 平成29年4月13日(2017.4.13)	株式会社半導体エネルギー研究所	
(62) 分割の表示 特願2016-95817(P2016-95817)	神奈川県厚木市長谷398番地	
原出願日 平成18年1月24日(2006.1.24)	(72) 発明者 木村 肇	
(65) 公開番号 特願2017-130466(P2017-130466A)	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内	
(43) 公開日 平成29年7月27日(2017.7.27)	審査官 野尻 悠平	
審査請求日 平成29年5月1日(2017.5.1)		
(31) 優先権主張番号 特願2005-24631(P2005-24631)		
(32) 優先日 平成17年1月31日(2005.1.31)		
(33) 優先権主張国 日本国(JP)		
		最終頁に続く
(54) 【発明の名称】 表示装置、電子機器、及び携帯情報端末		