

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5137299号
(P5137299)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.	F I				
G09G 3/30 (2006.01)	G09G	3/30		J	
G09G 3/20 (2006.01)	G09G	3/20	624B		
H01L 51/50 (2006.01)	G09G	3/20	641C		
H01L 29/786 (2006.01)	G09G	3/20	611H		
H01L 21/336 (2006.01)	G09G	3/30		K	

請求項の数 9 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2005-245049 (P2005-245049)	(73) 特許権者	511254491
(22) 出願日	平成17年8月25日(2005.8.25)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2006-209074 (P2006-209074A)		ミテッド
(43) 公開日	平成18年8月10日(2006.8.10)		大韓民国 140-716, ソウル, ヨン
審査請求日	平成20年3月3日(2008.3.3)		サング, 3ガ, ハンガンダロ, 65-22
(31) 優先権主張番号	特願2004-252753 (P2004-252753)		8, エルジー ユープラス ビルディング
(32) 優先日	平成16年8月31日(2004.8.31)	(74) 代理人	100094112
(33) 優先権主張国	日本国(JP)		弁理士 岡部 譲
(31) 優先権主張番号	特願2004-377348 (P2004-377348)	(74) 代理人	100064447
(32) 優先日	平成16年12月27日(2004.12.27)		弁理士 岡部 正夫
(33) 優先権主張国	日本国(JP)	(74) 代理人	100096943
			弁理士 白井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

通電により発光する発光手段と、

第1端子、第2端子およびゲート端子を備え、前記第1端子と前記ゲート端子との間、あるいは前記第2端子と前記ゲート端子との間に印加される所定の駆動閾値よりも高い電位差に応じて前記発光手段の発光を制御するドライバ手段と、

前記ドライバ手段の前記第1端子と前記ゲート端子との間、あるいは前記第2端子と前記ゲート端子との間における前記駆動閾値に対応した閾値電圧を検出する閾値電圧検出手段と、

前記ドライバ手段の前記ゲート端子に接続された容量可変手段と、
を備え、

前記容量可変手段の容量値は、データが前記容量可変手段に印加されるデータ書込時と前記発光手段が発光する発光時とで異なる値となり、前記ドライバ手段の端子間に存在する寄生容量の大きさに応じて、その値が決定されることを特徴とする画像表示装置。

【請求項2】

前記閾値電圧検出手段に接続される選択信号線と該選択信号線に接続され、前記容量可変手段の容量値を制御する制御信号線とが少なくとも一部共用されていることを特徴とする請求項1に記載の画像表示装置。

【請求項3】

前記容量可変手段は、薄膜トランジスタと該薄膜トランジスタと接続された容量素子と

を含んだ接続回路であり、該接続回路の一端が前記ドライバ手段に接続されることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】

前記容量可変手段は、第 1 電極と、該第 1 電極よりも小面積である第 2 電極と、前記第 1 電極と前記第 2 電極との間に配置される絶縁層およびチャンネル層と、を備えた可変容量素子であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】

前記チャンネル層は、前記第 2 電極に接していることを特徴とする請求項 4 に記載の画像表示装置。

【請求項 6】

前記ドライバ手段および / または前記閾値電圧検出手段は薄膜トランジスタを含んで構成され、前記薄膜トランジスタのチャンネル層と、前記可変容量素子のチャンネル層とが同じ材料により略等しい厚みで形成されていることを特徴とする請求項 4 に記載の画像表示装置。

【請求項 7】

前記薄膜トランジスタのチャンネル層および / または絶縁層と、前記可変容量素子のチャンネル層および / または絶縁層とは同一工程で形成されることを特徴とする請求項 6 に記載の画像表示装置。

【請求項 8】

前記ドライバ手段および / または前記閾値電圧検出手段は薄膜トランジスタを含んで構成され、前記薄膜トランジスタの絶縁層と、前記可変容量素子の絶縁層とが同じ材料により略等しい厚みで形成されていることを特徴とする請求項 4 に記載の画像表示装置。

【請求項 9】

前記薄膜トランジスタの絶縁層と、前記可変容量素子の絶縁層とは同一工程で形成されることを特徴とする請求項 8 に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置およびその駆動方法に関するものであり、特に、寄生容量による輝度のバラツキを低減することができる画像表示装置およびその駆動方法に関するものである。

【背景技術】

【0002】

従来から、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する電流制御型の有機 EL (Electronic Luminescent) 素子を用いた画像表示装置が提案されている。

【0003】

この種の画像表示装置では、アモルファスシリコンや多結晶シリコン等で形成された TFT (薄膜トランジスタ) や上述した有機 EL 素子等が各画素を構成しており、各画素に適切な電流値が設定されることにより、輝度が制御される。

【0004】

図 17 は、従来の画像表示装置における 1 画素に対応する画素回路の構成を示す図である。同図において、画素回路は、有機 EL 素子 OLED、有機 EL 素子容量 C_{OLED} 、駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} 、補助容量 C_s 、スイッチングトランジスタ T_1 およびスイッチングトランジスタ T_2 から構成されている。

【0005】

駆動トランジスタ T_d は、ゲート電極・ソース電極間に与えられる電位差に応じて有機 EL 素子 OLED に流れる電流量を制御するためのものである。また閾値電圧検出用トランジスタ T_{th} は、オン状態となった時に、駆動トランジスタ T_d のゲート電極とドレイン電極とを電氣的に接続し、駆動トランジスタ T_d のゲート電極・ソース電極間の電位差

10

20

30

40

50

が駆動トランジスタT_dの閾値電圧V_{th}となるまで駆動トランジスタT_dのゲート電極からドレイン電極に向かって電流を流すことにより、駆動トランジスタT_dの閾値電圧V_{th}を検出する機能を有している。

【0006】

有機EL素子OLEDは、閾値電圧以上の電位差（アノード - カソード間電位差）が生じることにより、電流が流れ、発光する特性を有する素子である。具体的には、有機EL素子OLEDは、Al、Cu、ITO（Indium Tin Oxide）等によって形成されたアノード層およびカソード層と、アノード層とカソード層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ペリリウム錯体等の有機系の材料によって形成された発光層とを少なくとも備えた構造を有し、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する。有機EL素子容量C_{OLED}は、有機EL素子OLEDの容量を等価的に表したものである。

10

【0007】

駆動トランジスタT_d、閾値電圧検出用トランジスタT_{th}、スイッチングトランジスタT₁およびスイッチングトランジスタT₂は、例えば、薄膜トランジスタである。なお、以下で参照される各図面においては、各薄膜トランジスタについてチャネル（n型またはp型）を明示していないが、n型またはp型のいずれかであり、本明細書中の記載に従うものとする。

【0008】

電源線10は、駆動トランジスタT_dおよびスイッチングトランジスタT₂に電源を供給する。T_{th}制御線11は、閾値電圧検出用トランジスタT_{th}を制御するための信号を供給する。マージ線12は、スイッチングトランジスタT₂を制御するための信号を供給する。走査線13は、スイッチングトランジスタT₁を制御するための信号を供給する。画像信号線14は、画像信号を供給する。

20

【0009】

上記構成において、画素回路は、準備期間、閾値電圧検出期間、書き込み期間および発光期間という4つの期間を経て動作する。すなわち、準備期間では、電源線10には所定の正電位（V_p、V_p>0）が引加され、閾値電圧検出用トランジスタT_{th}がオフ、スイッチングトランジスタT₁がオフ、駆動トランジスタT_dがオン、スイッチングトランジスタT₂がオンとなるように制御される。その結果、電源線10 駆動トランジスタT_d 有機EL素子容量C_{OLED}という経路で電流が流れ、有機EL素子容量C_{OLED}に電荷が蓄積される。

30

【0010】

つぎの閾値電圧検出期間では、電源線10にはゼロ電位が印加され、閾値電圧検出用トランジスタT_{th}がオンとなるように制御され、駆動トランジスタT_dのゲートとドレインとが接続される。これにより、補助容量C_sおよび有機EL素子容量C_{OLED}に蓄積された電荷が放電され、駆動トランジスタT_d 電源線10という経路で電流が流れる。そして、駆動トランジスタT_dのゲート - ドレイン間の電位差が、駆動トランジスタT_dの駆動閾値に対応する閾値電圧V_{th}に達すると、駆動トランジスタT_dがオフとされる。

【0011】

つぎの書き込み期間では、電源線10の電位はゼロ電位を維持し、スイッチングトランジスタT₁がオン、スイッチングトランジスタT₂がオフとなり、有機EL素子容量C_{OLED}に蓄積された電荷が放電される。その結果、有機EL素子容量C_{OLED} 閾値電圧検出用トランジスタT_{th} 補助容量C_sという経路で電流が流れ、補助容量C_sに電荷が蓄積される。すなわち、有機EL素子容量C_{OLED}に蓄積された電荷は、補助容量C_sに移動する。

40

【0012】

つぎの発光期間では、電源線10には所定の負電位（-V_{DD}、V_{DD}>0）が印加され、駆動トランジスタT_dがオン、閾値電圧検出用トランジスタT_{th}がオフ、スイッチングトランジスタT₁がオフとなるように制御される。その結果、有機EL素子OLED

50

駆動トランジスタT_d 電源線10という経路で電流が流れ、有機EL素子OLEDが発光する。

【0013】

【非特許文献1】S. Ono et al., Proceedings of IDW '03, 255 (2003)

【発明の開示】

【発明が解決しようとする課題】

【0014】

ところで、従来の画像表示装置においては、図18に示したように、駆動トランジスタT_dのゲート付近に寄生容量C_{gd}T_dおよび寄生容量C_{gs}T_dが、さらに、閾値電圧検出用トランジスタT_{th}のゲート付近にも寄生容量C_{gd}T_{th}および寄生容量C_{gs}T_{th}が存在している。

10

【0015】

これらの寄生容量は、有機EL素子OLEDの輝度のバラツキの要因となることが知られている。したがって、従来から、寄生容量による悪影響を効果的に小さくできる手法が切望されていた。

【0016】

本発明は、上記に鑑みてなされたものであって、寄生容量による輝度のバラツキを低減することができる画像表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

20

【0017】

上述した課題を解決し、目的を達成するために、本発明にかかる画像表示装置は、通電により発光する発光手段と、第1端子、第2端子およびゲート端子を備え、前記第1端子と前記ゲート端子との間、あるいは前記第2端子と前記ゲート端子との間に印加される所定の駆動閾値よりも高い電位差に応じて前記発光手段の発光を制御するドライバ手段と、前記ドライバ手段の前記第1端子と前記ゲート端子との間、あるいは前記第2端子と前記ゲート端子との間における前記駆動閾値に対応した閾値電圧を検出する閾値電圧検出手段と、前記ドライバ手段の前記ゲート端子に接続された容量可変手段と、を備え、前記容量可変手段の容量値は、データが前記容量可変手段に印加されるデータ書込時と前記発光手段が発光する発光時とで異なる値となり、前記ドライバ手段の端子間に存在する寄生容量の大きさに応じて、その値が決定されることを特徴とする。

30

【発明の効果】

【0020】

本発明によれば、発光手段を駆動するドライバ手段に容量可変手段を接続した構成としたことから、容量可変手段の容量値を変化させることでドライバ手段や閾値検出手段等に存在する寄生容量の影響を小さくし、寄生容量による輝度のバラツキを低減することができるので、画像表示装置の寿命を向上することができるという効果を奏する。また、製造工程や層構造の変更の手間を抑制できるので、本発明の適用が極めて容易であるという効果を奏する。

【発明を実施するための最良の形態】

40

【0021】

以下に、本発明にかかる画像表示装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0022】

(実施の形態1)

図1は、本発明の実施の形態1にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。同図においては、図18の各部に対応する部分には同一の符号を付ける。図1に示した画素回路においては、容量可変手段としての可変容量C_cと、この可変容量C_cを制御するためのC_c制御線20と、が新たに設けられている。

【0023】

50

可変容量 C_c は、前述した寄生容量による影響を小さくするための容量であり、第1電極 M_1 と第2電極 M_2 との間に挟まれた絶縁層 Z およびチャンネル層 C_N を備えた構成とされており、薄膜トランジスタの層構成とほぼ同様である。第1電極 M_1 は、 C_c 制御線 20 に接続されている。一方、第2電極 M_2 は、駆動トランジスタ T_d のゲートに接続されている。

【0024】

図2は、図1に示した薄膜トランジスタ TFT の構成を示す断面図である。同図における薄膜トランジスタは、基板に近い層からゲート電極 M_1' 、絶縁層 Z' 、チャンネル層 C_N' 、ソース電極 S 及びドレイン電極 D を積層した構造を有している。ゲート電極 M_1' 、ソース電極 S 、ドレイン電極 D は、例えば、 Al や $AlNd$ 、 MoW 等の金属材料により構成されている。絶縁層 Z' は、例えば SiN 系や SiO 系の絶縁材料により形成されている。チャンネル層 C_N' は、例えばアモルファスシリコンやポリシリコン等の半導体材料により形成されている。

10

【0025】

このような薄膜トランジスタにおいては、ゲート電極 M_1' ・ソース電極 S 間の電圧によって形成される電界によって、チャンネル層 C_N' の導電率が変化し、ドレイン電極 D ・ソース電極 S 間の抵抗値が変化するため、ドレイン電極 D とソース電極 S 間に流れる電流量を制御することができる。例えば、同図の薄膜トランジスタを駆動トランジスタ T_d として使用した場合、ゲート電極・ソース電極間に与えられる電位差に応じて、有機 EL 素子 $OLED$ に流れる電流量を制御することができる。

20

【0026】

また、図3-1は、図1に示した可変容量 C_c の構成を示す概略平面図であり、図3-2は、同じく図1に示した可変容量 C_c の構成を示す $X-X$ 線視断面図である。同図における可変容量 C_c は、第1電極 M_1 、絶縁層 Z 、チャンネル層 C_N および第2電極 M_2 の順番で積層されている。第1電極 M_1 は、 Al や $AlNd$ や MoW 等の金属材料により形成されており、例えば平面視形状が四角形状を有している。絶縁層 Z は、第1電極 M_1 上に配置されており、 SiN 系や SiO 系等の絶縁材料により形成されている。チャンネル層 C_N は、絶縁層 Z と第2電極 M_2 との間で、且つ第2電極 M_2 に接するように配置されており、ポリシリコンやアモルファスシリコン等の半導体材料により形成されている。第2電極 M_2 は、第1電極 M_1 よりも小面積に形成されており、例えば、平面視形状が例えば複数の櫛歯状部を有する形状等、外周形状がクランク状となった形状となっている。

30

【0027】

ここで、チャンネル層 C_N は、第1電極 M_1 と第2電極 M_2 との電位差 V_{12} (電位差 V_{12} とは、第1電極 M_1 の電位を V_1 、第2電極 M_2 の電位を V_2 とした場合、 $V_1 - V_2$ をいう。以下同じ) が小さい場合に、絶縁体となるという特性を備えている。したがって、この場合、絶縁層 Z およびチャンネル層 C_N が誘電体として作用し、可変容量 C_c は、第1電極 M_1 と第2電極 M_2 との重なり面積に比例した容量となる。

【0028】

一方、第1電極 M_1 と第2電極 M_2 との電位差 V_{12} が大きい場合、チャンネル層 C_N は、第2電極 M_2 の直下および近傍の部分が導体となるという特性を備えている。したがって、この場合、第2電極 M_2 の櫛部分の隙間が十分に小さいため、第2電極 M_2 の表面全体が導体となり、絶縁層 Z のみが誘電体として作用し、可変容量 C_c は、第1電極 M_1 とチャンネル層 C_N との重なり面積に比例した容量となる。

40

【0029】

また、可変容量 C_c は、図2に示したゲート電極 M_1' 、絶縁層 Z' 、チャンネル層 C_N' 、ソース電極 S およびドレイン電極 D が積層された薄膜トランジスタ TFT の構造と似ており、薄膜トランジスタ TFT と同様の製造プロセスで作成が可能である。なお、図1に示した駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} 、スイッチングトランジスタ T_1 およびスイッチングトランジスタ T_2 は、図2に示した薄膜トランジスタ TFT と同様の構造とされている。

50

【0030】

なお、上述した薄膜トランジスタTFETと可変容量Ccは従来周知の薄膜形成技術を採用することにより形成される。具体的には、薄膜トランジスタTFETの場合、まず、ゲート電極に相当する金属材料をスパッタリング法等により所定厚み（例えば200～400nmの厚み）で成膜するとともに、これを従来周知のフォトリソグラフィを行い、ドライエッチング等でパターンニングしてゲート電極M1'を形成する。

【0031】

つぎに、絶縁層Z'に相当する絶縁材料とチャネル層CN'に相当する半導体材料をCVD法等で所定厚み（例えば、絶縁材料を300～400nmの厚みに、半導体材料を100～300nmの厚み）に積層し、該積層体に対してフォトリソグラフィを行い、ドライエッチング等でパターンニングして絶縁層Z'とチャネル層CN'をそれぞれ形成する。最後に、ソース電極Sおよびドレイン電極Dに相当する金属材料をスパッタリング法等で所定厚み（例えば200～400nmの厚み）に成膜し、これに対してフォトリソグラフィを行い、ドライエッチング等でパターンニングしてソース電極Sおよびドレイン電極Dを形成する。

10

【0032】

また、可変容量Ccの場合、まず第1電極M1に相当する金属材料をスパッタリング法等で所定厚み（200～400nmの厚み）に成膜し、これに対してフォトリソグラフィを行い、ドライエッチング等でパターンニングして第1電極M1を形成する。つぎに、絶縁層Zに相当する絶縁材料とチャネル層CNに相当する半導体材料とをCVD法等で所定厚み（例えば、絶縁材料を300～400nmの厚みに、半導体材料を100～300nmの厚みに）に積層し、該積層体に対してフォトリソグラフィを行い、ドライエッチング等でパターンニングして絶縁層Zとチャネル層CNの形成を行う。

20

【0033】

最後に、第2電極M2に相当する金属材料をスパッタリング法等で所定厚み（例えば200～400nmの厚み）に成膜し、これに対してフォトリソグラフィを行い、ドライエッチング等でパターンニングして第2電極M2を形成する。

【0034】

ここで、図2および図3-1、図3-2の場合、薄膜トランジスタTFETのチャネル層CN'と、可変容量Ccのチャネル層CNとは、同じ材料により略等しい厚み（好ましくは両者の厚みの差が±80nm以内、さらに好ましくは±40nm以内）で形成されている。加えて、薄膜トランジスタTFETの絶縁層Z'と、可変容量Ccの絶縁層Zとは、同じ材料により略等しい厚み（好ましくは両者の厚みの差が±80nm以内、さらに好ましくは±40nm以内）で形成されている。

30

【0035】

さらに、薄膜トランジスタTFETのゲート電極M1'と可変容量Ccの第1電極M1、並びに薄膜トランジスタTFETのソース電極Sおよびドレイン電極Dと可変容量Ccの第2電極M2のそれぞれが同じ材料によって略等しい厚み（好ましくは両者の厚みの差が±60nm以内、さらに好ましくは±30nm以内）で形成されている。

【0036】

このように、可変容量Ccを駆動トランジスタTd、閾値電圧検出用トランジスタTh等に用いられる薄膜トランジスタTFETと同様の層構成としたことから、両者を同じ材料で形成することができ、更には電極やチャネル層、絶縁層を同一工程で一括的に形成することもできる。したがって、可変容量の設置による生産性の低下を良好に防止することができる。

40

【0037】

図4は、図1および図3-1および図3-2に示した可変容量Ccの単位面積当たりの容量の変化を示すグラフである。同図において、特性線L1～L3は、第1電極M1と第2電極M2（図1および図3参照）との電位差V12を-20Vから20Vに変化させた場合の、可変容量Ccの単位面積当たりの容量を表している。

50

【0038】

但し、特性線 L 1 は、図 3 - 1 および図 3 - 2 に示した第 2 電極 M 2 における櫛部の幅 W を $3 \mu\text{m}$ 、隙間 S を $6 \mu\text{m}$ とした場合を表す。この特性線 L 1 からわかるように、電位差 V_{12} が第 1 閾値としての 2.5V 以上である場合、可変容量 C_c の単位容量は、ほぼ一定の $170 \mu\text{F}/\text{m}^2$ となる。一方、電位差 V_{12} が第 2 閾値としての -2.5V 以下である場合、可変容量 C_c の単位容量は、ほぼ一定の $70 \mu\text{F}/\text{m}^2$ となる。ここで、可変容量 C_c の単位容量の最大値と最小値との差分を C_c とする。

【0039】

このように、特性線 L 1 からわかるように、電位差 V_{12} を二値制御することにより、可変容量 C_c の単位容量を最大値（同図では、 170 ）または最小値（同図では、 70 ）にすることができる。

10

【0040】

なお、特性線 L 2 および特性線 L 3 は、特性線 L 1 との比較用にプロットされている。特性線 L 2 は、第 2 電極 M 2 を櫛形状に代えて、第 1 電極 M 1 と同形状同面積の略四角板形状とした場合を表す。ここで、特性線 L 1 と特性線 L 2 とを比較すると、特性線 L 1 に対応する差分 C_c は、可変容量 C_c の単位容量の最大値と最小値との差分 C_c' よりも大きくとることができる。

【0041】

これは、第 2 電極 M 2 の平面視形状を、複数の櫛歯状部を有する形状としたためであると推測される。第 2 電極 M 2 の平面視形状が複数の櫛歯状部を有すると C_c' を大きくすることができる理由は、第 2 電極 M 2 の外周形状がクランク状をなしているため、第 2 電極 M 2 に接するチャンネル層 CN の面積が広くなり、第 1 電極 M 1 および第 2 電極 M 2 の電位差を大きくした場合に導体となるチャンネル層 CN の面積を広く確保することができるからである。

20

【0042】

なお、複数の櫛歯状部を有する場合、隣接する櫛歯状部の間隔は $4 \mu\text{m} \sim 8 \mu\text{m}$ に、櫛歯状部の線幅は $1 \mu\text{m} \sim 5 \mu\text{m}$ にそれぞれ設定することが好ましい。また、特性線 L 3 は、可変容量 C_c にチャンネル層 CN を設けない場合を表し、可変容量 C_c の単位容量は、電位差 V_{12} に係わらず一定である。

【0043】

つぎに、実施の形態 1 の動作について、図 5 を参照しつつ説明する。以下では、準備期間、閾値電圧検出期間、書き込み期間および発光期間という都合 4 つの期間の動作について説明する。なお、以下に説明する動作は、制御部（図示略）の制御の下で行われる。

30

【0044】

（準備期間）

同図に示した準備期間では、電源線 10 が高電位（ V_p ）、マージ線 12 が高電位（ V_{gH} ）、T t h 制御線 11 が低電位（ V_{gL} ）、走査線 13 が低電位（ V_{gL} ）、画像信号線 14 がゼロ電位、 C_c 制御線 20 が低電位（ V_{gL} ）とされる。これにより、図 6 に示したように、閾値電圧検出用トランジスタ T t h がオフ、スイッチングトランジスタ T 1 がオフ、駆動トランジスタ T d がオン、スイッチングトランジスタ T 2 がオンとされ、電源線 10 駆動トランジスタ T d 有機 EL 素子容量 C_{OLED} という経路で電流 I_1 が流れ、有機 EL 素子容量 C_{OLED} に電荷が蓄積される。この準備期間で有機 EL 素子に電荷を蓄積する理由は、駆動閾値検出時に $I_{ds} = 0$ となるまで電流を供給するためである。

40

【0045】

（閾値電圧検出期間）

つぎの閾値電圧検出期間では、電源線 10 がゼロ電位、マージ線 12 が高電位（ V_{gH} ）、T t h 制御線 11 が高電位（ V_{gH} ）、走査線 13 が低電位（ V_{gL} ）、画像信号線 14 がゼロ電位、 C_c 制御線 20 が高電位（ V_{gH} ）とされる。これにより、図 7 に示したように、閾値電圧検出用トランジスタ T t h がオンとなり、駆動トランジスタ T d のゲートとドレインとが接続される。

50

【 0 0 4 6 】

また、補助容量 C_s および有機 EL 素子容量 C_{OLED} に蓄積された電荷が放電され、駆動トランジスタ T_d 電源線 10 という経路で電流 I_2 が流れる。そして、駆動トランジスタ T_d のゲート - ドレイン間の電位差が閾値電圧 V_{th} に達すると、駆動トランジスタ T_d がオフとされ、駆動トランジスタ T_d の閾値電圧 V_{th} が検出される。

【 0 0 4 7 】

(書き込み期間)

つぎの書き込み期間では、データ電位 ($-V_{data}$) を C_s に供給することにより、駆動トランジスタ T_d のゲート電位を所望する電位に変化させることが行われる。具体的には、電源線 10 がゼロ電位、マージ線 12 が低電位 (V_{gL})、 T_{th} 制御線 11 が高電位 (V_{gH})、走査線 13 が高電位 (V_{gH})、画像信号線 14 がデータ電位 ($-V_{data}$)、 C_c 制御線 20 が高電位 (V_{gH}) とされる。

10

【 0 0 4 8 】

これにより、図 8 に示したように、スイッチングトランジスタ T_1 がオン、スイッチングトランジスタ T_2 がオフとなり、有機 EL 素子容量 C_{OLED} に蓄積された電荷が放電され、有機 EL 素子容量 C_{OLED} 閾値電圧検出用トランジスタ T_{th} 補助容量 C_s という経路で電流 I_3 が流れ、補助容量 C_s に電荷が蓄積される。すなわち、有機 EL 素子容量 C_{OLED} に蓄積された電荷は、補助容量 C_s に移動する。

【 0 0 4 9 】

ここで、可変容量 C_c および C_c 制御線 20 が存在しないと仮定した場合、駆動トランジスタ T_d のゲート電位 V_g は、駆動トランジスタ T_d の閾値電圧を V_{th} とすると、補助容量 C_s の容量値を C_s 、閾値電圧検出用トランジスタ T_{th} がオンの場合の全容量 (駆動トランジスタ T_d のゲートに接続された静電容量および寄生容量) を C_{all} とすると、つぎの (1) 式で表される (上記仮定は、(2) 式 ~ (11) 式についても及ぶものとする)。

20

【 0 0 5 0 】

$$V_g = V_{th} - (C_s / C_{all}) \cdot V_{data} \dots (1)$$

【 0 0 5 1 】

また、補助容量 C_s の電位差 V_{Cs} は、つぎの (2) 式で表される。

【 0 0 5 2 】

$$V_{Cs} = V_g - (-V_{data}) = V_{th} + [(C_{all} - C_s) / C_{all}] \cdot V_{data} \dots (2)$$

30

【 0 0 5 3 】

なお、全容量 C_{all} は、つぎの (3) 式で表される。

【 0 0 5 4 】

$$C_{all} = C_{OLED} + C_s + C_{gsTth} + C_{gdTth} + C_{gsTd} \dots (3)$$

【 0 0 5 5 】

なお、駆動トランジスタ T_d のゲートとドレインとが接続されている場合、 C_{gdTd} は影響しない。その理由は、 C_{gdTd} の両端が略同電位となっているからである。また、補助容量 C_s と有機 EL 素子容量 C_{OLED} の関係は、 $C_s < C_{OLED}$ とされている。

40

【 0 0 5 6 】

(発光期間)

つぎの発光期間では、電源線 10 がマイナス電位 ($-V_{DD}$)、マージ線 12 が高電位 (V_{gH})、 T_{th} 制御線 11 が低電位 (V_{gL})、走査線 13 が低電位 (V_{gL})、画像信号線 14 がゼロ電位、 C_c 制御線 20 が低電位 (V_{gL}) とされる。

【 0 0 5 7 】

これにより、図 9 に示したように、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_1 がオフとなり、有機 EL 素子 $OLED$ 駆動トランジスタ T_d 電源線 10 という経路で電流 I_{ds} が流れ、有機 EL 素子 $OLED$ が発光する。

【 0 0 5 8 】

50

駆動トランジスタT_dのドレインからソースに流れる電流I_{ds}は、駆動トランジスタT_dの構造および材質から決定される定数を、駆動トランジスタT_dのソースに対するゲートの電位をV_{gs}、駆動トランジスタT_dの閾値電圧をV_{th}とすると、つぎの(4)式で表される。

【0059】

$$I_{ds} = (\mu/2)(V_{gs} - V_{th})^2 \cdot \dots (4)$$

【0060】

ここで、画素回路に寄生容量が存在しないと仮定した場合、駆動トランジスタのゲート・ソース間電位V_{gs}は、つぎの(5)式で表される。また、電流I_{ds}は、つぎの(6)式で表される。

【0061】

$$V_{gs} = V_{th} + C_{OLED}/(C_s + C_{OLED}) \cdot V_{data} \cdot \dots (5)$$

$$I_{ds} = (\mu/2)(C_{OLED}/(C_s + C_{OLED}) \cdot V_{data})^2 \\ = a \cdot V_{data}^2 \cdot \dots (6)$$

【0062】

(6)式からわかるように、寄生容量C_{gdT_d}、寄生容量C_{gsT_d}が存在しないと仮定した場合には、閾値電圧V_{th}に依存しない電流I_{ds}を得ることができる。したがって、有機EL素子OLEDの光度は電流I_{ds}に比例するため、閾値電圧V_{th}に依存しない光度が得られる。

【0063】

しかしながら、実際には画素回路に寄生容量が存在しているため、閾値電圧V_{th}の影響を完全に消すことはできない。すなわち、寄生容量を考慮した場合、駆動トランジスタT_dのソースに対するドレインの電位をV_{ds}とすると、書き込み期間(図5参照)における電位V_{ds}は、つぎの(7)式で表される。

【0064】

$$V_{ds} = V_{gs} = V_{th} - (C_s/C_{all}) \cdot V_{data} \cdot \dots (7)$$

【0065】

また、発光期間(図9参照)における電位V_{ds}は、有機EL素子OLEDの電圧降下をV_{tholed}とすると、つぎの(8)式で表される。

【0066】

$$V_{ds} = V_{DD} - V_{tholed} \cdot \dots (8)$$

【0067】

また、電位V_{ds}の変化量ΔV_{ds}は、つぎの(9)式で表される。

【0068】

$$V_{ds} = V_{DD} - V_{tholed} - V_{th} + (C_s/C_{all}) \cdot V_{data} \cdot \dots (9)$$

【0069】

また、寄生容量C_{gdT_d}が存在しているため、電位V_{gs}も変化する。この電位V_{gs}の変化量ΔV_{gs}は、つぎの(10)式で表される。

【0070】

$$V_{gs} = (C_{gdT_d}/C_{all}') \cdot V_{ds} \\ = (C_{gdT_d}/C_{all}') (V_{DD} - V_{tholed} - V_{th} + (C_s/C_{all}) \cdot V_{data})$$

・ ・ ・ (10)

【0071】

(10)式において、C_{all'}は、閾値電圧検出用トランジスタT_{th}がオフの場合における全容量(駆動トランジスタT_dのゲートに接続された静電容量および寄生容量)であり、つぎの(11)式で表される。

【0072】

$$C_{all}' = C_s + C_{gsT_{th}} + C_{gsT_d} + C_{gdT_d} \cdot \dots (11)$$

【0073】

(10)式において、(C_{gdT_d}/C_{all'})(V_{DD} - V_{tholed} + (C_s/C_{all})・V_{data})の値は、全画

10

20

30

40

50

素でほぼ同じであるため特に問題が発生しない。これに対して、 $(C_{gdTd}/C_{all'})V_{th}$ が各画素の閾値電圧 V_{th} によって異なるため、画素の輝度にバラツキが生じる原因とされる。ここで、現状では、いずれの構成の画素回路でも、発光時に V_{ds} が変化するため、寄生容量 C_{gdTd} を介して V_{gs} が変化することを回避することができない。このため、完全に均一な表示にはならず、ムラ、焼き付き、画面の輝度が低下するという問題が生じる。

【0074】

そこで、実施の形態1では、可変容量 C_c を設けることにより、かかる問題を解決している。すなわち、可変容量 C_c は、前述したように、電位差 V_{12} が高い場合に、大きくなる一方、電位差 V_{12} が小さい場合に小さくなるという特性を有している。

【0075】

ここで、電位差 V_{12} が前述した第1閾値以上である場合の可変容量 C_c の値を C_{con} 、電位差 V_{12} が第2閾値以下である場合の C_{coff} ($< C_{con}$)とする。ここで、差分 C_c はつぎの(12)式で表される。また、全容量 C_{all} および全容量 C_{all}' は、つぎの(13)式および(14)式で表される。

【0076】

$$C_c = C_{con} - C_{coff} \cdot \cdot \cdot (12)$$

$$C_{all} = C_{oled} + C_s + C_{gsTth} + C_{gdTth} + C_{gsTd} + C_{con} \cdot \cdot \cdot (13)$$

$$C_{all}' = C_s + C_{gsTth} + C_{gsTd} + C_{gdTd} + C_{con} \cdot \cdot \cdot (14)$$

【0077】

そして、図5に示した閾値電圧検出期間および書き込み期間で、 C_c 制御線20を高電位(V_{gH})にし、電位差 V_{12} を第1閾値以上にすることにより、可変容量 C_c の値は、 C_{con} となる。つぎに、発光期間で C_c 制御線20を低電位(V_{gL})にし、電位差 V_{12} を第2閾値以下にすることにより、可変容量 C_c の値は、 C_{coff} となる。ここで、発光期間においては、 V_{gs} は変化し、つぎの(15)式で表される。

【0078】

$$\begin{aligned} V_{gs} &= V_{th} + [(C_{all} - C_s)/C_{all}] \cdot V_{data} + (C_{gdTd}/C_{all}') [V_{DD} - V_{tholed} \\ &\quad - V_{th} + (C_s/C_{all})V_{data}] \\ &= [(C_{all}' - C_{gdTd})/C_{all}'] V_{th} + a \cdot V_{data} + d \cdot \cdot \cdot (15) \end{aligned}$$

【0079】

(15)式において、 a および d は、定数である。

【0080】

また、可変容量 C_c の値が C_{coff} になると、つぎの(16)式で表される電荷保存則より、 V_{gs} は、つぎの(17)式で表される V_{gs}' となる。

【0081】

$$Q = C_{all}' \cdot V_{gs} = (C_{all}' - C_c) V_{gs}' \cdot \cdot \cdot (16)$$

【0082】

$$\begin{aligned} V_{gs}' &= [C_{all}' / (C_{all}' - C_c)] V_{gs} \\ &= [C_{all}' / (C_{all}' - C_c)] [(C_{all}' - C_{gdTd}) / C_{all}'] V_{th} \\ &\quad + a \cdot V_{data} + d \\ &= [(C_{all}' - C_{gdTd}) / (C_{all}' - C_c)] V_{th} + a' \cdot V_{data} + d' \cdot \cdot \cdot (17) \end{aligned}$$

【0083】

(17)式において、 a' および d' は、定数である。

【0084】

したがって、つぎの(18)式で表される差分 C_c が成立するような可変容量 C_c を設定することにより、(17)式の右辺第1項である閾値電圧 V_{th} の係数が1となり、閾値電圧 V_{th} への依存度が理論的には0となる。

【0085】

$$C_c = C_{gdTdon} \cdot \cdot \cdot (18)$$

【0086】

また、(18)式が成立する場合、(17)式の V_{gs}' は、つぎの(19)式のよう

10

20

30

40

50

に簡略化することができる。

$$V_{gs}' = a' \cdot V_{data} + d' + V_{th} \dots (19)$$

【0087】

(19)式の V_{gs}' を V_{gs} として(4)式に代入すると、最終的な I_{ds} は、つぎの(20)式で表される。

$$I_{ds} = (\sqrt{2})(a' \cdot V_{data} + d')^2 \dots (20)$$

【0088】

C_c が理論値に設定されていれば、(20)式に示される I_{ds} に V_{th} の項が存在しないので、駆動トランジスタ T_d のドレインからソースに流れる電流 I_{ds} の値は駆動トランジスタ T_d の閾値電圧 V_{th} に理論的には依存しない。つまり、発光期間における有機EL素子への通電量が駆動閾値 V_{th} に理論的には依存しなくなる。

10

【0089】

また、 C_c が理論値から外れる場合、 I_{ds} は、つぎの(21)式、

$$I_{ds} = (\sqrt{2}) \left[\frac{(C_c - C_{gdT_d})}{(C_{all}' - C_c)} V_{th} + a' \cdot V_{data} + d' \right]^2 \dots (21)$$

となり、駆動閾値 V_{th} が残存することになる。

【0090】

しかしながら、 C_c が(18)式を満たすような理論値でなくとも、この理論値に対して、例えば $\pm 10\%$ の範囲内に C_c の値が設定されていれば、寄生容量による輝度のバラツキ防止の効果に供することができる。この場合、駆動閾値 V_{th} への依存度を小さくすることができ、有機EL素子への通電量を小さくすることが可能となる。

20

【0091】

なお、本実施の形態においては、可変容量 C_c は、その値が発光期間よりも閾値電圧検出期間の方で大きく変化するように C_c 制御線への電位が制御されている。また可変容量 C_c の値は閾値電圧検出期間および発光期間のそれぞれにおいて略一定となるように制御線 C_c への電位を制御することが好ましい。

【0092】

また可変容量は、発光期間終了から駆動閾値の検出終了前まで(好ましくは駆動閾値の検出終了時より2ms以上前まで)の期間に小さな値から大きな値に変化し、データの書き込み期間終了から発光開始までの期間もしくは有機EL素子OLEDの発光開始時に大きな値から小さな値に変化するように制御線 C_c への電位を制御することがそれぞれ好ましい。

30

【0093】

以上、説明したように、この実施の形態の画像表示装置によれば、上述したような容量可変手段としての可変容量 C_c を設けるようにしているので、駆動トランジスタ T_d (ドライバ手段)や閾値電圧検出用トランジスタ T_{th} (閾値検出手段)等に存在する寄生容量の影響を小さくし、寄生容量による輝度のバラツキを低減することができる。なお、実施の形態1においては、閾値電圧検出手段および駆動トランジスタの素子としてアモルファスシリコンTFTを用いる場合について説明したが、これに代えて、ポリシリコンTFT等、他のTFTを用いても良い。この場合、かかるTFTのチャンネル層を構成する材料

40

【0094】

(実施の形態2)

さて、前述した実施の形態1においては、図1に示した T_{th} 制御線11と C_c 制御線20とをそれぞれ設けた構成例について説明したが、閾値電圧検出期間および書き込み期間に高電位、発光期間に低電位が可変容量 C_c に供給されればよいため、実施の形態2として、図10に示したように、 T_{th} 制御線11と C_c 制御線20とを同じ T_{th}/C_c 制御線30で共用する構成例としてもよい。この T_{th}/C_c 制御線30の電位は、図5に示した T_{th} 制御線11(C_c 制御線20)の電位と同様に变化する。

【0095】

50

(実施の形態 3)

また、前述した実施の形態 1 においては、図 1 に示した構成の画素回路に可変容量 C_c を適用した例について説明したが、駆動トランジスタと閾値電圧検出用トランジスタとを有する画素回路であれば、いかなる接続形態の画素回路にも適用可能である。要は、駆動トランジスタのゲートに実施の形態 1 で説明した要件を備える可変容量 C_c を接続すればよい。

【0096】

また、図 11 は、電流制御型の画像表示装置の 1 画素に対応する画素回路の構成を示す図である。同図に示した画素回路は、閾値電圧検出用トランジスタ T_{th}' と、有機 EL 素子 $OLED'$ と、駆動トランジスタ T_d' と、スイッチングトランジスタ T_2' と、補助容量 $C_{s'}$ と、電源線 40 と、画像信号線 41 と、 T_{th} 制御 / 走査線 42 とを備えている。

10

【0097】

このような図 11 に示した電流制御型の画素回路に可変容量 C_c を適用することもできる。この場合、駆動トランジスタ T_d' のゲートと閾値電圧検出用トランジスタ T_{th}' のゲートとの間に可変容量 C_c が接続される、図 12 に示すような画素回路を構成することができる。

【0098】

(実施の形態 4)

図 13 は、本発明の実施の形態 4 にかかる容量可変手段の構成を示す図である。同図に示す可変容量手段は、図 3-1、図 3-2 に示した可変容量 C_c に代えて、容量素子と TFT との直列接続回路を用いるものである。図 13 に示す回路では、固定容量 C_p に、例えば薄膜トランジスタであるスイッチングトランジスタ T_c が直列に接続されるとともに、このスイッチングトランジスタ T_c のゲート端には T_c 制御線 50 が接続される。なお、スイッチングトランジスタ T_c のドレイン端 - ゲート端およびソース端 - ゲート端には、上述した他のスイッチングトランジスタと同様に寄生容量 C_{gdTc} および寄生容量 C_{gsTc} がそれぞれ存在する。

20

【0099】

つぎに、この容量可変手段のスイッチングトランジスタ T_c の導通 / 非導通の前後における容量変化について説明する。図 13 において、スイッチングトランジスタ T_c が導通している場合、固定容量 C_p が直接ゼロ電位に接続されるため、入力端 51 に対する容量は C_p となる。一方、スイッチングトランジスタ T_c が非導通の場合には、固定容量 C_p が寄生容量 C_{gdTc} および寄生容量 C_{gsTc} を介してゼロ電位に接続されるため、入力端 51 に対する容量 C_p' は、次式で表される。

30

$$C_p' = 1 / (1/C_p + 1/C_{gdTc}) \cdots \cdots (22)$$

【0100】

したがって、スイッチングトランジスタ T_c の非導通、導通間での容量変化を C_p とすると、この C_p は次式で表される。

$$C_p = C_p - C_p' \cdots \cdots (23)$$

【0101】

図 14 は、図 13 の容量可変手段を適用した実施の形態 4 にかかる画像表示装置の 1 画素に対応する画素回路の構成を示す図である。同図に示す画素回路では、図 13 の容量可変手段における入力端 51 が駆動トランジスタ T_d のゲート端に接続され、接地端が電源線に接続されるように構成される。なお、その他の構成は、図 18 に示す画素回路と同等である。

40

【0102】

つぎに、実施の形態 4 の画素回路の動作について説明する。図 14 において、まず、 T_c 制御線 50 を高電位 (V_{gH}) にすることで追加容量を C_p にし、 V_{th} 検出および書き込みを行う。つぎに、 T_c 制御線 50 を発光時の電位である低電位 (V_{gL}) にすると、実施の形態 1 の画素回路のように V_{gs} が変化する。このときの V_{gs} の変化は、上述

50

の(15)式で表すことができる。

$$\begin{aligned} V_{gs} &= V_{th} + [(C_{all} - C_s)/C_{all}] \cdot V_{data} + (C_{gdTd}/C_{all}') [V_{DD} - V_{tholed} \\ &\quad - V_{th} + (C_s/C_{all})V_{data}] \\ &= [(C_{all}' - C_{gdTd})/C_{all}'] V_{th} + a \cdot V_{data} + d \dots (15) \text{ (再掲)} \end{aligned}$$

【0103】

また、容量可変手段の容量値が C_p から C_p' に変化するとき、実施の形態1の場合と同様に、つぎの(24)式で表される電荷保存則が成立するので、上記(15)式で表される V_{gs} が、つぎの(25)式で表される V_{gs}' となる。

【0104】

$$Q = C_{all}' \cdot V_{gs} = (C_{all}' - C_p)V_{gs}' \dots (24)$$

10

【0105】

$$\begin{aligned} V_{gs}' &= [C_{all}'/(C_{all}' - C_p)]V_{gs} \\ &= [C_{all}'/(C_{all}' - C_p)] [(C_{all}' - C_{gdTd})/C_{all}'] V_{th} \\ &\quad + a \cdot V_{data} + d] \\ &= [(C_{all}' - C_{gdTd})/(C_{all}' - C_p)] V_{th} + a' \cdot V_{data} + d' \dots (25) \end{aligned}$$

なお、これらの式に示される a 、 a' 、 d 、 d' は、上記(16)、(17)式に示したものと同一である。

【0106】

したがって、つぎの(26)式で表される差分 C_p が成立するような容量値 C_p を設定することにより、(25)式の右辺第1項である閾値電圧 V_{th} の係数が1となり、閾値電圧 V_{th} への依存度が理論的には0となる。

20

【0107】

$$C_p = C_p - C_p' = C_p \cdot [1 - C_{gdTc}/(C_p + C_{gdTc})] = C_{gdTd} \dots (26)$$

【0108】

なお、(26)式が成立する場合、(25)式の V_{gs}' は、上述の(19)式のように簡略化することができ、

$$V_{gs}' = a' \cdot V_{data} + d' + V_{th} \dots (19) \text{ (再掲)}$$

また、最終的な I_{ds} は、上述の(20)式のように表すことができる。

$$I_{ds} = (1/2)(a' \cdot V_{data} + d')^2 \dots (20) \text{ (再掲)}$$

【0109】

30

C_c が理論値に設定されていれば、(20)式に示される I_{ds} に V_{th} の項が存在しないので、駆動トランジスタ T_d のドレインからソースに流れる電流 I_{ds} の値は駆動トランジスタ T_d の閾値電圧 V_{th} には理論的には依存しない。つまり、発光期間における有機EL素子への通電量の駆動閾値 V_{th} の影響を理論的には除去することができる。

【0110】

また、 C_p が理論値から外れる場合、 I_{ds} はつぎの(27)式、

$$I_{ds} = (1/2) [(C_c - C_{gdTd})/(C_{all}' - C_p)] V_{th} + a' \cdot V_{data} + d']^2 \dots (27)$$

で表されるため、駆動閾値 V_{th} が残存することになる。

【0111】

40

しかしながら、 C_c が(18)式を満たすような理論値でなくとも、この理論値に対して、例えば $\pm 10\%$ の範囲内に C_p の値が設定されていれば、寄生容量による輝度のバラツキ防止の効果に供することができる。また、この場合、駆動閾値 V_{th} への依存度を小さくすることができるので、有機EL素子への通電量を小さくすることが可能となる。

【0112】

また、図15は、 T_c 制御線の駆動波形を示すシーケンス図である。同図に示すように、 T_c 制御線は V_{th} 検出時および書き込み時には高電位であり、逆に発光時には低電位であればよい。

【0113】

50

また、図15から明らかなように、Tc制御線およびTth制御線は、高電位および低電位となるタイミングが一致している。したがって、Tc制御線とTth制御線とを共用することができ、外部駆動装置を変更する必要がないという効果が得られる。なお、Tth制御線11とTc制御線50とを共通のTth/Tc制御線55で共用する画素回路の構成例を図16に示す。

【0114】

以上、説明したように、この実施の形態の画像表示装置によれば、容量素子とスイッチングトランジスタとの直列接続回路による容量可変手段を設けるようにしているので、駆動トランジスタTd(ドライバ手段)や閾値電圧検出用トランジスタTth(閾値検出手段)等に存在する寄生容量の影響を小さくし、寄生容量による輝度のバラツキを低減することができる。

10

【0115】

なお、実施の形態4の画像表示装置においても、実施の形態1と同様に、閾値電圧検出手段および駆動トランジスタの素子としてアモルファスシリコンTFTを用いる他、これに代えて、ポリシリコンTFT等、他のTFTを用いてもよい。

【0116】

また、図14に示した画素回路は、電圧制御型の画素回路に容量可変手段の構成を適用する例について示したが、電流制御型の画素回路に同様な容量可変手段の構成を適用することもできる。この場合、図12に示す実施の形態3の構成例のように、駆動トランジスタTd'のゲートと閾値電圧検出用トランジスタTth'のゲートとの間に容量可変手段が

20

【0117】

(実施の形態5)

図19は、本発明の実施の形態5にかかる容量可変手段の構成を示す図である。同図に示す容量可変手段は、実施の形態4と同様に、容量素子とTFTとを組み合わせ直列接続回路を構成したものである。図19に示す回路では、固定容量Cp1に、例えば薄膜トランジスタであるスイッチングトランジスタTc1が直列に接続され、固定容量Cp2に、例えば薄膜トランジスタであるスイッチングトランジスタTc2が直列に接続される。これらのスイッチングトランジスタTc1およびTc2の各ゲート端には第1Tc制御線61が接続される。さらに、図19に示す回路では、例えば薄膜トランジスタであるスイ

30

【0118】

つぎに、この容量可変手段のスイッチングトランジスタTc1、Tc2、Tc3の導通/非導通の前後における容量変化について説明する。図19において、スイッチングトランジスタTc1およびTc2が導通し、且つスイッチングトランジスタTc3が非導通の場合、入力端51に対する容量はCp1+Cp2となる。一方、スイッチングトランジスタTc1およびTc2が非導通であり、且つスイッチングトランジスタTc3が導通している場合には、入力端51に対する容量は $1 / (1/Cp1 + 1/Cp2)$ となる。

40

【0119】

図20は、図19の容量可変手段を適用した実施の形態5にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。同図に示す画素回路では、図19の容量可変手段における入力端51が駆動トランジスタTdのゲート端に接続され、接地端が電源線に接続されるように構成される。なお、その他の構成は、図18に示す画素回路と同等である。

【0120】

つぎに、この実施の形態5の画素回路の動作について説明する。図20において、まず

50

、第1 T c 制御線 6 1 を高電位 (V g H) にすることで追加容量を C p 1 + C p 2 にし、 V t h 検出および書き込みを行う。この際、 V g s は、つぎの (2 8) 式で表される。

$$V_{gs} = V_{th} + [(C_{all} + C_{p1} + C_{p2} - C_s) / (C_{all} + C_{p1} + C_{p2})] \cdot V_{data} \quad \dots (28)$$

【 0 1 2 1 】

書き込み期間終了後、第1制御線 6 1 を低電位 (V g L) にする。ここで、 C p 1 と C p 2 は、同じ容量値 C p c であるとする、それぞれ C p c \cdot V g s の電荷がたまっている。つぎに、第2制御線 6 2 を高電位 (V g H) にすると、 V g s は、つぎの (2 9) 式で表わされる V g s ' となる。

$$V_{gs}' = V_{gs} [(C_{all}' + C_{pc}) / (C_{all}' + C_{pc}/2)] \quad \dots (29)$$

10

【 0 1 2 2 】

つぎに、電源線 1 0、マージ線 1 2、 T t h 制御線 6 2 等の電位を図 2 1 における発光期間の電位に設定すると、実施の形態 1 の画素回路のように V g s が変化する。このときの V g s の変化は、つぎの (3 0) 式の V g s ' ' で表すことができる。

$$\begin{aligned} V_{gs}'' &= V_{gs}' + C_{gd}T_d / (C_{all}' + C_{pc}/2) [V_{DD} - V_{tholed} \\ &\quad - V_{th} + C_s / (C_{all} + 2C_{pc}) V_{data}] \\ &= [(C_{all}' + C_{pc})(C_{all}' + C_{pc}/2 - C_{gd}T_d) / (C_{all}' + C_{pc}/2)^2] V_{th} + a \cdot V_{data} + d \cdot \dots (30) \end{aligned}$$

【 0 1 2 3 】

なお、これらの式に示される a、d は、上記 (1 6)、(1 7) 式に示したものと同一である。 C a l l ' > > C p c 且つ C a l l ' > > C g d T d であるならば、つぎの (3 1) 式が成立するような容量値 C p c を設定することにより、(3 0) 式の右辺第 1 項である閾値電圧 V t h の係数が 1 となり、閾値電圧 V t h への依存度が理論的には 0 となる。

$$C_{pc}/2 = C_{gd}T_d \quad \dots (31)$$

$$V_{gs}'' - V_{th} = a \cdot V_{data} + d \quad \dots (32)$$

20

【 0 1 2 4 】

つまり、駆動トランジスタ T d のドレインからソースに流れる電流 I d s の値は駆動トランジスタ T d の閾値電圧 V t h には理論的には依存しない。これにより、発光期間における有機 E L 素子への通電量の駆動閾値 V t h の影響を理論的には除去することができる。

30

【 0 1 2 5 】

図 2 1 は、第 1 T c 制御線および第 2 T c 制御線の駆動波形を示すシーケンス図である。同図に示すように、第 1 T c 制御線 6 1 は V t h 検出時および書き込み時には高電位であり、逆に発光時には低電位である。これに対して第 2 T c 制御線 6 2 は準備時、 V t h 検出時、および書き込み時に低電位であり、発光時に高電位である。

【 0 1 2 6 】

また、図 2 1 から明らかなように、第 1 T c 制御線および T t h 制御線は、高電位および低電位となるタイミングがほぼ一致している。したがって、第 1 T c 制御線と T t h 制御線とを共用することができ、外部駆動装置と各画素を接続する制御線の本数を少なくすることができるという効果が得られる。なお、 T t h 制御線 1 1 と第 1 T c 制御線 6 1 とを共通の T t h / T c 制御線 6 5 で共用する画素回路の構成例を図 2 2 に示す。

40

【 0 1 2 7 】

以上、説明したように、この実施の形態の画像表示装置によっても、容量素子とスイッチングトランジスタとの直列接続回路による容量可変手段を設けるようにしているので、駆動トランジスタ T d (ドライバ手段) や閾値電圧検出用トランジスタ T t h (閾値検出手段) 等に存在する寄生容量の影響を小さくし、寄生容量による輝度のバラツキを低減することができる。

【 0 1 2 8 】

なお、実施の形態 5 の画像表示装置においても、実施の形態 1 と同様に、閾値電圧検出手段および駆動トランジスタの素子としてアモルファスシリコン T F T を用いる他、これ

50

に代えて、ポリシリコンTFT等、他のTFTを用いてもよい。

【0129】

また、図20および図22に示した画素回路は、電圧制御型の画素回路に容量可変手段の構成を適用する例について示したが、電流制御型の画素回路に同様な容量可変手段の構成を適用することもできる。この場合、図12に示す実施の形態3の構成例のように、駆動トランジスタT_d'のゲートと閾値電圧検出用トランジスタT_{th}'のゲートとの間に容量可変手段が接続されるように構成すればよい。

【産業上の利用可能性】

【0130】

以上のように、本発明にかかる画像表示装置は、寄生容量による輝度のバラツキの防止に対して有用である。

【図面の簡単な説明】

【0131】

【図1】本発明の実施の形態1にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図2】図1に示した薄膜トランジスタTFTの構成を示す断面図である。

【図3-1】図1に示した可変容量C_cの構成を示す概略平面図である。

【図3-2】図1に示した可変容量C_cの構成を示すX-X線視断面図である。

【図4】図1および図3-1, 図3-2に示した可変容量C_cの単位面積当たりの容量の変化を示すグラフである。

【図5】実施の形態1の動作を説明するためのシーケンス図である。

【図6】図5に示した準備期間の動作を説明する図である。

【図7】図5に示した閾値電圧検出期間の動作を説明する図である。

【図8】図5に示した書き込み期間の動作を説明する図である。

【図9】図5に示した発光期間の動作を説明する図である。

【図10】本発明の実施の形態2にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図11】電流制御型の画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図12】本発明の実施の形態3にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図13】本発明の実施の形態4にかかる容量可変手段の構成を示す図である。

【図14】図13の容量可変手段を適用した実施の形態4にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図15】T_c制御線の駆動波形を示すシーケンス図である。

【図16】T_{th}制御線11とT_c制御線50とを共通のT_{th}/T_c制御線55で共用する画素回路の構成例を示す図である。

【図17】従来の画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図18】図17に示した画素回路に発生する寄生容量等を示す図である。

【図19】本発明の実施の形態5にかかる容量可変手段の構成を示す図である。

【図20】図19の容量可変手段を適用した実施の形態5にかかる画像表示装置の1画素に対応する画素回路の構成を示す図である。

【図21】第1T_c制御線および第2T_c制御線の駆動波形を示すシーケンス図である。

【図22】第1T_{th}制御線61および第2T_{th}制御線62とT_c制御線50とを共通のT_{th}/T_c制御線65で共用する画素回路の構成例を示す図である。

【符号の説明】

【0132】

- 10, 40 電源線
- 11 T_{th}制御線
- 12 マージ線

10

20

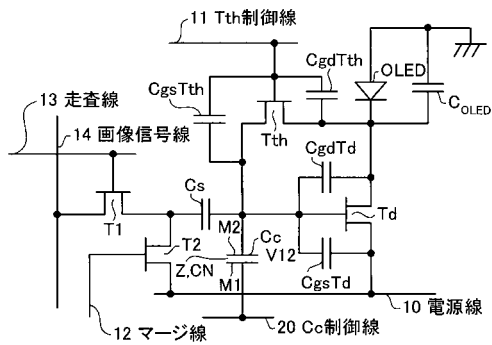
30

40

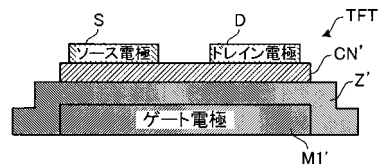
50

- 1 3 走査線
- 1 4 画像信号線
- 2 0 C c 制御線
- 3 0 T t h / C c 制御線
- 4 1 画像信号線
- 4 2 T t h 制御 / 走査線
- 5 0 T c 制御線
- 5 1 入力端
- 5 5 , 6 5 T t h / T c 制御線
- 6 1 第 1 T c 制御線
- 6 2 第 2 T c 制御線
- O L E D 有機 E L 素子
- T d , T d ' 駆動トランジスタ
- T t h , T t h ' 閾値電圧検出用トランジスタ
- T 1 , T 2 , T c , T c 1 , T c 2 , T c 3 スイッチングトランジスタ
- C s 補助容量
- C c 可変容量
- C p , C p 1 , C p 2 固定容量

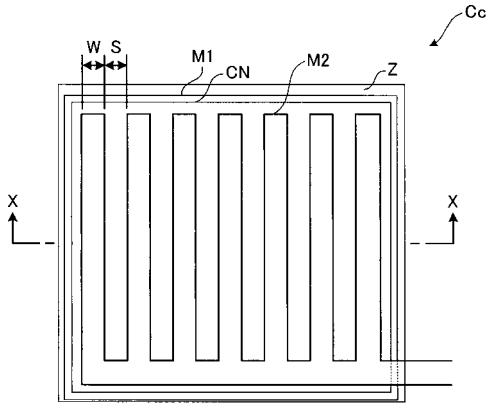
【 図 1 】



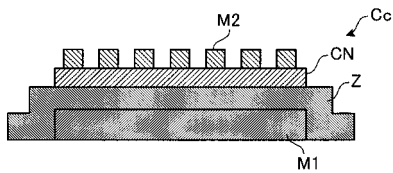
【 図 2 】



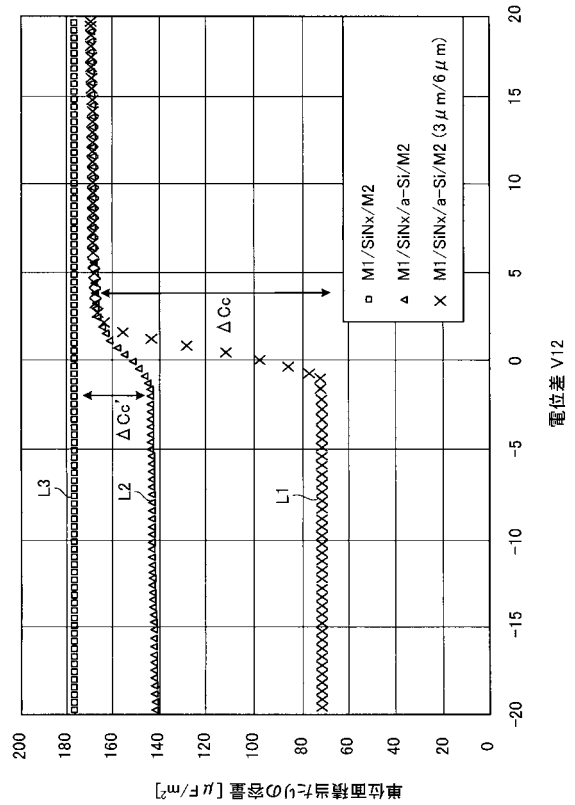
【図3-1】



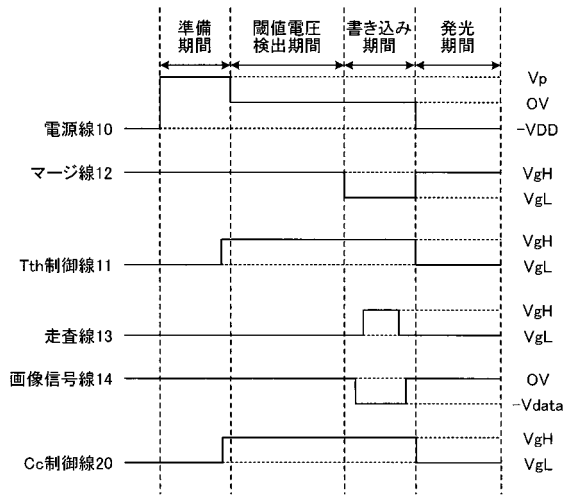
【図3-2】



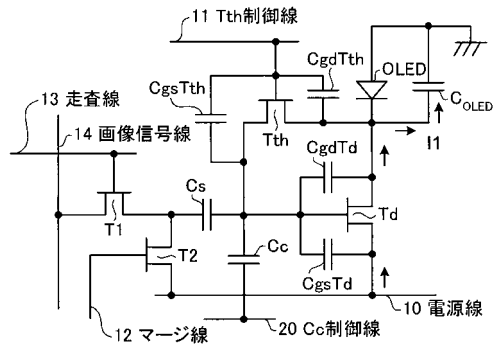
【図4】



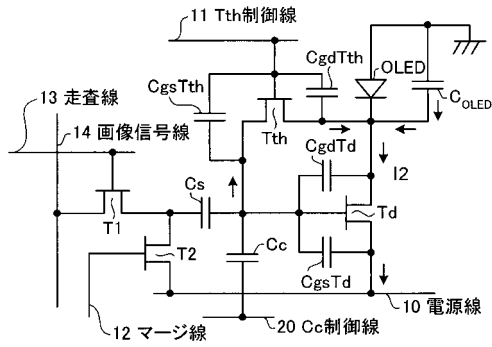
【図5】



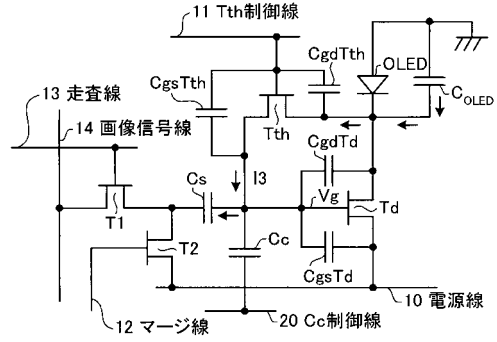
【図6】



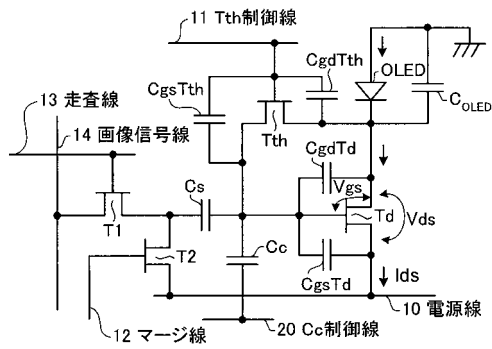
【図7】



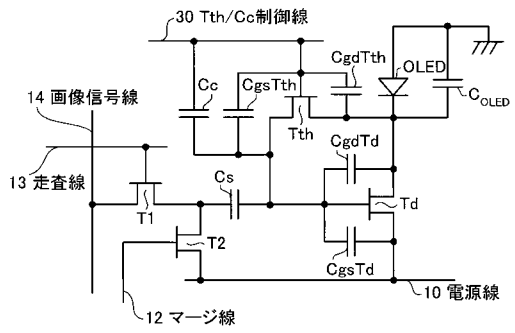
【図8】



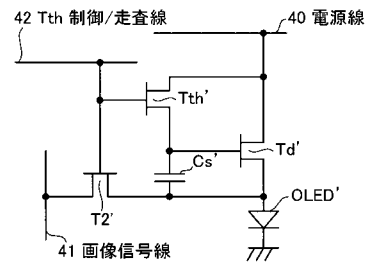
【図9】



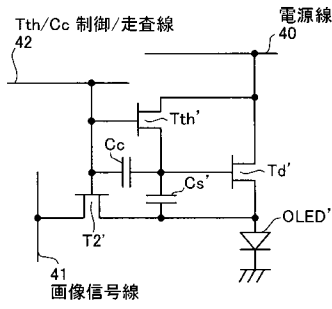
【図10】



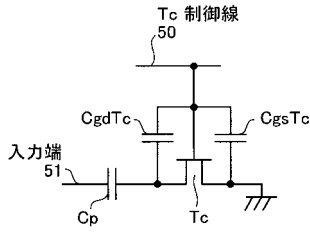
【図11】



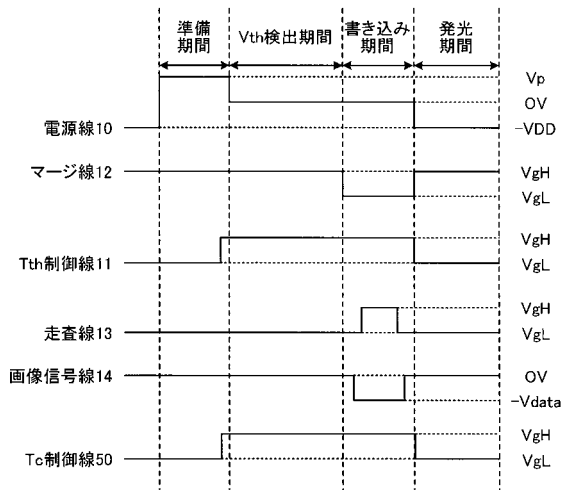
【図12】



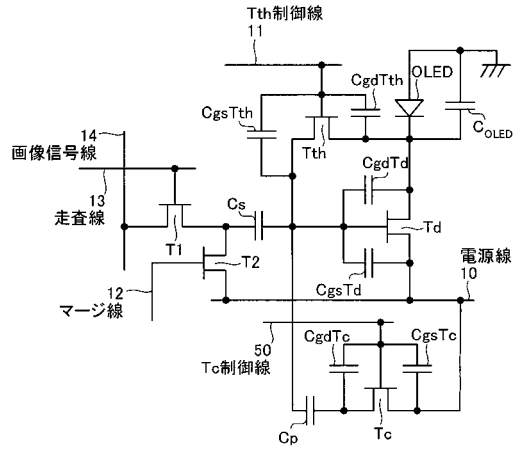
【図13】



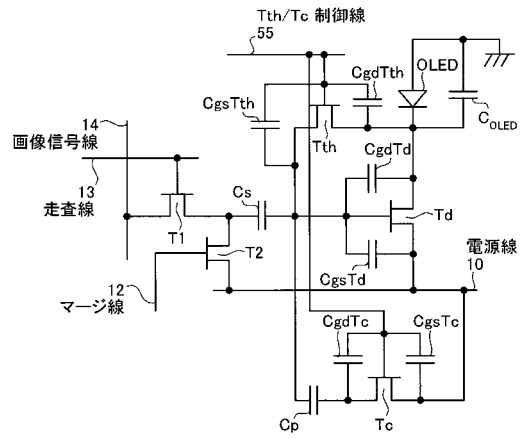
【図15】



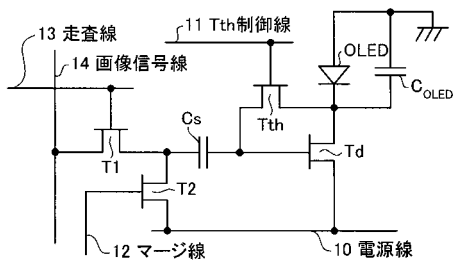
【図14】



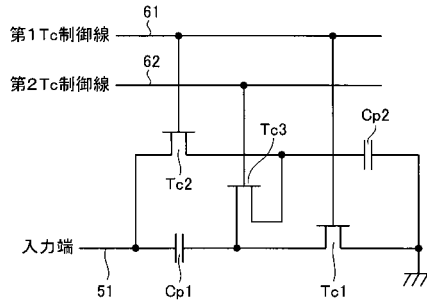
【図16】



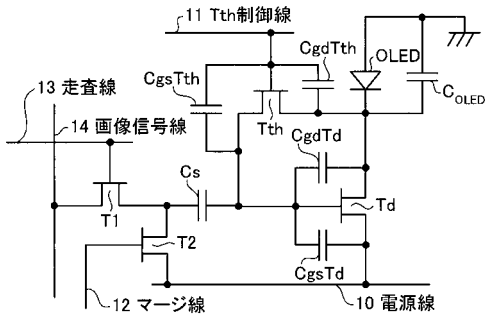
【図17】



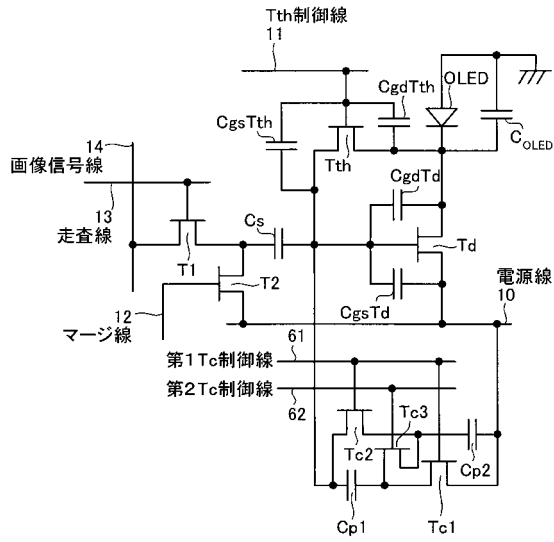
【図19】



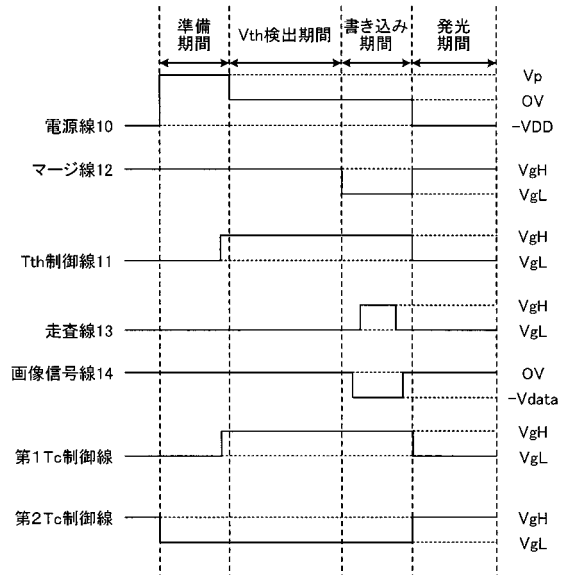
【図18】



【図20】



【図21】



フロントページの続き

- (51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A
H 0 1 L 29/78 6 1 4
H 0 1 L 29/78 6 1 2 Z
- (74)代理人 100106183
弁理士 吉澤 弘司
- (74)代理人 100160967
弁理士 濱 口 岳久
- (72)発明者 高杉 親知
神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内
- (72)発明者 草深 薫
神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内
- 審査官 奈良田 新一
- (56)参考文献 特開2003-140612(JP,A)
特開2003-295824(JP,A)
特開2005-331774(JP,A)
- (58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2
H 0 1 L 2 1 / 3 3 6 , 2 9 / 7 8 6 , 5 1 / 5 0

专利名称(译)	画像表示装置		
公开(公告)号	JP5137299B2	公开(公告)日	2013-02-06
申请号	JP2005245049	申请日	2005-08-25
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	高杉親知 草深薫		
发明人	高杉 親知 草深 薫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H01L29/786 H01L21/336		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2320/0223 G09G2320/0233 G09G2320/043 H01L27/1296 H01L27/3244 H01L29/458		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.C G09G3/20.611.H G09G3/30.K G09G3/20.642.A H05B33/14.A H01L29/78.614 H01L29/78.612.Z G09G3/3233 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC21 3K107 /CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380 /AB06 5C380/AB22 5C380/AB23 5C380/BA40 5C380/BB02 5C380/CA12 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC34 5C380/CC42 5C380/CC48 5C380/CC51 5C380/CC61 5C380 /CC62 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CD013 5C380/CD014 5C380/CD023 5C380 /CD024 5C380/DA02 5C380/DA06 5C380/DA47 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG13 5F110 /GG15 5F110/HK03 5F110/HK06 5F110/HK33 5F110/NN71 5F110/NN72 5F110/NN73		
代理人(译)	白井伸一 吉泽博 ▲滨▼口 岳久		
优先权	2004252753 2004-08-31 JP 2004377348 2004-12-27 JP		
其他公开文献	JP2006209074A		
外部链接	Espacenet		

摘要(译)

要解决的问题为了防止寄生电容引起的亮度变化。通过通电发光的有机EL元件OLED，具有栅极（第一端子），漏极（第二端子）和源极并且具有高于在栅极和漏极之间施加的预定驱动阈值的电位差的有机EL元件OLED，阈值电压检测晶体管Tth，用于检测对应于驱动晶体管Td的栅极和漏极之间的驱动阈值的阈值电压，驱动晶体管Td，连接到驱动晶体管Td并且可变电容Cc。点域1

