

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4826597号  
(P4826597)

(45) 発行日 平成23年11月30日(2011.11.30)

(24) 登録日 平成23年9月22日(2011.9.22)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 622G
	G09G 3/20 623X
	G09G 3/20 622P
請求項の数 13 (全 43 頁) 最終頁に続く	

(21) 出願番号 特願2008-89981(P2008-89981)  
 (22) 出願日 平成20年3月31日(2008.3.31)  
 (65) 公開番号 特開2009-244526(P2009-244526A)  
 (43) 公開日 平成21年10月22日(2009.10.22)  
 審査請求日 平成21年4月2日(2009.4.2)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100098785  
 弁理士 藤島 洋一郎  
 (74) 代理人 100109656  
 弁理士 三反崎 泰司  
 (74) 代理人 100130915  
 弁理士 長谷部 政男  
 (74) 代理人 100155376  
 弁理士 田名網 孝昭  
 (72) 発明者 山本 哲郎  
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

駆動電流を生成する駆動トランジスタと、前記駆動トランジスタの出力端に接続された電気光学素子と、映像信号の信号振幅に応じた情報を保持する保持容量と、前記駆動トランジスタの制御入力端に直列に接続されるとともに前記信号振幅に応じた情報を前記保持容量に書き込む第1および第2のサンプリングトランジスタとを有し、かつ行列状に配置された複数の画素と、

画素行ごとに1つずつ設けられた複数の垂直走査線と、

画素行ごとに1つずつ設けられた複数の電源供給線と、

複数の画素列を画素ユニットとしたときに、画素ユニットごとに1つずつ設けられた複数の水平走査線と、

映像信号を、前記水平走査線を介して前記複数の画素に出力する水平走査部と、

書込駆動パルスを、前記垂直走査線を介して前記複数の画素に出力する書込走査部と

電源駆動パルスを、前記電源供給線を介して前記複数の画素に出力する駆動走査部と

を備え、

前記駆動トランジスタの入力端は、当該駆動トランジスタの行番号と同一の行番号の電源供給線に接続され、

前記第1のサンプリングトランジスタの入力端は、前記水平走査線に接続され、

前記第1のサンプリングトランジスタの出力端は、前記第2のサンプリングトランジスタの入力端に接続され、

10

20

前記第1のサンプリングトランジスタの制御入力端は、当該第1のサンプリングトランジスタの行番号と同一の行番号の垂直走査線に接続され、

前記第2のサンプリングトランジスタの出力端は、前記駆動トランジスタの制御入力端に接続され、

前記第2のサンプリングトランジスタの制御入力端は、当該第2のサンプリングトランジスタの行番号とは異なる行番号の垂直走査線または電源供給線であって、かつ前記画素ユニット内において当該第2のサンプリングトランジスタと同一行の他の第2のサンプリングトランジスタの制御入力端とは異なる線に接続され、

前記水平走査部は、各画素ユニットに含まれる各画素列に対応する映像信号を順番に切り替えて前記複数の画素に出力し、

前記書込走査部および前記駆動走査部は、各画素ユニット内の各画素行において、前記第1のサンプリングトランジスタが導通している時に、各第2のサンプリングトランジスタが前記映像信号の切り替えに対応して1つずつ順番に導通するように、前記書込駆動パルスおよび前記電源駆動パルスのうち少なくとも一方を前記複数の画素に出力することにより、表示処理を行う

表示装置。

【請求項2】

前記第2のサンプリングトランジスタの制御入力端は、当該第2のサンプリングトランジスタの行番号とは異なる行番号の垂直走査線であって、かつ前記画素ユニット内において当該第2のサンプリングトランジスタと同一行の他の第2のサンプリングトランジスタの制御入力端とは異なる垂直走査線に接続されている

請求項1に記載の表示装置。

【請求項3】

前記第2のサンプリングトランジスタの制御入力端は、当該第2のサンプリングトランジスタの行番号とは異なる行番号の電源供給線であって、かつ前記画素ユニット内において当該第2のサンプリングトランジスタと同一行の他の第2のサンプリングトランジスタの制御入力端とは異なる電源供給線に接続されている

請求項1に記載の表示装置。

【請求項4】

前記垂直走査部は、前記駆動電流を前記電気光学素子に流すために使用される第1電位および前記第1電位とは異なる第2電位を切り替えて前記駆動トランジスタの入力端に印加する

請求項3に記載の表示装置。

【請求項5】

各画素ユニット内の各行において、複数の第2のサンプリングトランジスタのうち1または複数のサンプリングトランジスタの制御入力端は前記垂直走査線に接続されており、かつ複数の第2のサンプリングトランジスタのうち残りのサンプリングトランジスタの制御入力端は前記電源供給線に接続されている

請求項1に記載の表示装置。

【請求項6】

前記垂直走査部は、各画素ユニット内の各画素行において、前記第1のサンプリングトランジスタが導通している時に、複数の第2のサンプリングトランジスタが同時にオンしないように、前記パルス信号を前記複数の画素に印加することにより、表示処理を行う

請求項1に記載の表示装置。

【請求項7】

前記垂直走査部は、前記第2のサンプリングトランジスタを順番に導通させることの必要な垂直走査期間では、前記第1および前記第2のサンプリングトランジスタの双方を導通させることにより、表示処理を行う

請求項6に記載の表示装置。

【請求項8】

10

20

30

40

50

前記垂直走査部は、前記第 2 のサンプリングトランジスタの制御入力端に印加する信号波形の変化状態を各画素行で揃える

請求項 6 に記載の表示装置。

【請求項 9】

前記駆動電流を一定に維持する駆動信号一定化回路を備えている

請求項 6 に記載の表示装置。

【請求項 10】

前記駆動信号一定化回路は、前記駆動電流を前記電気光学素子に流すために使用される第 1 電位に対応する電圧が前記駆動トランジスタの入力端に供給されかつ映像信号における基準電位の時間帯に前記第 1 および前記第 2 のサンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されている

請求項 9 に記載の表示装置。

【請求項 11】

前記垂直走査部は、前記駆動電流を前記電気光学素子に流すために使用される第 1 電位および前記第 1 電位とは異なる第 2 電位を切り替えて前記駆動トランジスタの入力端に印加し、

前記水平走査部は、基準電位と信号電位で切り替わる映像信号を前記第 1 のサンプリングトランジスタの入力端に供給するものであり、

前記駆動信号一定化回路は、前記書込走査部、前記水平駆動部、および前記駆動走査部の制御の元で、前記第 1 電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位の時間帯に前記第 1 および前記第 2 のサンプリングトランジスタを導通させることにより、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されている

請求項 9 に記載の表示装置。

【請求項 12】

前記駆動信号一定化回路は、前記駆動トランジスタの移動度による前記駆動電流の依存性を抑制する移動度補正機能を実現するように構成されている

請求項 9 に記載の表示装置。

【請求項 13】

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能動作の後に、前記映像信号における信号電位の時間帯で、前記第 1 および前記第 2 のサンプリングトランジスタの双方を導通させることにより、前記保持容量に信号電位に応じた情報を書き込む際に前記移動度補正機能を実現するように構成されている

請求項 12 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度が変化する電流駆動型の電気光学素子を表示素子として有し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例で

10

20

30

40

50

ある。後者の有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機EL素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機EL素子を流れる電流値を制御することで発色の階調を得ている。

【0004】

有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 $\mu$ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0005】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【0006】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor ; TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0007】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【0008】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0009】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

【0010】

有機EL素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

【0011】

10

20

30

40

50

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0012】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

【0013】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【0014】

【特許文献1】特開2006-215213号公報

【0015】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流-電圧特性に経時変化があつた場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

【0016】

一方、低コスト化を考えた場合、画素数を減らすことがないように、画素アレイ部の周辺部に設けられる各種の走査回路から引き出される走査線の数減らすことが考えられる。この際には、1つの水平走査線に対して複数列の画素を割り当てる、あるいは1つの垂直走査線に対して複数行の画素を割り当てることで、走査回路から出力された走査信号を複数の画素で共用することになる。

【0017】

画素アレイ部内に配線される走査線数を削減することで、各走査線を駆動するための回路コスト分だけ低コスト化が可能となる。この際には、液晶表示装置において提案されている、画素数を減らすことなく取出し配線の数削減する仕組みを採用入れることが考えられる。たとえば、水平走査側に着目すると、信号線を複数画素で共用化することで低コスト化を図る仕組みを採用入れることが考えられる（たとえば、特許文献2を参照）。

【0018】

【特許文献2】特開2006-251322号公報

【0019】

特許文献2に記載の仕組みは、信号線を隣接画素で共用し、1つの画素に2つの映像信号を入力して映像信号を書き換える方式である。

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、特許文献2に記載の仕組みは、電流駆動型の電気光学素子を駆動する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みのものには採用入れることはできない。何故なら、映像信号電圧を2回以上駆動トランジスタのゲートに入力すると最初の映像信号に対して移動度補正を行なってしまう、2回目以降に駆動トランジスタのゲートに入力される映像信号に対しては正常に移動度補正動作を行なうことができないためである。

【0021】

また、特許文献1に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動ト

10

20

30

40

50

ランジスタおよびサンプリングトランジスタを含めると5つのトランジスタを使用する5TR駆動の構成を採っており、垂直走査線の数が多いなど、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5TR駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

**【0022】**

このため、画素回路の簡素化を図りつつ、さらに走査線の本数を削減する仕組みの開発要求がある。この際には、走査線の本数を削減するとともに、画素回路の簡素化に伴って、5TR駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

10

**【0023】**

本発明は、上記事情に鑑みてなされたもので、先ず、水平走査系に着目して、制御線や制御信号の本数を増やさずに、映像信号線や映像信号を複数画素（つまり複数列）で共用化することのできる仕組みを提供することを目的とする。

**【0024】**

さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや電気光学素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

**【課題を解決するための手段】**

20

**【0025】**

本発明に係る表示装置の一形態は、水平走査線の一例である映像信号線を複数画素（つまり複数列）で共用化するべく、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および信号振幅に応じた情報を保持容量に書き込む縦続接続された第1のサンプリングトランジスタおよび第2のサンプリングトランジスタを具備し、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備えるものとする。

**【0026】**

そして、画素アレイ部には、さらに、画素回路を垂直走査するための垂直走査パルスを生成する垂直走査部と接続される垂直走査線と、垂直走査部での垂直走査に合わせて映像信号を画素回路（詳しくは第1および第2のサンプリングトランジスタ）に供給する水平走査部と接続される水平走査線（映像信号線）を備えるものとする。

30

**【0027】**

さらに、垂直走査部は少なくとも画素回路を垂直走査して保持容量に信号振幅に応じた情報を書き込むための書込走査パルスを生成する書込走査部を有するものとし、垂直走査線として書込走査部と接続される書込走査線を有するものとする。垂直走査線としては書込走査部と接続される書込走査線を有するものとし、また、水平走査部からの信号書込み用の映像信号が複数列の第1のサンプリングトランジスタの入力端に共通に供給されるように水平走査線を配線しておく。そして、映像信号が共通に供給される複数列の組ごとに、第2のサンプリングトランジスタの制御入力端は、自行が属する組を除く他の組のそれぞれ異なる行の垂直走査用の垂直走査パルスが垂直走査部から供給されるように垂直走査線と接続しておく。

40

**【0028】**

つまり、水平走査系の走査線である映像信号線や映像信号を複数列で共用するために、先ずサンプリングトランジスタを2段接続構成とされたいわゆるダブルゲート構成のものにする。そして、共用対象の複数列の映像信号線に関しては、ダブルゲート構成のサンプリングトランジスタ（映像信号線側のもの）の信号入力端に共通に接続する。

**【0029】**

一方、第2のサンプリングトランジスタについては、第1および第2のサンプリングト

50

ランジスタの組合せによって、通常通りの1行ごとの垂直走査に合わせて、映像信号が駆動トランジスタの制御入力端に供給されるように、自行が属する共用化された組を除く他の組のそれぞれ異なる行の同種や異種の垂直走査線と接続しておく。因みに、「異種」とあるが、組内で第2のサンプリングトランジスタの制御入力端と接続される各垂直走査線の全てが異種であることを意味するものではなく、組内の各第2のサンプリングトランジスタの制御入力端が、少なくとも2種類の垂直走査線と接続されていることを意味する。

【0030】

これに合わせて、水平走査部側では、映像信号線や映像信号が共用される複数列の組ごとに、垂直走査部での垂直走査に合わせて各列用の映像信号を順番に切り替えて画素回路に供給するようにする。垂直走査部側では、書込駆動パルスにより第1のサンプリングトランジスタを垂直走査するとともに、映像信号線や映像信号が共用される組内で、共用した何れかの列の表示処理期間に入り共用化した全ての列の表示処理が完了するまでの全表示処理期間では、第1のサンプリングトランジスタの導通と合わせて第2のサンプリングトランジスタの何れか1つを順番に導通させることで表示処理が順番になされるように、垂直走査用の同種もしくは異種の垂直走査パルスを設定する。

【0031】

「表示処理」とは、発光期間における画像表示と関係する処理を意味し、たとえば映像信号の信号振幅に応じた情報を保持容量に保持する信号書込み処理や、駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持させる閾値補正処理およびその準備処理や、駆動トランジスタの移動度による駆動電流の依存性を抑制する移動度補正処理、などが含まれる。因みに、第2のサンプリングトランジスタを順番に導通させることの必要ない期間では、垂直走査部は、第1および第2のサンプリングトランジスタの双方を導通させることで、通常通りの表示処理（一例としては、閾値補正処理およびその準備処理が該当する）が行なわれるように垂直走査パルスを設定する。

【発明の効果】

【0032】

本発明の一形態によれば、サンプリングトランジスタをダブルゲート構造とし、そのダブルゲート構造のサンプリングトランジスタの信号入力端を共用対象の映像信号線に共通に接続することで複数列の画素回路で1本の映像信号線を共用する一方、第2のサンプリングトランジスタを制御するための垂直走査線としては、既存の垂直走査線であって、自行が属する共用化された組を除く他の組のそれぞれ異なる行の同種や異種の垂直走査線を割り当てる。

【0033】

このため、制御線や制御信号の数を増やさずに、映像信号線や当該映像信号線を経由して画素回路に供給される映像信号を複数列の画素回路で共用することで低コスト化を図ることが可能となる。

【発明を実施するための最良の形態】

【0034】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0035】

<表示装置の全体概要>

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ使い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に説明する。このような有機EL表示装置は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【0036】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

#### 【0037】

図1に示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子(図示せず)を持った画素回路(画素とも称される)Pが表示アスペクト比である縦横比がX:Y(たとえば9:16)の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC(Integrated Circuit; 半導体集積回路)に内蔵されている。

10

#### 【0038】

たとえば、パネル型の表示装置では、TFTや電気光学素子などの画素回路を構成する素子を行列状に配置した画素アレイ部102と、画素アレイ部102の周辺に配置され、各画素回路Pを駆動するための走査線と接続された走査部(水平駆動部や垂直駆動部)を主要部とする制御部109と、制御部109を動作させるための各種の信号を生成する駆動信号生成部200や映像信号処理部300を備えて装置の全体が構成されるのが一般的である。

#### 【0039】

一方、製品形態としては、画素アレイ部102と制御部109を同一の基板101(ガラス基板)上に搭載した表示パネル部100と駆動信号生成部200や映像信号処理部300を別体としつつ、図示のように、これら全てを備えたモジュール(複合部品)形態の有機EL表示装置1として提供されることに限らない。表示パネル部100には画素アレイ部102を搭載し、この表示パネル部100のみで有機EL表示装置1として提供することも可能である。この場合、表示パネル部100のみで構成された有機EL表示装置1とは別基板(たとえばフレキシブル基板)上に制御部109や駆動信号生成部200や映像信号処理部300などの周辺回路を搭載する形態(周辺回路パネル外配置構成と称する)とする。

20

#### 【0040】

また、画素アレイ部102と制御部109とを同一の基板101上に搭載して表示パネル部100を構成するパネル上配置構成の場合、画素アレイ部102のTFTを生成する工程にて同時に制御部109(必要に応じて駆動信号生成部200や映像信号処理部300も)用の各TFTを生成する仕組み(TFT一体構成と称する)と、COG(Chip On Glass)実装技術により画素アレイ部102が搭載された基板101上に制御部109(必要に応じて駆動信号生成部200や映像信号処理部300も)用の半導体チップを直接実装する仕組み(COG搭載構成と称する)をとってもよい。

30

#### 【0041】

表示パネル部100は、基板101の上に、画素回路Pがn行×m列のマトリクス状に配列された画素アレイ部102と、画素回路Pを垂直方向に走査する垂直走査部の一例である垂直駆動部103と、画素回路Pを水平方向に走査する水平走査部の一例である水平駆動部(水平セクタあるいはデータ線駆動部とも称される)106と、外部接続用の端子部(パッド部)108などが集積形成されている。すなわち、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。

40

#### 【0042】

垂直駆動部103としては、たとえば、書込走査部(ライトスキャナWS; Write Scan)104や電源供給能力を有する電源スキャナとして機能する駆動走査部(ドライブスキャナDS; Drive Scan)105を有する。垂直駆動部103と水平駆動部106とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成される。

50

## 【 0 0 4 3 】

図示した垂直駆動部 1 0 3 および対応する走査線の構成は、画素回路 P が後述する本実施形態の 2 T R 構成の場合に適合させて示したものであるが、画素回路 P の構成によっては、その他の走査部が設けられることもある。

## 【 0 0 4 4 】

画素アレイ部 1 0 2 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 1 0 4 および駆動走査部 1 0 5 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 1 0 6 で駆動されるようになっている。

## 【 0 0 4 5 】

端子部 1 0 8 には、有機 E L 表示装置 1 の外部に配された駆動信号生成部 2 0 0 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 3 0 0 から映像信号 Vsig が供給されるようになっている。カラー表示対応の場合には、色別（本例では R（赤）、G（緑）、B（青）の 3 原色）の映像信号 Vsig\_R、G、B が供給される。

10

## 【 0 0 4 6 】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給される。

20

## 【 0 0 4 7 】

端子部 1 0 8 の各端子は、配線 1 9 9 を介して、垂直駆動部 1 0 3 や水平駆動部 1 0 6 に接続されるようになっている。たとえば、端子部 1 0 8 に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 1 0 3 の各部や水平駆動部 1 0 6 に供給される。

## 【 0 0 4 8 】

画素アレイ部 1 0 2 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 E L 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

30

## 【 0 0 4 9 】

たとえば、画素アレイ部 1 0 2 には、垂直走査側の各走査線（垂直走査線：書込走査線 1 0 4 WS および電源供給線 1 0 5 DSL）と水平走査側の走査線（水平走査線）である映像信号線（データ線）1 0 6 HS が形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機 E L 素子とこれを駆動する薄膜トランジスタ（TFT；Thin Film Transistor）が形成される。有機 E L 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

## 【 0 0 5 0 】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 1 0 4 によって書込駆動パルス WS で駆動される n 行分の書込走査線 1 0 4 WS\_1 ~ 1 0 4 WS\_n および駆動走査部 1 0 5 によって電源駆動パルス DSL で駆動される n 行分の電源供給線 1 0 5 DSL\_1 ~ 1 0 5 DSL\_n が画素行ごとに配線される。

40

## 【 0 0 5 1 】

書込走査部 1 0 4 および駆動走査部 1 0 5 は、駆動信号生成部 2 0 0 から供給される垂直駆動系のパルス信号に基づき、書込走査線 1 0 4 WS および電源供給線 1 0 5 DSL を介して各画素回路 P を順次選択する。水平駆動部 1 0 6 は、駆動信号生成部 2 0 0 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 1 0 6 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

## 【 0 0 5 2 】

本実施形態の有機 E L 表示装置 1 においては、線順次駆動や面順次駆動あるいはその他

50

の方式での駆動が可能になっており、たとえば、垂直駆動部 103 の書込走査部 104 および駆動走査部 105 は行単位で画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 102 に書き込む。

#### 【0053】

水平駆動部 106 は、たとえば、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 300 から入力される画素信号を、垂直駆動部 103 によって選択された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせ、ドライバ回路を経由して水平走査線（映像信号線 106 HS）に映像信号  $V_{sig}$ （水平走査信号の一例）が供給される。

10

#### 【0054】

垂直駆動部 103 の各部は、論理ゲートの組合せ（ラッチも含む）とドライバ回路によって構成され、論理ゲートにより画素アレイ部 102 の各画素回路 P を行単位で選択し、ドライバ回路を経由して垂直走査線に垂直走査信号が供給される。なお、図 1 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103 を配置する構成を示しているが、画素アレイ部 102 を挟んで左右両側に垂直駆動部 103 を配置する構成を採ることも可能である。同様に、図 1 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることも可能である。

20

#### 【0055】

これら垂直駆動部 103（書込走査部 104 および駆動走査部 105）や水平駆動部 106 と垂直走査線（書込走査線 104 WS および電源供給線 105 DSL）や水平走査線（映像信号線 106 HS）の接続態様から分るように、走査信号を画素アレイ部 102 の各画素回路 P に供給するには走査線が必要となり、単純な仕組みでは、画素回路 P の数が増えると走査線の数もそれに応じて増え、この走査線を駆動するドライバ回路も増えてしまう。図 1 では便宜的に、行ごとや列ごとに走査線を配置した形態で示しているが、後述する本実施形態の仕組みでは、画素数を維持しつつ走査線（特に映像信号線 106 HS）の数を削減する仕組みを採る。

#### 【0056】

##### <画素回路>

図 2 は、図 1 に示した有機 EL 表示装置 1 を構成する本実施形態の画素回路 P に対する第 1 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。図 3 は、本実施形態の画素回路 P に対する第 2 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。図 4 は有機 EL 素子や駆動トランジスタの動作点を説明する図である。図 4 A は、有機 EL 素子や駆動トランジスタの特性ばらつきが駆動電流  $I_{ds}$  に与える影響を説明する図である。

30

#### 【0057】

図 5 は、本実施形態の画素回路 P に対する第 3 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。後述する本実施形態の画素回路 P における EL 駆動回路は、第 3 比較例の画素回路 P における少なくとも保持容量 120 と駆動トランジスタ 121 を具備した EL 駆動回路をベースとする。そういった意味では、第 3 比較例の画素回路 P は、事実上、本実施形態の画素回路 P の EL 駆動回路と同様の回路構造を持つと言っても過言ではない。

40

#### 【0058】

##### <比較例の画素回路：第 1 例>

図 2 に示すように、第 1 比較例の画素回路 P は、基本的に p 型の薄膜電界効果トランジ

50

スタ ( T F T ) でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に 2 つのトランジスタを使用した 3 T r 駆動の構成を採っている。

【 0 0 5 9 】

具体的には、第 1 比較例の画素回路 P は、 p 型の駆動トランジスタ 1 2 1、アクティブ L の駆動パルスが供給される p 型の発光制御トランジスタ 1 2 2、アクティブ H の駆動パルスが供給される n 型トランジスタ 1 2 5、電流が流れることで発光する電気光学素子 ( 発光素子 ) の一例である有機 E L 素子 1 2 7、および保持容量 ( 画素容量とも称される ) 1 2 0 を有する。なお、最も単純な回路として、発光制御トランジスタ 1 2 2 を取り外した 2 T r 駆動の構成を採ることもできる。この場合、有機 E L 表示装置 1 としては駆動走査部 1 0 5 を取り外した構成を採る。

10

【 0 0 6 0 】

駆動トランジスタ 1 2 1 は、制御入力端子であるゲート端に供給される電位に応じた駆動電流を有機 E L 素子 1 2 7 に供給するようになっている。一般に、有機 E L 素子 1 2 7 は整流性があるためダイオードの記号で表わしている。なお、有機 E L 素子 1 2 7 には、寄生容量 C e l が存在する。図では、寄生容量 C e l を有機 E L 素子 1 2 7 と並列に示す。

【 0 0 6 1 】

サンプリングトランジスタ 1 2 5 は、駆動トランジスタ 1 2 1 のゲート端 ( 制御入力端子 ) 側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ 1 2 2 もスイッチングトランジスタである。なお、一般的には、サンプリングトランジスタ 1 2 5 はアクティブ L の駆動パルスが供給される p 型に置き換えることもできる。発光制御トランジスタ 1 2 2 はアクティブ H の駆動パルスが供給される n 型に置き換えることもできる。

20

【 0 0 6 2 】

画素回路 P は、垂直走査側の各走査線 1 0 4 W S , 1 0 5 D S と水平走査側の走査線である映像信号線 1 0 6 H S の交差部に配されている。書込走査部 1 0 4 からの書込走査線 1 0 4 W S は、サンプリングトランジスタ 1 2 5 のゲート端に接続され、駆動走査部 1 0 5 からの駆動走査線 1 0 5 D S は発光制御トランジスタ 1 2 2 のゲート端に接続されている。

【 0 0 6 3 】

サンプリングトランジスタ 1 2 5 は、ソース端 S を信号入力端として映像信号線 1 0 6 H S に接続され、ドレイン端 D を信号出力端として駆動トランジスタ 1 2 1 のゲート端 G に接続され、その接続点と第 2 電源電位 V c 2 ( た と え ば 正 電 源 電 圧、第 1 電源電位 V c 1 と同じでもよい ) との間に保持容量 1 2 0 が設けられている。括弧書きで示すように、サンプリングトランジスタ 1 2 5 は、ソース端 S とドレイン端 D とを逆転させ、ドレイン端 D を信号入力端として映像信号線 1 0 6 H S に接続し、ソース端 S を信号出力端として駆動トランジスタ 1 2 1 のゲート端 G に接続することもできる。

30

【 0 0 6 4 】

駆動トランジスタ 1 2 1、発光制御トランジスタ 1 2 2、および有機 E L 素子 1 2 7 は、第 1 電源電位 V c 1 ( た と え ば 正 電 源 電 圧 ) と基準電位 ( 一例である接地電位 G N D ) の間で、この順に直列に接続されている。具体的には、駆動トランジスタ 1 2 1 は、ソース端 S が第 1 電源電位 V c 1 に接続され、ドレイン端 D が発光制御トランジスタ 1 2 2 のソース端 S に接続されている。発光制御トランジスタ 1 2 2 のドレイン端 D が、有機 E L 素子 1 2 7 のアノード端 A に接続され、有機 E L 素子 1 2 7 のカソード端 K が全画素共通のカソード共通配線 1 2 7 K に接続されている。カソード共通配線 1 2 7 K は、一例として接地電位 G N D とされ、この場合、カソード電位 V c a t h も接地電位 G N D となる。

40

【 0 0 6 5 】

なお、より簡易な構成としては、図 2 に示した画素回路 P の構成においては、最も単純な回路として、発光制御トランジスタ 1 2 2 を取り外した 2 T r 駆動の構成を採ることもできる。この場合、有機 E L 表示装置 1 としては駆動走査部 1 0 5 を取り外した構成を採ることになる。

50

## 【0066】

図2に示した3Tr駆動や図示を割愛した2Tr駆動の何れにおいても、有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ121のゲート端への印加電圧を変化させ、保持容量120に保持されるゲート・ソース間電圧 $V_{gs}$ を変化させることで、有機EL素子127に流れる電流値をコントロールする。この際には、映像信号線106HSから供給される映像信号 $V_{sig}$ の電位(映像信号線電位)を信号電位とする。なお、階調を示す信号振幅は $V_{in}$ とする。

## 【0067】

書込走査部104からアクティブHの書込駆動パルスWSを供給して書込走査線104WSを選択状態とし、水平駆動部106から映像信号線106HSに信号電位を印加すると、n型トランジスタ125が導通して、信号電位が駆動トランジスタ121のゲート端の電位となり、信号振幅 $V_{in}$ に対応する情報が保持容量120に書き込まれる。駆動トランジスタ121および有機EL素子127に流れる電流は、保持容量120に保持されている駆動トランジスタ121のゲート・ソース間電圧 $V_{gs}$ に応じた値となり、有機EL素子127はその電流値に応じた輝度で発光し続ける。書込走査線104WSを選択して映像信号線106HSに与えられた映像信号 $V_{sig}$ を画素回路Pの内部に伝える動作を、「書込み」あるいは「サンプリング」と呼ぶ。一度信号の書込みを行えば、次に書き換えられるまでの間、有機EL素子127は一定の輝度で発光を続ける。

## 【0068】

第1比較例の画素回路Pでは、駆動トランジスタ121のゲート端に供給する印加電圧を信号振幅 $V_{in}$ に応じて変化させることで、EL有機EL素子127に流れる電流値を制御している。このとき、p型の駆動トランジスタ121のソース端は第1電源電位 $V_{c1}$ に接続されており、この駆動トランジスタ121は常に飽和領域で動作している。

## 【0069】

<比較例の画素回路：第2例>

次に、本実施形態の画素回路Pの特徴を説明する上での比較例として、図3に示す第2比較例の画素回路Pについて説明する。第2比較例(後述する本実施形態も同様)の画素回路Pは、基本的にn型の薄膜電界効果トランジスタでドライフトランジスタが構成されている点に特徴を有する。p型ではなく、n型で各トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン(a-Si)プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

## 【0070】

第2比較例の画素回路Pは、基本的にn型の薄膜電界効果トランジスタでドライフトランジスタが構成されている点で後述する本実施形態と同じであるが、有機EL素子127や駆動トランジスタ121の特性変動(ばらつきや経時変化)による駆動電流 $I_{ds}$ に与える影響を防ぐための駆動信号一定化回路が設けられていない。

## 【0071】

具体的には、第2比較例の画素回路Pは、第1比較例の画素回路Pにおけるp型の駆動トランジスタ121を単純にn型の駆動トランジスタ121に置き換え、そのソース端側に発光制御トランジスタ122や有機EL素子127を配置したものである。なお、発光制御トランジスタ122もn型に置き換えている。もちろん、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。

## 【0072】

第2比較例の画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端側が第1電源電位 $V_{c1}$ に接続され、ソース端が有機EL素子127のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

## 【0073】

10

20

30

40

50

< 電気光学素子の  $I_{el} - V_{el}$  特性との関係 >

一般的に、図 4 に示すように、駆動トランジスタ 121 はドレイン・ソース間電圧に関わらず駆動電流  $I_{ds}$  が一定となる飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端 - ソース間に流れる電流を  $I_{ds}$ 、移動度を  $\mu$ 、チャネル幅（ゲート幅）を  $W$ 、チャネル長（ゲート長）を  $L$ 、ゲート容量（単位面積当たりのゲート酸化膜容量）を  $C_{ox}$ 、トランジスタの閾値電圧を  $V_{th}$  とすると、駆動トランジスタ 121 は下記の式（1）に示した値を持つ定電流源となっている。なお、“ $\wedge$ ” はべき乗を示す。式（1）から明らかのように、飽和領域ではトランジスタのドレイン電流  $I_{ds}$  はゲート・ソース間電圧  $V_{gs}$  によって制御され定電流源として動作する。

【0074】

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \dots (1)$$

【0075】

ところが、一般的に有機 EL 素子を始めとする電流駆動型の発光素子の  $I - V$  特性は、図 4 A (1) に示すように時間が経過すると変化する。図 4 A (1) に示す有機 EL 素子で代表される電流駆動型の発光素子の電流 - 電圧 ( $I_{el} - V_{el}$ ) 特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【0076】

たとえば、発光素子の一例である有機 EL 素子 127 に発光電流  $I_{el}$  が流れるとき、そのアノード・カソード間電圧  $V_{el}$  は一意的に決定される。ところが、図 4 A (1) に示すように、発光期間中では、有機 EL 素子 127 のアノード端は駆動トランジスタ 121 のドレイン・ソース間電流  $I_{ds}$  (= 駆動電流  $I_{ds}$ ) で決定される発光電流  $I_{el}$  が流れ、それによって有機 EL 素子 127 のアノード・カソード間電圧  $V_{el}$  分だけ上昇する。

【0077】

図 2 に示した第 1 比較例の画素回路 P は、この有機 EL 素子 127 のアノード・カソード間電圧  $V_{el}$  分の上昇の影響は駆動トランジスタ 121 のドレイン端側に現れるが、駆動トランジスタ 121 が飽和領域で動作する定電流駆動であるため、有機 EL 素子 127 には定電流  $I_{ds}$  が流れ続け、有機 EL 素子 127 の  $I_{el} - V_{el}$  特性が変化してもその発光輝度が経時変化することはない。

【0078】

駆動トランジスタ 121 と発光制御トランジスタ 122 と保持容量 120 とサンプリングトランジスタ 125 とを備え、図 2 に示した接続態様とされた画素回路 P の構成にて、電気光学素子の一例である有機 EL 素子 127 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。つまり、画素回路 P を映像信号  $V_{sig}$  で駆動するとき、p 型の駆動トランジスタ 121 のソース端は第 1 電源電位  $V_{c1}$  に接続されており、常に飽和領域で動作するように設計されているので、式（1）に示した値を持つ定電流源となる。

【0079】

また、第 1 比較例の画素回路 P においては、有機 EL 素子 127 の  $I_{el} - V_{el}$  特性の経時変化（図 4 A (1)）とともに、駆動トランジスタ 121 のドレイン端の電圧が変化してゆくが、駆動トランジスタ 121 は、保持容量 120 のブートストラップ機能によってゲート・ソース間電圧  $V_{gs}$  が原理的には一定に保持されるため、駆動トランジスタ 121 は定電流源として動作し、その結果、有機 EL 素子 127 には一定量の電流が流れ、有機 EL 素子 127 を一定の輝度で発光させることができ、発光輝度は変化しない。

【0080】

第 2 比較例の画素回路 P でも、駆動トランジスタ 121 のソース端の電位（ソース電位  $V_s$ ）は、駆動トランジスタ 121 と有機 EL 素子 127 との動作点で決まるし、駆動トランジスタ 121 は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・

10

20

30

40

50

ソース間電圧  $V_{gs}$  に関し、前述の式 ( 1 ) に規定された電流値の駆動電流  $I_{ds}$  を流す。

【 0 0 8 1 】

ところが、第 1 比較例の画素回路 P の p 型の駆動トランジスタ 1 2 1 を n 型に変更した単純な回路 ( 第 2 比較例の画素回路 P ) では、ソース端が有機 EL 素子 1 2 7 側に接続されてしまう。その結果、前述の図 4 A ( 1 ) に示したように経時変化する有機 EL 素子 1 2 7 の  $I_{el} - V_{el}$  特性により、同じ発光電流  $I_{el}$  に対するアノード・カソード間電圧  $V_{el}$  が  $V_{el1}$  から  $V_{el2}$  へと変化することで、駆動トランジスタ 1 2 1 の動作点が変化してしまい、同じゲート電位  $V_g$  を印加しても駆動トランジスタ 1 2 1 のソース電位  $V_s$  は変化してしまふ。これにより、駆動トランジスタ 1 2 1 のゲート・ソース間電圧  $V_{gs}$  は変化してしまふ。特性式 ( 1 ) から明らかなように、ゲート・ソース間電圧  $V_{gs}$  が変動すると、たとえゲート電位  $V_g$  が一定であっても駆動電流  $I_{ds}$  が変動してしまふ。この原因による駆動電流  $I_{ds}$  の変動は画素回路 P ごとの発光輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

10

【 0 0 8 2 】

これに対して、詳細は後述するが、n 型の駆動トランジスタ 1 2 1 を使用する場合においても、駆動トランジスタ 1 2 1 のソース端の電位  $V_s$  の変動にゲート端の電位  $V_g$  が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 EL 素子 1 2 7 の特性の経時変動による有機 EL 素子 1 2 7 のアノード電位変動 ( つまり駆動トランジスタ 1 2 1 のソース電位変動 ) があっても、その変動を相殺するようにゲート電位  $V_g$  を変動させることができる。これにより、画面輝度の均一性 ( ユニフォーミティ ) を確保できる。ブートストラップ機能により、有機 EL 素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、このブートストラップ機能は、発光開始時点で、有機 EL 素子 1 2 7 に発光電流  $I_{el}$  が流れ始め、それによってアノード・カソード間電圧  $V_{el}$  が安定となるまで上昇していく過程で、そのアノード・カソード間電圧  $V_{el}$  の変動に伴って駆動トランジスタ 1 2 1 のソース電位  $V_s$  が変動する際にも機能する。

20

【 0 0 8 3 】

< 駆動トランジスタの  $V_{gs} - I_{ds}$  特性との関係 >

また、第 1 および第 2 比較例では、駆動トランジスタ 1 2 1 の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ 1 2 1 の特性が異なると、その影響が駆動トランジスタ 1 2 1 に流れる駆動電流  $I_{ds}$  に影響を及ぼす。一例としては、式 ( 1 ) から分かるように、移動度  $\mu$  や閾値電圧  $V_{th}$  が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧  $V_{gs}$  が同じであっても、駆動トランジスタ 1 2 1 に流れる駆動電流  $I_{ds}$  にばらつきや経時変化が生じ、有機 EL 素子 1 2 7 の発光輝度も画素ごとに変化してしまふことになる。

30

【 0 0 8 4 】

たとえば、駆動トランジスタ 1 2 1 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧  $V_{th}$  や移動度  $\mu$  などの特性変動がある。駆動トランジスタ 1 2 1 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 1 2 1 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流 ( 駆動電流  $I_{ds}$  ) が変動し、発光輝度のばらつきになって現れる。

40

【 0 0 8 5 】

前述のように、駆動トランジスタ 1 2 1 が飽和領域で動作しているときのドレイン電流  $I_{ds}$  は、特性式 ( 1 ) で表される。駆動トランジスタ 1 2 1 の閾値電圧ばらつきに着目した場合、特性式 ( 1 ) から明らかなように、閾値電圧  $V_{th}$  が変動すると、ゲート・ソース間電圧  $V_{gs}$  が一定であってもドレイン電流  $I_{ds}$  が変動する。また、駆動トランジスタ 1 2 1 の移動度ばらつきに着目した場合、特性式 ( 1 ) から明らかなように、移動度  $\mu$  が変動すると、ゲート・ソース間電圧  $V_{gs}$  が一定であってもドレイン電流  $I_{ds}$  が変動する。

【 0 0 8 6 】

このように、閾値電圧  $V_{th}$  や移動度  $\mu$  の違いで  $V_{gs} - I_{ds}$  特性に大きな違いが出てしま

50

うと、同じ信号振幅  $V_{in}$ を与えても、駆動電流  $I_{ds}$ が変動し、発光輝度が異なってしまい、画面輝度の均一性が得られない。これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、それらの変動の影響を抑制でき、画面輝度の均一性を確保できる。

【0087】

本実施形態で採用する閾値補正動作および移動度補正動作では、書込みゲインが1（理想値）であると仮定した場合、発光時のゲート・ソース間電圧  $V_{gs}$ が “  $V_{in} + V_{th} - V$  ” で表されるようにすることで、ドレイン・ソース間電流  $I_{ds}$ が、閾値電圧  $V_{th}$ のばらつきや変動に依存しないようにするとともに、移動度  $\mu$ のばらつきや変動に依存しないようにする。結果として、閾値電圧  $V_{th}$ や移動度  $\mu$ が製造プロセスや経時により変動しても、駆動電流  $I_{ds}$ は変動せず、有機EL素子127の発光輝度も変動しない。移動度補正時には、大きな移動度  $\mu_1$ に対しては移動度補正パラメータ  $V_1$ が大きくなるようにする一方、小さい移動度  $\mu_2$ に対しては移動度補正パラメータ  $V_2$ も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ  $V$ を負帰還量  $V$ とも称する。

10

【0088】

< 比較例の画素回路：第3例 >

図3に示す第2比較例の画素回路Pにおける有機EL素子127の経時変化による駆動電流変動を防ぐ回路（ブートストラップ回路）を搭載し、また駆動トランジスタ121の特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ駆動方式を採用したのが本実施形態の画素回路Pにてベースとする図5に示す第3比較例の画素回路Pである。

20

【0089】

第3比較例の画素回路Pは、第2比較例の画素回路Pと同様に、n型の駆動トランジスタ121を使用する。加えて、有機EL素子の経時変化による当該有機EL素子への駆動電流  $I_{ds}$ の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流 - 電圧特性の変化を補正して駆動電流  $I_{ds}$ を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。さらに、有機EL素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

30

【0090】

すなわち、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ（サンプリングトランジスタ125）を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミング（スイッチングタイミング）の設定により、有機EL素子127の経時変化や駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流  $I_{ds}$ に与える影響を防ぐ点に特徴を有する。2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能である。

【0091】

図3に示した第2比較例に対しての構成上の大きな違いは、保持容量120の接続態様を変形して、有機EL素子127の経時変化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流  $I_{ds}$ に与える影響を抑制する方法としては、各トランジスタ121、125の駆動タイミングを工夫することで対処する。

40

【0092】

具体的には、第3比較例の画素回路Pは、保持容量120、n型の駆動トランジスタ121、およびアクティブH（ハイ）の書込駆動パルスWSが供給されるn型トランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127を有する。

【0093】

50

駆動トランジスタ121のゲート端(ノードND122)とソース端との間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端は、第1比較例や第2比較例と同様に、全画素共通のカソード共通配線127Kに接続され、カソード電位 $V_{cath}$ (たとえば接地電位GND)が与えられる。

【0094】

駆動トランジスタ121のドレイン端は、電源スキヤナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点

10

【0095】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位 $V_{cc}$ と低電圧側の第2電位 $V_{ss}$ とを切り替えて供給する電源電圧切替回路を具備している。

【0096】

第2電位 $V_{ss}$ としては、映像信号線106HSにおける映像信号 $V_{sig}$ のオフセット電位 $V_{ofs}$ (基準電位とも称する)より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 $V_{gs}$ (ゲート電位 $V_g$ とソース電位 $V_s$ の差)が駆動トランジスタ121の閾値電圧 $V_{th}$ より大きくなるように、電源供給線105DSLの低電位側の第2電位 $V_{ss}$ を設定する。なお、オフセット電位 $V_{ofs}$ は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージしておくためにも利用する。

20

【0097】

サンプリングトランジスタ125は、ゲート端が書込走査部104からの書込走査線104WSに接続され、ドレイン端が映像信号線106HSに接続され、ソース端が駆動トランジスタ121のゲート端(ノードND122)に接続されている。そのゲート端には、書込走査部104からアクティブHの書込駆動パルスWSが供給される。

【0098】

サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

30

【0099】

<画素回路の動作：第3比較例>

図6は、図5に示した第3比較例の画素回路Pに関する第3比較例の駆動タイミングの基本例を説明するタイミングチャートであり、線順次駆動の場合で示している。図6においては、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分(図では1行目)について駆動トランジスタ121のゲート電位 $V_g$ およびソース電位 $V_s$ の変化も表してある。

40

【0100】

後述する本実施形態においても、この図6に示す第3比較例の駆動タイミングの考え方を適用する。なお、図6では、第3比較例の画素回路Pにおいて、閾値補正機能、移動度補正機能、ブートストラップ機能を実現するための基本例を示すもので、閾値補正機能、移動度補正機能、ブートストラップ機能を実現するための駆動タイミングは、図6に示す態様に限らず、様々な変形が可能である。これら様々な変形の駆動タイミングであっても、後述する各実施形態の仕組みを適用できる。

【0101】

図6に示す駆動タイミングは、線順次駆動の場合であり、書込駆動パルスWS、電源駆動パルスDSL、および映像信号 $V_{sig}$ は、1行分を1組として、各信号のタイミング(特に

50

位相関係)が行単位で独立に制御され、行が代わると1H(Hは水平走査期間)分シフトされる。

【0102】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが1(理想値)であると仮定して、保持容量120に信号振幅 $V_{in}$ の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。書込みゲインが1未満の場合、保持容量120には信号振幅 $V_{in}$ の大きさそのものではなく、信号振幅 $V_{in}$ の大きさに対応するゲイン倍された情報が保持されることになる。

【0103】

因みに、信号振幅 $V_{in}$ に対応する保持容量120に書き込まれる情報の大きさの割合を、書込みゲイン $G_{input}$ と称する。ここで、書込みゲイン $G_{input}$ は、具体的には、電気回路的に保持容量120と並列に配置される寄生容量を含めた全容量 $C_1$ と、電気回路的に保持容量120と直列に配置される全容量 $C_2$ との容量直列回路において、信号振幅 $V_{in}$ を容量直列回路に供給したときに容量 $C_1$ に配分される電荷量に関する。式で表せば、 $g = C_1 / (C_1 + C_2)$ とすると、書込みゲイン $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2) = 1 - g$ となる。以下の説明において、“ $g$ ”が登場する記載は書込みゲインを考慮したものである。

【0104】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが1(理想値)であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ121のゲート・ソース間に保持容量120が設けられている場合に、ソース電位 $V_s$ の上昇に対するゲート電位 $V_g$ の上昇率をブートストラップゲイン(ブートストラップ動作能力) $G_{bst}$ と称する。ここで、ブートストラップゲイン $G_{bst}$ は、具体的には、保持容量120の容量値 $C_s$ 、駆動トランジスタ121のゲート・ソース間に形成される寄生容量 $C_{121gs}$ の容量値 $C_{gs}$ 、ゲート・ドレイン間に形成される寄生容量 $C_{121gd}$ の容量値 $C_{gd}$ 、およびサンプリングトランジスタ125のゲート・ソース間に形成される寄生容量 $C_{125gs}$ の容量値 $C_{ws}$ に関する。式で表せば、ブートストラップゲイン $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$ となる。

【0105】

また、第3比較例の駆動タイミングでは、映像信号 $V_{sig}$ が非有効期間であるオフセット電位 $V_{ofs}$ にある期間を1水平期間の前半部とし、有効期間である信号電位 $V_{in}(=V_{ofs} + V_{in})$ にある期間を1水平期間の後半部とする。また、映像信号 $V_{sig}$ の有効期間と非有効期間を合わせた1水平期間ごとに、閾値補正動作を複数回(図では3回)に亘って繰り返すようにする。その各回の映像信号 $V_{sig}$ の有効期間と非有効期間の切替タイミング( $t_{13V}$ ,  $t_{15V}$ )、および書込駆動パルスWSのアクティブとインアクティブの切替タイミング( $t_{13W}$ ,  $t_{15W}$ )については、そのタイミングに、各回を“ $\_$ ”なしの参照子で示すことで区別する。

【0106】

まず、有機EL素子127の発光期間Bでは、電源供給線105DSLが第1電位 $V_{cc}$ であり、サンプリングトランジスタ125がオフした状態である。このとき、駆動トランジスタ121は飽和領域で動作するように設定されているため、有機EL素子127に流れる駆動電流 $I_{ds}$ は駆動トランジスタ121のゲート・ソース間電圧 $V_{gs}$ に応じて、式(1)に示される値をとる。

【0107】

次に、非発光期間に入ると、まず放電期間Cでは、電源供給線105DSLを第2電位 $V_{ss}$ に切り替える。このとき、第2電位 $V_{ss}$ が有機EL素子127の閾値電圧 $V_{thEL}$ とカソード電位 $V_{cath}$ の和よりも小さいとき、つまり“ $V_{ss} < V_{thEL} + V_{cath}$ ”であれば、有機EL素子127は消光し、電源供給線105DSLが駆動トランジスタ121のソース側となる。このとき、有機EL素子127のアノードは第2電位 $V_{ss}$ に充電される。

【0108】

10

20

30

40

50

さらに、初期化期間 D では、映像信号線 106HS がオフセット電位  $V_{ofs}$  となったときにサンプリングトランジスタ 125 をオンして駆動トランジスタ 121 のゲート電位をオフセット電位  $V_{ofs}$  とする。このとき、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は “  $V_{ofs} - V_{ss}$  ” という値をとる。この “  $V_{ofs} - V_{ss}$  ” が駆動トランジスタ 121 の閾値電圧  $V_{th}$  よりも大きくないと閾値補正動作を行なうことができないために、 “  $V_{ofs} - V_{ss} > V_{th}$  ” とする必要がある。

【0109】

この後、第 1 閾値補正期間 E に入ると、電源供給線 105DSL を再び第 1 電位  $V_{cc}$  に切り替える。電源供給線 105DSL (つまり駆動トランジスタ 121 への電源電圧) を第 1 電位  $V_{cc}$  とすることで、有機 EL 素子 127 のアノードが駆動トランジスタ 121 のソースとなり駆動トランジスタ 121 から駆動電流  $I_{ds}$  が流れる。有機 EL 素子 127 の等価回路はダイオードと容量で表されるため、有機 EL 素子 127 のカソード電位  $V_{cath}$  に対するアノード電位を  $V_{el}$  としたとき、 “  $V_{el} = V_{cath} + V_{thEL}$  ” である限り、換言すれば、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりかなり小さい限り、駆動トランジスタ 121 の駆動電流  $I_{ds}$  は保持容量 120 と有機 EL 素子 127 の寄生容量  $C_{el}$  を充電するために使われる。このとき、有機 EL 素子 127 のアノード電位  $V_{el}$  は時間とともに上昇してゆく。

10

【0110】

一定時間経過後、サンプリングトランジスタ 125 をオフする。このとき、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  よりも大きいと (つまり閾値補正が完了していないと)、駆動トランジスタ 121 の駆動電流  $I_{ds}$  は保持容量 120 を受電するように流れ続け、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は上昇してゆく。このとき、有機 EL 素子 127 には逆バイアスががかかっているため、有機 EL 素子 127 が発光することはない。

20

【0111】

さらに第 2 閾値補正期間 G に入ると、再び映像信号線 106HS がオフセット電位  $V_{ofs}$  となったときにサンプリングトランジスタ 125 をオンして駆動トランジスタ 121 のゲート電位をオフセット電位  $V_{ofs}$  として、再度閾値補正動作を開始する。この動作を繰り返すことで、最終的に、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は閾値電圧  $V_{th}$  という値をとる。このとき “  $V_{el} = V_{ofs} - V_{th} - V_{cath} + V_{thEL}$  ” となっている。

30

【0112】

なお、この第 3 比較例の動作例では、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ 121 の閾値電圧  $V_{th}$  に相当する電圧を保持容量 120 に保持させるために、1 水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしているが、この繰り返し動作は必須ではなく、1 水平期間を処理サイクルとして、1 回のみ閾値補正動作を実行するようにしてもよい。

【0113】

閾値補正動作終了後 (本例では第 3 閾値補正期間 I の後) は、サンプリングトランジスタ 125 をオフして書込み & 移動度補正準備期間 J に入る。映像信号線 106HS が信号電位  $V_{in} (= V_{ofs} + V_{in})$  となったときに、サンプリングトランジスタ 125 を再度オンしてサンプリング期間 & 移動度補正期間 K に入る。信号振幅  $V_{in}$  は階調に応じた値である。サンプリングトランジスタ 125 のゲート電位はサンプリングトランジスタ 125 をオンしているために信号電位  $V_{in} (= V_{ofs} + V_{in})$  となるが、駆動トランジスタ 121 のドレイン端は第 1 電位  $V_{cc}$  であり駆動電流  $I_{ds}$  が流れるためソース電位  $V_s$  は時間とともに上昇してゆく。図では、この上昇分を  $V$  で示している。

40

【0114】

このとき、ソース電圧  $V_s$  が有機 EL 素子 127 の閾値電圧  $V_{thEL}$  とカソード電位  $V_{cath}$  の和を越えなければ、換言すると、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりかなり小さければ、駆動トランジスタ 121 の駆動電流  $I_{ds}$  は保持容量 120 と有機 EL 素子 127 の寄生容量  $C_{el}$  を充電するのに使用される。

50

【 0 1 1 5 】

この時点では、駆動トランジスタ 1 2 1 の閾値補正動作は完了しているため、駆動トランジスタ 1 2 1 が流す電流は移動度  $\mu$  を反映したものとなる。具体的には、移動度  $\mu$  が大きいと、このときの電流量が大きく、ソースの上昇も早い。逆に移動度  $\mu$  が小さいと、電流量が小さく、ソースの上昇は遅くなる。これにより、駆動トランジスタ 1 2 1 のゲート・ソース間電圧  $V_{gs}$  は移動度  $\mu$  を反映して小さくなり、一定時間経過後に完全に移動度  $\mu$  を補正するゲート・ソース間電圧  $V_{gs}$  となる。

【 0 1 1 6 】

この後には、発光期間 L に入り、サンプリングトランジスタ 1 2 5 をオフして書込みを終了し、有機 EL 素子 1 2 7 を発光させる。保持容量 1 2 0 によるブートストラップ効果により、駆動トランジスタ 1 2 1 のゲート・ソース間電圧  $V_{gs}$  は一定であるので、駆動トランジスタ 1 2 1 は一定電流（駆動電流  $I_{ds}$ ）を有機 EL 素子 1 2 7 に流し、有機 EL 素子 1 2 7 のアノード電位  $V_{el}$  は有機 EL 素子 1 2 7 に駆動電流  $I_{ds}$  という電流が流れる電圧  $V_x$  まで上昇し、有機 EL 素子 1 2 7 は発光する。

10

【 0 1 1 7 】

第 3 比較例の画素回路 P においても、有機 EL 素子 1 2 7 は発光時間が長くなるとその I - V 特性は変化してしまう。そのため、ノード ND 1 2 1 の電位（つまり駆動トランジスタ 1 2 1 のソース電位  $V_s$ ）も変化する。しかしながら、駆動トランジスタ 1 2 1 のゲート・ソース間電圧  $V_{gs}$  は保持容量 1 2 0 によるブートストラップ効果で一定値に保たれているので、有機 EL 素子 1 2 7 に流れる電流は変化しない。よって、有機 EL 素子 1 2 7 の I - V 特性が劣化しても、有機 EL 素子 1 2 7 には一定電流（駆動電流  $I_{ds}$ ）が常に流れ続け、有機 EL 素子 1 2 7 の輝度が変化することはない。

20

【 0 1 1 8 】

ここで、駆動電流  $I_{ds}$  対ゲート電圧  $V_{gs}$  の関係は、先のトランジスタ特性を表した式 ( 1 ) の  $V_{gs}$  に “  $V_{in} - V + V_{th}$  ” を代入することで、式 ( 2 - 1 ) のように表すことができる。因みに、書込みゲインを考慮したときには、式 ( 1 ) の  $V_{gs}$  に “  $( 1 - g ) V_{in} - V + V_{th}$  ” を代入することで、式 ( 2 - 2 ) のように表すことができる。式 ( 2 - 1 ) や式 ( 2 - 2 )（纏めて式 ( 2 ) と称する）において、 $k = ( 1 / 2 ) ( W / L ) C_{ox}$  である。

30

【 0 1 1 9 】

【 数 2 】

$$\left. \begin{aligned} I_{ds} &= k \mu (V_{gs} - V_{th})^2 = k \mu (\Delta V_{in} - \Delta V)^2 \cdots (2-1) \\ I_{ds} &= k \mu (V_{gs} - V_{th})^2 = k \mu ((1 - g) \Delta V_{in} - \Delta V)^2 \cdots (2-2) \end{aligned} \right\} \cdots (2)$$

【 0 1 2 0 】

この式 ( 2 ) から、閾値電圧  $V_{th}$  の項がキャンセルされており、有機 EL 素子 1 2 7 に供給される駆動電流  $I_{ds}$  は駆動トランジスタ 1 2 1 の閾値電圧  $V_{th}$  に依存しないことが分かる。基本的に駆動電流  $I_{ds}$  は信号振幅  $V_{in}$ （詳しくは信号振幅  $V_{in}$  に対応して保持容量 1 2 0 に保持されるサンプリング電圧 =  $V_{gs}$ ）によって決まる。換言すると、有機 EL 素子 1 2 7 は信号振幅  $V_{in}$  に応じた輝度で発光することになる。

40

【 0 1 2 1 】

その際、保持容量 1 2 0 に保持される情報はソース電位  $V_s$  の上昇分  $V$  で補正されている。上昇分  $V$  はちょうど式 ( 2 ) の係数部に位置する移動度  $\mu$  の効果を打ち消すように働く。駆動トランジスタ 1 2 1 の移動度  $\mu$  に対する補正分  $V$  を保持容量 1 2 0 に書き込まれる信号に加えるのであるが、その方向は実際には負の方向であり、こう言った意味で、上昇分  $V$  は、移動度補正パラメータ  $V$  や負帰還量  $V$  とも称する。

【 0 1 2 2 】

50

有機EL素子127に流れる駆動電流 $I_{ds}$ は、駆動トランジスタ121の閾値電圧 $V_{th}$ や移動度 $\mu$ の変動が相殺され、実質的に信号振幅 $V_{in}$ のみに依存することになる。駆動電流 $I_{ds}$ は閾値電圧 $V_{th}$ や移動度 $\mu$ に依存しないので、閾値電圧 $V_{th}$ や移動度 $\mu$ が製造プロセスによりばらついていたり経時変化があったりしても、ドレイン・ソース間の駆動電流 $I_{ds}$ は変動せず、有機EL素子127の発光輝度も変動しない。

#### 【0123】

また、駆動トランジスタ121のゲート・ソース間に保持容量120を接続することで、n型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端の電位 $V_s$ の変動にゲート端の電位 $V_g$ が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとしており、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動（つまり駆動トランジスタ121のソース電位変動）があっても、その変動を相殺するようにゲート電位 $V_g$ を変動させることができる。

10

#### 【0124】

これにより、有機EL素子127の特性の経時変化の影響が緩和され、画面輝度の均一性を確保できる。駆動トランジスタ121のゲート・ソース間の保持容量120によるブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、ブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 $I_{el}$ が流れ始め、それによってアノード・カソード間電圧 $V_{el}$ が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 $V_{el}$ の変動に伴って駆動トランジスタ121のソース電位 $V_s$ が変動する際にも機能する。

20

#### 【0125】

このように、第3比較例の画素回路P（事実上、後述する本実施形態の画素回路Pも同様）およびそれを駆動する制御部109による駆動タイミングによれば、駆動トランジスタ121や有機EL素子127の特性変動（ばらつきや経時変動）があった場合でも、それらの変動分を補正することで、表示画面上にはその影響が現われず、輝度変化のない高品質な画像表示が可能になる。

#### 【0126】

ところで、閾値補正機能や、信号書込み機能や、移動度補正機能や、ブートストラップ機能を働かせるためには、各種のトランジスタへの信号をスイッチング制御する必要がある。たとえば、図5に示した第3比較例の画素回路Pを図6に示した駆動タイミングのように制御するには、サンプリングトランジスタ125をオン/オフ制御したり、駆動トランジスタ121への電源供給を第1電位 $V_{cc}$ と第2電位 $V_{ss}$ でスイッチング制御したり、映像信号 $V_{sig}$ をオフセット電位 $V_{ofs}$ と信号電位 $V_{in}(=V_{ofs}+V_{in})$ でスイッチング制御したりする必要がある。これら信号を画素アレイ部102の各画素回路Pに供給するには走査線が必要となり、画素回路Pの数が増えると走査線の数もそれに応じて増えてしまう。このような観点から、画素数を維持しつつ走査線の数を削減する仕組みが求められている。

30

#### 【0127】

前述の第3比較例の画素回路Pをベースとして低コスト化を考えた場合、画素数を減らすことなく、画素アレイ部102の周辺に設けられている制御部109（書込走査部104、駆動走査部105、水平駆動部106）から引き出される走査線の数を減らすことが先ず考えられる。走査線を削減することで、その走査線を駆動するための回路コストだけ低コスト化が可能となる。

40

#### 【0128】

<比較例：第4例>

図7は、図1に示した有機EL表示装置1を構成する本実施形態の画素回路Pに対する参照回路を説明するである。図7Aは、参照回路の仕組みを第3比較例の画素回路Pに適用する場合（第4比較例と称する）の駆動タイミングを説明するタイミングチャートである。なお、図7では、3画素分（1行3列）について示している。この第4比較例は、低

50

コスト化を考慮した一態様である。因みに、図7および図7Aの一部は、特開2006-251322号公報の図3や図5を引用しており、参照符号などもそのまま使用して示している。

【0129】

走査線数を削減して低コスト化を図る場合に、水平駆動部106側に着目すると、映像信号線106HSを複数画素で共用化することが考えられる。その際には液晶表示装置において、信号線を複数画素で共用化することで低コスト化を図る仕組みを採用入れることが考えられる。たとえば、特開2006-251322号公報に記載の仕組みを採用入れることが考えられる。

【0130】

しかしながら、特開2006-251322号公報に記載の仕組みは、信号線を隣接画素で共用し、1つの画素に2つの映像信号を入力して映像信号を書き換える方式であるため、電流を流しながら信号書込みを行なわない方式に対しては有効な手段であるが、電流駆動型の電気光学素子を駆動する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なう第3比較例に、単純にその仕組みを採用入れることはできない。

【0131】

何故なら、図7Aに示すように、映像信号Vsigを2回以上駆動トランジスタ121のゲートに入力すると、最初の映像信号Vsigに対して移動度補正を行なってしまい、2回目以降に駆動トランジスタ121のゲートに入力される映像信号Vsigに対しては正常に移動度補正動作を行なうことができないためである。これにより、第3比較例の画素回路Pでは映像信号線106HSを共用化することが難しく、低コスト化という点で問題があると言える。

【0132】

そこで、本実施形態では、電流駆動型の電気光学素子への適用において、水平駆動部106側に着目して映像信号線106HSを複数画素で共用化する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なうことも可能にする仕組みを採用する。以下、この点について説明する。

【0133】

<改善手法：第1実施形態>

図8～図8Bは、電流駆動型の電気光学素子の一例である有機EL素子127を駆動する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みを採用しつつ、水平走査系の映像信号線106HSを複数画素で共用化する有機EL表示装置の第1実施形態を説明する図である。ここで、図8は、第1実施形態の有機EL表示装置1の16画素（4行4列）分の画素回路Pと各走査部（書込走査部104、駆動走査部105、水平駆動部106）との間の各走査線（書込走査線104WS、電源供給線105DSL、映像信号線106HS）の接続関係の概要を示す図である。

【0134】

図8Aは、図8の3画素（1行3列）分の画素回路Pと各走査線（書込走査線104WS、電源供給線105DSL、映像信号線106HS）の接続関係の詳細を示す図である。図8Bは、第1実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。文中説明において行番号や列の属性（たとえば色種や奇偶の別）を示して説明する際には、“\_”と行番号や列の属性の参照子を付して示すこともある。後述する他の実施形態も同様である。

【0135】

後述する他の実施形態も含めて、本実施形態は、水平走査系の走査線である映像信号線106HSや映像信号Vsigを複数画素で共用化するに当たり、先ず、サンプリングトランジスタを一方のサンプリングトランジスタ（第1のサンプリングトランジスタ125）と他方のサンプリングトランジスタ（第2のサンプリングトランジスタ625）の2段縦続接続構成に変更する。端的には、サンプリングトランジスタをダブルゲート構造にするということである。

10

20

30

40

50

## 【 0 1 3 6 】

縦続接続している2つのサンプリングトランジスタ125, 625がともにオンしたときに映像信号線106HSからの映像信号Vsig (オフセット電位Vofs や信号電位Vin) が駆動トランジスタ121のゲートに供給されるので、サンプリングトランジスタ125, 625はAND (論理積) 機能を果たす。よって、2つのサンプリングトランジスタ125, 625の合成となる閾値補正準備パルスや閾値補正パルスでは組内のR, G, B画素のサンプリングトランジスタ125, 625が全てオンするように、また信号書込みパルスや移動度補正パルスでは色別の信号電位Vin\_R, Vin\_G, Vin\_Bに応じて共有化されているR, G, B各列のサンプリングトランジスタ625が順番にオンするように設定すればよい。

10

## 【 0 1 3 7 】

そして、各列の第1のサンプリングトランジスタ125の制御入力端(ゲート)を通常通り自行の書込走査線104WSに接続して書込駆動パルスWSで制御しつつ、第2のサンプリングトランジスタ625については、映像信号線106HSを共通化する組ごとに、その制御入力端(ゲート)を他の組(他行)のそれぞれ異なる行の同種または異種の垂直走査線に接続し、たとえば他行の書込駆動パルスWSや他行の電源駆動パルスDSL をサンプリング制御信号SCとして利用して制御する点に特徴を有する。サンプリングトランジスタ625の制御に書込走査部104や駆動走査部105を利用するので、第2のサンプリングトランジスタ625を制御する走査部を書込走査部104および駆動走査部105とは別に用意する必要がないという利点がある。

20

## 【 0 1 3 8 】

ここで、全サンプリング期間&移動度補正期間Q\_allでは、何れかのサンプリングトランジスタ625が表示処理(本例では信号書込みや移動度補正)のためにオンするとき、映像信号Vsig や映像信号線106HSを共用化している他色のサンプリングトランジスタ125もオンしているので、他色での表示処理動作(本例では信号書込みや移動度補正)を禁止するべく、他色のサンプリングトランジスタ625がオフするように他行の書込駆動パルスWSや他行の電源駆動パルスDSL を設定する。

## 【 0 1 3 9 】

また、サンプリングトランジスタ625を制御するためにも利用される他行の書込駆動パルスWSや他行の電源駆動パルスDSL は、各行で極力同じような遷移状態となるようにする、つまり他行における書込駆動パルスWSや電源駆動パルスDSL に基づくトランジスタの基本的なオン/オフ動作の状態が極力揃うようにする。サンプリングトランジスタ625を制御するためのサンプリング制御信号SCに書込駆動パルスWSや電源駆動パルスDSL を利用したことで、行によって動作のアンバランスが生じないようにするためである。これにより、各行の垂直走査線を制御するための走査パルスは、基準パルスを作成して、それをシフトレジスタで1Hずつ順次シフトさせる一般的な仕組みを適用可能となる。

30

## 【 0 1 4 0 】

特に、後述する他の実施形態との相違点として、第1実施形態では、映像信号線106HSを共通化する組ごとに、第2のサンプリングトランジスタ625のゲートをそれぞれ異なる他行の電源供給線105DSL に接続し、それぞれ異なる他行の電源駆動パルスDSL を利用して制御する点に特徴を有する。要するに、映像信号線106HS(映像信号Vsig) を共用化する対象列の数に関わらず、第2のサンプリングトランジスタ625の制御入力端(ゲート)を、他行の電源駆動パルスDSL のみで制御する点に特徴がある。これによって、映像信号線106HSを共用化する組ごとに、自組が属する行以外で、それぞれ異なる他行の電源駆動パルスDSL を用いて他方のサンプリングトランジスタ(第2のサンプリングトランジスタ625)を制御することで、水平駆動部106から引き出される走査線(映像信号線106HS)の本数を削減するものである。

40

## 【 0 1 4 1 】

理解を容易にするため、3列分の映像信号線106HSを共用化する例で各図は示している。共通化される3列分の典型例としては、カラー表示を行なう際の色別、つまり典型例

50

としての R (赤), G (緑), B (青) の副画素 (サブピクセル) が相当する。図 8 および図 8 A は、この典型的な事例であるカラー表示のためのサブピクセル R, G, B 用の 3 列分で映像信号  $V_{sig}$  や映像信号線 106HS を共用化する場合で示している。

【0142】

水平方向に隣接する 3 画素 (3 カラム分の画素回路 P) で映像信号  $V_{sig}$  を共用するため、まず、サンプリングトランジスタを第 1 のサンプリングトランジスタ 125 と第 2 のサンプリングトランジスタ 625 の 2 段縦続接続構成とし、サンプリングトランジスタをダブルゲート構造にする。

【0143】

そして、図 8 に示すように、第 1 のサンプリングトランジスタ 125 に対しては、通常通り自行の書込走査線 104WS に接続することで、書込走査部 104 からの書込駆動パルス WS で制御する。第 2 のサンプリングトランジスタ 625 は、R, G, B 画素でゲートの接続されている電源供給線 105DSL の行が異なっている。具体的には、R 画素 (画素回路 P\_R) は N - 3 行目の電源供給線 105DSL\_N-3 に、G 画素 (画素回路 P\_G) では N - 2 行目の電源供給線 105DSL\_N-2 に、B 画素 (画素回路 P\_B) では N - 1 行目の電源供給線 105DSL\_N-1 に、それぞれ接続されている。

【0144】

図 8 および図 8 A から理解されるように、映像信号  $V_{sig}$  が共用される R, G, B 各列の第 2 のサンプリングトランジスタ 625 のゲートを他の組 (他の行) のそれぞれ異なる電源供給線 105DSL に接続するので、画素アレイ部 102 の垂直走査の端部 (本例では最上部) についてはサンプリングトランジスタ 625 を制御する電源供給線 105DSL が不足することになるが、その分のダミーの行を設ければよい。

【0145】

図 8 B には、第 1 実施形態のタイミングチャートが示されている。後述する他の実施形態も含めて、線順次駆動であり、電源駆動パルス DSL および書込駆動パルス WS や映像信号  $V_{sig}$  は、映像信号  $V_{sig}$  や映像信号線 106HS を共通化した 3 列分を 1 組として各信号のタイミング (特に位相関係) が規定される。以下の説明においては、R, G, B の 3 列に着目して説明する。

【0146】

まず、サンプリングトランジスタ 125 とサンプリングトランジスタ 625 で AND (論理積) 機能を果たすので、N 行目の R 列のサンプリングトランジスタ 125, 625 により合成された制御信号は書込駆動パルス WS\_N と電源駆動パルス DSL\_N-3 との論理積となるし、N 行目の G 列のサンプリングトランジスタ 125, 625 により合成された制御信号は書込駆動パルス WS\_N と電源駆動パルス DSL\_N-2 との論理積となるし、N 行目の B 列のサンプリングトランジスタ 125, 625 により合成された制御信号は書込駆動パルス WS\_N と電源駆動パルス DSL\_N-1 との論理積となる。

【0147】

R, G, B 各列の映像信号  $V_{sig}$  については、映像信号  $V_{sig}$  が非有効期間であるオフセット電位  $V_{ofs}$  にある期間を 1 水平期間の前半部とし、有効期間である信号電位  $V_{in}$  ( $= V_{ofs} + V_{in}$ ) にある期間を 1 水平期間の後半部とし、信号電位  $V_{in}$  の期間を R, G, B 用の階調に応じた各信号電位  $V_{in\_R}$ ,  $V_{in\_G}$ ,  $V_{in\_B}$  で切り替える手法を採る。これに合わせて、書込駆動パルス WS は各信号電位  $V_{in\_R}$ ,  $V_{in\_G}$ ,  $V_{in\_B}$  のときにアクティブ H となるように切り替える。なお、第 2 のサンプリングトランジスタ 625 によるオン/オフ制御が働くので、全サンプリング期間 & 移動度補正期間  $Q_{all}$  で書込駆動パルス WS をアクティブ H としておいてもよい。この点は他の実施形態でも同様である。

【0148】

因みに、信号電位  $V_{in}$  の期間で、順に (たとえば R G B の順に) 信号書込みを行なう方式にするので、映像信号  $V_{sig}$  を合成した 3 列分の信号書込みを行なうために、映像信号  $V_{sig}$  (詳しくは信号電位  $V_{in} = V_{ofs} + V_{in}$ ) を R 画素用の  $V_{sig\_R}$  と G 画素用の  $V_{sig\_G}$  と B 画素用の  $V_{sig\_B}$  に切り替えて信号書込みを行なう必要がある。このため

10

20

30

40

50

には、信号電位  $V_{in} (= V_{ofs} + V_{in})$  を R 画素用の信号電位  $V_{in\_R}$  と G 画素用の信号電位  $V_{in}$  と B 画素用の信号電位  $V_{in\_B}$  に切り替えることになるので、この対応のため、たとえば水平駆動部 106 に記憶部（たとえばラインメモリ）を備えるようにし、 $V_{in\_R}$ 、 $V_{in\_G}$ 、 $V_{in\_B}$  を直ぐに切り替えられるようにするのがよい。

【0149】

オフセット電位  $V_{ofs}$  と全信号電位  $V_{in}$  の各期間の割合は、たとえば第3比較例のタイミングチャートの場合と同じように概ね50%ずつとしてもよいし、R、G、B用の階調に応じた各信号電位  $V_{in\_R}$ 、 $V_{in\_G}$ 、 $V_{in\_B}$  で切り替える点（換言するとR、G、B各々の信号書込み期間が狭くなる点）を加味して信号電位  $V_{in}$  の期間の方を広くしてもよい。その分オフセット電位  $V_{ofs}$  の期間が狭くなり1H当たりの閾値補正期間が狭くなるので、この点を加味して閾値補正回数を増やしてもよい。これらは一例であり、その他のタイミングを適用可能である。

10

【0150】

また、全サンプリング期間&移動度補正期間  $Q_{all}$  では、他画素のサンプリング&移動度補正の禁止をも加味して、R画素のサンプリング期間&移動度補正期間  $Q_R$  にはG画素とB画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号  $SC_G$ 、 $SC_B$  としても利用されるN-2行目およびN-1行目の電源駆動パルス  $DSL_{N-2}$ 、 $DSL_{N-1}$  を第2電位  $V_{ss}$  にして、次に必要となるときに第1電位  $V_{cc}$  に戻す。同様にして、G画素のサンプリング期間&移動度補正期間  $Q_G$  にはG画素とB画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号  $SC_R$ 、 $SC_B$  としても利用されるN-3行目およびN-1行目の電源駆動パルス  $DSL_{N-3}$ 、 $DSL_1$  を第2電位  $V_{ss}$  にして、次に必要となるときに第1電位  $V_{cc}$  に戻す。また、B画素のサンプリング期間&移動度補正期間  $Q_B$  にはR画素とG画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号  $SC_R$ 、 $SC_G$  としても利用されるN-3行目およびN-2行目の電源駆動パルス  $DSL_{N-3}$ 、 $DSL_2$  を第2電位  $V_{ss}$  にして、次に必要となるときに第1電位  $V_{cc}$  に戻す。自行の書込駆動パルス  $WS$  と他行の電源駆動パルス  $DSL$  の論理積のアクティブ期間で色別のサンプリング期間&移動度補正期間  $Q_R$ 、 $Q_G$ 、 $Q_B$  を決定することになる。

20

【0151】

また、サンプリングトランジスタ625を制御するためにも利用される他行の電源駆動パルス  $DSL$  は、各行で極力同じような遷移状態となるようにする、つまり他行における電源駆動パルス  $DSL$  に基づく駆動トランジスタ121の基本的な電源ラインのオン/オフ動作の状態が極力揃うようにする。サンプリングトランジスタ625を制御するためのサンプリング制御信号  $SC$  に他行の電源駆動パルス  $DSL$  を利用したことで、行によって動作のアンバランスが生じないようにするためである。これにより、各行の電源供給線105  $DSL$  を制御するための電源駆動パルス  $DSL$  は、基準パルスを作成して、それをシフトレジスタで1Hずつ順次シフトさせる一般的な仕組みを適用可能となる。

30

【0152】

ここで、図8Bに示したタイミングチャートから理解されるように、第1実施形態の場合、映像信号  $V_{sig}$  や映像信号線106  $HS$  を共用しているR、G、B各列の画素間での閾値補正回数が同じになる。因みに、映像信号  $V_{sig}$  や映像信号線106  $HS$  を共用しているR、G、B各列の画素間での閾値補正準備期間が異なってしまうが、閾値補正準備は駆動トランジスタ121のソース電圧を第2電位  $V_{ss}$  とするオペレーションであるために問題はない。

40

【0153】

また、第1実施形態の仕組みでは、別の行（本例ではN行目に対して、N-3行目、N-2行目、N-1行目）の電源駆動パルス  $DSL$  を第2電位  $V_{ss}$  にして（換言すると駆動トランジスタ121への電源をオフにして）、信号電位のサンプリングや移動度補正を行なうタイミングを決定しているので、自行の電源駆動パルス  $DSL$  もサンプリング期間&移動度補正期間の後で第2電位  $V_{ss}$  になる期間がある。しかしながら、信号書込み終了後に自行の電源供給線105  $DSL$  が第2電位  $V_{ss}$  になっても（つまり電源がオフしても）、駆動

50

トランジスタ 1 2 1 のゲート・ソース間には保持容量 1 2 0 が接続されておりブートストラップ機能が働きゲート・ソース間電圧  $V_{gs}$  は一定であるため、再び電源供給線 1 0 5 DSL が第 1 電位  $V_{cc}$  に戻ったとき（つまり電源がオンしたとき）に、有機 EL 素子 1 2 7 は再び正常に発光することができ、発光輝度が変化することはない。

#### 【 0 1 5 4 】

因みに、有機 EL 素子 1 2 7 の発光期間は、基本的には、サンプリング期間 & 移動度補正期間 Q 後の書込駆動パルス WS をインアクティブとするタイミング（サンプリングトランジスタ 1 2 5 のオフタイミング）と電源ラインである電源供給線 1 0 5 DSL の第 2 電位  $V_{ss}$  への切替え（電源オフ）で決定される。本例では、サンプリング期間 & 移動度補正期間 Q 後の書込駆動パルス WS をインアクティブとした後に閾値準備期間に入るために電源供給線 1 0 5 DSL を第 2 電位  $V_{ss}$  へ切り替える前に、サンプリング期間 & 移動度補正期間 Q\_a II にて R, G, B の各画素用の信号書込みや移動度補正を順に切り替えて行なうようにするために、電源駆動パルス DSL\_N-3, DSL\_N-2, DSL\_N-3 を一旦第 2 電位  $V_{ss}$  に切り替えている。このため、各行のサンプリング期間 & 移動度補正期間 Q\_R, 後にサンプリングトランジスタ 1 2 5 をオフした時点が発光開始タイミングとなり、その後閾値補正動作に入る前の初期化のために電源駆動パルス DSL を第 2 電位  $V_{ss}$  に切り替えるタイミングが発光終了タイミングとなり、そのうちの電源駆動パルス DSL が第 2 電位  $V_{ss}$  の期間を除いた分がトータルの発光期間となる。

#### 【 0 1 5 5 】

図 8 B に示したタイミングチャートの 2 つのサンプリングトランジスタ 1 2 5, 6 2 5 による合成の制御信号のサンプリング期間 & 移動度補正期間 Q における関係から理解されるように、1 H 期間の後半部で、R, G, B の各画素の発光開始タイミングが順次シフトする。しかしながら、その差は少なくとも 1 H 期間内であるし、僅かであるので、各色の発光期間の差は問題とならないと考えてよい。このズレが問題となる場合には、たとえば色別の信号電位  $V_{in\_R}$ ,  $V_{in\_G}$ ,  $V_{in\_B}$  を補正することで対処すればよい。

#### 【 0 1 5 6 】

第 1 実施形態の仕組みでは、第 2 のサンプリングトランジスタ 6 2 5 のゲートを他行の電源供給線 1 0 5 DSL に接続して他行の電源駆動パルス DSL で制御するようにしているので、第 2 のサンプリングトランジスタ 6 2 5 を制御する走査部を書込走査部 1 0 4 および駆動走査部 1 0 5 とは別に用意する必要がなく低コスト化を確実に実現できる利点がある。垂直駆動部 1 0 3（スキャナまたはドライバ）から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずにサンプリングトランジスタ 1 2 5 に（事実上サンプリングトランジスタ 6 2 5 へも）映像信号  $V_{sig}$  を供給する走査線である映像信号線 1 0 6 HS の本数を減らす（本例では 1 / 3 にする）ことができ低コスト化が可能となる。

#### 【 0 1 5 7 】

なお、前例では、第 2 のサンプリングトランジスタ 6 2 5 のゲートを 3 行前～1 行前の電源供給線 1 0 5 DSL に色別に異なるように接続するようにはしていたが、これは一例に過ぎず、第 2 のサンプリングトランジスタ 6 2 5 のゲートは、共用化している行を除いた他行の電源供給線 1 0 5 DSL である限り何れの行の電源供給線 1 0 5 DSL に接続してもよい。ただし、共用化している部分から離れるほど配線長が長くなり書込走査線 1 0 4 WS との交差が増える不利益が生じる。たとえば配線抵抗が大きくなることでのタイミングずれが交差によるクロスショートが増えるなどが起こり得る。また、画素アレイ部 1 0 2 の垂直走査の端部に設けるダミーの行数が増える難点もある。したがって、第 2 のサンプリングトランジスタ 6 2 5 のゲートは、共用化している部分の近傍の電源供給線 1 0 5 DSL に接続するのが好ましい。

#### 【 0 1 5 8 】

また、前例では、映像信号線 1 0 6 HS をカラー表示のためのサブピクセル R, G, B の 3 列分で共用化する例で説明したが、これは一例に過ぎず、共用化の対象となる映像信号  $V_{sig}$  が複数列分であればよく、隣接する 3 列分でなくてもよい。

## 【 0 1 5 9 】

さらに、前例では、理解を容易にするため、隣接する R , G , B 用の 3 列分で映像信号 Vsig を共用化する例で説明したが、これは一例に過ぎず、共用化の対象数は任意 ( k 個とする ) であり、サンプリングトランジスタをダブルゲート構造にして、 k 列分で映像信号 Vsig や映像信号線 1 0 6 HS を共用化するようにしてもよい。この場合、第 2 のサンプリングトランジスタ 6 2 5 については、共用化の対象となる行を除く各別の行の電源供給線 1 0 5 DSL に接続して各別の行の電源駆動パルス DSL をサンプリング制御信号 SC に使用するようにすればよい。ただし、3 列の共用化の場合と同様に、共用化している部分から離れるほど、配線長が長くなる、書込走査線 1 0 4 WS との交差が増える、ダミー行が増える、などの不利益が生じる。

10

## 【 0 1 6 0 】

< 改善手法 : 第 2 実施形態 >

図 9 および図 9 A は、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みを採りつつ、水平走査系の映像信号線 1 0 6 HS を複数画素で共用化する有機 E L 表示装置の第 2 実施形態を説明する図である。ここで、図 9 は、第 2 実施形態の有機 E L 表示装置 1 の 3 画素 ( 1 行 3 列 ) 分の画素回路 P と各走査線 ( 書込走査線 1 0 4 WS、電源供給線 1 0 5 DSL、映像信号線 1 0 6 HS ) の接続関係の詳細を示す図である。図 9 A は、第 2 実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。理解を容易にするため、第 1 実施形態と同様に、カラー表示のためのサブピクセル R , G , B 用の 3 列分で映像信号 Vsig や映像信号線 1 0 6 HS を共用化する例で各

20

## 【 0 1 6 1 】

第 2 実施形態では、画素回路 P 内の具体的な構成は第 1 実施形態と同様にサンプリングトランジスタを第 1 のサンプリングトランジスタ 1 2 5 と第 2 のサンプリングトランジスタ 6 2 5 の縦続接続としたダブルゲート構造を採る。第 1 実施形態との相違は、第 2 のサンプリングトランジスタ 6 2 5 の制御入力端 ( ゲート ) を、他行の電源駆動パルス DSL のみで制御するのではなく、他行の書込駆動パルス WS と他行の電源駆動パルス DSL の組合せで制御する点に特徴がある。

## 【 0 1 6 2 】

つまり、サンプリングトランジスタ 6 2 5 のゲートに関して、共用化列の一方は共用化部分を除く他の行の書込走査線 1 0 4 WS に接続して他の行の書込駆動パルス WS をサンプリング制御信号 SC として利用して制御するとともに、共用化列の他方は共用化部分を除く別行の電源供給線 1 0 5 DSL に接続して他行の電源駆動パルス DSL をサンプリング制御信号 SC として利用して制御する点に特徴を有する。つまり、共用化部分を除く他行の書込駆動パルス WS と他行の電源駆動パルス DSL ( 共用化部分でそれぞれ異なる行にする ) を用いて第 2 のサンプリングトランジスタ 6 2 5 を制御することで、水平駆動部 1 0 6 から引き出される走査線 ( 映像信号線 1 0 6 HS ) の本数を削減して、映像信号 Vsig を複数画素で共用するものである。

30

## 【 0 1 6 3 】

水平方向に隣接する 3 画素 ( R , G , B の 3 カラム分の画素回路 P ) で映像信号線 1 0 6 HS に与える映像信号 Vsig を共用するため、先ず、図 8 ~ 図 8 B に示した第 1 実施形態と同様に、サンプリングトランジスタを第 1 のサンプリングトランジスタ 1 2 5 と第 2 のサンプリングトランジスタ 6 2 5 の 2 段縦続接続構成にする。そして、図 9 に示すように、第 1 のサンプリングトランジスタ 1 2 5 に対しては、R , G , B 別の 3 カラム ( 3 列 ) 分の画素回路 P を同じ映像信号線 1 0 6 HS に接続することで、水平駆動部 1 0 6 からの映像信号 Vsig で 3 列の画素回路 P に共通に映像信号 Vsig を供給する。また、R , G , B 各列の第 1 のサンプリングトランジスタ 1 2 5 の制御入力端 ( ゲート ) を通常通り自行の書込走査線 1 0 4 WS に接続して書込駆動パルス WS\_N で制御する。

40

## 【 0 1 6 4 】

第 2 のサンプリングトランジスタ 6 2 5 は、共用化部分の一方のゲートを自行以外の書

50

込走査線 104WSに接続することで他行の書込走査線 104WSからの書込駆動パルスWSで制御するとともに、共用化部分の他方のゲートを自行以外の電源供給線 105DSL に接続することで他行の駆動走査部 105からの電源駆動パルスDSL で制御する。このとき、共用化部分である R, G, B 各列の各サンプリングトランジスタ 625 は、それぞれ異なる行の書込駆動パルスWSや電源駆動パルスDSL をサンプリング制御信号SCとして使用するようになる。

【0165】

たとえば、N行目の R, G, B 画素において、第2のサンプリングトランジスタ 625 は、R画素は N + 1行目の書込走査線 104WS<sub>N+1</sub>に、G画素では N - 3行目の電源供給線 105DSL<sub>N-3</sub> に、B画素では N + 2行目の書込走査線 104WS<sub>N+2</sub>に、それぞれ接続されている。

10

【0166】

図9から理解されるように、第2のサンプリングトランジスタ 625 のゲートを他行の書込走査線 104WSや電源供給線 105DSL に接続するので、書込走査線 104WSあるいは電源供給線 105DSL と交差させる必要が生じる。なお、画素アレイ部 102の垂直走査の端部（本例では最上部や最下部）についてはサンプリングトランジスタ 625 を制御する書込走査線 104WSや電源供給線 105DSL が不足することになるが、その分のダミーの行を設ければよい。

【0167】

図9Aに示す第2実施形態のタイミングチャートのように、信号電位 V<sub>in</sub>の期間を R, G, B 用の階調に応じた各信号電位 V<sub>in\_R</sub>, V<sub>in\_G</sub>, V<sub>in\_B</sub>で切り替え、サンプリング期間 & 移動度補正期間 Q<sub>all</sub>では、色別の信号電位 V<sub>in\_R</sub>, V<sub>in\_G</sub>, V<sub>in\_B</sub>に応じて共有化されている各列のサンプリングトランジスタ 625 が順番にオンするように設定する。

20

【0168】

また、全サンプリング期間 & 移動度補正期間 Q<sub>all</sub>では、他画素のサンプリング & 移動度補正の禁止をも加味して、R画素のサンプリング期間 & 移動度補正期間 Q<sub>R</sub>には、G画素のサンプリングトランジスタ 625 を制御するためのサンプリング制御信号SC<sub>G</sub>としても利用される N - 3行目の電源駆動パルスDSL<sub>N-3</sub> を第2電位 V<sub>ss</sub>にして次に必要となるときに第1電位 V<sub>cc</sub>に戻し、B画素のサンプリングトランジスタ 625 を制御するためのサンプリング制御信号SC<sub>B</sub>としても利用される N + 2行目の書込駆動パルスWS<sub>N+2</sub>をインアクティブLにして次に必要となるときにアクティブHにする。

30

【0169】

同様にして、G画素のサンプリング期間 & 移動度補正期間 Q<sub>G</sub>には、R画素やB画素のサンプリングトランジスタ 625 を制御するためのサンプリング制御信号SC<sub>R</sub>, SC<sub>B</sub>としても利用される N + 1行目や N + 2行目の書込駆動パルスWS<sub>N+1</sub>, WS<sub>N+2</sub>をインアクティブLにして次に必要となるときにアクティブHにする。

【0170】

また、B画素のサンプリング期間 & 移動度補正期間 Q<sub>B</sub>には、R画素のサンプリングトランジスタ 625 を制御するためのサンプリング制御信号SC<sub>R</sub>としても利用される N + 1行目の書込駆動パルスWS<sub>N+1</sub>をインアクティブLにして次に必要となるときにアクティブHにするし、G画素のサンプリングトランジスタ 625 を制御するためのサンプリング制御信号SC<sub>G</sub>としても利用される N - 3行目の電源駆動パルスDSL<sub>N-3</sub> を第2電位 V<sub>ss</sub>にして次に必要となるときに第1電位 V<sub>cc</sub>に戻す。自行の書込駆動パルスWSと他行の書込駆動パルスWSや電源駆動パルスDSL の論理積のアクティブ期間で色別のサンプリング期間 & 移動度補正期間 Q<sub>R</sub>, Q<sub>G</sub>, Q<sub>B</sub>を決定することになる。

40

【0171】

また、サンプリングトランジスタ 625 を制御するためにも利用される他行の書込駆動パルスWSや電源駆動パルスDSL は、各行で極力同じような遷移状態となるようにする、つまり他行における書込駆動パルスWSに基づくサンプリングトランジスタ 125の基本的なオン/オフ動作や電源駆動パルスDSL に基づく駆動トランジスタ 121の基本的な電源ラ

50

インのオン/オフ動作の状態が極力揃うようにする。サンプリングトランジスタ625を制御するためのサンプリング制御信号SCに他行の書込駆動パルスWSや電源駆動パルスDSLを利用したことで、行によって動作のアンバランスが生じないようにするためである。これにより、各行の書込走査線104WSを制御するための書込駆動パルスWSや各行の電源供給線105DSLを制御するための電源駆動パルスDSLは、基準パルスを作成して、それをシフトレジスタで1Hずつ順次シフトさせる一般的な仕組みを適用可能となる。

#### 【0172】

このように、第2実施形態の仕組みでは、第2のサンプリングトランジスタ625を制御する制御信号の取扱いが第1実施形態とは異なるものの、別の行の書込駆動パルスWSや電源駆動パルスDSLを変化させて、信号電位のサンプリングや移動度補正を行なうタイミングを決定しているため、自行の電源駆動パルスDSLもサンプリング期間&移動度補正期間の後で第2電位 $V_{ss}$ になる期間がある。しかしながら、第1実施形態での説明から理解されるように、駆動トランジスタ121のゲート・ソース間には保持容量120が接続されておりブートストラップ機能が働きゲート・ソース間電圧 $V_{gs}$ は一定であるため、再び電源供給線105DSLが第1電位 $V_{cc}$ に戻ったとき(つまり電源がオンしたとき)に有機EL素子127は再び正常に発光することができる。

#### 【0173】

また、第2のサンプリングトランジスタ625の一方のゲートを他行の書込走査線104WSに接続して他行の書込駆動パルスWSで制御するとともに第2のサンプリングトランジスタ625の他方のゲートを他行の電源供給線105DSLに接続して他行の電源駆動パルスDSLで制御するようにしているため、第1実施形態と同様に、垂直駆動部103(スキャナまたはドライバ)から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずに、サンプリングトランジスタ125に(事実上サンプリングトランジスタ625へも)映像信号 $V_{sig}$ を供給する走査線である映像信号線106HSの本数を減らす(本例では1/3にする)ことができ低コスト化が可能となる。

#### 【0174】

また、この第2実施形態でも、映像信号 $V_{sig}$ や映像信号線106HSを共用しているR、G、B各列の画素間での閾値補正回数が同じになる。因みに、映像信号 $V_{sig}$ や映像信号線106HSを共用している画素間での閾値補正準備期間が異なってしまうが、第1実施形態での説明から理解されるように、閾値補正準備は駆動トランジスタ121のソース電圧を第2電位 $V_{ss}$ とするオペレーションであるために問題はない。

#### 【0175】

また、第2実施形態の仕組みでも、別の行の電源駆動パルスDSLを第2電位 $V_{ss}$ にして(換言すると駆動トランジスタ121への電源をオフにして)、他画素の信号電位のサンプリングや移動度補正を行なうタイミングを決定しているため、具体的にはR画素およびB画素の信号書込み時に利用されるN行目に対してN-3行目の電源駆動パルスDSLを第2電位 $V_{ss}$ にしてR画素およびB画素の信号電位のサンプリングや移動度補正を行なうタイミングを決定しているため、自行の電源駆動パルスDSLもサンプリング期間&移動度補正期間の後で第2電位 $V_{ss}$ になる期間がある。しかしながら、第1実施形態での説明から理解されるように、信号書込み終了後に自行の電源供給線105DSLが第2電位 $V_{ss}$ になっても(つまり電源がオフしても)、駆動トランジスタ121のゲート・ソース間には保持容量120が接続されておりブートストラップ機能が働きゲート・ソース間電圧 $V_{gs}$ は一定であるため、再び電源供給線105DSLが第1電位 $V_{cc}$ に戻ったとき(つまり電源がオンしたとき)に、有機EL素子127は再び正常に発光することができ、発光輝度が変化することはない。

#### 【0176】

<改善手法：第3実施形態>

図10および図10Aは、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みを採りつつ、水平走査系の映像信号線106HSを複数画素で共用化する有機EL表示装置の第3実施形態を説明する図である。ここで、図10は、第3実施形態の有機

10

20

30

40

50

E L表示装置1の3画素(1行3列)分の画素回路Pと各走査線(書込走査線104WS、電源供給線105DSL、映像信号線106HS)の接続関係の詳細を示す図である。図10Aは、第3実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。理解を容易にするため、第1および第2実施形態と同様に、カラー表示のためのサブピクセルR、G、B用の3列分で映像信号Vsigや映像信号線106HSを共用化する例で各図は示している。

【0177】

第3実施形態では、第2実施形態と同様に、第2のサンプリングトランジスタ625の制御入力端(ゲート)を、他行の電源駆動パルスDSLのみで制御するのではなく、他行の書込駆動パルスWSと他行の電源駆動パルスDSLの組合せで制御する点に特徴がある。第2実施形態との相違は、サンプリング制御信号SCとして利用する書込駆動パルスWSと電源駆動パルスDSLの組合せと行が異なるだけで、事実上、第2実施形態と同じと考えてよい。

10

【0178】

たとえば、N行目のR、G、B画素において、第2のサンプリングトランジスタ625は、R画素はN-3行目の電源駆動パルスDSL<sub>N-3</sub>に、G画素ではN-2行目の電源供給線105DSL<sub>N-2</sub>に、B画素ではN+1行目の書込走査線104WS<sub>N+1</sub>に、それぞれ接続されている。

【0179】

図10から理解されるように、第2のサンプリングトランジスタ625のゲートを他行の書込走査線104WSや電源供給線105DSLに接続するので、書込走査線104WSあるいは電源供給線105DSLと交差させる必要が生じる。なお、画素アレイ部102の垂直走査の端部(本例では最上部や最下部)についてはサンプリングトランジスタ625を制御する書込走査線104WSや電源供給線105DSLが不足することになるが、その分のダミーの行を設ければよい。

20

【0180】

なお、第2実施形態や第3実施形態においても、第1実施形態で述べたように、共用化される書込駆動パルスWSや書込走査線104WSの数は2つに限定されないし、第2のサンプリングトランジスタ625のゲートを制御する書込駆動パルスWSや電源駆動パルスDSLの行の設定は、共用化される書込駆動パルスWSや書込走査線104WSの組が属する行とは別の行で、それぞれ異なる行である限り、前述の例に限定されない。ただし、3列の共用化の場合と同様に、共用化している部分から離れるほど、配線長が長くなる、書込走査線104WSとの交差が増える、ダミー行が増える、などの不利益が生じる。

30

【0181】

図10Aに示す第2実施形態のタイミングチャートのように、第1および第2実施形態と同様に、信号電位Vinの期間をR、G、B用の階調に応じた各信号電位Vin<sub>R</sub>、Vin<sub>G</sub>、Vin<sub>B</sub>で切り替え、サンプリング期間&移動度補正期間Q<sub>all</sub>では、色別の信号電位Vin<sub>R</sub>、Vin<sub>G</sub>、Vin<sub>B</sub>に応じて共有化されている各列のサンプリングトランジスタ625が順番にオンするように設定する。

【0182】

また、全サンプリング期間&移動度補正期間Q<sub>all</sub>では、他画素のサンプリング&移動度補正の禁止をも加味して、R画素のサンプリング期間&移動度補正期間Q<sub>R</sub>には、G画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC<sub>G</sub>としても利用されるN-2行目の電源駆動パルスDSL<sub>N-2</sub>を第2電位V<sub>ss</sub>にして次に必要となるときに第1電位V<sub>cc</sub>に戻し、B画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC<sub>B</sub>としても利用されるN+1行目の書込駆動パルスWS<sub>N+1</sub>をインアクティブLにして次に必要となるときにアクティブHにする。

40

【0183】

同様にして、G画素のサンプリング期間&移動度補正期間Q<sub>G</sub>には、R画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC<sub>R</sub>としても利用されるN-3行目の電源駆動パルスDSL<sub>N-3</sub>を第2電位V<sub>ss</sub>にして次に必要となるときに第1電

50

位  $V_{cc}$  に戻すし、B画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC\_Bとしても利用されるN+1行目の書込駆動パルスWSをインアクティブLにして次に必要となるときにアクティブHにする。

【0184】

また、B画素のサンプリング期間&移動度補正期間 $Q_B$ には、R画素やG画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC\_R, SC\_Gとしても利用されるN-3行目やN-2行目の電源駆動パルスDSL<sub>N-3</sub>, DSL<sub>N-2</sub>を第2電位 $V_{ss}$ にして次に必要となるときに第1電位 $V_{cc}$ に戻す。自行の書込駆動パルスWSと他行の書込駆動パルスWSや電源駆動パルスDSLの論理積のアクティブ期間で色別のサンプリング期間&移動度補正期間 $Q_R$ ,  $Q_G$ ,  $Q_B$ を決定することになる。

10

【0185】

また、第2実施形態と同様に、サンプリングトランジスタ625を制御するためにも利用される他行の書込駆動パルスWSや電源駆動パルスDSLは、各行で極力同じような遷移状態となるように、1Hずつシフトさせた状態にする。

【0186】

このように、第3実施形態の仕組みでは、第2のサンプリングトランジスタ625を制御するための書込駆動パルスWSと電源駆動パルスDSLの行の取扱いが第2実施形態と異なるが、基本的な考え方は第2実施形態と同様であり、第2実施形態と同様の効果を楽しむことができる。

【0187】

20

ところで、ダブルゲート構造とした第2のサンプリングトランジスタ625を制御するサンプリング制御信号SCの取扱いに着目して第1実施形態と第2・第3実施形態を比べた場合、第1実施形態では何れも同じ種類の制御信号(相異なる他行の電源駆動パルスDSL)をサンプリング制御信号SCとして利用しているのに対して、第2・第3実施形態では、異なる種類の制御信号(相異なる他行の書込駆動パルスWSと電源駆動パルスDSL)をサンプリング制御信号SCとして利用していると言った違いがある。

【0188】

動作の対称性、換言すると、第2のサンプリングトランジスタ625を制御するためのサンプリング制御信号SCのタイミングの観点からは、同種の垂直走査パルス(電源駆動パルスDSL)を使用する第1実施形態の方が優れている。書込走査線104WSと電源供給線105DSLとでは負荷が異なり、映像信号 $V_{sig}$ や映像信号線106HSを複数列で共用化するに当たり第2のサンプリングトランジスタ625を制御するためにこれら異種の垂直走査パルスを使用すると、その差が画像に現われる懸念があるからである。

30

【0189】

<改善手法：第4実施形態>

図11~図11Bは、電流駆動型の電気光学素子の一例である有機EL素子127を駆動する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みを採りつつ、水平走査系の映像信号線106HSを複数画素で共用化する有機EL表示装置の第4実施形態を説明する図である。ここで、図11は、第4実施形態の有機EL表示装置1の12画素(3行4列)分の画素回路Pと各走査部(書込走査部104、駆動走査部105、水平駆動部106)との間の各走査線(書込走査線104WS、電源供給線105DSL、映像信号線106HS)の接続関係の概要を示す図である。図11Aは、図11の4画素(1行4列)分の画素回路Pと各走査線(書込走査線104WS、電源供給線105DSL、映像信号線106HS)の接続関係の詳細を示す図である。図11Bは、第4実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。

40

【0190】

第4実施形態では、画素回路P内の具体的な構成は第1~第3実施形態と同様にサンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の縦続接続としたダブルゲート構造を採る。第1~第3実施形態との相違は、映像信号線106HS(映像信号 $V_{sig}$ )を共用化する対象列の数に関わらず、第2の

50

サンプリングトランジスタ625の制御入力端(ゲート)を、他行の電源駆動パルスDSLのみで制御するのではなく、他行の書込駆動パルスWSのみで制御する点に特徴がある。これによって、映像信号線106HSを共用化する組ごとに、自組が属する行以外で、それぞれ異なる他行の書込駆動パルスWSを用いて他方のサンプリングトランジスタ(第2のサンプリングトランジスタ625)を制御することで、水平駆動部106から引き出される走査線(映像信号線106HS)の本数を削減するものである。

【0191】

図11~図11Bでは、隣接する2列(奇数列と偶数列)で映像信号線106HS(映像信号Vsig)を共用する例で示している。ここで、第2のサンプリングトランジスタ625は、共用化部分の一方のゲートを自行以外の書込走査線104WSに接続することで他行の書込走査線104WSからの書込駆動パルスWSで制御するとともに、共用化部分の他方のゲートも自行以外の書込駆動パルスWSに接続することで他行の書込走査部104からの書込駆動パルスWSで制御する。このとき、共用化部分である2列の各サンプリングトランジスタ625は、それぞれ異なる行の書込駆動パルスWSをサンプリング制御信号SCとして使用するようになる。

10

【0192】

たとえば、N行目の画素回路P<sub>o</sub>、P<sub>e</sub>において、第2のサンプリングトランジスタ625は、奇数列の画素回路P<sub>o</sub>はN+1行目の書込走査線104WS<sub>N+1</sub>に、偶数列の画素回路P<sub>e</sub>はN+2行目の書込駆動パルスWS<sub>N+2</sub>に、それぞれ接続されている。

【0193】

図11から理解されるように、第2のサンプリングトランジスタ625のゲートを他行の書込走査線104WSに接続するので、各行の書込走査線104WSを交差させる必要が生じる。なお、画素アレイ部102の垂直走査の端部(本例では最下部)についてはサンプリングトランジスタ625を制御する書込走査線104WSが不足することになるが、その分のダミーの行を設ければよい。

20

【0194】

なお、第4実施形態においても、第1~第3実施形態で述べたように、共用化される書込駆動パルスWSや書込走査線104WSの数は2つに限定されない。その事例は第5実施形態で示す。また、第2のサンプリングトランジスタ625のゲートを制御する書込駆動パルスWSの行の設定は、共用化される書込駆動パルスWSや書込走査線104WSの組が属する行とは別の行で、それぞれ異なる行である限り、前述の例に限定されない。たとえば、サンプリングトランジスタ625を制御する書込駆動パルスWS(書込走査線104WS)は、N行目に対してN+2行目とN+3行目のように、共用化されている当該行(N行)以外であればよく、N+1行目以降の任意の行の書込駆動パルスWSを用いてもよい。ただし、3列の共用化の場合と同様に、共用化している部分から離れるほど、配線長が長くなる、書込走査線104WSの交差が増える、ダミー行が増える、などの不利益が生じる。

30

【0195】

図11Bに示す第4実施形態のタイミングチャートのように、第1~第3実施形態と同様に、信号電位V<sub>in</sub>の期間を各画素回路P<sub>o</sub>、P<sub>e</sub>用の階調に応じた各信号電位V<sub>in\_o</sub>、V<sub>in\_e</sub>で切り替え、サンプリング期間&移動度補正期間Q<sub>all</sub>では、画素回路P別の信号電位V<sub>in\_o</sub>、V<sub>in\_e</sub>に応じて共有化されている各列のサンプリングトランジスタ625が順番にオンするように設定する。

40

【0196】

また、全サンプリング期間&移動度補正期間Q<sub>all</sub>では、他画素のサンプリング&移動度補正の禁止をも加味して、奇数列の画素回路P<sub>o</sub>のサンプリング期間&移動度補正期間Q<sub>o</sub>には、偶数列の画素回路P<sub>e</sub>のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC<sub>2</sub>としても利用されるN+2行目の書込駆動パルスWS<sub>N+2</sub>をインアクティブLにして次に必要となるときにアクティブHにする。同様にして、偶数列の画素回路P<sub>e</sub>のサンプリング期間&移動度補正期間Q<sub>e</sub>には、奇数列の画素回路P<sub>o</sub>のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC<sub>1</sub>としても利用され

50

る  $N + 1$  行目の書込駆動パルス  $WS_{N+1}$  をインアクティブ L にして次に必要となるときにアクティブ H にする。自行の書込駆動パルス  $WS$  と他行の書込駆動パルス  $WS$  の論理積のアクティブ期間で画素回路 P 別のサンプリング期間 & 移動度補正期間  $Q_o$ ,  $Q_e$  を決定することになる。

【 0 1 9 7 】

また、第 1 ~ 第 3 実施形態と同様に、サンプリングトランジスタ 6 2 5 を制御するためにも利用される他行の書込駆動パルス  $WS$  は、各行で極力同じような遷移状態となるように、1 H ずつシフトさせた状態にする。

【 0 1 9 8 】

このように、第 4 実施形態の仕組みでは、第 2 のサンプリングトランジスタ 6 2 5 を制御するためのサンプリング制御信号  $SC$  の取扱いが第 1 ~ 第 3 実施形態と異なり、映像信号  $V_{sig}$  (映像信号線 1 0 6 HS) を共用化した組が属する行を除く他行の書込駆動パルス  $WS$  のみとしているが、基本的な考え方は第 1 ~ 第 3 実施形態と同様であり、第 1 ~ 第 3 実施形態と同様の効果を楽しむことができる。

【 0 1 9 9 】

たとえば、垂直駆動部 1 0 3 (スキャナまたはドライバ) から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずに、サンプリングトランジスタ 1 2 5 に (事実上サンプリングトランジスタ 6 2 5 へも) 映像信号  $V_{sig}$  を供給する走査線である映像信号線 1 0 6 HS の本数を減らす (本例では 1 / 2 にする) ことができ低コスト化が可能となる。

【 0 2 0 0 】

また、第 2 のサンプリングトランジスタ 6 2 5 を制御するためのサンプリング制御信号  $SC$  として、映像信号線 1 0 6 HS (映像信号  $V_{sig}$ ) を共用化する対象列の数に関わらず、他行の書込駆動パルス  $WS$  のみを利用する点においては、他行の電源駆動パルス  $DSL$  のみを利用する第 1 実施形態と同様の効果を楽しむことができ、第 2 ・ 第 3 実施形態よりも優れている。

【 0 2 0 1 】

また、この第 4 実施形態では (後述する第 5 実施形態でも)、映像信号線 1 0 6 HS (映像信号  $V_{sig}$ ) の削減に当たり、サンプリングトランジスタ 6 2 5 のゲートを制御するサンプリング制御信号  $SC$  として、電源駆動パルス  $DSL$  を用いずに書込駆動パルス  $WS$  のみを使用しているので、電源供給線 1 0 5  $DSL$  の配線形態の影響を受けることなく、映像信号線 1 0 6 HS (映像信号  $V_{sig}$ ) を削減できる利点がある。たとえば、電源駆動パルス  $DSL$  がパネルで共通となっても適用可能であり、より低コスト化できる。

【 0 2 0 2 】

なお、この第 4 実施形態でも、映像信号  $V_{sig}$  や映像信号線 1 0 6 HS を共用している奇数列の偶数列の画素間での閾値補正回数が同じになる。因みに、映像信号  $V_{sig}$  や映像信号線 1 0 6 HS を共用している奇数列と偶数列の画素間での閾値補正準備期間  $Q_o$ ,  $Q_e$  が異なってしまうが、第 1 ~ 第 3 実施形態での説明から理解されるように、閾値補正準備は駆動トランジスタ 1 2 1 のソース電圧を第 2 電位  $V_{ss}$  とするオペレーションであるために問題はない。

【 0 2 0 3 】

< 改善手法 : 第 5 実施形態 >

図 1 2 ~ 図 1 2 B は、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みを採りつつ、水平走査系の映像信号線 1 0 6 HS を複数画素で共用化する有機 EL 表示装置の第 5 実施形態を説明する図である。ここで、図 1 2 は、第 5 実施形態の有機 EL 表示装置 1 の 1 6 画素 (4 行 4 列) 分の画素回路 P と各走査部 (書込走査部 1 0 4、駆動走査部 1 0 5、水平駆動部 1 0 6) との間の各走査線 (書込走査線 1 0 4  $WS$ 、電源供給線 1 0 5  $DSL$ 、映像信号線 1 0 6 HS) の接続関係の概要を示す図である。図 1 2 A は、図 1 2 の 3 画素 (1 行 3 列) 分の画素回路 P と各走査線 (書込走査線 1 0 4  $WS$ 、電源供給線 1 0 5  $DSL$ 、映像信号線 1 0 6 HS) の接続関係の詳細を示す図である。図 P 1 3 は、第 5 実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示し

10

20

30

40

50

ている。理解を容易にするため、第1～第3実施形態と同様に、カラー表示のためのサブピクセルR、G、B用の3列分で映像信号Vsigや映像信号線106HSを共用化する例で各図は示している。

【0204】

第5実施形態は、第1～第4実施形態と同様に、サンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の縦続接続としたダブルゲート構造を採る。そして、第4実施形態と同様に、映像信号線106HS(映像信号Vsig)を共用化する対象列の数に関わらず、第2のサンプリングトランジスタ625の制御入力端(ゲート)を、他行の電源駆動パルスDSLのみで制御するのではなく、他行の書込駆動パルスWSのみで制御することで、水平駆動部106から引き出される走査線(映像信号線106HS)の本数を削減するものである。第4実施形態との相違は、共用化する列数が異なるだけである。

10

【0205】

水平方向に隣接する3画素(R、G、Bの3カラム分の画素回路P)で映像信号線106HSに与える映像信号Vsigを共用するため、先ず、図8～図8Bに示した第1実施形態と同様に、サンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の2段縦続接続構成にする。そして、図12および図12Aに示すように、第1のサンプリングトランジスタ125に対しては、R、G、B別の3カラム(3列)分の画素回路Pを同じ映像信号線106HSに接続することで、水平駆動部106からの映像信号Vsigで3列の画素回路Pに共通に映像信号Vsigを供給する。また、R、G、B各列の第1のサンプリングトランジスタ125の制御入力端(ゲート)を通常通り自行の書込走査線104WSに接続して書込駆動パルスWS<sub>N</sub>で制御する。

20

【0206】

第2のサンプリングトランジスタ625は、第4実施形態と同様に、それぞれ異なる行の書込走査線104WSに接続して、それぞれ異なる行の書込駆動パルスWSをサンプリング制御信号SCとして利用して制御する。たとえば、N行目のR、G、B画素において、第2のサンプリングトランジスタ625は、R画素はN+1行目の書込走査線104WS<sub>N+1</sub>に、G画素ではN+2行目の書込駆動パルスWS<sub>N+2</sub>に、B画素ではN+3行目の書込走査線104WS<sub>N+3</sub>に、それぞれ接続されている。

30

【0207】

なお、第5実施形態においても、第1～第4実施形態で述べたように、第2のサンプリングトランジスタ625のゲートを制御する書込駆動パルスWSの行の設定は、共用化される書込駆動パルスWSや書込走査線104WSの組が属する行とは別の行で、それぞれ異なる行である限り、前述の例に限定されない。たとえば、サンプリングトランジスタ625を制御する書込駆動パルスWS(書込走査線104WS)は、N行目に対してN+2行目とN+3行目とN+4行目のように、共用化されている当該行(N行)以外であればよく、N+1行目以降の任意の行の書込駆動パルスWSを用いてもよい。ただし、3列の共用化の場合と同様に、共用化している部分から離れるほど、配線長が長くなる、書込走査線104WSの交差が増える、ダミー行が増える、などの不利益が生じる。

40

【0208】

図12Bに示す第5実施形態のタイミングチャートのように、信号電位Vinの期間をR、G、B用の階調に応じた各信号電位Vin<sub>R</sub>、Vin<sub>G</sub>、Vin<sub>B</sub>で切り替え、サンプリング期間&移動度補正期間Q<sub>all</sub>では、色別の信号電位Vin<sub>R</sub>、Vin<sub>G</sub>、Vin<sub>B</sub>に応じて共有化されているR、G、B各列のサンプリングトランジスタ625が順番にオンするように設定する。

【0209】

また、全サンプリング期間&移動度補正期間Q<sub>all</sub>では、他画素のサンプリング&移動度補正の禁止をも加味して、R画素のサンプリング期間&移動度補正期間Q<sub>R</sub>には、G画素やB画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC<sub>G</sub>、SC<sub>B</sub>としても利用されるN+2行目やN+3行目の書込駆動パルスWS<sub>N+2</sub>、WS<sub>3</sub>をイ

50

ンアクティブLにして次に必要となるときにアクティブHにする。同様に、G画素のサンプリング期間&移動度補正期間Q\_Gには、R画素やB画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC\_R, SC\_Bとしても利用されるN+1行目やN+3行目の書込駆動パルスWS\_N+1, WS\_N+3をインアクティブLにして次に必要となるときにアクティブHにする。B画素のサンプリング期間&移動度補正期間Q\_Bには、R画素やG画素のサンプリングトランジスタ625を制御するためのサンプリング制御信号SC\_R, SC\_Gとしても利用されるN+1行目やN+2行目の書込駆動パルスWS\_N+1, WS\_N+2をインアクティブLにして次に必要となるときにアクティブHにする。自行の書込駆動パルスWSと他行の書込駆動パルスWSの論理積のアクティブ期間で色別のサンプリング期間&移動度補正期間Q\_R, Q\_G, Q\_Bを決定することになる。

10

## 【0210】

また、サンプリングトランジスタ625を制御するためにも利用される他行の書込駆動パルスWSは、各行で極力同じような遷移状態となるようにする、つまり他行における書込駆動パルスWSに基づくサンプリングトランジスタ125の基本的なオン/オフ動作の状態が極力揃うようにする。サンプリングトランジスタ625を制御するためのサンプリング制御信号SCに他行の書込駆動パルスWSを利用したことで、行によって動作のアンバランスが生じないようにするためであり、各行の書込走査線104WSを制御するための書込駆動パルスWSは、基準パルスを作成して、それをシフトレジスタで1Hずつ順次シフトさせる一般的な仕組みを適用可能となる。

## 【0211】

20

このように、第5実施形態の仕組みでは、第2のサンプリングトランジスタ625を制御する制御信号の取扱いは第4実施形態と同様に全て他行の書込駆動パルスWSであり、別の行の書込駆動パルスWSを変化させて、信号電位のサンプリングや移動度補正を行なうタイミングを決定しているため、第4実施形態と同様の効果を楽しむことができる。

## 【0212】

たとえば、垂直駆動部103(スキャナまたはドライバ)から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずに、サンプリングトランジスタ125に(事実上サンプリングトランジスタ625へも)映像信号Vsigを供給する走査線である映像信号線106HSの本数を減らす(本例では1/3にする)ことができ低コスト化が可能となる。

30

## 【0213】

また、第5実施形態でも、映像信号Vsigや映像信号線106HSを共用しているR, G, B各列の画素間での閾値補正回数が同じになる。因みに、映像信号Vsigや映像信号線106HSを共用しているR, G, B各列の画素間での閾値補正準備期間が異なってしまうが、第1~第4実施形態での説明から理解されるように、閾値補正準備は駆動トランジスタ121のソース電圧を第2電位Vssとするオペレーションであるために問題はない。

## 【0214】

なお、前述の第1~第5実施形態では、電流駆動型の電気光学素子の一例である有機EL素子127を駆動する際に、駆動トランジスタ121から電流を流しながら信号書込みを行なうことで(つまり保持容量120に信号電位Vinに応じた情報をサンプリングしながら)移動度補正を行なう仕組みへの適用例において、映像信号Vsig(映像信号線106HS)を複数列で共用化する仕組みについて具体的に示したが、その適用は、電流を流さずに信号書込みを行なう画素回路、換言すると、換言すると、駆動トランジスタ121に電流を流さない状態で保持容量120への信号書込みが完全に終えた後に移動度補正を行なう(信号書込みと移動度補正を別のタイミングで行なう)方式や、駆動トランジスタ121に電流を流さない状態で保持容量120への信号書込みが概ね終えた後に、駆動トランジスタ121に電流を流して引き続き移動度補正に入る方式へも適用できる。

40

## 【0215】

たとえば、特開2006-215213号公報に記載の5TR構成のものへの適用が可能であり、この場合、前記第1~第5実施形態における電源供給線105DSLや電源駆動

50

パルスDSLは、同公報に記載のトランジスタTr4のゲートに接続される走査線DSや制御信号DSに置き換えて、書込走査線104WSや書込駆動パルスWSは、同公報に記載のトランジスタTr1のゲートに接続される走査線WSや制御信号WSに置き換えて適用すればよい。

【0216】

また、前述の第1～第5実施形態は、2段階で移動度補正を行ないながら信号書込みを行なう方式に対しても適用可能である。

【0217】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

10

【0218】

また、前記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0219】

20

<画素回路の変形例>

たとえば、画素回路Pの側面からの変更が可能である。たとえば、回路理論上は「双対の理」が成立するので、画素回路Pに対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、前述の各実施形態に示した画回路Pがn型の駆動トランジスタ121を用いて構成しているのに対し、p型の駆動トランジスタ121を用いて画素回路Pを構成する。これに合わせて映像信号Vsigのオフセット電位Vofsに対する信号振幅Vinの極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

【0220】

たとえば「双対の理」に従った変形態様の画素回路Pでは、p型の駆動トランジスタ（以下p型駆動トランジスタ121pと称する）のゲート端とソース端と間に保持容量120を接続し、p型駆動トランジスタ121pのソース端を直接に有機EL素子127のカソード端に接続する。有機EL素子127のアノード端は基準電位としてのアノード電位Vanodeにする。このアノード電位Vanodeは、基準電位を供給する全画素共通の基準電源（高電位側）に接続する。p型駆動トランジスタ121pは、そのドレイン端が低電圧側の第1電位Vssに接続され、有機EL素子127を発光させる駆動電流Idsを流す。

30

【0221】

このような双対の理を適用して駆動トランジスタ121をp型にした変形例の有機EL表示装置においても、n型の駆動トランジスタ121にした有機EL表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

40

【0222】

このような画素回路Pを駆動する際に、前述の第1～第5実施形態のように、サンプリングトランジスタをダブルゲート構造にして、その内の第1のサンプリングトランジスタ125を通常の書込駆動パルスWSで走査しつつ、第2のサンプリングトランジスタ625は、映像信号線106HS（映像信号Vsig）を共用化する自行以外の書込駆動パルスWSや電源駆動パルスDSLをサンプリング制御信号SCとして利用して制御することで、前記実施形態と同様に、垂直駆動部103（スキャナまたはドライバ）から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずに、サンプリングトランジスタ125に（事実上サンプリングトランジスタ625へも）映像信号Vsigを供給する走査線である映像信号線106HSの本数を減らすことができ低コスト化ができる。

50

## 【 0 2 2 3 】

なお、ここで説明した画素回路 P の変形例は、前記第 1 ~ 第 5 実施形態に示した構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。閾値補正動作を実行するに当たり、書込走査部 104 での走査に合わせて各水平周期内でオフセット電位  $V_{ofs}$  と信号電位  $V_{in} (= V_{ofs} + V_{in})$  で切り替わる映像信号  $V_{sig}$  が映像信号線 106 HS に伝達されるように駆動を行ない、閾値補正の初期化動作のために駆動トランジスタ 121 のドレイン側（電源供給側）を第 1 電位と第 2 電位とでスイッチング駆動を行なうものである限り、2TR 構成であるか否かは不問でありトランジスタ数が 3 個以上であってもよく、それらの全てに、サンプリングトランジスタをダブルゲート化する前述の本実施形態の各改善手法を適用して、映像信号線 106 HS（映像信号  $V_{sig}$ ）の数を減らすことで低コスト化を図るといふ本実施形態の思想を適用することができる。

10

## 【 0 2 2 4 】

また、閾値補正動作を実行するに当たり、オフセット電位  $V_{ofs}$  と信号電位  $V_{in}$  を駆動トランジスタ 121 のゲートに供給する仕組みとしては、前記実施形態の 2TR 構成のように映像信号  $V_{sig}$  で対処することに限らず、たとえば、特開 2006 - 215213 号公報に記載のように、別のトランジスタを介して供給する仕組みを採ることもでき、それらの変形例においても、サンプリングトランジスタをダブルゲート化する前述の本実施形態の各改善手法を適用して、映像信号線 106 HS（映像信号  $V_{sig}$ ）の数を減らすことで低コスト化を図るといふ本実施形態の思想を適用することができる。

20

## 【 図面の簡単な説明 】

## 【 0 2 2 5 】

【図 1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図 2】本実施形態の画素回路に対する第 1 比較例を示す図である。

【図 3】本実施形態の画素回路に対する第 2 比較例を示す図である。

【図 4】有機 EL 素子や駆動トランジスタの動作点を説明する図である。

【図 4A】有機 EL 素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

30

【図 5】本実施形態の画素回路に対する第 4 比較例を示す図である。

【図 6】図 5 に示した第 3 比較例の画素回路に関する第 3 比較例の駆動タイミングの基本例を説明するタイミングチャートである。

【図 7】本実施形態の画素回路に対する参照回路を説明する図である。

【図 7A】参照回路の仕組みを第 3 比較例の画素回路に適用する第 4 比較例の駆動タイミングを説明するタイミングチャートである。

【図 8】第 1 実施形態の有機 EL 表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

【図 8A】第 1 実施形態の画素回路と走査線の結線関係の詳細を示す図である。

【図 8B】第 1 実施形態の駆動タイミングを説明するタイミングチャートである。

【図 9】第 2 実施形態の有機 EL 表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

40

【図 9A】第 2 実施形態の駆動タイミングを説明するタイミングチャートである。

【図 10】第 3 実施形態の有機 EL 表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

【図 10A】第 3 実施形態の駆動タイミングを説明するタイミングチャートである。

【図 11】第 4 実施形態の有機 EL 表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

【図 11A】第 4 実施形態の画素回路と走査線の結線関係の詳細を示す図である。

【図 11B】第 4 実施形態の駆動タイミングを説明するタイミングチャートである。

【図 12】第 5 実施形態の有機 EL 表示装置の各走査線と画素回路の接続関係の全体概要

50

を示す図である。

【図12A】第5実施形態の画素回路と走査線の結線関係の詳細を示す図である。

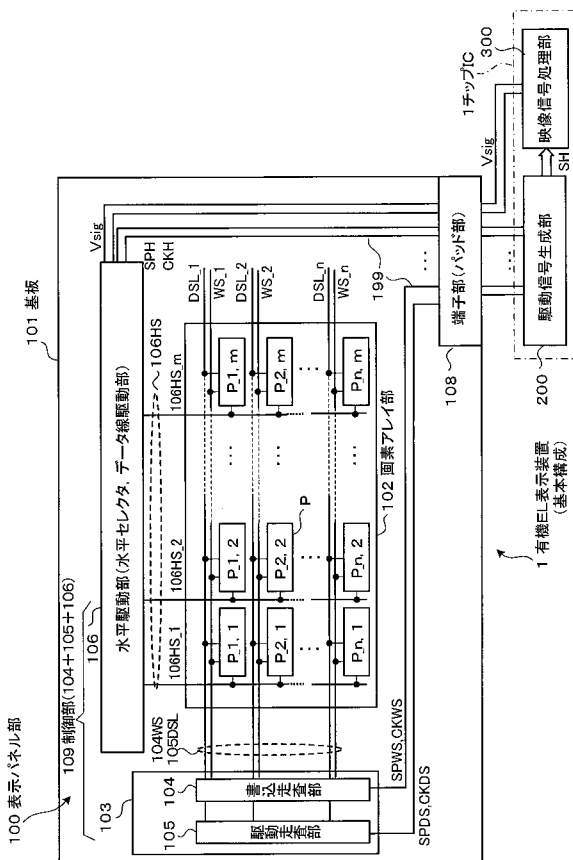
【図12B】第5実施形態の駆動タイミングを説明するタイミングチャートである。

【符号の説明】

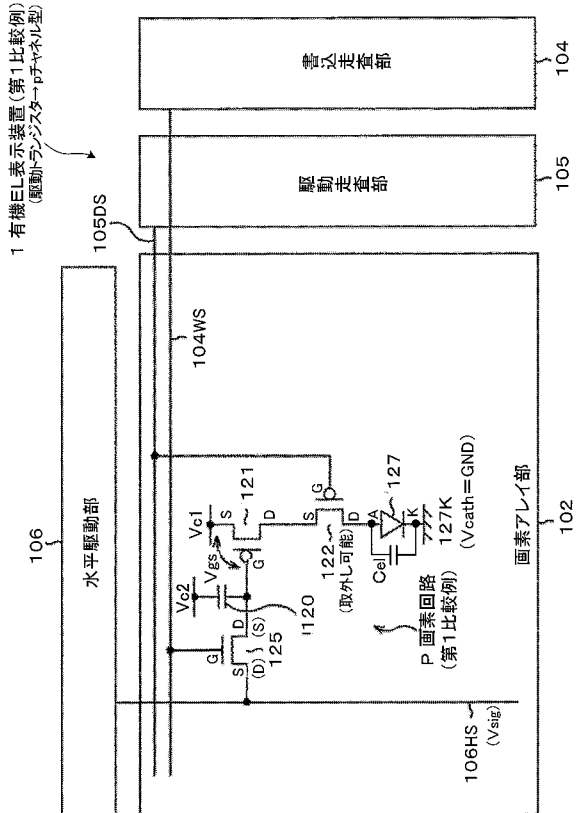
【0226】

1...有機EL表示装置、100...表示パネル部、101...基板、102...画素アレイ部、103...垂直駆動部、104...書込走査部、105...駆動走査部、106...水平駆動部、109...制御部、120...保持容量、121...駆動トランジスタ、122...発光制御トランジスタ、125, 625...サンプリングトランジスタ、127...有機EL素子(電気光学素子の一例)、200...駆動信号生成部、300...映像信号処理部、Cel...寄生容量、P...画素回路

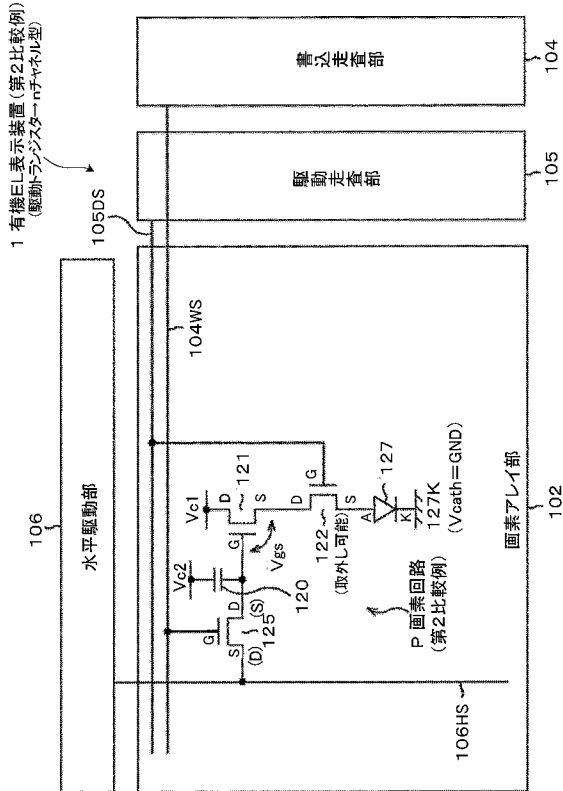
【図1】



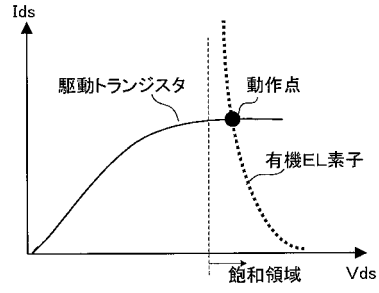
【図2】



【図3】

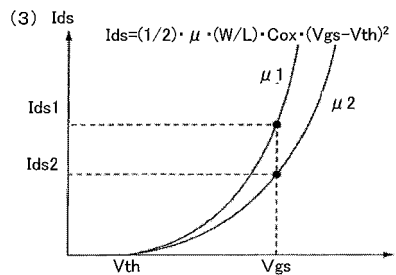
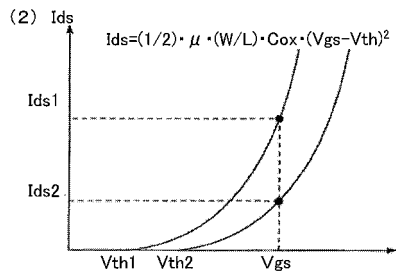
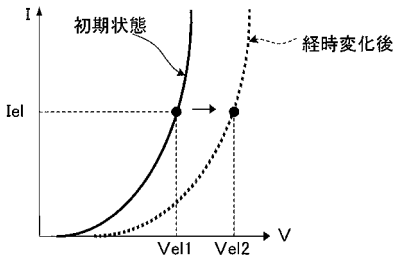


【図4】

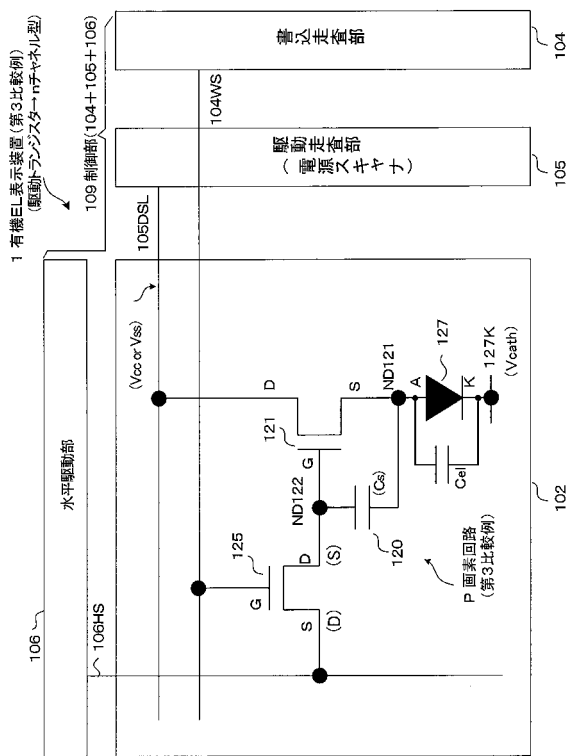


【図4A】

(1) <有機EL素子のV-I特性の経時変化>



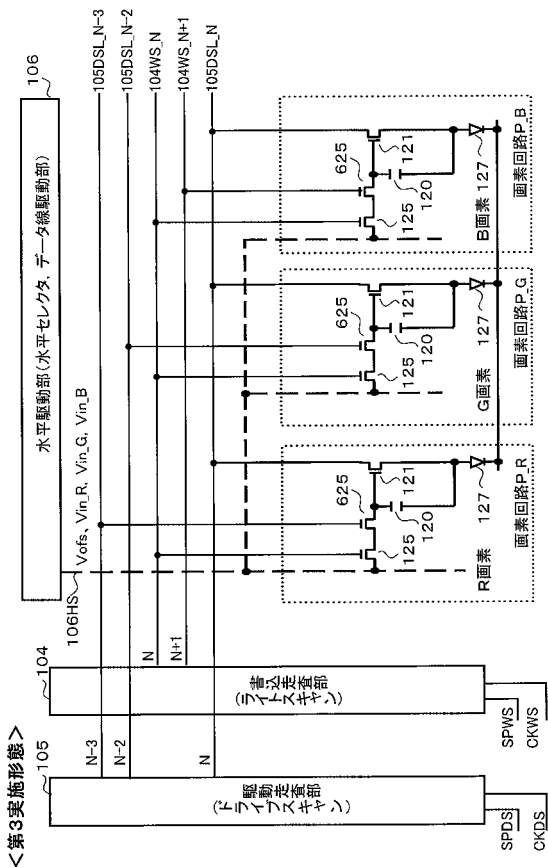
【図5】



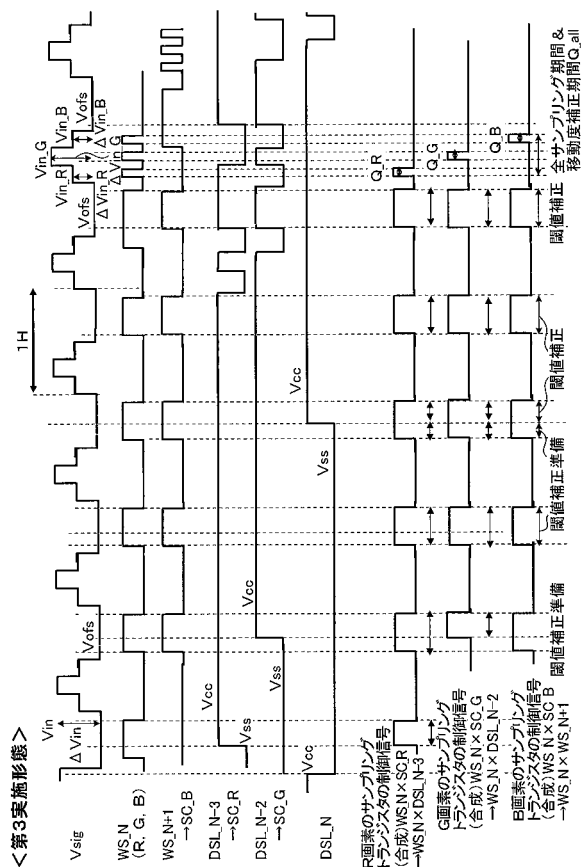




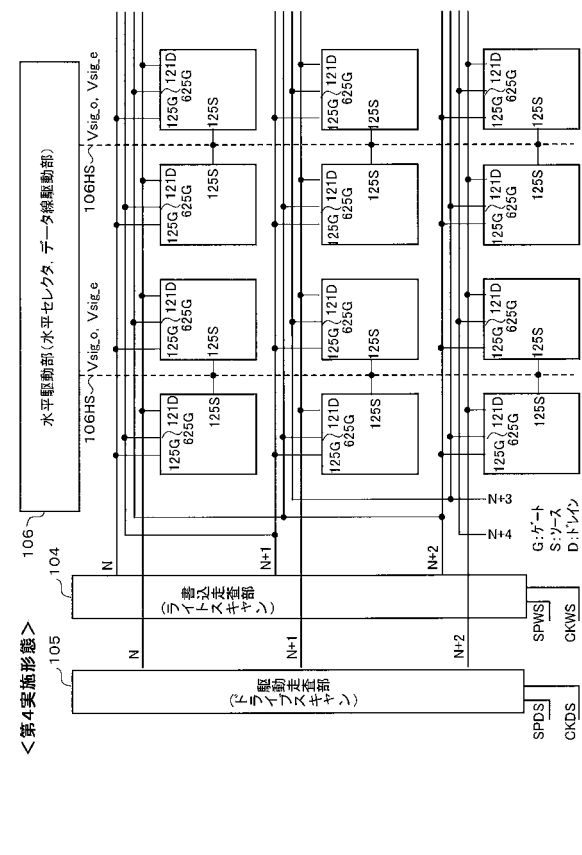
【図10】



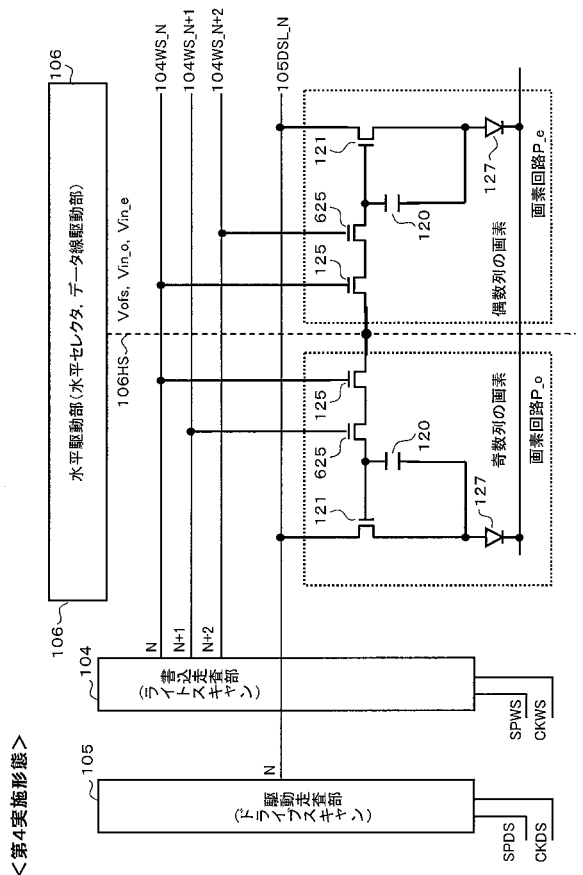
【図10A】



【図11】



【図11A】





---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 1 H  
G 0 9 G 3/20 6 4 2 A  
G 0 9 G 3/20 6 7 0 J  
H 0 5 B 33/14 A

(72)発明者 内野 勝秀  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 福村 拓

(56)参考文献 特開2002-040990(JP,A)  
国際公開第2004/086343(WO,A1)  
特開平11-327490(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 2 0

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP4826597B2</a>	公开(公告)日	2011-11-30
申请号	JP2008089981	申请日	2008-03-31
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2310/0262 G09G2310/0297 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.G G09G3/20.623.X G09G3/20.622.P G09G3/20.611.H G09G3/20.642.A G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD23 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB09 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB43 5C380/AB45 5C380/AB46 5C380/AB47 5C380/AC12 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA29 5C380/BA31 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB14 5C380/BC02 5C380/BC13 5C380/BD03 5C380/CA02 5C380/CA08 5C380/CA12 5C380/CA24 5C380/CA29 5C380/CA48 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CB33 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC34 5C380/CC39 5C380/CC41 5C380/CC51 5C380/CC55 5C380/CC57 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CC72 5C380/CC77 5C380/CD013 5C380/CD022 5C380/CD023 5C380/CE04 5C380/CE19 5C380/CF03 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA34 5C380/DA47 5C380/HA03 5C380/HA05		
审查员(译)	福村 拓		
其他公开文献	JP2009244526A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

甲有机EL显示装置，而没有与在多个行的视频信号线增加的控制线和控制信号的数量，在常见的。甲在双栅结构采样晶体管共享一个视频信号线106HS R, G, B像素电路P\_R的每列, P\_G, P\_B视频信号线106HS采样晶体管125的通常的输入端子连接。采样晶体管125的栅极被连接到写入扫描线104WS。采样晶体管625的栅极被连接到另一组的相同类型或不同类型的现有的共享设定自己的银行外的不同行的垂直扫描线属于垂直扫描线。例如, 对于N行, R像素到电源线105DSL\_N-3的采样晶体管625的栅极, G像素到电源线105DSL\_N-2, 采样晶体管625 B像素电源的栅极的采样晶体管625的栅极连接供给线105DSL\_N-1。(图8A)。

【 図 2 】  
 1 有線表示装置(第1比較例)  
 (電圧分圧型-14V4V型)

