

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4501785号
(P4501785)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 K

G09G 3/20 (2006.01)

G09G 3/30 J

H01L 51/50 (2006.01)

G09G 3/20 612F

G09G 3/20 624B

G09G 3/20 641A

請求項の数 4 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2005-166024 (P2005-166024)
 (22) 出願日 平成17年6月6日(2005.6.6)
 (65) 公開番号 特開2006-126779 (P2006-126779A)
 (43) 公開日 平成18年5月18日(2006.5.18)
 審査請求日 平成17年10月13日(2005.10.13)
 (31) 優先権主張番号 特願2004-288030 (P2004-288030)
 (32) 優先日 平成16年9月30日(2004.9.30)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2004-288039 (P2004-288039)
 (32) 優先日 平成16年9月30日(2004.9.30)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100080953
 弁理士 田中 克郎
 (72) 発明者 原 弘幸
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 画素回路及び電子機器

(57) 【特許請求の範囲】

【請求項1】

電気光学素子を発光させる画素回路であって、
 前記電気光学素子の駆動電流路に挿入される第1トランジスタと、
 前記駆動電流路の電流値を設定する電流値設定回路と
 供給される画素信号のレベルを記憶するレベル保持手段と、
 記憶された画素信号のレベルと供給される傾斜レベル信号とを比較し、比較結果に基づいて前記第1トランジスタの動作時間を制御する比較回路と、

前記駆動電流路に前記第1トランジスタと直列に配置され、前記電気光学素子の発光可能期間に対応した信号によって導通制御される第2トランジスタ及び前記電気光学素子の駆動電流を供給する駆動トランジスタと、を備え、

前記比較回路は、

第一及び第二電源間に、出力端子を介して互いに直列に接続される第一極性の第3トランジスタ及び第二極性の第4トランジスタと、

前記画素信号が供給される第一入力端子と前記第二電源間に直列に接続される第二極性の第5トランジスタ及び第二極性の第6トランジスタと、

前記傾斜レベル信号が供給される第二入力端子と前記第二電源間に直列に接続される第二極性の第7トランジスタ及び第二極性の第8トランジスタと、

前記第5及び第6トランジスタ相互間の接続点と前記第3トランジスタのゲートとの間に接続されて前記レベル保持手段として機能する第一容量と、

10

20

前記第 7 及び第 8 トランジスタ相互の接続点と前記第 4 トランジスタのゲートとの間に接続されて前記傾斜レベル信号のレベルを保持する第二容量と、

一方端が前記出力端子に接続され他方端が前記第 3 及び第 4 トランジスタの各ゲートに接続される第二極性の第 9 トランジスタと、とを含み、

前記第 5、第 8 及び第 9 トランジスタの各ゲートに前記供給される画素信号のレベルを記憶すべき第一選択信号が供給され、前記第 6 及び第 7 トランジスタの各ゲートに前記発光可能期間に対応した第二選択信号が供給される、画素回路。

【請求項 2】

前記電流値設定回路は、前記駆動電流路に挿入される前記駆動トランジスタと、前記駆動トランジスタに所定値の電流を供給する電流供給源と、前記駆動トランジスタに前記所定値の電流を供給したときの該駆動トランジスタのゲート電圧を保持するキャパシタと、を含む請求項 1 に記載の画素回路。

10

【請求項 3】

前記電気光学素子は有機 E L 発光素子である、請求項 1 又は 2 に記載の画素回路。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の画素回路を画像表示器に含む電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像を形成する電気光学装置の画素回路、電気光学装置の画素回路の駆動方法及び電気光学装置を用いた電子機器に関する。

20

【背景技術】

【0002】

電気光学装置としては、液晶表示装置や有機 E L (エレクトロルミネセンス) 表示装置などが知られている。有機 E L 表示装置は、画素を構成する電気光学素子が有機 E L 材料からなり、自然光、広視野角、薄型、高速応答、低消費電力といった優れた特徴を備えると共に、ポリシリコン T F T (薄膜トランジスタ) を用いた周辺回路により、更なる小型化、軽量化が実現できることから注目されている。

【0003】

ところで、この種の有機 E L 表示装置は画素間の輝度のバラツキがあり、これを抑制するために、電流プログラム方式をはじめとする種々の駆動方式が提案されている (例えば、特許文献 1)。

30

【特許文献 1】米国特許第 6 2 2 9 5 0 6 B 1 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

電流プログラム方式は、T F T の飽和領域で T F T を動作させているため、T F T 及び有機 E L 発光素子 (以下、「O L E D」という。) の特性のバラツキを補償出来るという特徴を持つ。

【0005】

40

しかしながら、従来の電流プログラム方式では、低階調領域における書込の不足や、駆動トランジスタの動作点の変動による O L E D への供給電流の変化によって階調ずれが発生するという不具合があった。

【0006】

そこで、本出願人は「電流プログラム型時間階調方式」(特願 2 0 0 3 - 3 6 7 5 0 1 号)を提案した。

【0007】

この技術は、保持キャパシタ、駆動トランジスタ、電気光学素子を有した画素に対してデータ電流を供給し、そのデータ電流の値に応じて駆動トランジスタから供給される駆動電流に基づいて電気光学素子が駆動される電気光学素子の駆動方法において、入力した階

50

調データに関係なく、予め定められた一定の値のデータ電流を上記画素に供給して上記電気光学素子を駆動させるステップと、階調データに基づいて前記電気光学素子の駆動時間を設けたものである。それにより、書込不足、動作点変動は解消可能となる。

【0008】

しかしながら、上記提案の技術を実際のOLED表示パネルに使用する場合、表示パネルを構成する、各画素に対して発光時間を個々の画素毎に制御しなければならず制御動作や回路構成が複雑である。

【0009】

よって、本発明は制御動作や回路構成をより簡素に構成することを可能とする電気光学装置の駆動回路、駆動方法及び電子機器を提供することを目的とする。

10

【課題を解決するための手段】

【0010】

上記目的を達成するため本発明の画素回路は、電気光学素子を発光させる画素回路において、上記電気光学素子の駆動電流路に挿入されるトランジスタと、上記駆動電流路の電流値を設定する電流値設定回路と、供給される画素信号のレベルを記憶するレベル保持手段と、記憶された画素信号レベルと供給される傾斜レベル信号とを比較し、比較結果に基づいて上記トランジスタの動作を制御する比較回路と、を備える。

【0011】

また、本発明の画素回路は、電気光学素子を発光させる画素回路において、上記電気光学素子の駆動電流路に挿入されるトランジスタと、上記駆動電流路の電流値を設定する電流値設定回路と、時間軸上において先行する一連の画素信号からなる画素列信号部分と、これに後続する傾斜レベル信号部分とを含む複合信号から、1つの画素信号を抽出してそのレベルと後続の傾斜レベル信号とをレベル比較し、比較結果に基づいて上記トランジスタの動作時間を制御する比較回路と、を備える。

20

【0012】

好ましくは、上記電流値設定回路は、上記駆動電流路に挿入される駆動トランジスタと、上記駆動トランジスタに所定値の電流を供給する電流供給源と、上記駆動トランジスタに上記所定値の電流を供給したときの該駆動トランジスタのゲート電圧を保持するキャパシタと、を含む。

【0013】

好ましくは、上記電気光学素子は有機EL発光素子である。

30

【0014】

また、本発明の電子機器は、上述した画素回路を画像表示器に含むことを特徴とする。

【0015】

本発明の画素駆動方法は、基板上に二次元に配置された複数の画素を発光させる画素駆動方法において、予め各画素に供給する電流レベルを設定する過程と、各画素が表示すべき画素信号を各画素の領域に記憶する過程と、供給される傾斜レベル信号と各画素の画素信号のレベルとを比較して上記電流レベルによる各画素の発光時間を制御する過程と、を含む。

【0016】

また、本発明の画素駆動方法は、画素を発光させる画素駆動方法において、予め画素に供給する電流レベルを設定する過程と、上記画素が表示すべき画素信号を記憶する過程と、供給される傾斜レベル信号と上記画素の画素信号とを比較して上記電流レベルによる上記画素の発光時間を制御する過程と、を含む。

40

【0017】

また、本発明の画素駆動方法は、基板上に二次元に配置された複数の電気光学素子を発光させる画素駆動方法において、予め各電気光学素子に供給する電流レベルを設定する過程と、時間軸上において先行する一連の画素信号からなる画素列信号部分とこれに後続する傾斜レベル信号部分とを含む複合信号から各電気光学素子の配置領域に対応する画素信号を選択してそのレベルを記憶する過程と、各電気光学素子の配置領域にそれぞれ対応付

50

けられた各画素信号のレベルと供給される傾斜レベル信号とを比較して上記電流レベルによる各電気光学素子の発光時間を制御する過程と、を含む。

【 0 0 1 8 】

また、本発明の画素駆動方法は、電気光学素子を発光させる画素駆動方法において、予め上記電気光学素子に供給する電流レベルを設定する過程と、時間軸上において先行する一連の画素信号からなる画素列信号部分と、これに後続する傾斜レベル信号部分とを含む複合信号から、1つの画素信号を抽出してそのレベルを記憶する過程と、記憶された上記画素信号のレベルと上記傾斜レベル信号とをレベル比較して設定された上記電流レベルによる上記電気光学素子の発光時間を制御する過程と、を含む。

【発明の効果】

10

【 0 0 1 9 】

本発明では、電流プログラム方式を用いた時分割駆動方式において、画素の発光時間制御として比較手段（コンパレータ回路）を使用する構成としたので、煩雑な制御動作が回避可能となる。

【 0 0 2 0 】

また、本発明では、電流プログラム方式を用いた時分割駆動方式において、画素の発光時間制御として一入力型の比較手段（コンパレータ回路）を使用する構成としたので、煩雑な制御動作が回避可能となる。また、画素回路を構成する素子数及び配線数を減少することが可能となる。

【発明を実施するための最良の形態】

20

【 0 0 2 1 】

本発明においては、電気光学素子の画素を駆動するに際して、電流プログラム方式によって予め各画素に供給する電流レベルを設定し、更に、各画素が表示すべき画素信号を各画素の領域に記憶しておく。次に、全画素に傾斜レベル信号を供給し、各画素の画素信号のレベルと比較する。その結果に基づいて予め設定した電流レベルによる各画素の発光時間を制御する。それにより、比較的簡素な制御手順によって作動する多階調の表示器を得ることが可能となる。

【実施例 1】

【 0 0 2 2 】

以下、本発明の実施例について図面を参照しつつ説明する。

30

【 0 0 2 3 】

図1は、本発明の電気光学装置の一例である有機EL表示装置の電氣的接続を示すブロック回路図である。同図において、有機EL表示装置10はデータドライバ部11、走査ドライバ部12及びアクティブマトリクス部13を備えている。アクティブマトリクス部13は後述の画素回路20をマトリクス状に複数配置して構成されている。データドライバ部11は各画素回路20に画像の各画素の輝度に相当するアナログデータ信号VDATを供給する。走査ドライバ部12は各行の各画素回路20に書込時選択信号SEL1及び発光時選択信号SEL2を供給する。また、各画素回路20は図示しない信号源から一定のプログラム電流IPRG及び参照電位VREFの供給を受け、電源からOLEDの電源電圧VOELの供給を受けている。

40

【 0 0 2 4 】

後述のように、走査ドライバ部12によってアクティブマトリクス部13の各行の画素回路群が順次選択され、各行の画素回路群にデータドライバ部によって発光時間に相当する信号レベルVDATが書き込まれる。各画素回路に保持された信号レベルVDATと各画素回路に供給される傾斜電圧レベルVREFの比較によって画素であるOLEDの発光時間が決定される。

【 0 0 2 5 】

図2は、上述した画素回路20の構成例を示している。画素回路20は、電流プログラムを実現するための電流プログラム回路21、OLEDを駆動する駆動回路22、コンパレータ回路23によって構成されている。各回路で称されるトランジスタは薄膜トランジ

50

スタ（ＴＦＴ）である。

【００２６】

電流プログラム回路２１は、有機ＥＬ電源電圧ＶＯＥＬとプログラム電流源ＩＰＲＧとの間に直列に接続された保持容量ＣＳ、ＮＭＯＳトランジスタＴ２１及びＴ２２によって構成される。保持容量ＣＳの両端は後述の駆動回路２２の駆動トランジスタＴＤＲＶのゲート・ソース間に接続される。トランジスタＴ２１及びＴ２２の共通接続部はＰＭＯＳの駆動トランジスタＴＤＲＶのドレインに接続され、両トランジスタのゲートには書込時選択信号ＳＥＬ１が供給される。

【００２７】

駆動回路２２は、有機ＥＬの電源電圧源ＶＯＥＬと陰極電圧源ＶＣＡＴとの間に直列に接続された、ＰＭＯＳトランジスタＴＤＲＶ、ゲートに発光時選択信号ＳＥＬ２が供給されるＮＭＯＳトランジスタＴ２３、ゲートにコンパレータ回路２３が供給されるＮＭＯＳの発光時間制御トランジスタＴＥＴＣ、ＯＬＥＤによって構成される。

【００２８】

電流プログラム回路２１は、書込時選択信号ＳＥＬ１がオン（レベルＨ）になり、発光時選択信号ＳＥＬ２がオフ（レベルＬ）になると、トランジスタＴ２１及びＴ２２が導通し、駆動トランジスタＴＤＲＶをダイオード接続とする。プログラム電流源ＩＰＲＧから駆動トランジスタＴＤＲＶにプログラム電流ＩＰＲを流すと、電流ＩＰＲが流れたトランジスタＴＤＲＶのゲート電圧が保持容量ＣＳに記憶される。これにより、ＯＬＥＤの発光時電流が設定可能となる。

【００２９】

コンパレータ回路２３には、発光時間に対応した当該画素のアナログデータ信号ＶＤＡＴ及び参照電位ＶＲＥＦが入力される。その出力端は発光時間制御トランジスタＴＥＴＣのゲート端子に接続されている。コンパレータ回路２３は、データ信号ＶＤＡＴが傾斜電圧の参照電位ＶＲＥＦを超える期間中、出力をレベルＨとする。なお、トランジスタＴＥＴＣをＰＭＯＳで構成した場合には、データ信号ＶＤＡＴが傾斜電圧の参照電位ＶＲＥＦを超える期間中、出力をレベルＬとする。

【００３０】

図３は、コンパレータ回路２３の構成例を示している。同図に示す有機ＥＬ電源ＶＯＥＬ及び電源ＶＳＳ（０ボルト）間にＰＭＯＳトランジスタＴ２３１及びＮＭＯＳトランジスタＴ２３２が出力端子ＯＵＴを介して直列に接続される。入力端子ＶＤＡＴと電源ＶＳＳ間にＮＭＯＳトランジスタＴ２３４及びＴ２３５が直列に接続される。トランジスタＴ２３４及びＴ２３５の接続点とトランジスタＴ２３１のゲート間にデータ信号保持容量ＣＳＤが接続される。入力端子ＶＲＥＦと電源ＶＳＳ間にＮＭＯＳトランジスタＴ２３７及びＴ２３６が直列に接続される。トランジスタＴ２３７及びＴ２３６の接続点とトランジスタＴ２３２のゲート間に参照電位保持容量ＣＳＲが接続される。トランジスタＴ２３１及びトランジスタＴ２３２の両ゲートは接続され、ＮＭＯＳトランジスタＴ２３３を介して出力端子ＯＵＴに接続される。

【００３１】

トランジスタＴ２３３、Ｔ２３５、Ｔ２３６の各ゲートには書込時選択信号ＳＥＬ１が供給される。トランジスタＴ２３４及びＴ２３７のゲートには発光時選択信号ＳＥＬ２が供給される。

【００３２】

コンパレータ回路２３に供給される書込時選択信号ＳＥＬ１がレベル「Ｈ」、発光時選択信号ＳＥＬ２がレベル「Ｌ」の場合、コンパレータ回路２３はトランジスタＴ２３３、Ｔ２３５及びＴ２３６の導通、Ｔ２３４及びＴ２３７の非導通によって図４に示すようになる。ＶＤＡＴ端子に供給されるアナログデータ信号ＶＤＡＴによってデータ保持容量ＣＳＤは充電され、当該データ信号のレベルを保持する。一方、参照電位保持容量ＣＳＲは一端が電源ＶＳＳに接続される。コンパレータ回路２３の出力はＣＭＯＳインバータの特性により決まるインバータ中心ＶＮとなる。

【 0 0 3 3 】

また、書込時選択信号 $S E L 1$ がレベル「L」、発光時選択信号 $S E L 2$ がレベル「H」の場合、コンパレータ回路 23 はトランジスタ $T 2 3 3$ 、 $T 2 3 5$ 及び $T 2 3 6$ の非導通、 $T 2 3 4$ 及び $T 2 3 7$ の導通によって図 5 に示すようになる。入力端子 $V R E F$ 及び電源 $V S S$ 間に参照電位保持容量 $C S R$ 及びデータ保持容量 $C S D$ が直列に接続される。データ保持容量 $C S D$ の電荷の極性は反転して接続される。参照電位保持容量 $C S R$ 及びデータ保持容量 $C S D$ の接続点は $P M O S$ トランジスタ $T 2 3 1$ 及び $N M O S$ トランジスタ $T 2 3 2$ からなる $C M O S$ インバータの入力端となっている。

【 0 0 3 4 】

初期の状態では $C M O S$ インバータの入力はインバータ中心 $V N$ となっており、中間的な状態を維持している。その結果、 $O L E D$ の負荷電流回路が形成されて表示素子が発光する。

10

【 0 0 3 5 】

次に、入力端子に参照電位信号 $V R E F$ が供給されると参照電位保持容量 $C S R$ が充電され、データ保持容量 $C S D$ の負電荷は相殺されて、 $C M O S$ インバータの入力は正方向に向かって変化する。データ保持容量 $C S D$ と参照電位保持容量 $C S R$ が等しいとき、 $C M O S$ インバータの入力 $V N'$ は、 $V N' = V N + 0.5 (V R E F - V D A T)$ と与えられる。参照電位信号 $V R E F$ のレベルがデータ保持容量 $C S D$ に保持されたレベルを超えると、 $C M O S$ インバータの入力は正電圧レベルとなり、トランジスタ $T 2 3 1$ は非導通、トランジスタ $T 2 3 2$ は導通となって出力端 $O U T$ は電源 $V S S$ (レベル L) を出力端 $O U T$ に出力する。出力端 $O U T$ にレベル L が出力されるとトランジスタ $T E T C$ は非導通となり、 $O L E D$ の負荷電流回路が開放されて表示素子が消灯する。

20

【 0 0 3 6 】

このようにコンパレータ回路 23 は、アナログデータ信号 $V D A T$ を保持容量 $C S D$ に蓄え、参照電位 $V R E F$ を保持容量 $C S R$ に蓄える。そして、データ信号 $V D A T$ が参照電位 $V R E F$ よりも大きいとき、出力 $O U T$ はレベル H となる。逆に、データ信号 $V D A T$ が参照電位 $V R E F$ よりも小さいとき、出力 $O U T$ はレベル L となる。既述のようにコンパレータ回路 23 の出力 $O U T$ はトランジスタ $T E T C$ のゲート入力となっている。従って、当該画素に供給するアナログデータ信号 $V D A T$ のレベルに応じて $O L E D$ の発光時間を制御することができる。

30

【 0 0 3 7 】

図 6 は、データ信号の書込から発光までの一連の動作を説明するタイミングチャートである。なお、書込時選択信号 $S E L 1$ はアクティブマトリクス部 13 に対応して n 行分設けられる。発光時選択信号 $S E L 2$ も n 行分設けられるが、1 行分だけ $S E L 2 (*)$ として示されている。データドライバ部 11 から出力されるアナログデータ信号 $V D A T$ はアクティブマトリクス部 13 の 1 列分の信号だけ示されている。参照電位 $V R E F$ は各画素に共通の波形であるので 1 つの信号のみが示されている。

【 0 0 3 8 】

同図に示されるように、画像の 1 画面の表示処理期間に相当する 1 フレーム期間は書込時間と発光時間に分けられる。前半の書込期間において、走査ドライバ部 12 は、各行の書込時選択信号 $S E L 1 (1) \sim S E L 1 (n)$ を順次レベル H に設定する。データドライバ部 11 は各行の画素に書込時選択信号 $S E L 1 (1) \sim S E L 1 (n)$ に同期してアナログデータ信号 $V D A T$ を供給し、アナログデータ信号 $V D A T$ の信号レベルを各画素の保持容量 $C S D$ に蓄えさせる。書込期間中において、各画素にはプログラム電流 $I P R G$ も供給されており、既述したように書込時選択信号 $S E L 1$ 及び発光時選択信号 $S E L 2$ の供給に対応した駆動回路の動作によって駆動トランジスタ $T D R V$ がこのプログラム電流 $I P R G$ を流すために必要なゲート電圧が保持容量 $C S$ に蓄えられる。

40

【 0 0 3 9 】

後半の発光期間においては、各行の発光時選択信号 $S E L 2 (1) \sim S E L 2 (n)$ (図中には、 $S E L 2 (*)$ として示されている) が一斉にレベル H となり、全画素の発光

50

時選択信号が一斉にレベルHとなり、参照電位VREFが保持容量CSRに供給される（図5参照）。この実施例では、参照電位VREFは時間経過と共にレベルが上昇するスイープ信号である。コンパレータ回路23は先の書込期間で記憶されているアナログデータ信号VDATと参照電位VREFの比較を行う。

【0040】

データ信号VDATが参照電位VREFよりも大きい場合には、コンパレータ回路の出力OUTはレベルHとなり、発光時間制御トランジスタTETCはオン状態となる。その結果、OLEDには書込期間にて記憶されたプログラム電流IPRGが供給され発光状態となる。一方、データ信号VDATが参照電位VREFよりも小さい場合には、コンパレータ回路の出力OUTはオフ状態となる。その結果、OLEDにはプログラム電流IPRGが供給されず、非発光状態となる。参照電位VREFをスイープ信号としていることから、書込期間に記憶されるデータ信号VDATの大小によってOLEDの発光時間を制御することができる。

【実施例2】

【0041】

コンパレータ回路の構成は図2に記載のものに限定されない。例えば、図7に示すように、一部のトランジスタ236及び237を複数の画素で共通化（共用）することもできる。同図において、図3と対応する部分には同一符号を付している。動作は図3のコンパレータ回路と同じであるので説明を省略する。コンパレータ回路は動作が同様であれば構成が異なってもよい。

【実施例3】

【0042】

コンパレータ回路に供給される参照電位は、種々の態様のものを用いることが可能である。図8に示す例は、参照電位VREFとして、1フレーム周期の中央部で信号レベルが最小値となるM字状の信号波形を使用している。このようなスイープ信号であっても、データ保持容量CSDに保持されたアナログデータ信号VDATの信号レベルに応じてOLEDの発光電流IOLEDの供給時間（発光時間）を制御することができる。

【0043】

また、図9に示すコンパレータ回路に供給される参照電位の例は、参照電位VREFとして、1フレーム周期で信号レベルが最小値となる箇所が2箇所あるW字状の信号波形を使用している。このようなスイープ信号を用いることにより、OLEDの発光電流IOLEDの供給時間（発光時間）をさらに細かく制御することができる。すなわち、OLEDの発光時と非発光時の間隔をより短くできる。これにより、画像再生時に、視覚上より滑らかな画像表示を得ることができる。

【0044】

また、図示しないが、参照電位VREFとして鋸歯状の信号波形を使用してもよい。

【0045】

上述した実施例によれば、電流プログラムを用いた時分割階調方式によってOLEDを駆動する際に、時間制御の手段としてコンパレータ回路を使用することによってアクティブマトリクスを構成する各画素の階調制御を同時に行うことができる。各画素の複雑な制御動作を回避しつつ、従来の電流プログラム方式に見られる階調ずれを抑制することが可能となって具合がよい。

【0046】

また、上述した実施例の画素の駆動回路を使用することで、予め各画素に供給する電流レベルを設定し、各画素が表示すべき画素信号を各画素の領域に記憶し、供給される傾斜レベル信号と各画素の画素信号のレベルとを比較し、電流レベルによる各画素の発光時間を制御し、基板上に二次元に配置された複数の画素を発光させる画素駆動方法が実行可能となる。

【実施例4】

【0047】

10

20

30

40

50

本発明の第５の説明について図１０乃至図１３を参照して説明する。

この実施例においては、発光時間制御トランジスタ（ＴＦＴ）を画素回路の電気光学素子の電流路に設ける。発光時間制御トランジスタのゲート・ドレイン間を短絡し、閾値を記憶すると同時に発光時間に相当するアナログ信号を各画素回路に記憶する。参照電位（スweep信号）を全画素回路に一斉に供給し、アナログ信号と参照電位の大小関係によって発光時間制御トランジスタのオンオフ動作が制御され、各画素回路の電気光学素子の発光時間が制御される。

【００４８】

図１０は、本発明の電気光学装置の一例である有機ＥＬ表示装置１０の電氣的接続を示すブロック回路図である。同図において、有機ＥＬ表示装置１０はデータドライバ部１１、走査ドライバ部１２、アクティブマトリクス部１３及び切替部１４を備えている。アクティブマトリクス部１３は後述の画素回路２０をマトリクス状に複数配置して構成されている。データドライバ部１１は画像の各画素の輝度に相当するアナログデータ信号ＶＤＡＴを出力する。切替部１４は、アナログデータ信号ＶＤＡＴ及び図示しない信号源から出力される参照電位ＶＲＥＦを選択的に切替えて各画素回路２０に供給する。走査ドライバ部１２は各行の各画素回路２０に書込時選択信号ＳＥＬ１及び発光時選択信号ＳＥＬ２を供給する。また、各画素回路２０は後述の電流源から一定のプログラム電流ＩＰＲＧの供給を受け、電源からＯＬＥＤの電源電圧ＶＯＥＬの供給を受けている。

【００４９】

走査ドライバ部１２はアクティブマトリクス部１３の各行の画素回路群を順次選択する。この間中、切替部１４は、データドライバ部１１の出力を選択し、各行の画素回路群に各画素の発光時間に相当する信号レベルＶＤＡＴを書き込む。全画素回路２０に画素データ（アナログデータ信号）の書込が終了すると、切替部１４は参照電位ＶＲＥＦを選択して全画素回路２０に供給する。各画素回路２０に保持された信号レベルＶＤＡＴと各画素回路２０に供給される傾斜電圧レベルＶＲＥＦの比較によって画素であるＯＬＥＤの発光時間が決定される。

【００５０】

図１１は、上述した画素回路２０の構成例を示している。画素回路２０は、電流プログラムを実現するための電流プログラム回路２１、ＯＬＥＤを駆動する駆動回路２２、ＰＭＯＳインバータ回路２４によって構成されている。各回路で称されるトランジスタは薄膜トランジスタ（ＴＦＴ）である。

【００５１】

電流プログラム回路２１は、有機ＥＬ電源電圧ＶＯＥＬとプログラム電流源ＩＰＲＧとの間に直列に接続された保持容量ＣＳ、ＮＭＯＳトランジスタＴ２１及びＴ２２によって構成される。保持容量ＣＳの両端は後述の駆動回路２２の駆動トランジスタＴＤＲＶのゲート・ソース間に接続される。トランジスタＴ２１及びＴ２２の共通接続部はＰＭＯＳの駆動トランジスタＴＤＲＶのドレインに接続され、両トランジスタのゲートには書込時選択信号ＳＥＬ１が供給される。

【００５２】

駆動回路２２は、有機ＥＬの電源電圧源ＶＯＥＬと陰極電圧源ＶＣＡＴとの間に直列に接続された、ＰＭＯＳトランジスタＴＤＲＶ、ゲートに発光時選択信号ＳＥＬ２が供給されるＮＭＯＳトランジスタＴ２３、ＯＬＥＤによって構成される。

【００５３】

ＰＭＯＳインバータ回路２４は、ＯＬＥＤの電流路に設けられた発光時間制御トランジスタＴＥＴＣ、発光時間制御トランジスタＴＥＴＣのゲート・ドレイン間に接続された閾値初期化トランジスタＴＩＮＩ及び発光時間制御トランジスタＴＥＴＣのゲートに接続されたデータ信号保持容量ＣＤによって構成される。データ信号保持容量ＣＤを介して発光時間制御トランジスタＴＥＴＣには複合信号ＶＤＡＴ／ＶＲＥＦが供給される。閾値初期化トランジスタＴＩＮＩのゲートには書込時選択信号ＳＥＬ１が供給される。

【００５４】

10

20

30

40

50

後述するように、PMOSインバータ回路24はアナログデータ信号VDATのレベルと参照電位VREFのレベルとを比較するレベル比較器として機能する。

【0055】

複合信号VDAT/VREFは、切替回路14の動作によって、1フレーム周期の前半において画素列データを担うアナログデータ信号(VDAT)部分と、1フレーム周期の後半において傾斜レベル信号(スweep信号)である参照電位VREF部分とに構成される(後述の図12参照)。

【0056】

PMOSインバータ回路24は、アナログ信号VDATが参照電位VREFよりも小さい場合、発光時間制御トランジスタTETCは導通状態となる。アナログ信号VDATが参照電位VREFよりも大きい場合、発光時間制御トランジスタTETCは非導通状態となる。

10

【0057】

電流プログラム回路21は、書込時選択信号SEL1がオン(レベルH)になり、発光時選択信号SEL2がオフ(レベルL)になると、トランジスタT21及びT22が導通し、駆動トランジスタTD RVをダイオード接続とする。プログラム電流源IPRGから駆動トランジスタTD RVにプログラム電流IPRを流すと、電流IPRが流れたトランジスタTD RVのゲート電圧(閾値電圧)が保持容量CSに記憶される。これにより、有機EL表示素子の発光時電流が設定可能となる。

【0058】

20

図12は、データ信号の書込から発光までの一連の動作を説明するタイミングチャートである。走査ドライバ部12の出力である書込時選択信号SEL1はアクティブマトリクス部13に対応してn行分設けられる。発光時選択信号SEL2もn行分設けられるが、同図では1行分だけSEL2(*)として示されている。切替部14から出力される複合信号VDAT/VREFはアクティブマトリクス部13の1列分の信号だけ示されている。

【0059】

同図に示されるように、画像の1画面の表示処理期間に相当する1フレーム期間は前半の書込時間と後半の発光時間に分けられる。書込期間において、走査ドライバ部12は、各行の書込時選択信号SEL1(1)~SEL1(n)を順次レベルHに設定する。

30

【0060】

図13(a)に示すように、閾値初期化トランジスタTINIが導通し、発光時間制御トランジスタTETCのゲート・ドレイン間が短絡され、ダイオード接続となった発光時間制御トランジスタTETCのゲート電圧VGに閾値電圧が現れる。

【0061】

また、切替部14は各行の画素に書込時選択信号SEL1(1)~SEL1(n)に同期して複合信号のアナログデータ信号VDATを供給し、アナログデータ信号VDATの信号レベルを各画素の保持容量CDに蓄えさせる。書込期間中において、各画素にはプログラム電流IPRGも供給されている。既述したように書込時選択信号SEL1レベルH及び発光時選択信号SEL2レベルLに対応してトランジスタT21及びT22が導通、トランジスタT23の非導通によって駆動トランジスタTD RVがこのプログラム電流IPRGを流すために必要なゲート電圧が保持容量CSに蓄えられる。

40

【0062】

図12に示すように、後半の発光期間においては、各行の発光時選択信号SEL2(1)~SEL2(n)(図中には、SEL2(*)として示されている)が一斉にレベルHとなり、全画素の発光時選択信号SEL2が一斉にレベルHとなり、切替部14の切替動作によって複合信号VDAT/VREFの参照電位VREFが保持容量CDに供給される。この実施例では、参照電位VREFは時間経過と共にレベルが下降するスweep信号である。

【0063】

50

P M O S インバータ回路 2 4 は先の書込期間でデータ信号保持容量 C D に記憶されているアナログデータ信号 V D A T と参照電位 V R E F の大小関係により、発光時間制御トランジスタ T E T C の動作を決定する。

【 0 0 6 4 】

データ信号 V D A T が参照電位 V R E F よりも小さい場合には、図 1 3 (b) に示すように、発光時間制御トランジスタ T E T C は導通状態となる。その結果、O L E D には書込期間にて記憶されたプログラム電流 I P R G が供給されて発光状態となる。

【 0 0 6 5 】

一方、データ信号 V D A T が参照電位 V R E F よりも大きい場合には、発光時間制御トランジスタ T E T C は非導通状態となる。その結果、O L E D にはプログラム電流 I P R G が供給されず、非発光状態となる。

10

【 0 0 6 6 】

実施例では参照電位 V R E F をスweep信号としていることから、書込期間に記憶されるデータ信号 V D A T の大小によって O L E D の発光時間を制御することができる。

【 0 0 6 7 】

このように、実施例の画素駆動方法は、予め各電気光学素子に供給する電流レベルを設定し(プログラム電流方式)、時間軸上において先行する一連の画素信号からなる画素列信号部分とこれに後続する傾斜レベル信号部分とを含む複合信号から各電気光学素子の配置領域に対応する画素信号を選択してそのレベルを記憶し、各電気光学素子の配置領域にそれぞれ対応付けられた各画素信号のレベルと供給される傾斜レベル信号とを比較して電

20

【実施例 5】

【 0 0 6 8 】

図 1 4 及び図 1 5 は、本発明の第 5 の実施例を示している。図 1 4 において、図 1 1 に示した画素回路 2 0 と対応する部分には同一符号を付し、かかる部分の説明は省略する。

【 0 0 6 9 】

この実施例では、第 4 の実施例の P M O S インバータ回路 2 4 を N M O S インバータ回路 2 5 によって構成している。N M O S インバータ回路 2 5 は N M O S の発光時間制御トランジスタ T E T C、発光時間制御トランジスタ T E T C のゲート・ドレイン間に接続される閾値初期化トランジスタ T I N I 及びデータ信号保持容量 C D によって構成されている。他の回路構成は図 1 1 に示した構成と同じである。

30

【 0 0 7 0 】

この N M O S インバータ回路 2 5 は、アナログ信号 V D A T が参照電位 V R E F よりも大きい場合、発光時間制御トランジスタ T E T C を導通状態とする。反対に、アナログ信号 V D A T が参照電位 V R E F よりも小さい場合、発光時間制御トランジスタ T E T C を非導通とする。

【 0 0 7 1 】

そこで、図 1 5 のタイミングチャートに示すように、参照電位 V R E F のスweepの変化方向を第 4 の実施例の場合とは逆に(増加方向に)することで、N M O S インバータ回路 2 5 を用いた場合にも第 4 の実施例の画素回路 2 0 と同じ動作が得られる。

40

【 0 0 7 2 】

上述した実施例によれば、電流プログラムを用いた時分割階調方式によって O L E D を駆動する際に、時間制御の手段として片チャンネルインバータを適用することによってアクティブマトリクスを構成する各画素の階調制御を同時に行うことができる。各画素の複雑な制御動作を回避しつつ、従来の電流プログラム方式に見られる階調ずれを抑制することが可能となって具合がよい。また、発光時間の制御手段として 2 入力のコmpレータ回路を用いた場合に比べて素子数及び配線数を大幅に削減することができ、表示装置として重要な開口率の確保が容易となる。使用素子数の減少は信頼性の向上の観点からも好ましい。

【 0 0 7 3 】

50

また、上述した実施例の画素駆動回路を使用することによって、予め各電気光学素子に供給する電流レベルを設定し、時間軸上において先行する一連の画素信号からなる画素列信号部分とこれに後続する傾斜レベル信号部分とを含む複合信号から各電気光学素子の配置領域に対応する画素信号を選択してそのレベルを記憶し、各電気光学素子の配置領域にそれぞれ対応付けられた各画素信号のレベルと供給される傾斜レベル信号とを比較して電流レベルによる各電気光学素子の発光時間を制御する、基板上に二次元に配置された複数の電気光学素子を発光させる画素駆動方法を実現することが可能となる。

【実施例 6】

【0074】

図 16 及び図 17 は、上述した電気光学装置（画像表示器）を適用可能な電子機器の例を示す図である。

10

図 16（A）は携帯電話への適用例であり、当該携帯電話 230 はアンテナ部 231、音声出力部 232、音声入力部 233、操作部 234、および本発明の電気光学装置 200 を備えている。このように本発明に係る電気光学装置は表示部として利用可能である。

【0075】

図 16（B）はビデオカメラへの適用例であり、当該ビデオカメラ 240 は受像部 241、操作部 242、音声入力部 243、および本発明の電気光学装置 200 を備えている。

【0076】

図 16（C）は携帯型パーソナルコンピュータ（いわゆる PDA）への適用例であり、当該コンピュータ 250 はカメラ部 251、操作部 252、および本発明に係る電気光学装置 200 を備えている。

20

【0077】

図 16（D）はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ 260 はバンド 261、光学系収納部 262 および本発明に係る電気光学装置 200 を備えている。

【0078】

図 16（E）はリア型プロジェクターへの適用例であり、当該プロジェクター 270 は筐体 271 に、光源 272、合成光学系 273、ミラー 274、275、スクリーン 276、および本発明に係る電気光学装置 200 を備えている。

30

【0079】

図 16（F）はフロント型プロジェクターへの適用例であり、当該プロジェクター 280 は筐体 282 に光学系 281 および本発明に係る電気光学装置 200 を備え、画像をスクリーン 283 に表示可能になっている。

【0080】

図 17（A）はテレビジョンへの適用例であり、当該テレビジョン 300 は本発明に係る電気光学装置 200 を備えている。なお、パーソナルコンピュータ等に用いられるモニタ装置に対しても同様に本発明に係る電気光学装置を適用し得る。図 17（B）はロールアップ式テレビジョンへの適用例であり、当該ロールアップ式テレビジョン 310 は本発明に係る電気光学装置 200 を備えている。

40

【図面の簡単な説明】

【0081】

【図 1】図 1 は、有機 EL 表示装置の例を説明するブロック図である。

【図 2】図 2 は、本発明の画素駆動回路の例を説明する回路図である。

【図 3】図 3 は、図 2 の画素駆動回路に使用されるコンパレータ回路の例を説明する回路図である。

【図 4】図 4 は、コンパレータ回路の動作（SEL1 レベル H、SEL2 レベル L）を説明する説明図である。

【図 5】図 5 は、コンパレータ回路の動作（SEL1 レベル L、SEL2 レベル H）を説明する説明図である。

50

【図 6】図 6 は、マトリクス状に配置された画素駆動回路の動作を説明するタイミングチャートである。

【図 7】図 7 は、他のコンパレータ回路の例を説明する回路図である。

【図 8】図 8 は、V R E F の他の信号波形例を説明するグラフである。

【図 9】図 9 は、V R E F の他の信号波形例を説明するグラフである。

【図 10】図 10 は、電気光学装置（有機 E L 表示装置）の例を説明するブロック図である。

【図 11】図 11 は、本発明の第 1 の実施例の画素回路の例を説明する回路図である。

【図 12】図 12 は、図 11 の画素回路に供給される信号を説明するタイミングチャートである。

10

【図 13】図 13 は、画素回路の動作を説明する説明図であり、同図（a）は信号 S E L 1 レベル「H」及び信号 S E L 2 レベル「L」の場合、同図（b）は信号 S E L 1 レベル「L」、信号 S E L 2 レベル「H」の場合を示す。

【図 14】図 14 は、第 2 の実施例の画素回路を説明する回路図である。

【図 15】図 15 は、図 14 の画素回路に供給される信号を説明するタイミングチャートである。

【図 16】図 16 は、電気光学装置を適用可能な電子機器の例を示す図である。

【図 17】図 17 は、電気光学装置を適用可能な電子機器の例を示す図である。

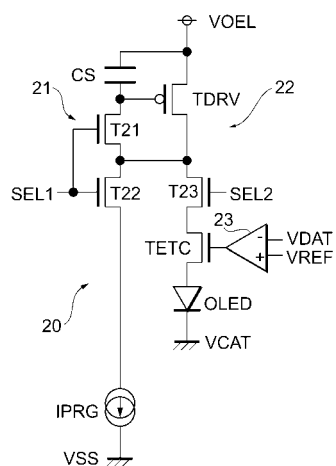
【符号の説明】

【0082】

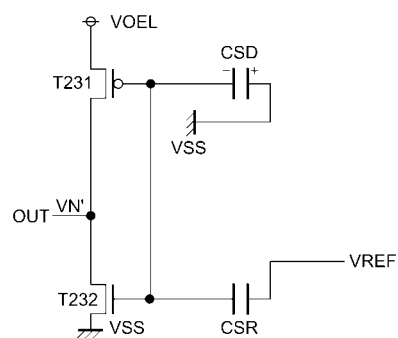
20

10 有機 E L 表示装置（電気光学装置） 11 データドライバ部、12 走査ドライバ部、13 アクティブマトリクス部、14 切替部、20 画素回路、23 コンパレータ回路、24 P M O S インバータ回路、25 N M O S インバータ回路、

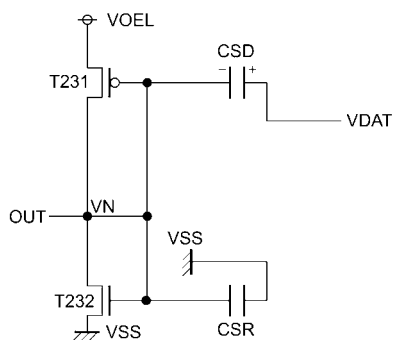
【圖 2】



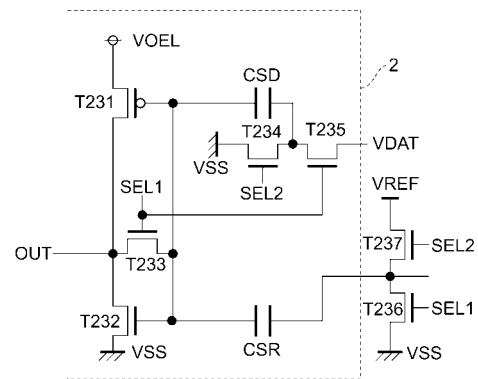
【图 5】



【圖 4】



【圖 7】

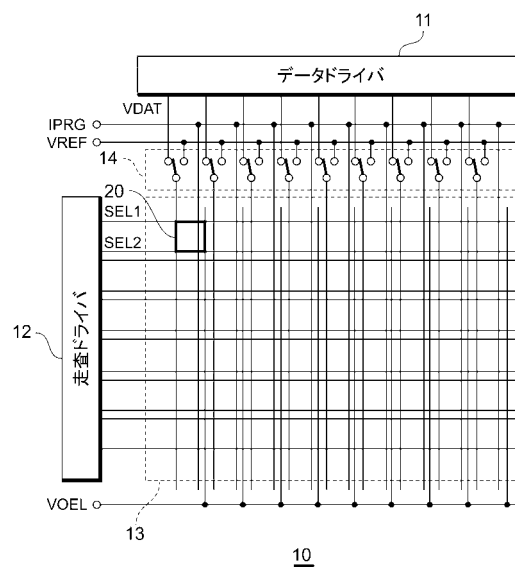


The figure consists of two vertically aligned graphs sharing a common horizontal time axis labeled '時間' (Time).

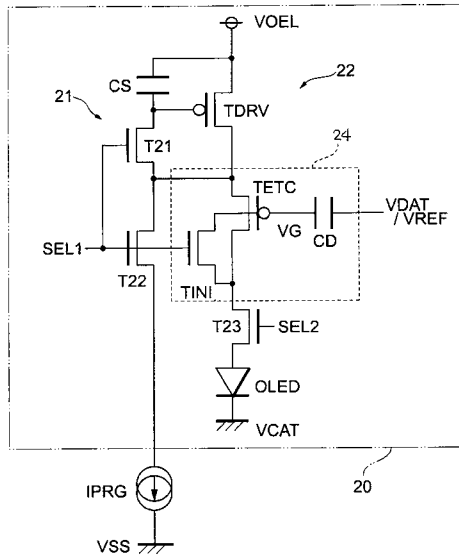
The top graph plots voltage. A solid line represents the output voltage, which is a periodic sawtooth wave. The peak of this wave is labeled V_{REF} . Two horizontal dashed lines represent the data voltages V_{DAT1} and V_{DAT2} , with V_{DAT1} being higher than V_{DAT2} . Vertical dashed lines connect the points where the sawtooth wave intersects these two voltage levels to the bottom graph.

The bottom graph plots the output current I_{OLED} . The current is zero when the voltage is at V_{REF} and increases linearly when the voltage decreases from V_{REF} . The current is zero again when the voltage returns to V_{REF} . The period of the current pulse corresponds to the time interval between the two voltage levels V_{DAT1} and V_{DAT2} on the top graph.

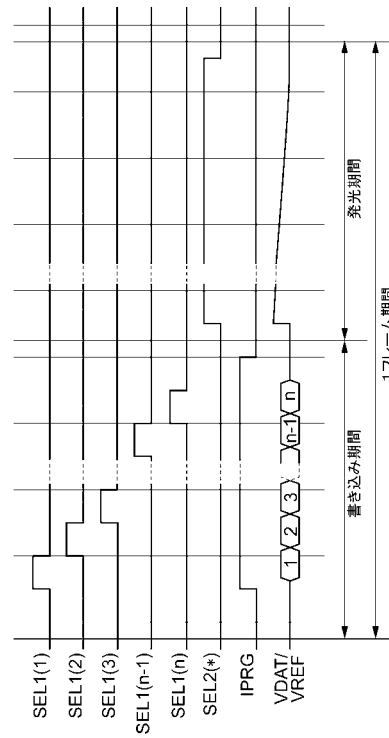
【 図 1 0 】



【図 1 1】

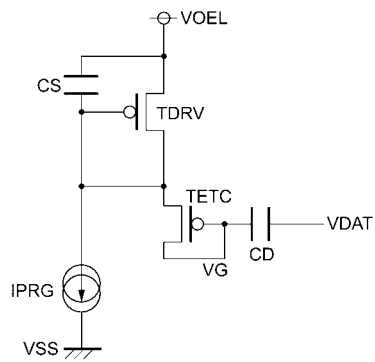


【図 1 2】

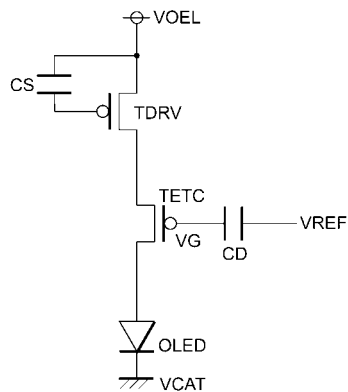


【図 1 3】

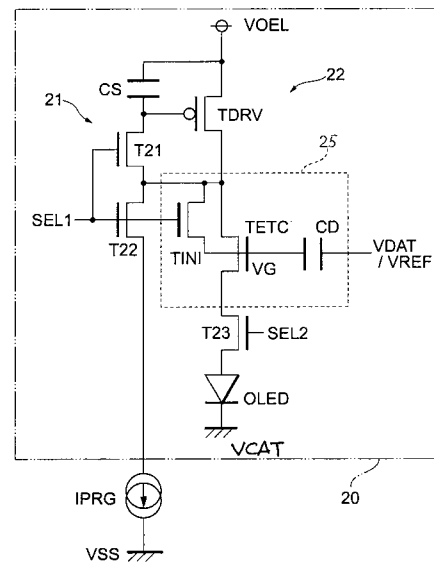
(a) 書き込み時



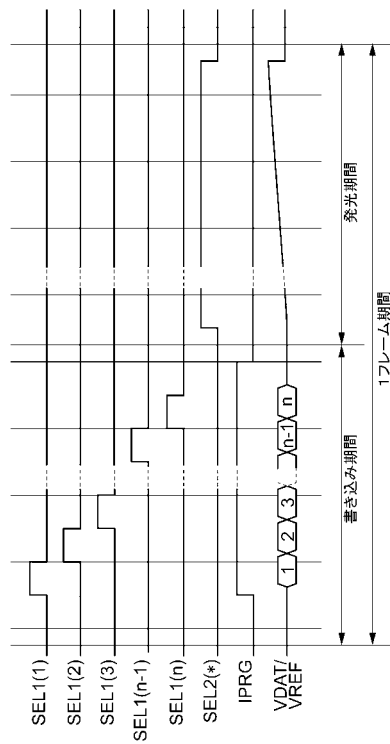
(b) 発光時



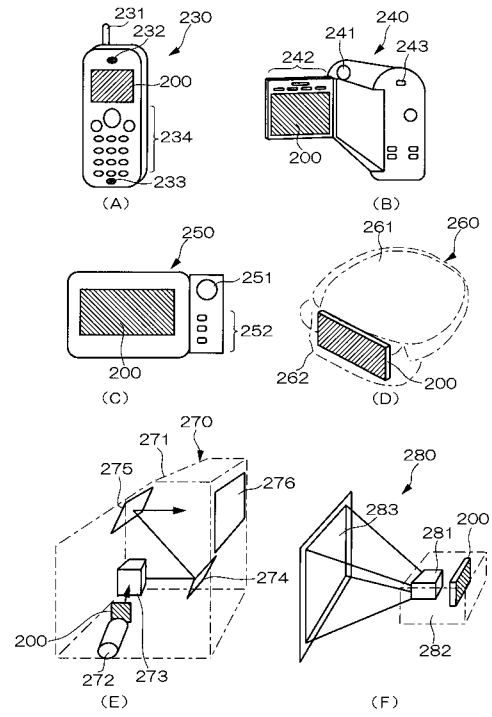
【図 1 4】



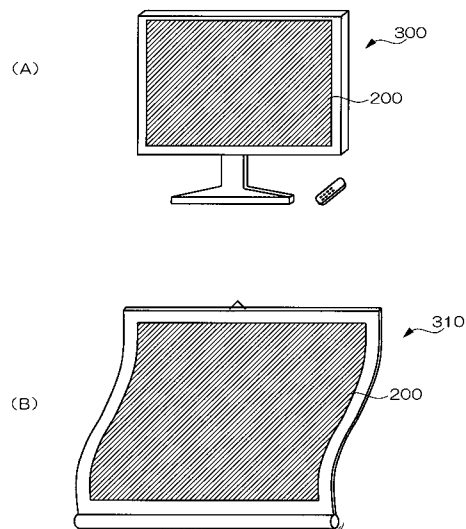
【図 15】



【図 16】



【図 17】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 4 2 A
	H 0 5 B	33/14	A

(56)参考文献 特開 2 0 0 3 - 3 3 0 4 1 6 (J P , A)
 特開 2 0 0 4 - 2 4 6 3 2 0 (J P , A)
 特開 2 0 0 4 - 1 5 1 5 8 7 (J P , A)
 特開 2 0 0 3 - 2 4 1 7 1 1 (J P , A)
 特開 2 0 0 2 - 1 8 9 4 4 6 (J P , A)
 特表 2 0 0 4 - 5 1 0 2 0 8 (J P , A)
 特開 2 0 0 2 - 2 9 7 0 9 7 (J P , A)
 特開 2 0 0 4 - 1 2 6 5 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0
 H 0 1 L 5 1 / 5 0

专利名称(译)	像素电路和电子设备		
公开(公告)号	JP4501785B2	公开(公告)日	2010-07-14
申请号	JP2005166024	申请日	2005-06-06
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	原弘幸		
发明人	原 弘幸		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G3/2014 G09G2300/0852 G09G2300/0861 G09G2310/0259 G09G2310/066		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.612.F G09G3/20.624.B G09G3/20.641.A G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/CC36 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD22 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BB22 5C380/CA12 5C380/CA13 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB18 5C380/CB29 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC50 5C380/CC52 5C380/CC57 5C380/CC58 5C380/CC63 5C380/CD015 5C380/CD026 5C380/CF23 5C380/CF61 5C380/DA02 5C380/DA07 5C380/DA30 5C380/DA35		
代理人(译)	田中 克郎		
审查员(译)	Naoaki 桥本		
优先权	2004288030 2004-09-30 JP 2004288039 2004-09-30 JP		
其他公开文献	JP2006126779A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够使控制操作和电路构造更简单的电光装置的驱动电路和驱动方法，并且还提供一种电子设备。解决方案：使电光元件OLED发光的像素电路20包括插入电光元件的驱动电流路径中的晶体管TETC；电流值设定电路21，设定驱动电流路径的电流值；电平保持单元CSD，存储所提供的像素信号的电平；比较电路23将所存储的像素信号的电平与所提供的斜坡电平信号VREF的电平进行比较，以根据比较结果控制晶体管TETC的操作。 Ž

