

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3833100号
(P3833100)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
H01L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641D
	G09G 3/20 642A
請求項の数 12 (全 29 頁) 最終頁に続く	

(21) 出願番号	特願2001-342644 (P2001-342644)	(73) 特許権者	000001007
(22) 出願日	平成13年11月8日(2001.11.8)		キヤノン株式会社
(65) 公開番号	特開2003-140613 (P2003-140613A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成15年5月16日(2003.5.16)	(74) 代理人	100096828
審査請求日	平成16年10月20日(2004.10.20)		弁理士 渡辺 敬介
		(74) 代理人	100110870
			弁理士 山口 芳広
		(72) 発明者	大村 昌伸
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	川崎 素明
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	西島 篤宏
			最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路と前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、制御回路と、基準電圧源と、選択スイッチ回路と、を少なくとも含み、

(1-a) 前記画素回路において、

(1) 前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、

(2) 前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1の

10

20

スイッチ回路を介して前記データ側駆動回路に接続され、

(3) 前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4) 前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5) 前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、

(1-b) 前記データ側駆動回路において、

(1) 前記制御回路は、前記モニタ電流に基づいて前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

10

(2) 前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を出力する機能を有し、

(3) 前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路へ出力するかを選択する機能を有し、

前記第1のスイッチ回路及び前記第2のスイッチ回路が共に導通状態にあり且つ前記第3のスイッチ回路が非導通状態にあり前記選択スイッチ回路により前記制御回路の出力が選択されているときに、前記モニタ電流に基づいて前記制御回路により前記第1の電圧制御電流源を制御する機能と、

20

前記制御期間の直前の、少なくとも前記第3のスイッチ回路が導通状態にあり前記選択スイッチ回路により前記基準電圧源の出力が選択されているときに、前記発光素子の端子間電圧を所定の電圧値に制御する機能とを有することを特徴とするアクティブマトリクス型ディスプレイ。

【請求項2】

前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、

前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子及び前記第3のスイッチ回路に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全画素共通電位に接続されていることを特徴とする請求項1に記載のアクティブマトリクス型ディスプレイ。

30

【請求項3】

前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていることを特徴とする請求項2に記載のアクティブマトリクス型ディスプレイ。

【請求項4】

発光素子を少なくとも含む画素回路を備えた画素をマトリクス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリクス型ディスプレイであって、

40

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、入出力切り替えスイッチと、を少なくとも含み、

50

(2 - a) 前記画素回路において、

(1) 前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、

(2) 前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3) 前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4) 前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5) 前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、

(2 - b) 前記データ側駆動回路において、

(1) 前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

(2) 前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路と同期動作して、前記画素回路からモニタ電流を入力する入力状態と前記画素回路へ制御電圧を出力する出力状態とに切り替える機能を有し、

前記第1のスイッチ回路が非導通状態にあり且つ前記第2のスイッチ回路が導通状態にあるときに前記入出力切り替えスイッチを入力状態とし、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、

前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路が非導通状態にあるときに前記入出力切り替えスイッチを出力状態とし、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とするアクティブマトリクス型ディスプレイ。

【請求項5】

前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うことを特徴とする請求項4に記載のアクティブマトリクス型ディスプレイ。

【請求項6】

前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路と接続され、前記コンデンサの第2端子は全画素共通電位に接続されていることを特徴とする請求項4又は5に記載のアクティブマトリクス型ディスプレイ。

【請求項7】

発光素子を少なくとも含む画素回路を備えた画素をマトリクス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリクス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆

10

20

30

40

50

動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、基準電圧源と、選択スイッチ回路と、入出力切り替えスイッチと、を少なくとも含み、(3-a)前記画素回路において、

(1)前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、 10

(2)前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3)前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4)前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、 20

(5)前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、

(6)前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、

(3-b)前記データ側駆動回路において、

(1)前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

(2)前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を与える機能を有し、 30

(3)前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路に出力するかを選択する機能を有し、

(4)前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路と同期動作して、前記画素回路から前記モニタ電流を入力する入力状態と前記画素回路へ制御電圧又はリセット電位を出力する出力状態とに切り替える機能を有し、

前記第2のスイッチ回路が非導通状態にあり且つ前記第3のスイッチ回路が導通状態にあるときに前記選択スイッチ回路により前記基準電圧源の出力を選択して、前記リセット電位を前記画素回路に出力して前記発光素子の端子間電圧を所定の電圧値に制御し、 40

前記第2のスイッチ回路が導通状態にあり且つ前記第1のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチを入力状態として、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、

前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチは出力状態とし前記選択スイッチ回路により前記制御回路の出力を選択して、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とするアクティブマトリクス型ディスプレイ。

【請求項 8】

前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第 1 の電圧制御電流源の制御とを、時分割制御で交互に行うことを特徴とする請求項 7 に記載のアクティブマトリクス型ディスプレイ。

【請求項 9】

前記第 1 の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、前記絶縁ゲート型電界効果トランジスタの第 1 端子は前記発光素子の第 1 端子及び前記第 3 のスイッチ回路に接続され、前記発光素子の第 2 端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第 2 端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第 1 端子及び前記第 1 のスイッチ回路に接続され、前記コンデンサの第 2 端子は全画素共通電位に接続されていることを特徴とする請求項 7 又は 8 に記載のアクティブマトリクス型ディスプレイ。

10

【請求項 10】

前記絶縁ゲート型電界効果トランジスタの第 1 端子に接続された前記第 3 のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていることを特徴とする請求項 9 に記載のアクティブマトリクス型ディスプレイ。

【請求項 11】

前記駆動電流電圧変換素子と前記第 2 の電圧制御電流源とは、絶縁ゲート型電界効果トランジスタで構成されたカレントミラー構造であることを特徴とする請求項 1 から 10 のうちのいずれか一項に記載のアクティブマトリクス型ディスプレイ。

20

【請求項 12】

請求項 1 から 11 のうちのいずれか一項に記載のアクティブマトリクス型ディスプレイにおいて、絶縁ゲート型電界効果トランジスタは同一基板上に形成された薄膜トランジスタであることを特徴とするアクティブマトリクス型ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機エレクトロルミネッセンス素子（有機 EL 素子）などの、素子に流れる電流によって輝度が制御される発光素子を各画素に備えたディスプレイに関するものであり、より詳しくは、絶縁ゲート型電界効果トランジスタなどの能動素子によって発光素子に電流を供給するアクティブマトリクス型ディスプレイに関するものである。

30

【0002】

【従来の技術】

近年、有機 EL 素子を用いたディスプレイが開発されており、その駆動方法として、単純マトリクス方式とアクティブマトリクス方式がある。前者は構造が単純であるが大型且つ高精細のディスプレイの実現が困難である為に、アクティブマトリクス方式の開発が盛んに行われている。

【0003】

有機 EL 素子を多数使用しアクティブマトリクス回路により駆動する場合、各画素には、発光素子に電流供給を制御する絶縁ゲート型電界効果トランジスタ、所謂薄膜トランジスタ（TFT）が接続されており、この TFT を制御することで有機 EL 素子の発光動作を制御している。

40

【0004】

（従来例 1）

図 15 は、特開平 8 - 234683 号公報に示す 1 画素分の等価回路を示す。

【0005】

画素は、発光素子 OLED、第 1 の薄膜トランジスタ TFT1、第 2 の薄膜トランジスタ TFT2、および、コンデンサ C から構成される。有機 EL 素子は一般的に整流特性があ

50

るため、OLED（有機発光ダイオード）と呼ばれる場合があり、図中では、ダイオードの記号を用いている。ただし、発光素子は必ずしもOLEDに限るものではなく、素子に流れる電流によって輝度が制御される発光素子であればよいし、また、必ずしも整流特性が要求されるものでもない。

【0006】

図15では、p型トランジスタTFT1のソースを電源電位Vddに、ドレインは発光素子OLEDのアノードに接続し、発光素子OLEDのカソードはGND電位に接続されている。一方、p型トランジスタTFT2のゲートは走査線Scanに、ソースはデータ線Dataに、ドレインはコンデンサC及びTFT1のゲートに接続され、コンデンサの他端は電源電位Vddに接続されている。

10

【0007】

画素を動作させる為に、まず、走査線ScanによりTFT2をON状態にし、データ線Dataに輝度情報を表すデータ電位Vwを印加するとコンデンサCの充電または放電が行われ、TFT1のゲート電位はデータ電位Vwに一致する。走査線ScanによりTFT2がOFF状態になると、TFT1のゲート電位はコンデンサCによって保持され、TFT1のゲート・ソース電圧Vgsに応じた電流が発光素子OLEDに供給され、その電流量に応じた輝度で発光しつづける。

【0008】

（従来例2）

図16は、特開2001-56667号公報に示す1画素分の等価回路を示す。

20

【0009】

画素は、発光素子OLEDと、信号電流を電圧に変換する或いは発光素子OLEDに電流を供給する第1のトランジスタTFT1と、第1のトランジスタの動作状態を制御する第2のトランジスタTFT2と、信号電流を取り込む或いは発光素子OLEDに電流を供給する状態を選択する第3のトランジスタTFT3、第4のトランジスタTFT4と、電圧を保持するコンデンサCで構成されている。

【0010】

図16では、TFT1のソースは電源電位Vddに接続され、ゲートはTFT2のソースとコンデンサCが接続されている。コンデンサCの他端は電源電位Vddに接続されている。TFT1のドレインはTFT2のドレイン、TFT3のドレイン、TFT4のドレインに接続されている。TFT4のソースは発光素子OLEDのアノードに接続され、発光素子のカソードはGND電位に接続されている。TFT3のソースはデータ信号線Dataに接続され、TFT2、TFT3、TFT4のゲートは全て走査線Scanに接続されている。

30

【0011】

画素を動作させる為に、まず、走査線ScanによりTFT2、TFT3はON状態に、TFT4はOFF状態になると、信号電流IwをTFT1に取り込む、TFT1のゲートには信号電流Iwを流す為に必要なゲート・ソース電圧Vgsが発生し、この電圧VgsをコンデンサCに保持する。走査線ScanによってTFT2、TFT3がOFF状態、TFT4がON状態になると、TFT1はコンデンサCに保持されている電圧に基づいて電流を発光素子に流し続け、発光素子はその電流量に相当した輝度で発光し続ける。

40

【0012】

（従来例3）

図17は、特開2001-147659号公報に示す1画素分の等価回路を示す。

【0013】

画素は、発光素子に流れる駆動電流を制御する第1のトランジスタTFT1、信号電流を電圧に変換する変換用の第2のトランジスタTFT2、走査線ScanAによって画素回路とデータ線とを接続もしくは遮断する取込用の第3のトランジスタTFT3、走査線ScanBによって輝度情報書き込み中にTFT2のゲート・ドレイン間を短絡するスイッチ用の第4のトランジスタTFT4、TFT1のゲート・ソース電圧を輝度情報書き込み

50

終了後も保持するコンデンサC、及び発光素子OLEDから構成される。

【0014】

図17では、TFT1、TFT2のソースは電源電位V_{dd}に接続され、TFT1のゲートはTFT2のゲートとコンデンサCとTFT4のドレインに接続されている。コンデンサCの他端は電源電位V_{dd}に接続されている。TFT1のドレインは発光素子OLEDのアノードに接続され、発光素子OLEDのカソードはGND電位に接続されている。TFT2のドレインはTFT4のソースとTFT3のドレインに接続される。TFT3のソースはデータ信号線Dataに接続されている。TFT3のゲートは走査線ScanA、TFT4のゲートは走査線ScanBに接続されている。

【0015】

画素を動作させる為に、まず、走査線ScanA、ScanBによりTFT3、TFT4がON状態になると、TFT1とTFT2はカレントミラー構造を有することになり、信号電流I_wをTFT2に取り込み、TFT1はカレントミラー比に従って電流を発光素子OLEDに流すと同時に、TFT1のゲートに発生した電圧をコンデンサCに保持する。走査線ScanA、ScanBによりTFT3、TFT4がOFF状態になると、TFT1とTFT2のカレントミラー構造は解除され、コンデンサCに保持された電圧に従ってTFT1が電流を発光素子OLEDに流し続け、発光素子はその電流量に相当した輝度で発光し続ける。

【0016】

【発明が解決しようとしている課題】

アクティブマトリクス型ディスプレイにおいて、能動素子である薄膜トランジスタは、通常、一枚のガラス基板上に同時にアモルファスシリコン或いはポリシリコンを用いて形成される。

【0017】

しかしながら、アモルファスシリコン或いはポリシリコンを用いて形成されたTFTは、単結晶シリコンに比べて、結晶性が悪く、伝導機構の制御性が悪い為、その特性のばらつきが大きいことが知られている。従って、同一基板上に形成されたTFTでも、そのしきい値電圧V_{th}が画素毎によって数百mV、場合によっては1V以上ばらつくことも稀ではない。この場合、例えば異なる画素に対して同じ信号電位V_wを書き込んでも画素によってV_{th}がばらつきにより、OLEDに流れる電流が違えば、所望の輝度が得られずディスプレイとして高い画質を期待することができない。

【0018】

従来例1(特開平8-234683号公報)の構成の場合は、この問題が顕著に表れやすい。また、従来例2(特開2001-56667号公報)は、しきい値電圧のバラツキ問題を解決しているが、信号電流を電圧に変換するときのTFT1のソース・ドレイン電圧V_{ds}とOLEDに電流を供給しているときのソース・ドレイン電圧V_{ds}が違うため、トランジスタのアーリー効果によって信号電流を正確に発光素子に流すことができない。また、従来例3(特開2001-147659号公報)は、しきい値電圧のばらつきに関する問題をTFT1とTFT2で構成されるカレントミラーの誤差レベルにして低減しているが、根本的にばらつき問題を解決していない。さらに、TFT1のソース・ドレイン電圧V_{ds1}とTFT2のソース・ドレイン電圧V_{ds2}が異なるために、従来例2と同様に、トランジスタのアーリー効果によって信号電流を正確に発光素子に流すことができない。さらに、発光素子として有機EL素子を用いた場合には、有機EL素子の経時劣化によって発光素子の動作電圧が大きくなり、TFT1のソース・ドレイン電圧が十分に確保できず3極管領域で動作した場合に、所望の駆動電流から大きく外れた電流を発光素子に供給することになる。

【0019】

本発明は、しきい値電圧V_{th}のばらつきによる発光素子への供給電流のばらつき問題や、アーリー効果による影響の問題を解決し、高品質なディスプレイを実現するアクティブマトリクス型ディスプレイを提供することにある。

10

20

30

40

50

【 0 0 2 0 】

【 課題を解決するための手段 】

上記課題を解決するための第 1 の発明は、

発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記画素回路は、前記発光素子と、第 1 の電圧制御電流源と、第 1 のスイッチ回路と、駆動電流電圧変換素子と、第 2 の電圧制御電流源と、第 2 のスイッチ回路と、第 3 のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第 1 のスイッチ回路と前記第 2 のスイッチ回路と前記第 3 のスイッチ回路とに接続され、前記第 1 のスイッチ回路、前記第 2 のスイッチ回路及び前記第 3 のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、

10

前記データ側駆動回路は、制御回路と、基準電圧源と、選択スイッチ回路と、を少なくとも含み、

(1 - a) 前記画素回路において、

(1) 前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、

(2) 前記第 1 の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第 1 のスイッチ回路を介して前記データ側駆動回路に接続され、

20

(3) 前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4) 前記第 2 の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第 2 のスイッチ回路を介して前記データ側駆動回路に接続され、

(5) 前記第 3 のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、

(1 - b) 前記データ側駆動回路において、

30

(1) 前記制御回路は、前記モニタ電流に基づいて前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第 1 の電圧制御電流源を制御する機能を有し、

(2) 前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を出力する機能を有し、

(3) 前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路へ出力するかを選択する機能を有し、

前記第 1 のスイッチ回路及び前記第 2 のスイッチ回路が共に導通状態にあり且つ前記第 3 のスイッチ回路が非導通状態にあり前記選択スイッチ回路により前記制御回路の出力が選択されているときに、前記モニタ電流に基づいて前記制御回路により前記第 1 の電圧制御電流源を制御する機能と、

40

前記制御期間の直前の、少なくとも前記第 3 のスイッチ回路が導通状態にあり前記選択スイッチ回路により前記基準電圧源の出力が選択されているときに、前記発光素子の端子間電圧を所定の電圧値に制御する機能とを有することを特徴とする。

【 0 0 2 1 】

本発明は、上記第 1 の発明において、

「前記第 1 の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、

前記絶縁ゲート型電界効果トランジスタの第 1 端子は前記発光素子の第 1 端子及び前記第

50

3のスイッチ回路に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全画素共通電位に接続されていること」、

「前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていること」、

をその好ましい態様として含むものである。

【0022】

上記課題を解決するための第2の発明は、

発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、入出力切り替えスイッチと、を少なくとも含み、

(2-a)前記画素回路において、

(1)前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、

(2)前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3)前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4)前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5)前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、

(2-b)前記データ側駆動回路において、

(1)前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御する機能を有し、

(2)前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路及び前記第2のスイッチ回路と同期動作して、前記画素回路からモニタ電流を入力する入力状態と前記画素回路へ制御電圧を出力する出力状態とに切り替える機能を有し、

前記第1のスイッチ回路が非導通状態にあり且つ前記第2のスイッチ回路が導通状態にあるときに前記入出力切り替えスイッチを入力状態とし、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、

前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路が非導通状態にあるときに前記入出力切り替えスイッチを出力状態とし、前記サンプルホールド回路をホー

10

20

30

40

50

ルド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とする。

【0023】

本発明は、上記第2の発明において、

「前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うこと」、

「前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、

前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路と接続され、前記コンデンサの第2端子は全画素共通電位に接続されていること」、

をその好ましい態様として含むものである。

【0024】

上記課題を解決するための第3の発明は、

発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換素子と、第2の電圧制御電流源と、第2のスイッチ回路と、第3のスイッチ回路と、を少なくとも含み、

前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路とに接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路の夫々を導通状態或いは非導通状態に制御する機能を有し、

前記データ側駆動回路は、サンプルホールド回路を備えた制御回路と、基準電圧源と、選択スイッチ回路と、入出力切り替えスイッチと、を少なくとも含み、(3-a)前記画素回路において、

(1)前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、

(2)前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記能動素子の前記制御電圧を入力するための制御端子は前記第1のスイッチ回路を介して前記データ側駆動回路に接続され、

(3)前記駆動電流電圧変換素子は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

(4)前記第2の電圧制御電流源は、前記駆動電流電圧変換素子の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、該モニタ電流を出力する出力端子は前記第2のスイッチ回路を介して前記データ側駆動回路に接続され、

(5)前記第3のスイッチ回路は、前記データ側駆動回路内に設けられた基準電圧源と前記発光素子との間に接続され、

(6)前記第1のスイッチ回路及び前記第2のスイッチ回路の前記データ側駆動回路に接続される側の端子は短絡され、

(3-b)前記データ側駆動回路において、

(1)前記サンプルホールド回路を備えた制御回路は、前記モニタ電流に相関のある信号をサンプリング、ホールドし、該ホールドされた信号をもとに前記発光素子に流す駆動電流が所望の輝度を得る為に必要な電流値となるように前記第1の電圧制御電流源を制御す

10

20

30

40

50

る機能を有し、

(2) 前記基準電圧源は、前記発光素子の端子間電圧を所定の電圧値にするためのリセット電位を与える機能を有し、

(3) 前記選択スイッチ回路は、前記制御回路と前記基準電圧源とのうちのどちらの出力を前記画素回路に出力するかを選択する機能を有し、

(4) 前記入出力切り替えスイッチは、前記制御回路と前記画素回路との間に接続され、前記第1のスイッチ回路、前記第2のスイッチ回路及び前記第3のスイッチ回路と同期動作して、前記画素回路から前記モニタ電流を入力する入力状態と前記画素回路へ制御電圧又はリセット電位を出力する出力状態とに切り替える機能を有し、

前記第2のスイッチ回路が非導通状態にあり且つ前記第3のスイッチ回路が導通状態にあるときに前記選択スイッチ回路により前記基準電圧源の出力を選択して、前記リセット電位を前記画素回路に出力して前記発光素子の端子間電圧を所定の電圧値に制御し、

前記第2のスイッチ回路が導通状態にあり且つ前記第1のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチを入力状態として、前記モニタ電流を入力して該モニタ電流に相関のある信号を前記サンプルホールド回路でサンプリングし、

前記第1のスイッチ回路が導通状態にあり且つ前記第2のスイッチ回路及び前記第3のスイッチ回路が共に非導通状態にあるときに前記入出力切り替えスイッチは出力状態とし前記選択スイッチ回路により前記制御回路の出力を選択して、前記サンプルホールド回路をホールド状態として該サンプルホールド回路でホールドされている信号に基づいて前記第1の電圧制御電流源を制御する機能を有することを特徴とする。

【0025】

本発明は、上記第3の発明において、

「前記サンプルホールド回路におけるサンプリングと、該サンプルホールド回路にホールドされた信号に基づいた前記第1の電圧制御電流源の制御とを、時分割制御で交互に行うこと」

「前記第1の電圧制御電流源において、前記能動素子は絶縁ゲート型電界効果トランジスタであり、該能動素子の制御端子は絶縁ゲート型電界効果トランジスタのゲート端子であって、前記記憶回路はコンデンサからなり、

前記絶縁ゲート型電界効果トランジスタの第1端子は前記発光素子の第1端子及び前記第3のスイッチ回路に接続され、前記発光素子の第2端子は全画素共通電位に接続され、前記絶縁ゲート型電界効果トランジスタの第2端子は前記駆動電流電圧変換素子に接続され、前記絶縁ゲート型電界効果トランジスタのゲート端子は前記コンデンサの第1端子及び前記第1のスイッチ回路に接続され、前記コンデンサの第2端子は全画素共通電位に接続されていること」、

「前記絶縁ゲート型電界効果トランジスタの第1端子に接続された前記第3のスイッチ回路の他方の端子が、前記絶縁ゲート型電界効果トランジスタのゲート端子に接続されていること」、

をその好ましい態様として含むものである。

【0026】

また本発明は、上記第1から第3の発明において、

「前記駆動電流電圧変換素子と前記第2の電圧制御電流源とは、絶縁ゲート型電界効果トランジスタで構成されたカレントミラー構造であること」、

「絶縁ゲート型電界効果トランジスタは同一基板上に形成された薄膜トランジスタであること」、

をその好ましい態様として含むものである。

【0027】

本発明において好ましく用いられる発光素子である有機EL素子(OLED)は、等価回路では自己放電回路を持つ容量性素子であると考えられる。図12の点線で囲んだ7の部分である。6の部分は自己放電回路である。

10

20

30

40

50

【 0 0 2 8 】

そこで、例えば、画素サイズが $100\ \mu\text{m} \times 300\ \mu\text{m}$ で、1画素あたりの O L E D が持つ容量値を $60\ \text{pF}$ とし、電圧電流特性を図 1 3 に示す特性 ((A) は縦軸 (電流) を実数で表現、 (B) は縦軸 (電流) を対数で表現) であると仮定した場合、図 1 2 に示す実験回路で駆動電流 I_0 を $10\ \mu\text{A}$ として、S W 1 を O N 状態で $10\ \mu\text{A}$ の電流を注入し安定状態になった後、S W 1 を O F F 状態にした時の O L E D のアノード端の電圧変化に対するシミュレーションを行った。図 1 4 がその結果である。図 1 4 の横軸は時間軸であり、時間 $0\ \text{sec}$ で S W 1 が O F F に変化した時の (アノード - カソード間電圧) の電圧変化を縦軸に示している。この結果は、最大輝度レベルから最小輝度レベルに変化した場合、駆動電流設定制御時間内 (走査時間内) に制御が完全に収束しないという可能性があることを示している。本発明のように基準電圧源により O L E D に蓄えられた電化を速やかに放電させることによって、このような課題をも解決することができる。

10

【 0 0 2 9 】

【 発明の実施の形態 】

本発明において、トランジスタの第 1 端子、第 2 端子とは、ゲート端子以外の 2 端子、即ちソース端子とドレイン端子とのいずれかを表しており、回路を流れる電流の方向、トランジスタの P 型、N 型などの条件によって、第 1、第 2 端子のどちらがソース端子、ドレイン端子となるかは異なるが、説明の便宜上、以下に示す夫々の実施の形態においては電流の方向を片方に仮定して、ソース、ドレインのいずれかとなる 2 端子をソース、ドレインと固定して表すこととする。

20

【 0 0 3 0 】

また、発光素子の第 1 端子、第 2 端子や、コンデンサの第 1 端子、第 2 端子は、それぞれ 2 端子のうちのいずれかを表しており、これも上記トランジスタの説明と同様で具体的な回路構成によって適宜極性等を選択する。

【 0 0 3 1 】

さらに、発光素子として、大面積化、フルカラー化が容易などの利点を有する有機 E L 素子 (O L E D) を用いた好ましい形態を示すが、発光素子は必ずしも O L E D に限るものではなく、素子に流れる電流によって輝度が制御される発光素子であればよいし、必ずしも整流特性が要求されるものでもない。

【 0 0 3 2 】

(実施の形態 1)

図 1 は本発明のアクティブマトリックス型ディスプレイの実施の形態 1 に含まれる回路構成を示す構成図である。

30

【 0 0 3 3 】

まず、本実施の形態の構成を説明する。

【 0 0 3 4 】

画素回路 1 は、第 1 の n 型薄膜トランジスタ T 1 のソースに O L E D のアノードが接続されており、ソースフォロアを構成している。また、T 1 のゲートにはコンデンサ C の一端と第 2 の n 型薄膜トランジスタ T 4 のドレインが接続されており、T 1 のドレインには第 1 の p 型薄膜トランジスタ T 2 のドレインとゲート及び第 2 の p 型薄膜トランジスタ T 3 のゲートが接続されている。O L E D のカソードとコンデンサの他端は G N D に接続されている。T 2 , T 3 のソースは電源電位 V_{dd} に接続されている。T 3 のドレインは第 3 の n 型薄膜トランジスタ T 5 のドレインが接続され T 5 のソースからモニタ電流 I_m が出力される。T 4 のソースが制御電圧入力端子となる。なお、T 4 , T 5 は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T 5 のゲートには画素領域外部に設置された走査側駆動回路 (図中に記載していない) から出力される制御信号 S c a n A が入力されており、T 4 のゲートには前記走査側駆動回路から出力される制御信号 S c a n B が入力されている。本実施の形態が示す構造において、T 2 と T 3 は、カレントミラー構造に成っていると云ってもよい。

40

【 0 0 3 5 】

50

上記構成に、さらに、第4のn型薄膜トランジスタT6のドレインをOLEDのアノード端に接続し、T6のソースをT1のゲートに接続している。T6のゲートには前記走査側駆動回路から出力されている制御信号ScanCが入力されている。T6はスイッチとして動作する。なお、T6のソースはT4のソース側に接続する形態も可能であるが、本実施の形態のようにT1のゲートとソースとに接続されることが好ましい。これにより、リセット期間にはT1のゲート、ソース間の電圧は0となり、駆動電流は流れないので発光素子の不要な発光を防ぐことが出来る。

【0036】

これらの画素回路の構成要素において、本実施の形態及び下記の実施の形態3では、薄膜トランジスタT1とコンデンサCとが第1の電圧制御電流源に、薄膜トランジスタT2が駆動電流電圧変換素子に、薄膜トランジスタT3が第2の電圧制御電流源に、薄膜トランジスタT4が第1のスイッチ回路に、薄膜トランジスタT5が第2のスイッチ回路に、薄膜トランジスタT6が第3のスイッチ回路に、それぞれ対応している。

10

【0037】

データ側駆動回路2は、輝度情報を持つ基準電流 I_r を抵抗 R_1 に流し電圧 V_r を発生させ、画素回路1から出力されたモニタ電流 I_m を抵抗 R_2 に流し電圧(モニタ電圧) V_m を発生させ、電圧比較回路AMP1の正極入力端子に V_r を、負極入力端子に V_m を入力し、AMP1の出力は第1のnMOSトランジスタM1のソースと接続されている。M1のドレインは第2のnMOSトランジスタM2のドレインと信号線Vwを介して画素回路1のT4のソースに接続されている。M2のソースには基準電圧源 V_s が接続されている。この基準電圧源 V_s はGND電位を基準に作られており、電圧 V_s はOLEDの端子間の電圧を発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEDの動作電圧 V_{on} に等しい電圧を与えることが望ましい。この基準電圧源を用いてOLEDの蓄える電荷を急速に放出させることで、速やかに輝度を変化させることが出来、高速性が改善される。

20

【0038】

これらのデータ側駆動回路の構成要素において、本実施の形態及び下記の実施の形態3では、電圧比較回路AMP1と抵抗 R_1 、 R_2 と基準電流源 I_r とが制御回路に、MOSトランジスタM1、M2が選択スイッチ回路に、それぞれ対応している。

【0039】

次に本実施の形態の動作を説明する。

30

【0040】

まず、所望の輝度で画素を発光させる為の駆動電流設定制御を行う前に、OLEDのアノード端を制御初期電圧設定制御を行う。

【0041】

OLED初期電圧設定制御は、まず、データ側駆動回路内の制御信号S1をロウレベルにしM1をOFF状態にし、制御信号S2をハイレベルにしM2をON状態にする。次に、走査信号ScanBをハイレベルにしT4をON状態にした後、走査信号ScanCをハイレベルにしてT6をON状態にする。この状態でT1のゲート電圧及びOLEDのアノード端電圧は V_s に設定することができる。また、T1のゲート・ソース間電圧が0Vなので、T1のソース・ドレイン間に流れる電流は0Aである。また、OLED初期電圧設定制御終了にあたっては、走査信号ScanCをロウレベルにしT6をOFF状態にした後、制御信号S2をロウレベルにしM2をOFF状態にする。

40

【0042】

そして、T4がON状態のまま、駆動電流設定制御に移行する。

【0043】

駆動電流設定制御では、駆動電流を決定する制御電圧(T1のゲート電圧)を設定する。

【0044】

この制御を開始するにあたって、まず、走査信号ScanAをハイレベルにしT5をON状態にした後、制御信号S1をハイレベルにしM1をON状態にし、制御可能状態にする

50

。なお、この制御で決定される制御電圧は、O L E Dの発光時の動作電圧 V_{on} にT 1のゲート・ソース間電圧 V_{gs} を加算した電圧となる。

【0045】

制御可能状態になったならば、データ側駆動回路内2のAMP 1の出力電圧 V_w を、T 4を介してT 1のゲートに与えたときにO L E Dに流れる電流 I_d をT 1のソース側に設置されたT 2, T 3で構成されるカレントミラーで検出し、この検出された電流をデータ側駆動回路2にモニタ電流 I_m として渡す。データ側駆動回路2では、輝度情報を持つ基準電流 I_d が抵抗 R_1 によって電圧 V_r に変換され、また、モニタ電流 I_m が抵抗 R_2 によって電圧 V_m に変換され、 V_r と V_m が等しくなるようにAMP 1の出力電圧 V_w を制御する。 V_r と V_m が等しくなったとき、O L E Dに流れる電流 I_d は、所望の輝度を得る 10
 為に必要な駆動電流になっている。なお、AMP 1の出力電圧 V_w をT 1のゲートに書き込むと同時にこれに接続されたコンデンサCにもその電圧 V_w を書き込む。

【0046】

駆動電流が設定されたならば、走査信号Scan BをロウレベルにしT 4をOFF状態（非導通状態）にした後、走査信号Scan AをロウレベルにしT 5をOFF状態（非導通状態）にする。この状態では、データ側駆動回路2からの駆動電流設定制御は行われず、画素回路1のコンデンサCに記録された電圧 V_w は保持され、この保持された電圧 V_w によってT 1のゲート電圧が制御され駆動電流 I_d をO L E Dに供給しつづける。

【0047】

なお、制御電圧をコンデンサCに正確に書き込む為には、制御終了時に走査信号Scan 20
 A, Scan Bの変化を同時に行わず、先に説明した順番をもって行うことが望ましい。

【0048】

以上説明した本実施の形態の構成を用いると、所望の光量が得られる電流値が発光素子に流れるようにO L E Dの発光時の動作電圧 V_{on} と駆動電流発生トランジスタの V_{gs} を加算した電圧を制御するので、駆動電流発生トランジスタのしきい値電圧 V_{th} 及びO L E Dの動作電圧 V_{on} が共にばらついていても各画素ごとの輝度が変わるといった問題は発生しない。また、駆動電流設定時と保持時では、駆動電流が流れる経路に変化が無いので、駆動電流発生トランジスタのアーリー効果に関しては完全に関係ないものになっている。

【0049】

さらに、駆動電流を発生するトランジスタのソース・ドレイン電圧が、O L E Dの発光動作時のアノード・カソード端電圧（ON電圧）が輝度によって大きく変化したり、あるいは、経時劣化によってON電圧が大きく上昇して十分に取れず3極管領域での動作状態になったとしても、安定且つ正確に駆動電流をO L E Dに供給することができる。 30

【0050】

また、配線の寄生容量に対してモニタ電流 I_m が小さく、制御が安定に行えない危険性がある場合は、T 2, T 3のカレントミラーのミラー比を適切に設計し、これに伴い、データ側駆動回路内の抵抗値を変更すればよい。

【0051】

さらに、本実施の形態の説明では、輝度情報を基準電流 I_r に持たせたが、これに限らず、基準電流 I_r を一定にし、抵抗 R_1 の抵抗値を可変することで、輝度情報に応じた発光輝度を制御することも可能であるし、基準電流 I_r 及び抵抗 R_1 の抵抗値を一定にし、抵抗 R_2 の抵抗値を可変し発光輝度を制御することも可能である。 40

【0052】

また、本実施の形態における画素回路のT 4, T 5はn型薄膜トランジスタとなっているが、先述したようにこのトランジスタはスイッチとして動作するものであり、p型薄膜トランジスタを用いても構わない。ただし、p型薄膜トランジスタを使用した場合は、反転した制御信号をゲートに入力しなければならない。

【0053】

なお、本実施の形態では、アモルファスシリコン或いはポリシリコンを用いた絶縁ゲート型薄膜トランジスタを念頭において説明してきたが、必ずしもシリコン系材料によるトラ 50

ンジスタを使用することに限らず、化合物半導体或いは有機半導体などで形成されたトランジスタでも同様の効果を得ることができるのであれば、本発明に用いるトランジスタの種類は限定されるものでない。

【0054】

(実施の形態2)

本実施の形態は、実施の形態1で示した回路構成を持つアクティブマトリクス型ディスプレイの全体の構成を示すものである。図10はその構成図であり、図11は本実施の形態のアクティブマトリクス型ディスプレイの動作を説明する為のタイミングチャートである。

【0055】

図10では、 $M \times N$ 個の画素を有するディスプレイの一部を示している。データ線方向に並ぶ画素回路(図10中では縦方向に並ぶ画素回路)のVw端子は全て接続されており、同様にVm端子も全て接続され、データ側駆動回路に接続されている。また、走査線方向に並ぶ画素回路(図10中では横方向に並ぶ画素回路)のScanA, ScanBは各々全て走査側駆動回路のScanA, ScanBに接続されている。なお、走査側駆動回路とデータ側駆動回路は、同期して動作する必要があるため、タイミングの制御を行う信号供給回路5が設置されている。輝度情報のデータ(Data)とクロック(Ck)は、まず信号供給回路5に入力され、Dataはデータ側駆動回路2に、Ckはデータ側駆動回路2と走査側駆動回路3に出力される。

【0056】

本実施の形態での動作を説明する。

【0057】

まず、1ライン目の走査が開始すると、まず走査信号ScanAはハイレベルになり、同時にデータ側駆動回路内の基準電流源は画像情報に基づいた電流値を設定する。つぎに走査信号ScanBはハイレベルになり、選択された各画素回路は駆動電流設定制御が開始される。

【0058】

規定時間内で1ライン目の駆動電流設定制御は終了し、続いて2ライン目の制御が行われる。制御終了は、まず走査信号ScanBをロウレベルにし、つづいて走査信号ScanAがロウレベルになる。これと同時に2ライン目の動作が開始される。駆動電流設定制御が終了し、次回の走査まで、画素回路ではコンデンサに保持された電圧に基づいて駆動電流がOLEDに供給されOLEDは発光しつづける。

【0059】

本実施の形態における制御信号のタイミングは、図11に示す関係が望ましい。

【0060】

各画素の発光動作の詳細な説明は、実施の形態1に示しているため、ここでは省略する。

【0061】

なお、本実施の形態においては実施の形態1で示した回路構成を持つアクティブマトリクス型ディスプレイを示したが、以下の実施の形態3~7に示す構成の回路を用いても、同様にしてアクティブマトリクス型ディスプレイを作製し、動作させることができる。

【0062】

(実施の形態3)

図2は本発明のアクティブマトリクス型ディスプレイの実施の形態3に含まれる回路構成を示す構成図である。

【0063】

本実施の形態の実施の形態1との違いは、OLEDを電源電位側に配置したことである。まず、本実施の形態の構成を説明する。

【0064】

画素回路1は、第1のp型薄膜トランジスタT1のソースにOLEDのカソードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端

10

20

30

40

50

と第1のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第2のn型薄膜トランジスタT2のドレインとゲート及び第3のn型薄膜トランジスタT3のゲートが接続されている。OLEDのアノードとコンデンサの他端は電源電位V_{dd}に接続されている。T2, T3のソースはGNDに接続されている。T3のドレインは第4のn型薄膜トランジスタT5のソースが接続されT5のドレインからモニタ電流I_mが出力される。T4のソースが制御電圧入力端子となる。なお、T4, T5は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。本実施の形態が示す構造において、T2とT3は、カレントミラー構造になっていると言ってもよい。

10

【0065】

上記構成に、さらに、第5のn型薄膜トランジスタT6のドレインをOLEDのカソードに接続し、T6のソースをT1のゲートに接続されている。T6のゲートには前記走査側駆動回路から出力されている走査信号ScanCが入力されている。T6はスイッチとして動作する。

【0066】

データ側駆動回路2は、輝度情報を持つ基準電流I_rを抵抗R1に流し電圧V_rを発生させ、画素回路1から出力されたモニタ電流I_mを抵抗R2に流し電圧(モニタ電圧)V_mを発生させ、電圧比較回路AMP1の正極入力端子にV_rを、負極入力端子にV_mを入力し、AMP1の出力は第1のnMOSトランジスタM1のソースと接続されている。M1のドレインは第2のnMOSトランジスタM2のドレインと信号線V_wを介して画素回路1のT4のソースに接続されている。M2のソースには基準電圧源V_sが接続されている。この基準電圧源V_sは電源電位V_{dd}を基準に作られており、電圧V_sはOLEDの端子間電圧を発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEDの動作電圧V_{on}に等しい電圧を与えることが望ましい。

20

【0067】

本実施の形態の動作は、極性の変化に注意すれば実施の形態1の動作方法と同様の方法で可能であるので説明は省略する。

30

【0068】

以上に示した本実施の形態の構成を用いることで、実施の形態1と同様な効果が得られる。

【0069】

モニタ電流の小さい場合の対処に対しても、実施の形態1と同様にカレントミラー比を適切に設計すればよい。

【0070】

本実施の形態の説明でも輝度情報を基準電流I_rに持たせたが、この限りでなく実施の形態1で示したように、抵抗に持たせても構わない。

【0071】

また、本実施の形態で画素回路のT4, T5, T6、及び、データ側駆動回路内のM1, M2はn型のトランジスタとなっているが、先述したようにこのトランジスタはスイッチとして動作するものであり、p型のトランジスタを用いても構わない。ただし、p型のトランジスタを使用した場合は、反転した制御信号をゲートに入力しなければならない。

40

【0072】

なお、使用するトランジスタの種類に関しては、実施の形態1と同様である。

【0073】

(実施の形態4)

カラーディスプレイの単色1画素あたりの大きさを考えると、約300μm(縦)×約100μm(横)程度となり、これを考慮すると、走査線、データ線はできる限り少ない方

50

が望ましい。本実施の形態はこれを考慮した本発明の具体的な実施形態である。

【0074】

図3は本発明のアクティブマトリクス型ディスプレイの実施の形態4に含まれる回路構成を示す構成図である。

【0075】

まず、本実施の形態の画素回路1の構成を説明する。

【0076】

画素回路1は、第1のn型薄膜トランジスタT1のソースにOLEDのアノードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端と第2のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第1のp型薄膜トランジスタT2のドレインとゲート及び第2のp型薄膜トランジスタT3のゲートが接続されている。OLEDのカソードとコンデンサの他端はGNDに接続されている。T2、T3のソースは電源電位V_{dd}に接続されている。T3のドレインは第3のn型薄膜トランジスタT5のドレインが接続されている。T4のソースとT5のソースは短絡しており、画素回路1から出力される信号線は1本であり、この信号線名をV_cとする。なお、T4、T5は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。本実施の形態が示す構造において、T2とT3は、カレントミラー構造に成っていると云ってもよい。

10

20

【0077】

これらの画素回路の構成要素において、本実施の形態及び下記の実施の形態5では、薄膜トランジスタT1とコンデンサCとが第1の電圧制御電流源に、薄膜トランジスタT2が駆動電流電圧変換素子に、薄膜トランジスタT3が第2の電圧制御電流源に、薄膜トランジスタT4が第1のスイッチ回路に、薄膜トランジスタT5が第2のスイッチ回路に、それぞれ対応している。

【0078】

データ側駆動回路内2の構成を説明する。

【0079】

画素回路1と接続されている信号線V_cは、第1のnMOSトランジスタM1のドレインと第2のnMOSトランジスタM2のドレインに接続されている。M1のゲートには制御信号S1が、M2のゲートには制御信号S2が入力されている。M1のソースは抵抗R2とサンプルホールド回路4に接続され、抵抗R2の他端はGNDに接続されている。サンプルホールド回路4には制御信号SHが入力されている。サンプルホールド回路4の出力は電圧比較回路AMP1の負入力端子に接続されている。AMP1の出力はM2のソースに接続されている。また、輝度情報を持つ基準電流I_rは抵抗R1とAMP1の正入力端子に接続され、抵抗R1の他端はGNDに接続されている。なお、AMP1はMOSトランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。本実施の形態の構成では、M1、M2はスイッチ回路として動作する。

30

【0080】

これらのデータ側駆動回路の構成要素において、本実施の形態及び下記の実施の形態5では、電圧比較回路AMP1とサンプルホールド回路4と抵抗R1、R2と基準電流源I_rとが制御回路に、MOSトランジスタM1、M2が入出力切り替えスイッチに、それぞれ対応している。

40

【0081】

先述したデータ側駆動回路内のサンプルホールド回路4の構成は、例えば、図6に示す構成で実現できる。

【0082】

図6に示すサンプルホールド回路の説明をする。

【0083】

50

入力端子となる V_{in} は第 1 の nMOS トランジスタ T_{s1} のゲートに入力されている。 T_{s1} のソースは第 2 の nMOS トランジスタ T_{s2} のソースと第 3 の nMOS トランジスタ T_{s3} のドレインに接続されている。 T_{s3} のソースは GND に接続され、 T_{s3} のドレインに所望の定電流が発生できるように T_{s3} のゲートには電圧 V_1 が入力されている。 T_{s1} のドレインは第 1 の pMOS トランジスタ T_{s4} のドレインとゲート及び第 2 の pMOS トランジスタ T_{s5} のゲートに接続されている。 T_{s4} 、 T_{s5} のソースは電源電位 V_{dd} に接続されている。 T_{s2} のドレインは T_{s2} のゲート及び T_{s5} のドレインに及び第 4 の nMOS トランジスタ T_{s6} のドレインに接続されている。 T_{s6} のソースにはコンデンサ C_s が接続されておりこの端が出力となる。 T_{s6} のゲートには制御信号 S_3 が入力されている。

10

【0084】

この構造で、入力された電圧 V_{in} と等しい電圧が T_{s2} のゲートに出力される。 T_{s6} が制御信号 S_3 によって ON 状態のとき、入力電圧 V_{in} と等しい電圧が出力端子に出力されて、これと同時にコンデンサ C_s にもその電圧が書き込まれる。 T_{s6} が制御信号 S_3 によって OFF 状態のとき、コンデンサ C_s の電圧は直前に書き込まれた電圧を保持される。

【0085】

次に、本実施の形態の動作の一例を、図 5 に示すタイミングチャートを用いて説明する。

【0086】

時間 t_c は走査選択時間であり、すなわち駆動電流設定制御可能時間である。この時間内には、輝度情報変換時間 t_s と駆動電流設定制御時間 t_n ($n = 1 \sim 5$) があり、時間 t_n ($n = 1 \sim 5$) はモニタ電流サンプリング時間 t_{an} ($n = 1 \sim 5$) と制御電圧書き込み時間 t_{bn} ($n = 1 \sim 5$) で構成されている。本実施の形態では $n = 1 \sim 5$ となっているが、この限りでなく、時間の許す限り何度行っても良い。

20

【0087】

まず、 t_s の時間では、輝度情報により基準電流 I_r が変化し、これに伴い電圧 V_r も変化する。

【0088】

次に、 t_{a1} の時間では、

S_{canA} = ハイレベル	$T_5 = ON$
S_{canB} = ロウレベル	$T_4 = OFF$
S_1 = ハイレベル	$M_1 = ON$
S_2 = ロウレベル	$M_2 = OFF$
SH = ハイレベル	サンプリング状態

30

となる。この状態で、画素回路からのモニタ電流 I_m がデータ側駆動回路内でモニタ電圧 V_{m0} に変換され、電圧比較回路 AMP 1 の負入力端子にサンプリング電圧 V_m が入力される。この時点では、画素内のコンデンサに書き込まれた電圧情報は、前回の情報から変化していないので、 V_m と V_r には大きな電位差がある。この電位差に基づいて電圧比較器 AMP 1 は V_m が V_r と等しくなるように強力な制御指令を発生させる。すなわち、AMP 1 の出力端をチャージポンプ構成になっていたならば、AMP 1 の出力はチャージポンプを構成する 2 つの電流源の差電流となり、強力な制御指令というのは差電流が最大ということである。

40

【0089】

続いて t_{b1} の時間では、

S_{canA} = ロウレベル	$T_5 = OFF$
S_{canB} = ハイレベル	$T_4 = ON$
S_1 = ロウレベル	$M_1 = OFF$
S_2 = ハイレベル	$M_2 = ON$
SH = ロウレベル	ホールド状態

となり、AMP 1 の出力信号 (制御信号) を画素回路の T_1 のゲート及びコンデンサに書

50

き込み、これに従って駆動電流 I_d が変化する。書き込む時間は t_x で与えられ、この時間の大きさによって制御利得が決まる。

【0090】

続いて t_{a2} の時間では、 t_{a1} の時間と同様に、

Scan A = ハイレベル T5 = ON
 Scan B = ロウレベル T4 = OFF
 S1 = ハイレベル M1 = ON
 S2 = ロウレベル M2 = OFF
 SH = ハイレベル サンプリング状態

となり、モニタ電流 I_m がモニタ電圧 V_m に変換され、モニタ電圧 V_m がサンプリングされる。このとき、 t_{b1} の時間で画素回路のコンデンサの電圧が書き換わった為、 V_m と V_r との電位差は、 t_{a1} の時間のときに比べ小さくなっているので AMP1 の出力は先ほどに比べると弱い制御指令を発生している。

10

【0091】

続いて t_{b2} の時間で再び t_{b1} と同様に、

Scan A = ロウレベル T5 = OFF
 Scan B = ハイレベル T4 = ON
 S1 = ロウレベル M1 = OFF
 S2 = ハイレベル M2 = ON
 SH = ロウレベル ホールド状態

20

となり、画素回路の T1 のゲート及びコンデンサに AMP1 の出力信号を書き込む。しかしながら、 t_{b1} のときに比べ、AMP1 の出力信号（制御指令）は弱くなっているのと同じ t_x の時間で変化できる駆動電流の変化量は少なくなっている。

【0092】

同様に t_{a3} t_{b3} t_{a4} t_{b4} と順次制御を繰り返し、目標値に収束していく。

【0093】

本実施の形態を示す図5のように、例えば、 t_{a5} の時間で V_m と V_r が等しくなったと判定されたならば、 t_{b5} では AMP1 からの制御出力は前回の制御電圧を保持するといった状態になる。

【0094】

以上説明した本実施の形態の構成を用いれば、実施の形態1と同様に、アーリー効果の影響を受けることなく、しかも安定且つ正確に駆動電流を OLED に供給することができる。

30

【0095】

また、画素回路から出力されたモニタ電流の検出と駆動電流設定電圧制御をサンプリングホールド回路を用いて順次交互に繰り返して行うことにより、所望の輝度を得る為に必要な駆動電流を設定することができる。そして、これにより画素回路とデータ側駆動回路とを繋ぐ信号線を1本にすることができる。

【0096】

なお、制御信号をコンデンサ C に正確に書き込む為には、図5で示すような順番でスイッチ動作することが望ましい。

40

【0097】

また、本実施の形態で画素回路の T4, T5、及び、データ側駆動回路内の M1, M2 は n 型のトランジスタとなっているが、先述したようにこのトランジスタはスイッチとして動作するものであり、p 型のトランジスタを用いても構わない。ただし、p 型のトランジスタを使用した場合は、反転した制御信号をゲートに入力しなければならない。

【0098】

モニタ電流の小さい場合の対処に対しても、実施の形態1と同様にカレントミラー比を適切に設計すればよい。

【0099】

50

本実施の形態の説明でも輝度情報を基準電流 I_r に持たせたが、この限りでなく実施の形態 1 で示したように、抵抗に持たせても構わない。

【0100】

なお、使用するトランジスタの種類に関しては、実施の形態 1 と同様である。

【0101】

(実施の形態 5)

図 4 は本発明のアクティブマトリクス型ディスプレイの実施の形態 5 に含まれる回路構成を示す構成図である。

【0102】

本実施の形態の実施の形態 4 との違いは、OLED を電源電位側に配置したことである。動作概念は実施の形態 4 と同じなので、本実施の形態の構成のみを説明する。

10

【0103】

画素回路 1 の構成は、第 1 の p 型薄膜トランジスタ T 1 のソースに OLED のカソードが接続されており、ソースフォロアを構成している。また、T 1 のゲートにはコンデンサ C の一端と第 1 の n 型薄膜トランジスタ T 4 のドレインが接続されており、T 1 のドレインには第 2 の n 型薄膜トランジスタ T 2 のドレインとゲート及び第 3 の n 型薄膜トランジスタ T 3 のゲートが接続されている。OLED のアノードとコンデンサの他端は電源電位 V_{dd} に接続されている。T 2, T 3 のソースは GND に接続されている。T 3 のドレインは第 4 の n 型薄膜トランジスタ T 5 のソースが接続されている。T 4 のソースと T 5 のドレインは短絡しており、画素回路 1 から出力される信号線は 1 本であり、この信号線名を V_c とする。なお、T 4, T 5 は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T 5 のゲートには画素領域外部に設置された走査側駆動回路 (図中に記載していない) から出力される制御信号 $Scan A$ が入力されており、T 4 のゲートには前記走査側駆動回路から出力される制御信号 $Scan B$ が入力されている。本実施の形態が示す構造において、T 2 と T 3 は、カレントミラー構造に成っていると云ってもよい。

20

【0104】

データ側駆動回路 2 の構成を説明する。

【0105】

画素と接続されている信号線 V_c は、第 1 の nMOS トランジスタ M 1 のソースと第 2 の nMOS トランジスタ M 2 のドレインに接続されている。M 1 のゲートには制御信号 S_1 が、M 2 のゲートには制御信号 S_2 が入力されている。M 1 のドレインは抵抗 R_2 とサンプルホールド回路 4 に接続され、抵抗 R_2 の他端は電源電位 V_{dd} に接続されている。サンプルホールド回路 4 には制御信号 SH が入力されている。サンプルホールド回路 4 の出力は電圧比較回路 AMP 1 の負入力端子に接続されている。AMP 1 の出力は M 2 のソースに接続されている。また、輝度情報を持つ基準電流 I_r は抵抗 R_1 と AMP 1 の正入力端子に接続され、抵抗 R_1 の他端は電源電位 V_{dd} に接続されている。なお、AMP 1 は MOS トランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。本実施の形態の構成では、M 1, M 2 はスイッチ回路として動作する。

30

【0106】

サンプルホールド回路 4 の構成は、実施の形態 4 と同様に、例えば、図 6 に示す構成で実現できる。

40

【0107】

本実施形態においても、実施の形態 4 と同様の効果が得られる。

【0108】

また、構成の変更についても実施の形態 4 と同様に可能である。

【0109】

(実施の形態 6)

図 7 は本発明のアクティブマトリクス型ディスプレイの実施の形態 6 に含まれる回路構成を示す構成図である。

50

【0110】

まず、本実施の形態の画素回路1の構造を説明する。

【0111】

画素回路1は、第1のn型薄膜トランジスタT1のソースにOLEDのアノードが接続されており、ソースフォロアを構成している。また、T1のゲートにはコンデンサCの一端と第2のn型薄膜トランジスタT4のドレインが接続されており、T1のドレインには第1のp型薄膜トランジスタT2のドレインとゲート及び第2のp型薄膜トランジスタT3のゲートが接続されている。OLEDのカソードとコンデンサの他端はGNDに接続されている。T2, T3のソースは電源電位V_{dd}に接続されている。T3のドレインは第3のn型薄膜トランジスタT5のドレインが接続されている。T4のソースとT5のソースは短絡しており、画素回路1から出力される信号線は1本であり、この信号線名をV_cとする。なお、T4, T5は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。

10

【0112】

以上までの構成は、実施の形態4と同様である。本実施の形態は、この構成に、さらに、第4のn型薄膜トランジスタT6のドレインをOLEDのアノード端に接続し、T6のソースをT1のゲートに接続している。T6のゲートには前記走査側駆動回路から出力されている制御信号ScanCが入力されている。T6はスイッチとして動作する。なお、本実施の形態が示す構造において、T2とT3は、カレントミラー構造に成っていると言ってもよい。

20

【0113】

これらの画素回路の構成要素において、本実施の形態及び下記の実施の形態7では、薄膜トランジスタT1とコンデンサCとが第1の電圧制御電流源に、薄膜トランジスタT2が駆動電流電圧変換素子に、薄膜トランジスタT3が第2の電圧制御電流源に、薄膜トランジスタT4が第1のスイッチ回路に、薄膜トランジスタT5が第2のスイッチ回路に、薄膜トランジスタT6が第3のスイッチ回路に、それぞれ対応している。

【0114】

画素領域外部に設置されたデータ側駆動回路2について説明する。

30

【0115】

画素回路1と接続されている信号線V_cは、第1のnMOSトランジスタM1のドレインと、第2のnMOSトランジスタM2のドレインと、第3のnMOSトランジスタM3のドレインに接続されている。M1のゲートには制御信号S1が、M2のゲートには制御信号S2が、M3のゲートには制御信号S3が入力されている。M1のソースは抵抗R2とサンプルホールド回路4に接続され、R2の他端はGNDに接続されている。サンプルホールド回路4には制御信号SHが入力されている。サンプルホールド回路4の出力は電圧比較回路AMP1の負入力端子に接続されている。AMP1の出力はM2のソースに接続されている。また、輝度情報を持つ基準電流I_rは抵抗R1とAMP1の正入力端子に接続され、抵抗R1の他端はGNDに接続されている。なお、AMP1はMOSトランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。M3のソースには基準電圧源V_sが接続されている。この基準電圧源V_sはGND電位を基準に作られており、電圧V_sはOLEDの発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEDの動作電圧V_{on}に等しい電圧を与えることが望ましい。

40

【0116】

サンプルホールド回路4は、例えば、図6に示す構造を用いて構わない。

【0117】

これらのデータ側駆動回路の構成要素において、本実施の形態及び下記の実施の形態7では、電圧比較回路AMP1とサンプルホールド回路4と抵抗R1、R2と基準電流源I_r

50

とが制御回路に、M O S トランジスタ M 1、M 2 が入出力切り替えスイッチに、M O S トランジスタ M 2、M 3 が選択スイッチ回路に、それぞれ対応している。即ち、本実施の形態及び下記の実施の形態 7 では、M 2 は 2 つのスイッチの構成要素を兼ねる構成となっている。

【 0 1 1 8 】

次に、本実施の形態の動作の一例を、図 9 に示すタイミングチャートを用いて説明する。

【 0 1 1 9 】

時間 t_c は走査選択時間であり、すなわち駆動電流設定制御可能時間である。この時間内には、輝度情報変換および O L E D アノード端電圧設定時間 t_s と駆動電流設定制御時間 t_n ($n = 1 \sim 5$) があり、時間 t_n はモニタ電流サンプリング時間 t_{a_n} ($n = 1 \sim 5$) と制御電圧書き込み時間 t_{b_n} ($n = 1 \sim 5$) で構成されている。本実施の形態では $n = 1 \sim 5$ となっているが、この限りでなく、時間の許す限り何度行っても良い。

【 0 1 2 0 】

まず、 t_s の時間で、

S c a n A = ロウレベル	T 5 = O F F
S c a n B = ハイレベル	T 4 = O N
S c a n C = ハイレベル	T 6 = O N
S 1 = ロウレベル	M 1 = O F F
S 2 = ロウレベル	M 2 = O F F
S 3 = ハイレベル	M 3 = O N
S H = ロウレベル	ホールド状態

となり、データ側駆動回路内では、基準電流 I_r が変化し、これに伴い電圧 V_r も変化する。これと同時に、O L E D のアノード端電圧を電圧 V_s に設定する制御が行われる。

【 0 1 2 1 】

続いて、 t_{a_1} の時間で、

S c a n A = ハイレベル	T 5 = O N
S c a n B = ロウレベル	T 4 = O F F
S c a n C = ロウレベル	T 6 = O F F
S 1 = ハイレベル	M 1 = O N
S 2 = ロウレベル	M 2 = O F F
S 3 = ロウレベル	M 3 = O F F
S H = ハイレベル	サンプリング状態

となる。この状態で、画素回路からのモニタ電流 I_m がデータ側駆動回路内でモニタ電圧 V_{m0} に変換され、電圧比較回路 A M P 1 の負入力端子にサンプリング電圧 V_m が入力される。この時点では、画素内のコンデンサに書き込まれた電圧情報は、前回の情報のから変化していないので、 V_m と V_r には大きな電位差がある。

【 0 1 2 2 】

この電位差に基づいて電圧比較器 A M P 1 は V_m が V_r と等しくなるように強力な制御指令を発生させる。すなわち、A M P 1 の出力端をチャージポンプ構成にしていたならば、A M P 1 の出力はチャージポンプを構成する 2 つの電流源の差電流となり、強力な制御指令というのは差電流が大きいということである。

【 0 1 2 3 】

続いて t_{b_1} の時間で、

S c a n A = ロウレベル	T 5 = O F F
S c a n B = ハイレベル	T 4 = O N
S c a n C = ロウレベル	T 6 = O F F
S 1 = ロウレベル	M 1 = O F F
S 2 = ハイレベル	M 2 = O N
S 3 = ロウレベル	M 3 = O F F
S H = ロウレベル	ホールド状態

となり、AMP 1 の出力信号（制御信号）を画素回路の T 1 のゲート及びコンデンサに書き込み、これに従って駆動電流 I_d が変化する。書き込む時間は t_x で与えられ、この時間の大きさによって制御利得が決まる。

【0124】

続いて t_{a2} の時間では、 t_{a1} の時間と同様に、

S c a n A = ハイレベル	T 5 = O N
S c a n B = ロウレベル	T 4 = O F F
S c a n C = ロウレベル	T 6 = O F F
S 1 = ハイレベル	M 1 = O N
S 2 = ロウレベル	M 2 = O F F
S 3 = ロウレベル	M 3 = O F F
S H = ハイレベル	サンプリング状態

10

となり、モニタ電流 I_m がモニタ電圧 V_m に変換され、モニタ電圧 V_m がサンプリングされる。このとき、 t_{b1} の時間で画素回路のコンデンサの電圧が書き換わった為、 V_m と V_r との電位差は、 t_{a1} の時間のときに比べ小さくなっているため AMP 1 の出力は先ほどに比べると弱い制御指令を発生している。

【0125】

続いて t_{b2} の時間で再び t_{b1} と同様に、

S c a n A = ロウレベル	T 5 = O F F
S c a n B = ハイレベル	T 4 = O N
S c a n C = ロウレベル	T 6 = O F F
S 1 = ロウレベル	M 1 = O F F
S 2 = ハイレベル	M 2 = O N
S 3 = ロウレベル	M 3 = O F F
S H = ロウレベル	ホールド状態

20

となり、画素回路の T 1 のゲート及びコンデンサに AMP 1 の出力信号を書き込む。しかしながら、 t_{b1} のときに比べ、AMP 1 の出力信号（制御指令）は弱くなっているため同じ t_x の時間で変化できる駆動電流の変化量は少なくなっている。

【0126】

同様に t_{a3} t_{b3} t_{a4} t_{b4} と順次制御を繰り返し、目標値に収束していく。

30

【0127】

本実施の形態を示す図 5 のように、例えば、 t_{a5} の時間で V_m と V_r が等しくなったと判定されたならば、 t_{b5} では AMP 1 からの制御出力は前回の制御電圧を保持するといった状態になる。

【0128】

本実施の形態によれば、実施の形態 1 の効果と、実施の形態 4 の効果との両方の効果が得られる。

【0129】

また、構成の変更についても実施の形態 1 や 4 と同様に可能である。

【0130】

（実施の形態 7）

図 8 は本発明のアクティブマトリックス型ディスプレイの実施の形態 7 に含まれる回路構成を示す構成図である。

40

【0131】

本実施の形態の実施の形態 6 との違いは、OLED を電源電位側に配置したことである。動作概念は実施の形態 6 と同じなので、本実施の形態の構成のみを説明する。

【0132】

画素回路 1 の構成は、第 1 の p 型薄膜トランジスタ T 1 のソースに OLED のカソードが接続されており、ソースフォロアを構成している。また、T 1 のゲートにはコンデンサ C の一端と第 1 の n 型薄膜トランジスタ T 4 のドレインが接続されており、T 1 のドレイン

50

には第2のn型薄膜トランジスタT2のドレインとゲート及び第3のn型薄膜トランジスタT3のゲートが接続されている。OLEDのアノードとコンデンサの他端は電源電位V_{dd}に接続されている。T2, T3のソースはGNDに接続されている。T3のドレインは第4のn型薄膜トランジスタT5のソースが接続されている。T4のソースとT5のドレインは短絡しており、画素回路1から出力される信号線は1本であり、この信号線名をV_cとする。なお、T4, T5は電氣的に導通状態或いは非導通状態になるスイッチ動作をするものである。T5のゲートには画素領域外部に設置された走査側駆動回路(図中に記載していない)から出力される制御信号ScanAが入力されており、T4のゲートには前記走査側駆動回路から出力される制御信号ScanBが入力されている。

【0133】

以上までの構成は、実施の形態5と同じである。本実施の形態は、この構造に、さらに、第5のn型薄膜トランジスタT6のドレインをOLEDのカソード端に接続し、T6のソースをT1のゲートに接続している。T6のゲートには前記走査側駆動回路から出力されている制御信号ScanCが入力されている。T6はスイッチとして動作する。なお、本実施の形態が示す構造において、T2とT3は、カレントミラー構造に成っていると云ってもよい。

【0134】

画素領域外部に設置されたデータ側駆動回路2について説明する。

【0135】

画素回路1と接続されている信号線V_cは、第1のnMOSトランジスタM1のソースと、第2のnMOSトランジスタM2のドレインと、第3のnMOSトランジスタM3のドレインに接続されている。M1のゲートには制御信号S1が、M2のゲートには制御信号S2が、M3のゲートには制御信号S3が入力されている。M1のドレインは抵抗R2とサンプルホールド回路4に接続され、R2の他端は電源電位V_{dd}に接続されている。サンプルホールド回路4には制御信号SHが入力されている。サンプルホールド回路4の出力は電圧比較回路AMP1の負入力端子に接続されている。AMP1の出力はM2のソースに接続されている。また、輝度情報を持つ基準電流I_rは抵抗R1とAMP1の正入力端子に接続され、抵抗R1の他端は電源電位V_{dd}に接続されている。なお、AMP1はMOSトランジスタで構成され、出力端はチャージポンプ構成になっていることが望ましい。M3のソースには基準電圧源V_sが接続されている。この基準電圧源V_sは電源電位V_{dd}を基準に作られており、電圧V_sはOLEDの発光しきい値電圧以下の固定電圧にするか、或いは、輝度情報に応じて、その駆動電流に対応する平均的なOLEDの動作電圧V_{on}に等しい電圧を与えることが望ましい。

【0136】

サンプルホールド回路4は、例えば、図6に示す構造を用いて構わない。

【0137】

本実施の形態によれば、実施の形態3の効果と、実施の形態5の効果との両方の効果が得られる。

【0138】

また、構成の変更についても実施の形態3や5と同様に可能である。

【0139】

【発明の効果】

以上説明した様に本発明によれば、各画素回路に設置された駆動電流源を構成するトランジスタのしきい値電圧のばらつきに影響されず安定且つ正確に電流発光素子に供給できる。

【0140】

また、駆動電流源の制御電圧を制御する期間から、設定された制御電圧に基づいて一定の電流を発光素子に流し続ける期間に移る段階において、駆動電流源の入出力端子間電圧を変化させないようにできるため、駆動電流源として絶縁ゲート型電界効果トランジスタを用いた場合に課題となっていたアーリー効果による影響から完全に開放され、さらには、

10

20

30

40

50

輝度によって、或いは、経時劣化によってO L E Dのアノード・カソード電圧が大きく変化して、駆動電流を発生するトランジスタのソース・ドレイン電圧が十分に確保できず、動作領域が3極管領域になったとしても、安定かつ高精度に駆動電流を発光素子に供給できる為、高精細な画像表示が可能である。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図2】本発明のアクティブマトリクス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図3】本発明のアクティブマトリクス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。 10

【図4】本発明のアクティブマトリクス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図5】本発明のアクティブマトリクス型ディスプレイの一実施形態の動作を説明する為のタイミングチャートである。

【図6】本発明のアクティブマトリクス型ディスプレイの一実施形態で用いるサンプルホールド回路である。

【図7】本発明のアクティブマトリクス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。

【図8】本発明のアクティブマトリクス型ディスプレイの一実施形態に含まれる回路構成を示す構成図である。 20

【図9】本発明のアクティブマトリクス型ディスプレイの一実施形態の動作を説明する為のタイミングチャートである。

【図10】本発明のアクティブマトリクス型ディスプレイの一実施形態を示す構成図である。

【図11】本発明のアクティブマトリクス型ディスプレイの一実施の形態の動作を説明する為のタイミングチャートである。

【図12】O L E Dモデルの放電特性を調べるシミュレーション用回路図である。

【図13】作成したO L E Dモデルの電圧電流特性である。

【図14】O L E Dの放電特性シミュレーション結果である。 30

【図15】従来例1のアクティブマトリクス型ディスプレイに含まれる回路構成を示す構成図である。

【図16】従来例2のアクティブマトリクス型ディスプレイに含まれる回路構成を示す構成図である。

【図17】従来例3のアクティブマトリクス型ディスプレイに含まれる回路構成を示す構成図である。

【符号の説明】

O L E D 発光素子

T F T 1 ~ T F T 4、T 1 ~ T 6 薄膜トランジスタ

M 1 ~ M 3 M O Sトランジスタ 40

C コンデンサ

R , R 1 , R 2 抵抗

I r 基準電流源

V s 基準電圧源

A M P 1 電圧比較回路

1 画素回路

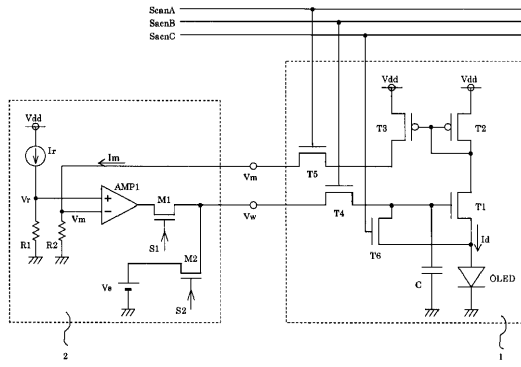
2 データ側駆動回路

3 走査側駆動回路

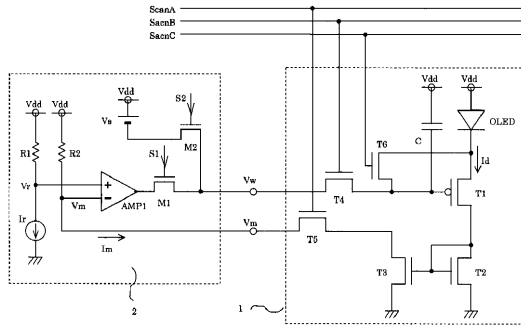
4 サンプルホールド回路

5 信号供給回路 50

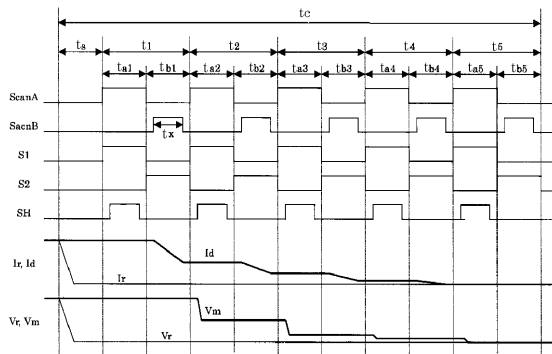
【 図 1 】



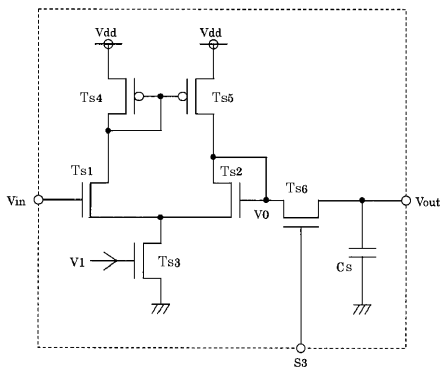
【 図 2 】



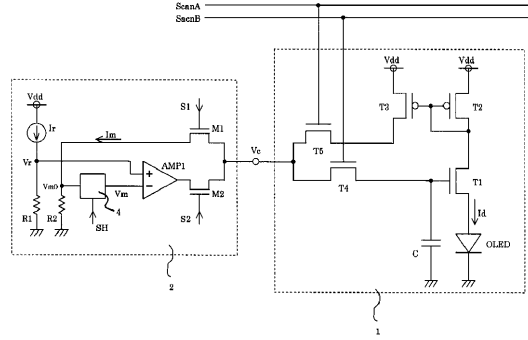
【 図 5 】



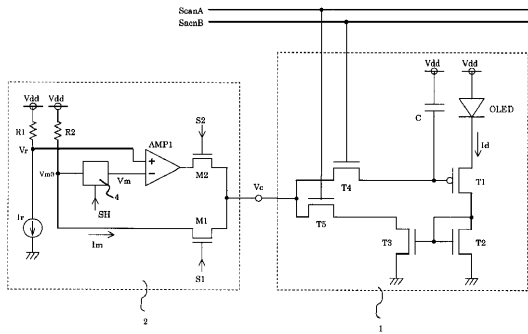
【 図 6 】



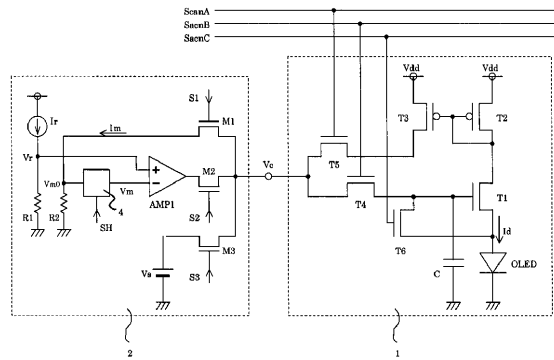
【 図 3 】



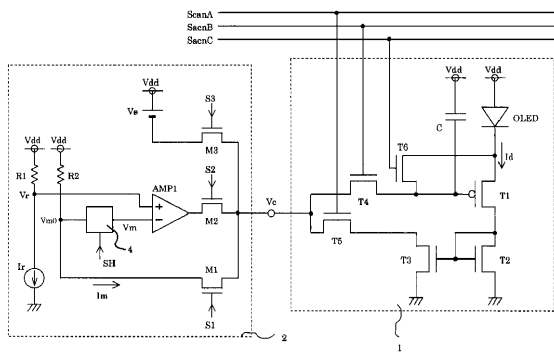
【 図 4 】



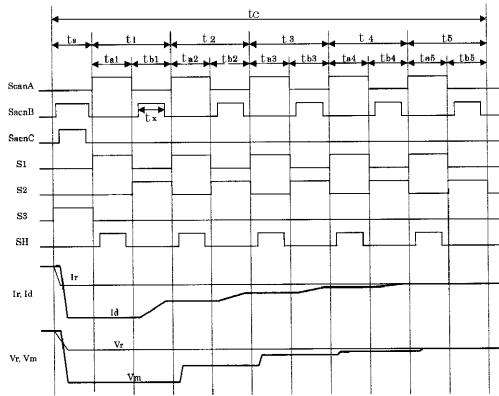
【 図 7 】



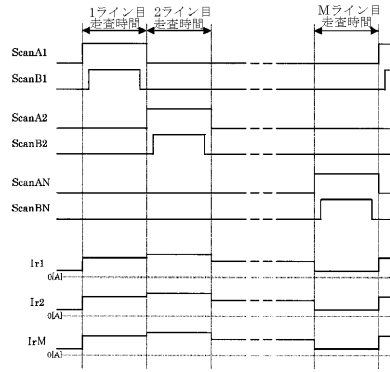
【 図 8 】



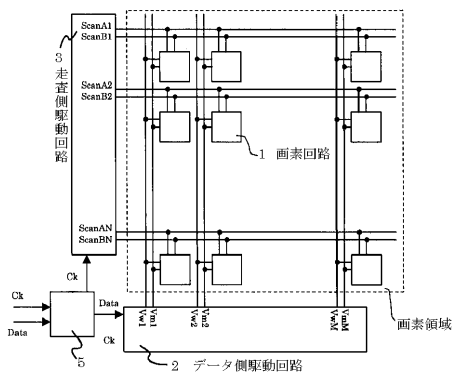
【図9】



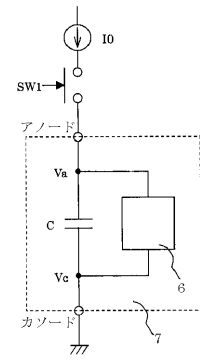
【図11】



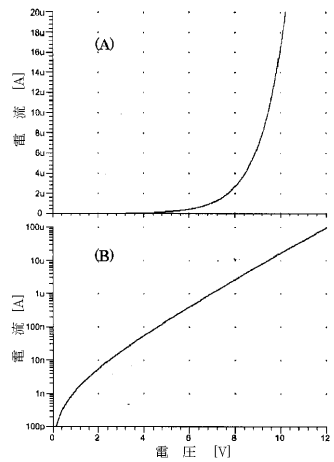
【図10】



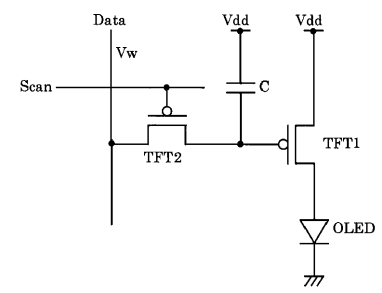
【図12】



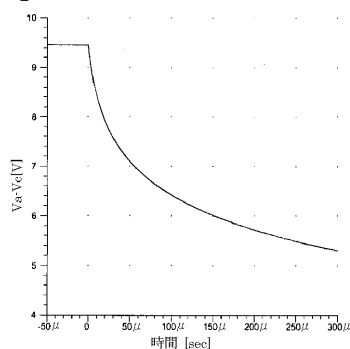
【図13】



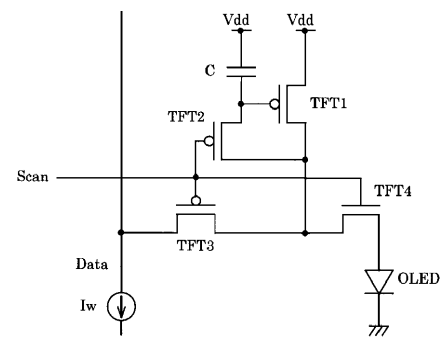
【図15】



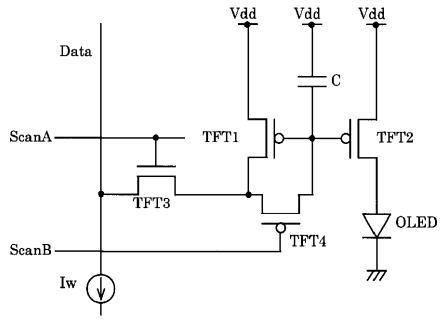
【図14】



【図16】



【 図 17 】



专利名称(译)	有源矩阵显示		
公开(公告)号	JP3833100B2	公开(公告)日	2006-10-11
申请号	JP2001342644	申请日	2001-11-08
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
当前申请(专利权)人(译)	佳能公司		
[标]发明人	大村昌伸 川崎素明		
发明人	大村 昌伸 川崎 素明		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H01L29/786 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.P H05B33/14.A G09G3/20.622.C G09G3/20.622.D G09G3/20.623.A G09G3/20.623.L G09G3/20.623.R G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L29/78.614		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/BB07 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB22 5C380/AB23 5C380/AB32 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC03 5C380/BC13 5C380/CA12 5C380/CA24 5C380/CA29 5C380/CA54 5C380/CB01 5C380/CC26 5C380/CC33 5C380/CC64 5C380/CD015 5C380/CD016 5C380/CE04 5C380/CE05 5C380/CF27 5C380/CF41 5C380/CF52 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA46 5C380/DA50 5F110/AA30 5F110/BB01 5F110/GG02 5F110/GG04 5F110/GG05 5F110/GG13 5F110/GG15 5F110/NN71		
代理人(译)	渡边圭佑 山口 芳広		
其他公开文献	JP2003140613A		
外部链接	Espacenet		

摘要(译)

提供一种有源矩阵型显示器，其能够解决由于晶体管的阈值电压的变化引起的对发光元件的供电电流的变化以及由于早期效应的影响并实现高质量显示的问题。提供用于向发光元件提供驱动电流的压控电流源 (T1) 和用于检测驱动电流的电流 - 电压转换元件 (T2)，以及电流 - 电压转换并且基于由元件 (T2) 检测的驱动电流的电流值来控制电压控制电流源 (T1)。此外，通过提供用于重置发光元件 (OLED) 的端子之间的电压的参考电压源 (Vs)，可以实现高速响应。

【图 5】

