

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-118125

(P2011-118125A)

(43) 公開日 平成23年6月16日(2011.6.16)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/30	(2006.01)	G09G	3/30	K	3K107	
G09G	3/20	(2006.01)	G09G	3/30	J	5C080	
G09F	9/30	(2006.01)	G09G	3/20	670J	5C094	
H01L	51/50	(2006.01)	G09G	3/20	611A	5C380	
			G09G	3/20	612E		
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く							

(21) 出願番号 特願2009-274878 (P2009-274878)
(22) 出願日 平成21年12月2日 (2009.12.2)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100098785
弁理士 藤島 洋一郎
(74) 代理人 100109656
弁理士 三反崎 泰司
(74) 代理人 100130915
弁理士 長谷部 政男
(74) 代理人 100155376
弁理士 田名網 孝昭
(72) 発明者 山下 淳一
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

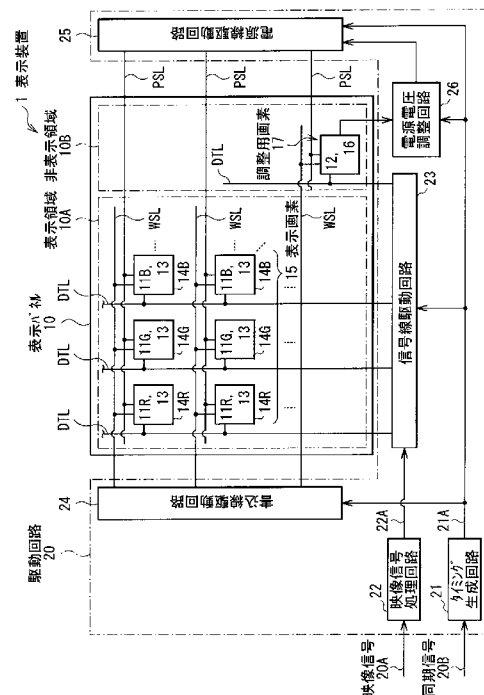
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】消費電力を低く抑えることの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】表示パネル10は、有機EL素子11(11R, 11G, 11B)および画素回路13を含む複数の表示画素15が2次元配置された表示領域10Aと、有機EL素子12および画素回路16を含む1つの調整用画素17が配置された非表示領域10Bを有する。信号線駆動回路23は、調整用画素17に対応する信号線DTLに対して、映像信号処理回路22で抽出された最大輝度となる映像信号22Aを出力する。電圧調整回路26は、有機EL素子12の電圧変動に応じた値の電源電圧を電源線駆動回路25に出力し、電源線駆動回路25は、複数の電源線PSLに、電源電圧調整回路26から出力された電源電圧を順次印加する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

発光素子および画素回路を含む複数の画素が 2 次元配置された表示部と、
映像信号に基づいて各画素を駆動する駆動部と
を備え、
前記複数の画素のうち少なくとも 1 つの画素が、調整用画素であり、
前記駆動部は、前記調整用画素に含まれる発光素子の電圧変動に応じた値の電源電圧を
、前記複数の画素のうち少なくとも前記調整画素以外の画素に印加する
表示装置。

【請求項 2】

前記駆動部は、1 フィールドの映像信号の中で最大輝度となる映像信号に基づいて前記
調整用画素を駆動する
請求項 1 に記載の表示装置。

【請求項 3】

前記駆動部は、1 フィールドの映像信号の中で最大輝度となる映像信号を 1 水平期間ご
とに抽出し、抽出した映像信号に基づいて前記調整用画素を駆動する
請求項 2 に記載の表示装置。

【請求項 4】

前記表示部は、映像を表示する表示領域と、映像を表示しない非表示領域とを有し、
前記調整用画素は、前記非表示領域に設けられている
請求項 1 ないし請求項 3 のいずれか一項に記載の表示装置。

【請求項 5】

前記駆動部は、前記調整用画素に含まれる発光素子の電圧と、基準電圧とを対比するこ
とにより、前記調整用画素に含まれる発光素子の電圧変動量を導出し、前記電圧変動量に
応じた値の電源電圧を、前記複数の画素のうち少なくとも前記調整画素以外の画素に印加
する
請求項 1 ないし請求項 3 のいずれか一項に記載の表示装置。

【請求項 6】

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記映像
信号に応じた信号電圧を前記第 1 トランジスタのゲートに書き込む第 2 トランジスタとを
有し、
前記駆動部は、前記電圧変動量を用いて、前記第 1 トランジスタを飽和領域で駆動させ
るのに必要な電源電圧値を導出し、導出した電源電圧値の電源電圧を、前記複数の画素の
うち少なくとも前記調整画素以外の画素に印加する
請求項 5 に記載の表示装置。

【請求項 7】

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記映像
信号に応じた信号電圧を前記第 1 トランジスタのゲートに書き込む第 2 トランジスタとを
有し、

前記第 1 トランジスタのソースおよびドレインのいずれか一方は前記発光素子に接続さ
れ、

前記第 1 トランジスタのソースおよびドレインのうち前記発光素子に非接続の方は前記
電源電圧が供給される部材に接続されている

請求項 1 ないし請求項 3 のいずれか一項に記載の表示装置。

【請求項 8】

発光素子および画素回路を含む複数の画素が 2 次元配置された表示部と、映像信号に基
づいて各画素を駆動する駆動部とを備え、前記複数の画素のうち少なくとも 1 つの画素が
調整用画素である表示装置において、前記調整用画素に含まれる発光素子の電圧変動に応
じた値の電源電圧を、前記複数の画素のうち少なくとも前記調整画素以外の画素に印加す
るステップを含む

10

20

30

40

50

表示装置の駆動方法。

【請求項 9】

表示装置を備え、

前記表示装置は、

発光素子および画素回路を含む複数の画素が 2 次元配置された表示部と、

映像信号に基づいて各画素を駆動する駆動部と

を有し、

前記複数の画素のうち少なくとも 1 つの画素が、調整用画素であり、

前記駆動部は、前記調整用画素に含まれる発光素子の電圧変動に応じた値の電源電圧を

、前記複数の画素のうち少なくとも前記調整画素以外の画素に印加する

電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルに発光素子が設けられた表示装置およびその駆動方法に関する。

また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 EL 素子は、液晶素子などとは異なり自発光素子である。そのため、有機 EL 素子を用いた表示装置（有機 EL 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて、薄型化、高輝度化することができる。特に、駆動方式としてアクティブマトリクス方式を用いた場合には、各画素をホールド点灯させることができ、低消費電力化することもできる。そのため、有機 EL 表示装置は、次世代のフラットパネルディスプレイの主流になると期待されている。

20

【0003】

有機 EL 素子は、電流駆動型の発光素子であり、有機 EL 素子に流れる電流量を制御することにより階調を調整することの可能な素子である。しかし、有機 EL 素子は、通電時間や素子温度に応じて I - V 特性が変化する性質を有している。そのため、I - V 特性が経時的に変化した場合であっても一定の輝度を得ることができるようするために、有機 EL 素子に流れる電流量を制御する駆動トランジスタは常に飽和領域で駆動される（特許文献 1 参照）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2001 - 60076 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

ところで、有機 EL 素子の I - V 特性が経時的に変動する状況下で、駆動トランジスタを常に飽和領域で駆動させるためには、電源電圧を、有機 EL 素子の I - V 特性が変動したときに駆動トランジスタが線形駆動とはならない程度に十分に高い値に設定しておくことが必要となる。例えば、有機 EL 素子の I - V 特性の変動によって有機 EL 素子の端子間電圧が 2 V 程度大きくなることが予想される場合には、あらかじめ、電源電圧を、2 V 程度の余裕を持った電圧値に設定することが考えられる。しかし、電源電圧にあらかじめマージンを持たせた場合には、そのマージンの分だけ消費電力が余分に高くなってしまいうという問題があった。

【0006】

50

本発明はかかる問題点に鑑みてなされたものであり、その目的は、消費電力を低く抑えることの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【0007】

本発明の表示装置は、発光素子および画素回路を含む複数の画素が２次元配置された表示部と、映像信号に基づいて各画素を駆動する駆動部とを備えたものである。複数の画素のうち少なくとも１つの画素が、調整用画素である。駆動部は、調整用画素に含まれる発光素子の電圧変動に応じた値の電源電圧を、複数の画素のうち少なくとも前記調整画素以外の画素に印加するようになっている。

【0008】

10

本発明の電子機器は、上記表示装置を備えたものである。

【0009】

本発明による表示装置の駆動方法は、発光素子および画素回路を含む複数の画素が２次元配置された表示部と、映像信号に基づいて各画素を駆動する駆動部とを備え、複数の画素のうち少なくとも１つの画素が調整用画素である表示装置において、以下のステップを含むものである。

(１) 調整用画素に含まれる発光素子の電圧変動に応じた値の電源電圧を、複数の画素のうち少なくとも調整画素以外の画素に印加するステップ

【0010】

本発明の表示装置およびその駆動方法ならびに電子機器では、調整用画素に含まれる発光素子の電圧変動に応じた値の電源電圧が、複数の画素のうち少なくとも調整画素以外の画素に印加される。これにより、あらかじめ、電源電圧に、予想される発光素子の電圧変動の分だけ余裕を持たせた場合と比べて、電源電圧の値を小さく設定することができる。

20

【発明の効果】

【0011】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、あらかじめ、電源電圧に、予想される発光素子の電圧変動の分だけ余裕を持たせた場合と比べて、電源電圧の値を小さく設定することができるようにした。これにより、消費電力を低く抑えることができる。

【図面の簡単な説明】

30

【0012】

【図１】本発明の第１の実施の形態に係る表示装置の構成の一例を表す概略図である。

【図２】表示領域内の画素回路の構成の一例を表す概略図である。

【図３】非表示領域内の画素回路の構成の一例を表す概略図である。

【図４】図１の表示パネルの構成の一例を表す上面図である。

【図５】電源線駆動回路の構成の一例を表す概略図である。

【図６】電源電圧調整回路の構成の一例を表す概略図である。

【図７】駆動トランジスタの飽和領域と、階調との関係の一例を表す関係図である。

【図８】表示画面内の階調の一例と、１フィールド期間内の映像信号の一例を表す模式図である。

40

【図９】電源電圧と、有機ＥＬ素子の電圧および駆動トランジスタのドレイン・ソース間電圧との関係の一例を表す関係図である。

【図１０】パネル温度と有機ＥＬ素子の電圧との関係の一例を表す関係図である。

【図１１】有機ＥＬ素子の通電時間と、有機ＥＬ素子の電圧変動量との関係の一例を表す関係図である。

【図１２】本発明の第２の実施の形態に係る表示装置の構成の一例を表す概略図である。

【図１３】図１２の電源電圧調整回路の構成の一例を表す概略図である。

【図１４】上記実施の形態の発光装置の適用例１の外観を表す斜視図である。

【図１５】(Ａ)は適用例２の表側から見た外観を表す斜視図であり、(Ｂ)は裏側から見た外観を表す斜視図である。

50

【図 16】適用例 3 の外観を表す斜視図である。

【図 17】適用例 4 の外観を表す斜視図である。

【図 18】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【発明を実施するための形態】

【0013】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

10

1. 第 1 の実施の形態(図 1 ~ 図 11)
2. 第 1 の実施の形態の変形例(図なし)
3. 第 2 の実施の形態(図 12、図 13)
4. 第 2 の実施の形態の変形例(図なし)
5. 適用例(図 14 ~ 図 18)

【0014】

< 第 1 の実施の形態 >

(表示装置 1 の概略構成)

図 1 は、本発明の第 1 の実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 10 (表示部) と、表示パネル 10 を駆動する駆動回路 20 (駆動部) とを備えている。

20

【0015】

表示パネル 10 は、複数の有機 EL 素子 11R, 11G, 11B (発光素子) が 2 次元配置された表示領域 10A を有している。なお、以下では、有機 EL 素子 11R, 11G, 11B の総称として有機 EL 素子 11 を適宜、用いるものとする。表示パネル 10 は、また、有機 EL 素子 12 が配置された非表示領域 10B を有している。有機 EL 素子 12 は、有機 EL 素子 11R, 11G, 11B のいずれか 1 つと同一の発光色で発光する有機 EL 素子、または、有機 EL 素子 11R, 11G, 11B の発光色とは異なる発光色で発光する有機 EL 素子 (例えば、白色光を発光する有機 EL 素子) である。

30

【0016】

駆動回路 20 は、タイミング生成回路 21、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、電源線駆動回路 25 および電源電圧調整回路 26 を有している。

【0017】

(表示画素 15)

図 2 は、表示領域 10A 内の回路構成の一例を表したものである。表示領域 10A 内には、複数の画素回路 13 が個々の有機 EL 素子 11 と対となって 2 次元配置されている。なお、本実施の形態では、一对の有機 EL 素子 11 および画素回路 13 が 1 つのサブピクセル 14 を構成している。より詳細には、図 1 に示したように、一对の有機 EL 素子 11R および画素回路 13 が 1 つのサブピクセル 14R を構成し、一对の有機 EL 素子 11G および画素回路 13 が 1 つのサブピクセル 14G を構成し、一对の有機 EL 素子 11B および画素回路 13 が 1 つのサブピクセル 14B を構成している。さらに、互いに隣り合う 3 つのサブピクセル 14R, 14G, 14B が 1 つの画素 (表示画素 15) を構成している。

40

【0018】

各画素回路 13 は、例えば、駆動トランジスタ T_{r1} 、書き込みトランジスタ T_{r2} および保持容量 C_{s1} によって構成されたものであり、 $2T_{r1}C$ の回路構成となっている。駆動トランジスタ T_{r1} および書き込みトランジスタ T_{r2} は、例えば、n チャネル MOS 型の薄膜トランジスタ (TFET (Thin Film Transistor)) により形成されている。駆動トランジスタ T_{r1} または書き込みトランジスタ T_{r2} は、例えば、p チャネル MOS 型の T

50

FTであってもよい。

【0019】

表示領域10Aにおいて、列方向には信号線DTLが複数配置され、行方向には走査線WSLおよび電源線PSL（電源電圧の供給される部材）がそれぞれ複数配置されている。各信号線DTLと各走査線WSLとの交差点近傍には、有機EL素子11が1つずつ設けられている。各信号線DTLは、信号線駆動回路23の出力端（図示せず）と、書き込みトランジスタ Tr_2 のドレイン電極およびソース電極のいずれか一方（図示せず）に接続されている。各走査線WSLは、書込線駆動回路24の出力端（図示せず）と、書き込みトランジスタ Tr_2 のゲート電極（図示せず）に接続されている。各電源線PSLは、電源線駆動回路25の出力端（図示せず）と、駆動トランジスタ Tr_1 のドレイン電極およびソース電極のいずれか一方（図示せず）に接続されている。書き込みトランジスタ Tr_2 のドレイン電極およびソース電極のうち信号線DTLに非接続の方（図示せず）は、駆動トランジスタ Tr_1 のゲート電極（図示せず）と、保持容量 C_{s1} の一端に接続されている。駆動トランジスタ Tr_1 のドレイン電極およびソース電極のうち電源線PSLに非接続の方（図示せず）と保持容量 C_{s1} の他端とが、有機EL素子11のアノード電極（図示せず）に接続されている。有機EL素子11のカソード電極（図示せず）は、例えば、グラウンド線GNDに接続されている。

10

【0020】

（調整用画素17）

図3は、非表示領域10B内の回路構成の一例を表したものである。非表示領域10B内には、1つの画素回路16が有機EL素子12と対となって配置されている。なお、本実施の形態では、一对の有機EL素子12および画素回路16が1つの画素（調整用画素17）を構成している。

20

【0021】

画素回路16は、上述の画素回路13と同様の構成となっている。具体的には、画素回路16は、駆動トランジスタ Tr_3 、書き込みトランジスタ Tr_4 および保持容量 C_{s2} によって構成されたものであり、2 Tr_1C の回路構成となっている。駆動トランジスタ Tr_3 および書き込みトランジスタ Tr_4 は、例えば、nチャネルMOS型のTFTにより形成されている。駆動トランジスタ Tr_3 または書き込みトランジスタ Tr_4 は、例えば、pチャネルMOS型のTFTであってもよい。

30

【0022】

非表示領域10Bにおいて、列方向には信号線DTLが1つ配置され、行方向には走査線WSLおよび電源線PSLがそれぞれ1つずつ配置されている。信号線DTLと走査線WSLとの交差点近傍には、有機EL素子12が設けられている。信号線DTLは、信号線駆動回路23の出力端（図示せず）と、書き込みトランジスタ Tr_4 のドレイン電極およびソース電極のいずれか一方（図示せず）に接続されている。走査線WSLは、書込線駆動回路24の出力端（図示せず）と、書き込みトランジスタ Tr_4 のゲート電極（図示せず）に接続されている。各電源線PSLは、電源線駆動回路25の出力端（図示せず）と、駆動トランジスタ Tr_3 のドレイン電極およびソース電極のいずれか一方（図示せず）に接続されている。書き込みトランジスタ Tr_4 のドレイン電極およびソース電極のうち信号線DTLに非接続の方（図示せず）は、駆動トランジスタ Tr_3 のゲート電極（図示せず）と、保持容量 C_{s2} の一端に接続されている。駆動トランジスタ Tr_3 のドレイン電極およびソース電極のうち電源線PSLに非接続の方（図示せず）と保持容量 C_{s2} の他端とが、有機EL素子12のアノード電極（図示せず）に接続されている。有機EL素子12のカソード電極（図示せず）は、例えば、グラウンド線GNDに接続されている。有機EL素子12のアノード電極に、アノード信号線ASLの一端が接続されている。アノード信号線ASLの他端は、電源電圧調整回路26に接続されている。

40

【0023】

（表示パネル10の上面構成）

図4は、表示パネル10の上面構成の一例を表したものである。表示パネル10は、例

50

えば、駆動パネル 30 と封止パネル 40 とが封止層（図示せず）を介して貼り合わされた構造となっている。

【0024】

駆動パネル 30 は、図 4 には示していないが、表示領域 10A に、2 次元配置された複数の有機 EL 素子 11 と、各有機 EL 素子 11 に隣接して配置された複数の画素回路 13 とを有している。駆動パネル 30 は、また、図 4 には示していないが、非表示領域 10B に、1 つの有機 EL 素子 12 と、この有機 EL 素子 12 に隣接して配置された 1 つの画素回路 16 とを有している。

【0025】

駆動パネル 30 の一辺（長辺）には、例えば、図 4 に示したように、複数の映像信号供給 TAB51 と、アノード信号出力 TCP54 が取り付けられている。駆動パネル 30 の他の辺（短辺）には、例えば、走査信号供給 TAB52 が取り付けられている。また、駆動パネル 30 の短辺であって、かつ走査信号供給 TAB52 とは異なる辺には、例えば、電源電圧供給 TAB53 が取り付けられている。映像信号供給 TAB51 は、信号線駆動回路 23 の集積された IC をフィルム状の配線基板の開口に中空配線したものである。走査信号供給 TAB52 は、書込線駆動回路 24 の集積された IC をフィルム状の配線基板の開口に中空配線したものである。電源電圧供給 TAB53 は、電源線駆動回路 25 の集積された IC をフィルム状の配線基板の開口に中空配線したものである。電源電圧供給 TAB53 は、電源電圧調整回路 26 の出力端（図示せず）に接続されている。アノード信号出力 TCP54 は、電源電圧調整回路 26 の入力端（図示せず）に接続されている。なお、信号線駆動回路 23、書込線駆動回路 24 および電源線駆動回路 25 は、TAB に形成されていなくてもよく、例えば、駆動パネル 30 に形成されていてもよい。

【0026】

封止パネル 40 は、例えば、有機 EL 素子 11、12 を封止する封止基板（図示せず）と、カラーフィルタ（図示せず）とを有している。カラーフィルタは、例えば、封止基板の表面のうち有機 EL 素子 11 の光が通過する領域に設けられている。カラーフィルタは、例えば、有機 EL 素子 11R、11G、11B のそれぞれに対応して、赤色用のフィルタ、緑色用のフィルタおよび青色用のフィルタ（図示せず）を有している。

【0027】

（駆動回路 20）

次に、駆動回路 20 内の各回路について、図 1 を参照して説明する。タイミング生成回路 21 は、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、電源線駆動回路 25 および電源電圧調整回路 26 が連動して動作するように制御するものである。

【0028】

タイミング生成回路 21 は、例えば、外部から入力された同期信号 20B に応じて（同期して）、上述した各回路に対して制御信号 21A を出力するようになっている。タイミング生成回路 21 は、例えば、映像信号処理回路 22 および電源電圧調整回路 26 などと共に、例えば、表示パネル 10 とは別体の制御回路基板（図示せず）上に形成されている。

【0029】

映像信号処理回路 22 は、例えば、外部から入力された同期信号 20B に応じて（同期して）、外部から入力されたデジタルの映像信号 20A を補正すると共に、補正した後の映像信号をアナログに変換して、アナログの映像信号 22A として信号線駆動回路 23 に出力するものである。映像信号処理回路 22 は、1 フィールドの映像信号 20A（または補正した後の映像信号）の中で最大輝度となる映像信号を抽出し、抽出した映像信号を調整用画素 17 用の映像信号として、信号線駆動回路 23 に出力するようになっている。映像信号処理回路 22 は、例えば、1 フィールドの映像信号 20A（または補正した後の映像信号）の中で最大輝度となる映像信号 20A を 1 水平期間ごとに抽出するようになっている。

【0030】

信号線駆動回路 23 は、映像信号処理回路 22 から入力されたアナログの映像信号 22 A を、制御信号 21 A の入力に応じて（同期して）各信号線 DTL に出力し、これにより、各表示画素 15 および調整用画素 17 を駆動するものである。信号線駆動回路 23 は、表示画素 15 に対応する信号線 DTL に対しては、映像信号処理回路 22 で補正処理のなされた映像信号 22 A を出力するようになっている。信号線駆動回路 23 は、調整用画素 17 に対応する信号線 DTL に対しては、映像信号処理回路 22 で抽出された最大輝度となる映像信号 22 A を出力するようになっている。つまり、信号線駆動回路 23 は、アナログの映像信号 22 A（信号電圧）を、各表示画素 15 内の駆動トランジスタ Tr_1 および調整用画素 17 内の駆動トランジスタ Tr_3 のゲートに書き込むようになっている。信号線駆動回路 23 は、例えば、図 4 に示したように、駆動パネル 30 の一辺（長辺）に取り付けられた映像信号供給 TAB51 に設けられている。

10

【0031】

書込線駆動回路 24 は、制御信号 21 A の入力に応じて（同期して）、複数の走査線 WSL の中から一の走査線 WSL を順次選択するものである。書込線駆動回路 24 は、例えば、図 4 に示したように、駆動パネル 30 の他の辺（短辺）に取り付けられた走査信号供給 TAB52 に設けられている。

【0032】

電源線駆動回路 25 は、制御信号 21 A の入力に応じて（同期して）、複数の電源線 PSL に、電源電圧調整回路 26 から出力された電源電圧 V_{cc} の値に応じた値の電源電圧を順次印加して、有機 EL 素子 11, 12 の発光および消光を制御するものである。

20

【0033】

電源線駆動回路 25 は、例えば、図 5 に示したように、個々の電源線 PSL ごとに設けられた電源電圧伝播線 PDL と、グラウンド線 GND との間に、互いに直列に接続されたスイッチング用のトランジスタ Tr_5 , Tr_6 を有している。トランジスタ Tr_5 とトランジスタ Tr_6 との接続点に電源線 PSL が接続されており、トランジスタ Tr_5 , Tr_6 の双方のゲートが制御線 CNL に接続されている。制御線 CNL には、電源電圧 V_{cc} を所望の期間だけ電源線 PSL に印加するための制御信号が入力される。

【0034】

電源電圧調整回路 26 は、制御信号 21 A の入力に応じて（同期して）、調整用画素 17 に含まれる有機 EL 素子 12 の電圧変動に応じた値の電源電圧を発生させるものである。電源電圧調整回路 26 は、例えば、図 6 に示したように、ADC（Analog Digital Converter）31 と、記憶部 32 と、比較部 33 と、電圧発生部 34 とを有している。ADC 31 の入力端（図示せず）は、図 3、図 6 に示したように、アノード信号線 ASL に接続されており、ADC 31 の出力端（図示せず）および記憶部 32 の出力端（図示せず）が比較部 33 の入力端（図示せず）に接続されている。比較部 33 の出力端（図示せず）は電圧発生部 34 の入力端（図示せず）に接続されており、電圧発生部 34 の出力端（図示せず）が電源電圧伝播線 PDL に接続されている。

30

【0035】

ADC 31 は、入力されたアナログ信号（アノード電圧 V_{el} ）をデジタル信号に変換するものである。記憶部 32 は、有機 EL 素子 12 の初期電圧 V_{ini} （ $= V_{el}(0)$ ）（基準電圧）を記憶している。比較部 33 は、ADC 31 から入力されたデジタル信号（アノード電圧 V_{el} ）と、記憶部 32 から読み出した初期電圧 V_{ini} とを対比することにより、調整用画素 17 に含まれる有機 EL 素子 12 の電圧変動量 ΔV を導出するようになっている。具体的には、比較部 33 は、アノード電圧 V_{el} と初期電圧 V_{ini} との差分を取ることにより、アノード電圧 V_{el} の電圧変動量 ΔV （ $= V_{el} - V_{ini}$ ）を導出するようになっている。

40

【0036】

電圧発生部 34 は、電圧変動量 ΔV を用いて各表示画素 15 に印加する電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} を、各表示画素 15（各電源電圧伝播線 PDL）に印加するようになっている。具体的には、電圧発生部 34 は、電圧変動量 ΔV を用い

50

て、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} を、各表示画素 15（各電源電圧伝播線 PDL）に印加するようになっている。電源電圧 V_{cc} の値は、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な最低限の電圧値であることが好ましい。なお、電圧発生部 34 は、電圧変動量 ΔV を用いて調整用画素 17 に印加する電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} を、調整用画素 17（電源電圧伝播線 PDL）に印加するようになっているてもよい。

【0037】

ここで、飽和領域とは、例えば、図 7 に示したように、有機 EL 素子 11 に流れる電流 I_{ds} が駆動トランジスタ T_{r1} のドレイン - ソース間電圧 V_{ds} の値に依らず一定となっている領域を指している。なお、飽和領域において、電流 I_{ds} が駆動トランジスタ T_{r1} のドレイン - ソース間電圧 V_{ds} の値に依らず完全に一定となっている必要はない。飽和領域は、電流 I_{ds} が駆動トランジスタ T_{r1} のドレイン - ソース間電圧 V_{ds} の値に依って大きく変動する線形領域と比べて電流 I_{ds} の変化率が緩やかな領域も含んでいる。

【0038】

（表示装置 1 の動作）

次に、本実施の形態の表示装置 1 の動作の一例について説明する。まず、表示装置 1 に対して外部から映像信号 20A および同期信号 20B が入力される。すると、タイミング生成回路 21 から駆動回路 20 内の各回路に対して制御信号 21A が出力され、その制御信号 21A の指示に従って、駆動回路 20 内の各回路が動作する。具体的には、映像信号処理回路 22 において映像信号 22A が生成され、生成された映像信号 22A が信号線駆動回路 23 によって各信号線 DTL に出力されると同時に、書込線駆動回路 24 によって複数の走査線 WSL の中から一の走査線 WSL が順次選択される。さらに、映像信号処理回路 22 において調整用画素 17 用の映像信号が生成され、生成された調整用画素 17 用の映像信号が調整用画素 17 用の信号線 DTL に出力されると同時に、書込線駆動回路 24 によって調整用画素 17 用の走査線 WSL が選択される。調整用画素 17 に含まれる有機 EL 素子 12 の電圧変動に応じた値の電源電圧が電源電圧調整回路 26 から電源電圧伝播線 PDL に出力され、電源電圧伝播線 PDL に出力された電源電圧が電源線駆動回路 25 によって複数の電源線 PSL に順次印加される。これにより、各表示画素 15 および調整用画素 17 が駆動され、表示領域 10A に映像が表示される。

【0039】

（表示装置 1 の効果）

次に、本実施の形態の表示装置 1 の効果について説明する。図 7 に示したように、飽和領域の下端は、階調ごとに異なっており、階調が低くなる程、飽和領域の下端が、駆動トランジスタ T_{r1} のドレイン - ソース間電圧 V_{ds} が小さくなる方へ変位する。そのため、有機 EL 素子 11 の初期の I - V 特性が図中の曲線 A となっていたとすると、階調が高くなる程、動作点（黒丸）が飽和領域の下端に近づく傾向となっており、階調が高くなる程、動作点（黒丸）と飽和領域の下端とのマージンが小さくなる傾向となっている。従って、有機 EL 素子 11 の I - V 特性が変位したときに、変位した後の I - V 特性が図中の曲線 B となったとすると、中間階調や低階調においては動作点がまだ飽和領域に入っているが、高階調において動作点が線形領域に入る。

【0040】

このとき、仮に、1 水平期間後に各表示画素 15 に印加される映像信号 22A（1 フィールドの映像信号）の値に拘わらず、高階調において動作点が線形領域に入るように、電源電圧 V_{cc} の値が設定されたとする。1 水平期間後に各表示画素 15 に印加される映像信号 22A（1 フィールドの映像信号）に高階調に対応する値が含まれている場合（例えば、図 8（A）参照）には、全ての表示画素 15 において駆動トランジスタ T_{r1} を飽和領域で駆動させることが可能となる。一方、1 水平期間後に各表示画素 15 に印加される映像信号 22A（1 フィールドの映像信号）に高階調に対応する値が含まれていない場合（例えば、図 8（B）、（C）参照）にも、全ての表示画素 15 において駆動トランジスタ

$T r_1$ を飽和領域で駆動させることが可能ではある。しかし、図7に示したように、中間階調や低階調においては、動作点が飽和領域の下端からかなり離れてしまうので、その分だけ電源電圧 V_{cc} の値が余分に大きくなっている。つまり、この場合には、消費電力が余分に大きくなっていると言える。

【0041】

一方、本実施の形態では、各表示画素15に含まれる駆動トランジスタ $T r_1$ において、動作点が常に飽和領域内となるのに必要な電源電圧 V_{cc} の値（または、動作点が常に飽和領域内となるのに必要な最低限の電源電圧 V_{cc} の値）が設定される。例えば、1水平期間後に各表示画素15に印加される映像信号22A（1フィールドの映像信号）中で最大輝度となる映像信号が印加される表示画素15内の駆動トランジスタ $T r_1$ において、動作点が飽和領域の下端（ $V_{ds} = V_{gs} - V_{th}$ ）となるように電源電圧 V_{cc} の値が設定される。すなわち、電源電圧 V_{cc} の値が、1水平期間後に各表示画素15に印加される映像信号22A（1フィールドの映像信号）中で最大輝度となる映像信号が印加される表示画素15内の有機EL素子11のアノード電圧 V_{el} と、駆動トランジスタ $T r_1$ のドレイン - ソース間電圧 V_{ds} との和（ $V_{el} + V_{ds}$ ）に設定される。具体的には、初期に設定した電源電圧 $V_{cc}(0)$ （ $= V_{el}(0) + V_{ds}(0)$ ）に対して電圧変動量 ΔV を加えた値（ $V_{cc}(0) + \Delta V$ ）が、最新の電源電圧 V_{cc} の値として設定される。なお、 $V_{el}(0)$ は、有機EL素子11の初期の電圧 V_{el} であり、 $V_{ds}(0)$ は、駆動トランジスタ $T r_1$ の初期のドレイン - ソース間電圧 V_{ds} である。

【0042】

例えば、図9に示したように、初期において、有機EL素子11のアノード電圧 V_{el} （ $= V_{el}(0)$ ）が6V、駆動トランジスタ $T r_1$ のドレイン - ソース間電圧 V_{ds} （ $= V_{ds}(0)$ ）が3V、電源電圧 V_{cc} （ $= V_{cc}(0)$ ）が9Vとなっていたとする。その後、有機EL素子11のI - V特性が変化し、有機EL素子11のアノード電圧 V_{el} が7Vになったとする。このとき、本実施の形態では、例えば、 ΔV が、白階調において動作点が飽和領域の下端となるときの値（例えば、3V）に設定されず、1水平期間後に各表示画素15に印加される映像信号22A（1フィールドの映像信号）中で最大輝度となる映像信号が印加される表示画素15内の駆動トランジスタ $T r_1$ において、動作点が飽和領域の下端となるように設定される。例えば、映像信号処理回路22で抽出された最大輝度となる映像信号22Aが調整用画素17に対応する信号線DTLに出力されているときに得られた電圧変動量 ΔV の値（例えば、1V）が ΔV の値として設定される。その後、 ΔV が $V_{cc}(0)$ に加えられ、10Vが新たな電源電圧 V_{cc} の値として設定される。このように、本実施の形態では、白階調において動作点が飽和領域の下端となるように電源電圧 V_{cc} の値が設定された場合と比べて、中間階調や低階調において、電源電圧 V_{cc} の値を小さくすることができる。従って、中間階調や低階調において、消費電力を低く抑えることができる。

【0043】

ところで、図7に示したように、有機EL素子11のI - V特性が変位したときに、変位した後のI - V特性が図中の曲線Bとなるのは、例えば、パネル温度が低くなったとき（図10参照）や、有機EL素子11の通電時間が長くなったとき（図11参照）である。従って、本実施の形態の駆動方法は、パネル温度が低くなったときや、有機EL素子11の通電時間が長くなったときに、特に有効である。

【0044】

< 第1の実施の形態の変形例 >

上記実施の形態では、調整用画素17は1つだけ設けられていたが、複数設けられていてもよい。また、調整用画素17は非表示領域10Bに設けられていたが、表示領域10A内に設けられていてもよい。このとき、調整用画素17が表示領域10A内の一の表示画素15またはサブピクセル14であってもよい。

【0045】

また、上記実施の形態では、複数の電源線PSLが互いに電氣的に分離して設けられて

おり、電源線駆動回路 25 によって複数の電源線 PSL が順次走査される場合が例示されていたが、全ての電源線 PSL が互いに電氣的に接続され、電源線駆動回路 25 が省略されていてもよい。この場合には、電源電圧調整回路 26 の出力端が直接、電源線 PSL に接続されていてもよい。ただし、その場合には、画素回路 13, 16 の内部構成が上で例示したものと異なってもよい。

【0046】

また、上記実施の形態では、電源電圧 V_{cc} が調整されていたが、有機 EL 素子 11 のカソード電圧が調整されてもよい。

【0047】

< 第 2 の実施の形態 >

10

(表示装置 2 の概略構成)

図 12 は、本発明の第 2 の実施の形態に係る表示装置 2 の概略構成を表したものである。この表示装置 2 は、上記第 1 の実施の形態の表示装置 1 において、表示領域 10A が 4 つの区分表示領域 10A-1, 10A-2, 10A-3, 10A-4 に分割されており、さらに、電源電圧調整回路 26 の代わりに電源電圧調整回路 27 が設けられている点で、上記第 1 の実施の形態の表示装置 1 の構成と相違する。

【0048】

この表示装置 2 では、区分表示領域 10A-1, 10A-2, 10A-3, 10A-4 ごとに、電源線 PSL が別個に設けられている。表示領域 10A の各区分において、複数の電源線 PSL が互いに電氣的に分離して設けられており、電源線駆動回路 25 によって複数の電源線 PSL が順次走査されるようになっている。さらに、非表示領域 10B には、区分表示領域 10A-1, 10A-2, 10A-3, 10A-4 ごとに 1 つずつ調整用画素 17 が設けられている。各調整用画素 17 内の有機 EL 素子 12 のアノード電極には、アノード信号線 ASL の一端が接続されている。なお、図 12 には、区分表示領域 10A-1 に対応する調整用画素 17 内の有機 EL 素子 12 のアノード電極にはアノード信号線 ASL1 の一端が接続されている。さらに、区分表示領域 10A-2 に対応する調整用画素 17 内の有機 EL 素子 12 のアノード電極にはアノード信号線 ASL2 の一端が接続され、区分表示領域 10A-3 に対応する調整用画素 17 内の有機 EL 素子 12 のアノード電極にはアノード信号線 ASL3 の一端が接続され、区分表示領域 10A-4 に対応する調整用画素 17 内の有機 EL 素子 12 のアノード電極にはアノード信号線 ASL4 の一端が接続されている。

20

30

【0049】

アノード信号線 ASL (ASL1 ~ ASL4) の他端は、電源電圧調整回路 27 に接続されている。電源電圧調整回路 27 は、例えば、制御信号 21A の入力に応じて (同期して)、調整用画素 17 に含まれる有機 EL 素子 12 の電圧変動に応じた値の電源電圧を発生させるものである。電源電圧調整回路 27 は、例えば、図 13 に示したように、4 つの ADC31 と、記憶部 32 と、比較部 33 と、電圧発生部 34 とを有している。

【0050】

各 ADC31 の入力端 (図示せず) は、図 13 に示したように、アノード信号線 ASL (ASL1 ~ ASL4) に 1 つずつ接続されている。具体的には、1 つ目の ADC31 の入力端は、区分表示領域 10A-1 に対応する調整用画素 17 に接続されたアノード信号線 ASL1 に接続されている。2 つ目の ADC31 の入力端は、区分表示領域 10A-2 に対応する調整用画素 17 に接続されたアノード信号線 ASL2 に接続されている。3 つ目の ADC31 の入力端は、区分表示領域 10A-3 に対応する調整用画素 17 に接続されたアノード信号線 ASL3 に接続されている。4 つ目の ADC31 の入力端は、区分表示領域 10A-4 に対応する調整用画素 17 に接続されたアノード信号線 ASL4 に接続されている。そして、各 ADC31 の出力端 (図示せず) と、記憶部 32 の出力端 (図示せず) とが比較部 33 の入力端 (図示せず) に接続されている。比較部 33 の出力端 (図示せず) は電圧発生部 34 の入力端 (図示せず) に接続されている。電圧発生部 34 の出力端 (図示せず) は、区分表示領域 10A-1, 10A-2, 10A-3, 10A-4 ごとに

40

50

とに１つずつ設けられた電源電圧伝播線 PDL (PDL 1 ~ PDL 4) に別個に接続されている。

【 0 0 5 1 】

各 ADC 3 1 は、入力されたアナログ信号 (アノードの電圧 V_{el} (V_{el} (1) , V_{el} (2) , V_{el} (3) , V_{el} (4))) をデジタル信号に変換するものである。記憶部 3 2 は、有機 EL 素子 1 2 の初期電圧 V_{ini} (基準電圧) を記憶している。比較部 3 3 は、各 ADC 3 1 から入力されたデジタル信号 (アノードの電圧 V_{el} (V_{el} (1) , V_{el} (2) , V_{el} (3) , V_{el} (4))) と、記憶部 3 2 から読み出した初期電圧 V_{ini} とを対比することにより、区分表示領域 10 A - 1 , 10 A - 2 , 10 A - 3 , 10 A - 4 ごとに設けられた有機 EL 素子 1 2 の電圧変動量 ΔV (ΔV 1 , ΔV 2 , ΔV 3 , ΔV 4) を導出するようになっている。

10

【 0 0 5 2 】

具体的には、比較部 3 3 は、アノードの電圧 V_{el} (1) と初期電圧 V_{ini} との差分を取ることにより、アノードの電圧 V_{el} (1) の電圧変動量 ΔV 1 (= V_{el} (1) - V_{ini}) を導出するようになっている。また、比較部 3 3 は、アノードの電圧 V_{el} (2) と初期電圧 V_{ini} との差分を取ることにより、アノードの電圧 V_{el} (2) の電圧変動量 ΔV 2 (= V_{el} (2) - V_{ini}) を導出するようになっている。また、比較部 3 3 は、アノードの電圧 V_{el} (3) と初期電圧 V_{ini} との差分を取ることにより、アノードの電圧 V_{el} (3) の電圧変動量 ΔV 3 (= V_{el} (3) - V_{ini}) を導出するようになっている。さらに、比較部 3 3 は、アノードの電圧 V_{el} (4) と初期電圧 V_{ini} との差分を取ることにより、アノードの電圧 V_{el} (4) の電圧変動量 ΔV 4 (= V_{el} (4) - V_{ini}) を導出するようになっている。

20

【 0 0 5 3 】

電圧発生部 3 4 は、電圧変動量 ΔV (ΔV 1 , ΔV 2 , ΔV 3 , ΔV 4) を用いて各区分表示領域 10 A - 1 , 10 A - 2 , 10 A - 3 , 10 A - 4 の表示画素 1 5 に印加する電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} (V_{cc} 1 , V_{cc} 2 , V_{cc} 3 , V_{cc} 4) を、電源電圧伝播線 PDL (PDL 1 , PDL 2 , PDL 3 , PDL 4) に印加するようになっている。具体的には、電圧発生部 3 4 は、電圧変動量 ΔV 1 を用いて、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} 1 を、電源電圧伝播線 PDL 1 に印加するようになっている。また、電圧発生部 3 4 は、電圧変動量 ΔV 2 を用いて、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} 2 を、電源電圧伝播線 PDL 2 に印加するようになっている。また、電圧発生部 3 4 は、電圧変動量 ΔV 3 を用いて、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} 3 を、電源電圧伝播線 PDL 3 に印加するようになっている。さらに、電圧発生部 3 4 は、電圧変動量 ΔV 4 を用いて、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な電源電圧値を導出し、導出した電源電圧値の電源電圧 V_{cc} 4 を、電源電圧伝播線 PDL 4 に印加するようになっている。

30

【 0 0 5 4 】

なお、電源電圧 V_{cc} の値は、駆動トランジスタ T_{r1} を飽和領域で駆動させるのに必要な最低限の電圧値であることが好ましい。

40

【 0 0 5 5 】

本実施の形態では、電圧発生部 3 4 において、区分表示領域 10 A - 1 , 10 A - 2 , 10 A - 3 , 10 A - 4 ごとに、表示画素 1 5 に含まれる駆動トランジスタ T_{r1} において、動作点が常に飽和領域内となるのに必要な電源電圧 V_{cc} の値 (または、動作点が常に飽和領域内となるのに必要な最低限の電源電圧 V_{cc} の値) が設定される。

【 0 0 5 6 】

例えば、１水平期間後に区分表示領域 10 A - 1 の表示画素 1 5 に印加される映像信号 22 A (１フィールドのうち区分表示領域 10 A - 1 の映像信号) 中で最大輝度となる映像信号が印加される表示画素 1 5 内の駆動トランジスタ T_{r1} において、動作点が飽和領

50

域の下端となるように電源電圧 V_{cc1} の値が設定される。また、例えば、1 水平期間後に区分表示領域 10A - 2 の表示画素 15 に印加される映像信号 22A (1 フィールドのうち区分表示領域 10A - 2 の映像信号) 中で最大輝度となる映像信号が印加される表示画素 15 内の駆動トランジスタ T_{r1} において、動作点が飽和領域の下端となるように電源電圧 V_{cc2} の値が設定される。また、例えば、1 水平期間後に区分表示領域 10A - 3 の表示画素 15 に印加される映像信号 22A (1 フィールドのうち区分表示領域 10A - 3 の映像信号) 中で最大輝度となる映像信号が印加される表示画素 15 内の駆動トランジスタ T_{r1} において、動作点が飽和領域の下端となるように電源電圧 V_{cc3} の値が設定される。また、例えば、1 水平期間後に区分表示領域 10A - 4 の表示画素 15 に印加される映像信号 22A (1 フィールドのうち区分表示領域 10A - 4 の映像信号) 中で最大輝度となる映像信号が印加される表示画素 15 内の駆動トランジスタ T_{r1} において、動作点が飽和領域の下端となるように電源電圧 V_{cc4} の値が設定される。

10

【0057】

すなわち、区分表示領域 10A - 1, 10A - 2, 10A - 3, 10A - 4 ごとに、電源電圧 V_{cc} の値が、1 水平期間後に各区分に印加される映像信号 22A 中で最大輝度となる映像信号が印加される表示画素 15 内の有機 EL 素子 11 のアノード電圧 V_{el} と、駆動トランジスタ T_{r1} のドレイン - ソース間電圧 V_{ds} との和 ($V_{el} + V_{ds}$) に設定される。具体的には、初期に設定した電源電圧 $V_{cc}(0)$ ($= V_{el}(0) + V_{ds}(0)$) に対して電圧変動量 $\Delta V1$ を加えた値 ($V_{cc}(0) + \Delta V1$) が、区分表示領域 10A - 1 における最新の電源電圧 V_{cc1} の値として設定される。また、初期に設定した電源電圧 $V_{cc}(0)$ ($= V_{el}(0) + V_{ds}(0)$) に対して電圧変動量 $\Delta V2$ を加えた値 ($V_{cc}(0) + \Delta V2$) が、区分表示領域 10A - 2 における最新の電源電圧 V_{cc2} の値として設定される。また、初期に設定した電源電圧 $V_{cc}(0)$ ($= V_{el}(0) + V_{ds}(0)$) に対して電圧変動量 $\Delta V3$ を加えた値 ($V_{cc}(0) + \Delta V3$) が、区分表示領域 10A - 3 における最新の電源電圧 V_{cc3} の値として設定される。また、初期に設定した電源電圧 $V_{cc}(0)$ ($= V_{el}(0) + V_{ds}(0)$) に対して電圧変動量 $\Delta V4$ を加えた値 ($V_{cc}(0) + \Delta V4$) が、区分表示領域 10A - 4 における最新の電源電圧 V_{cc4} の値として設定される。

20

【0058】

従って、上記実施の形態と同様、中間階調や低階調において、消費電力を低く抑えることができる。さらに、例えば、区分表示領域 10A - 1, 10A - 2, 10A - 3, 10A - 4 のうちの 1 つの領域において、極端に輝度の高い表示画素 15 が存在する場合 (例えば、時計表示がなされている場合) には、その領域だけ、電源電圧 V_{cc} の値を高く設定し、それ以外の領域においては、電源電圧 V_{cc} の値を低く設定することが可能となる。その結果、極端に輝度の高い表示画素 15 が局所的に存在する場合であっても、消費電力を低く抑えることができる。

30

【0059】

< 第 2 の実施の形態の変形例 >

上記第 2 の実施の形態では、表示領域 10A が 4 つに区分されていたが、2 つ、3 つ、または 5 つ以上に区分されていてもよい。

【0060】

上記第 2 の実施の形態では、調整用画素 17 は表示領域 10A の区分ごとに 1 つずつ設けられていたが、複数ずつ設けられていてもよい。また、調整用画素 17 は非表示領域 10B に設けられていたが、表示領域 10A 内に設けられていてもよい。このとき、調整用画素 17 が表示領域 10A 内の一の表示画素 15 またはサブピクセル 14 であってもよい。

40

【0061】

また、上記第 2 の実施の形態では、表示領域 10A の各区分において、複数の電源線 PSL が互いに電氣的に分離して設けられており、電源線駆動回路 25 によって複数の電源線 PSL が順次走査される場合が例示されていたが、表示領域 10A の各区分において、全ての電源線 PSL が互いに電氣的に接続されていてもよい。

50

【 0 0 6 2 】

また、上記第 2 の実施の形態では、電源電圧 V_{cc} が調整されていたが、有機 EL 素子 1 のカソード電圧が調整されてもよい。

【 0 0 6 3 】

< 適用例 >

以下、上記実施の形態およびその変形例で説明した表示装置 1, 2 の適用例について説明する。上記実施の形態等の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

10

【 0 0 6 4 】

(適用例 1)

図 1 2 は、上記実施の形態等の表示装置 1, 2 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルタガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上記実施の形態等の表示装置 1, 2 により構成されている。

【 0 0 6 5 】

(適用例 2)

図 1 3 は、上記実施の形態等の表示装置 1, 2 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記実施の形態等の表示装置 1, 2 により構成されている。

20

【 0 0 6 6 】

(適用例 3)

図 1 4 は、上記実施の形態等の表示装置 1, 2 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記実施の形態等の表示装置 1, 2 により構成されている。

【 0 0 6 7 】

(適用例 4)

図 1 5 は、上記実施の形態等の表示装置 1, 2 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記実施の形態等の表示装置 1, 2 により構成されている。

30

【 0 0 6 8 】

(適用例 5)

図 1 6 は、上記実施の形態等の表示装置 1, 2 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 (ヒンジ部) 7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記実施の形態等の表示装置 1, 2 により構成されている。

40

【 符号の説明 】

【 0 0 6 9 】

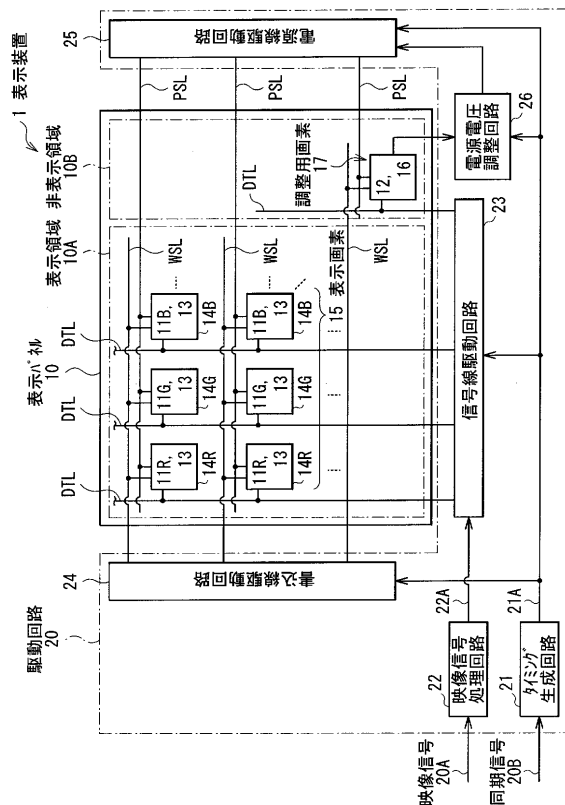
1, 2 ... 表示装置、1 0 ... 表示パネル、1 0 A, 1 0 A - 1, 1 0 A - 2, 1 0 A - 3, 1 0 A - 4 ... 表示領域、1 0 B ... 非表示領域、1 1, 1 1 R, 1 1 G, 1 1 B, 1 2, 1 2 R, 1 2 G, 1 2 B ... 有機 EL 素子、1 3, 1 6 ... 画素回路、1 4, 1 4 R, 1 4 G, 1 4 B ... サブピクセル、1 5 ... 表示画素、1 7 ... 調整用画素、2 0 ... 駆動回路、2 0 A

50

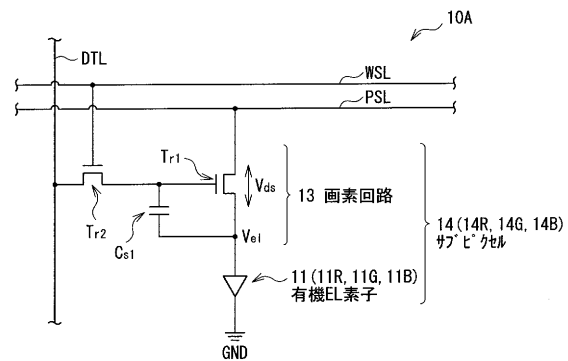
, 22A ... 映像信号、20B ... 同期信号、21 ... タイミング生成回路、21A ... 制御信号、22 ... 映像信号処理回路、23 ... 信号線駆動回路、24 ... 書込線駆動回路、25 ... 電源線駆動回路、26, 27 ... 電源電圧調整回路、30 ... 駆動パネル、31 ... ADC、32 ... 記憶部、33 ... 比較部、34 ... 電圧発生部、40 ... 封止パネル、51 ... 映像信号供給TAB、52 ... 走査信号供給TAB、53 ... 電源電圧供給TAB、54 ... アノード信号出力TCP、300 ... 映像表示画面部、310 ... フロントパネル、320 ... フィルターガラス、410 ... 発光部、420, 530, 640 ... 表示部、430 ... メニュースイッチ、440 ... シャッターボタン、510 ... 本体、520 ... キーボード、610 ... 本体部、620 ... レンズ、630 ... スタート/ストップスイッチ、710 ... 上側筐体、720 ... 下側筐体、730 ... 連結部、740 ... ディスプレイ、750 ... サブディスプレイ、760 ... ピクチャーライト、770 ... カメラ、A, B ... 曲線、ASL, ASL1, ASL2, ASL3, ASL4 ... アノード信号線、 C_{s1} , C_{s2} ... 保持容量、CNL ... 制御線、 D , D_x ... 輝度劣化率、DTL ... 信号線、GND ... グラウンド線、 I_{ds} ... 電流、PDL, PDL1, PDL2, PDL3, PDL4 ... 電源電圧伝播線、PSL ... 電源線、 Tr_1 , Tr_3 ... 駆動トランジスタ、 Tr_2 , Tr_4 ... 書き込みトランジスタ、 Tr_5 , Tr_6 ... トランジスタ、 V_{cc} , $V_{cc}(0)$, V_{cc1} , V_{cc2} , V_{cc3} , V_{cc4} ... 電源電圧、 V_{ds} , $V_{ds}(0)$... ドレイン - ソース間電圧、 V_{el} , $V_{el}(0)$... 電圧、 V_{ini} ... 初期電圧、WSL ... 書込線、 ΔV ... 電圧変動量。

10

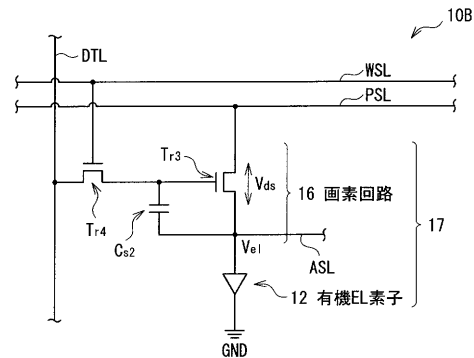
【図1】



【図2】



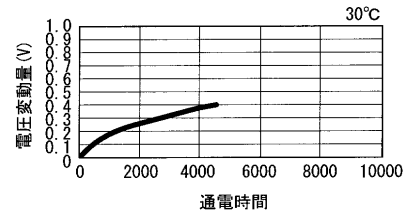
【図3】



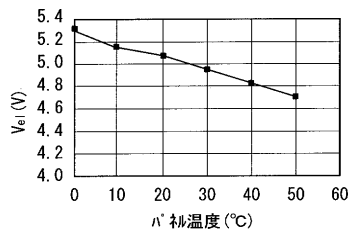
【図 9】

	初期	I-V特性 変化後
V_{el} (V)	6	7
V_{ds} (V)	3	3
V_{cc}	9	10
ΔV	0	1

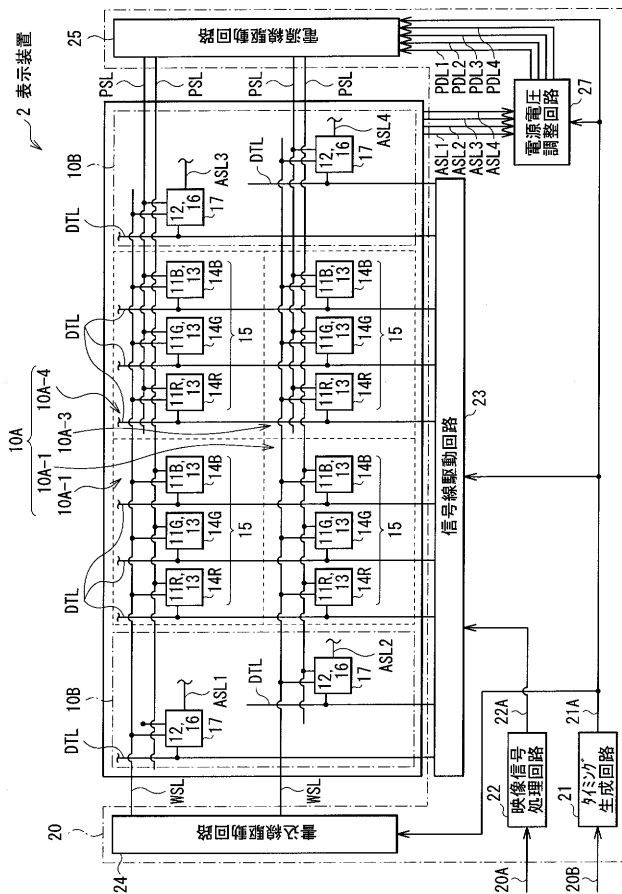
【図 1 1】



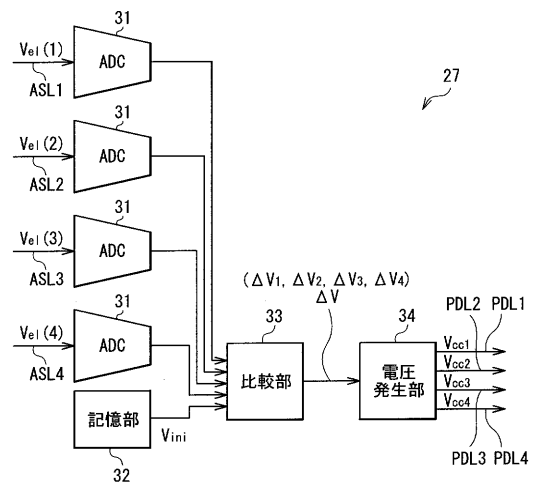
【図 1 0】



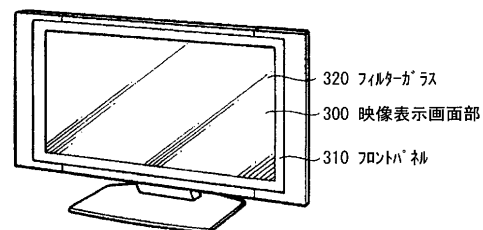
【図 1 2】



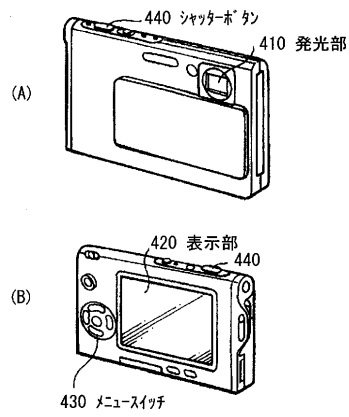
【図 1 3】



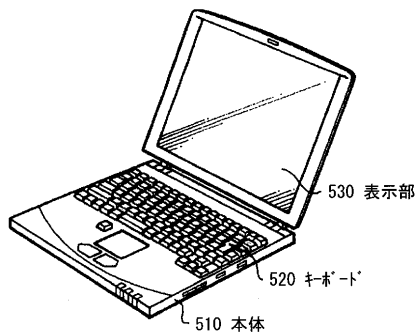
【図 1 4】



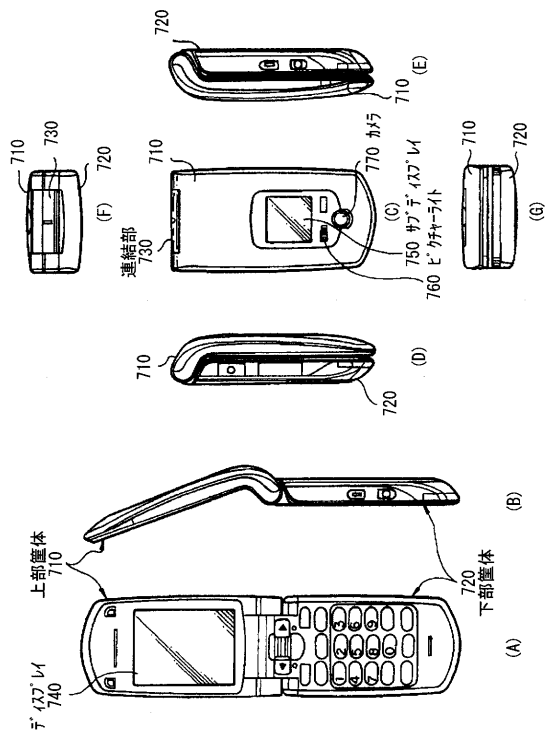
【図 15】



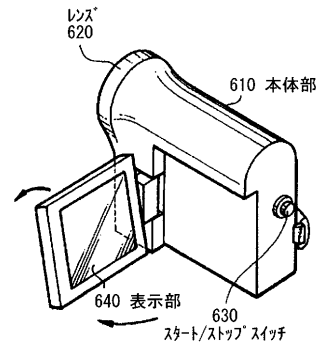
【図 16】



【図 18】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 4 B
G 0 9 F	9/30	3 3 8
H 0 5 B	33/14	A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC14 CC21 EE03 HH04

5C080	AA06	BB05	CC03	DD03	DD26	DD29	EE29	EE30	FF11	FF12
	HH10	JJ01	JJ02	JJ03	JJ05	JJ06	KK02	KK07	KK43	KK47
5C094	AA22	AA41	BA03	BA27	CA19	CA24	DA20	GA10		
5C380	AA01	AB06	AB18	AB27	AB34	AB39	AB43	AB45	AB46	AB47
	AC07	AC08	AC09	AC11	BA01	BA02	BA05	BA36	BA42	BA46
	BA47	BD04	CA04	CA08	CB01	CB20	CC02	CC26	CC27	CC30
	CC33	CC41	CC62	CD012	CE08	CE09	CE19	CF01	CF23	CF48
	CF49	CF61	DA02	DA06	DA50	FA02	FA11	FA18	FA20	FA22
	FA23	FA24	FA28	GA08	HA03	HA05				

专利名称(译)	显示装置，其驱动方法和电子设备		
公开(公告)号	JP2011118125A	公开(公告)日	2011-06-16
申请号	JP2009274878	申请日	2009-12-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L51/50		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.670.J G09G3/20.611.A G09G3/20.612.E G09G3/20.642.P G09G3/20.612.U G09G3/20.624.B G09F9/30.338 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD26 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 5C094/AA22 5C094/AA41 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA24 5C094/DA20 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB27 5C380/AB34 5C380/AB39 5C380/AB43 5C380/AB45 5C380/AB46 5C380/AB47 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA01 5C380/BA02 5C380/BA05 5C380/BA36 5C380/BA42 5C380/BA46 5C380/BA47 5C380/BD04 5C380/CA04 5C380/CA08 5C380/CB01 5C380/CB20 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CE08 5C380/CE09 5C380/CE19 5C380/CF01 5C380/CF23 5C380/CF48 5C380/CF49 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA50 5C380/FA02 5C380/FA11 5C380/FA18 5C380/FA20 5C380/FA22 5C380/FA23 5C380/FA24 5C380/FA28 5C380/GA08 5C380/HA03 5C380/HA05		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供显示装置和用于驱动装置的方法，抑制功耗，并且还提供电子设备。ΣSOLUTION：显示面板10具有：显示区域10A，其中包含有机EL元件11 (11R, 11G, 11B) 和像素电路13的多个显示像素15被二维地布置;和非显示区域10B，其中布置有包含有机EL元件12和像素电路16的一个调节像素17。信号线驱动电路23将视频信号22A输出到与调节像素17对应的信号线DTL，该视频信号表示最大亮度并在视频信号处理电路22中提取。电压调节电路26输出电源电压对应于有机EL元件12到电源线驱动电路25的电压变化。电源线驱动电路25顺序地将电源电压调节电路26输出的电源电压施加到多个电源线PSL。Ž

