

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-43729

(P2011-43729A)

(43) 公開日 平成23年3月3日(2011.3.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 680H	5C080
G09F 9/30 (2006.01)	G09G 3/20 680G	5C094
H01L 51/50 (2006.01)	G09G 3/20 642P	5C380
H05B 33/02 (2006.01)	G09G 3/20 641P	

審査請求 未請求 請求項の数 9 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2009-192853 (P2009-192853)
 (22) 出願日 平成21年8月24日 (2009.8.24)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 CC34 CC43
 DD37 EE07 EE33 EE57 EE68
 HH04

最終頁に続く

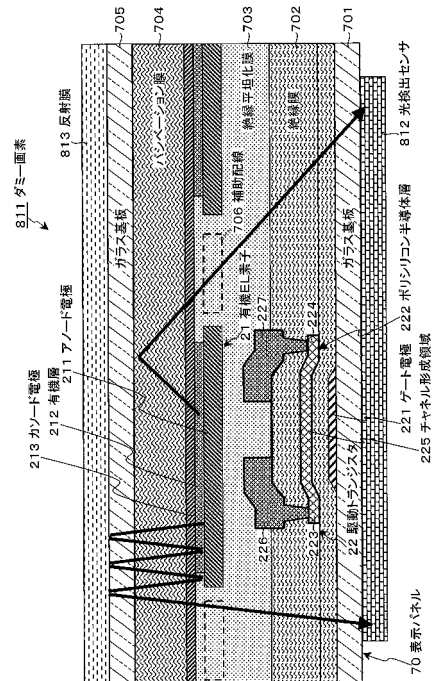
(54) 【発明の名称】 表示装置および電子機器

(57) 【要約】

【課題】 光検出センサを表示パネルの発光面と反対側に配置する構成を採るに当たって、ダミー画素の輝度検出を効率良く行えるようにする。

【解決手段】 光検出センサ812を表示パネル70の裏面に例えば貼り付けることによって設ける一方、表示パネル70の表面にダミー画素811の有機EL素子21が発する光を反射する反射膜813を形成する。そして、有機EL素子21が発する光を反射膜813で反射させ、光検出センサ812に導くことで、ダミー画素811の輝度検出を効率良く行う。

【選択図】 図11



【特許請求の範囲】**【請求項 1】**

表示パネルに設けられたダミー画素と、

前記表示パネルの発光面側に設けられ、前記ダミー画素から発せられる光を反射する反射膜と、

前記表示パネルの発光面と反対側に設けられ、前記反射膜で反射された前記ダミー画素からの光を検出する光検出センサと、

前記光検出センサの検出結果を基に画像表示に寄与する有効画素の輝度を補正する補正回路と

を備える表示装置。

10

【請求項 2】

前記ダミー画素から発せられる光は、前記表示パネルの発光面側の透明基板の界面でも反射されて前記光検出センサに入射する

請求項 1 記載の表示装置。

【請求項 3】

前記有効画素が行列状に配置された画素配列に対してメッシュ状に配線され、前記有効画素に対してカソード電位を供給する補助配線は、前記ダミー画素の領域を避けて配線されている

請求項 2 記載の表示装置。

【請求項 4】

前記ダミー画素に対して隣接する画素の構成素子は、前記反射膜および前記透明基板の界面で反射された反射光が前記光検出センサへ至る光路を避けてレイアウトされている

請求項 2 記載の表示装置。

20

【請求項 5】

前記ダミー画素に対して隣接する画素の構成素子は、当該画素の電気光学素子のアノード電極である

請求項 4 記載の表示装置。

【請求項 6】

前記ダミー画素に対して隣接する画素の構成素子は、当該画素に含まれるトランジスタの金属電極である

請求項 4 記載の表示装置。

30

【請求項 7】

前記表示パネルの裏面には、当該表示パネルの画素を駆動するドライバモジュールが設けられており、

前記光検出センサは、前記表示パネルの裏面に設けられている

請求項 1 記載の表示装置。

【請求項 8】

前記光検出センサは、前記表示パネルの内部に組み込まれている

請求項 1 記載の表示装置。

【請求項 9】

表示パネルに設けられたダミー画素と、

前記表示パネルの発光面側に設けられ、前記ダミー画素から発せられる光を反射する反射膜と、

前記表示パネルの発光面と反対側に設けられ、前記反射膜で反射された前記ダミー画素からの光を検出する光検出センサと、

前記光検出センサの検出結果を基に画像表示に寄与する有効画素の輝度を補正する補正回路と

を備える表示装置を有する電子機器。

40

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、表示装置および電子機器に関し、特に電気光学素子を含む画素が行列状（マトリクス状）に２次元配置されてなる平面型（フラットパネル型）の表示装置および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、電気光学素子として自発光型の素子（自発光素子）を用いた画素（画素回路）が行列状に配置されてなる平面型の自発光表示装置が急速に普及している。自発光素子としては、例えば、有機薄膜に電界をかけると発光する現象を利用した有機EL (Electro Luminescence) 素子が知られている。有機EL素子は、デバイスに流れる電流値に応じて発光輝度に変化する、いわゆる電流駆動型の電気光学素子である。

10

【0003】

有機EL素子を電気光学素子として用いた有機EL表示装置は、次のような特長を持っている。すなわち、有機EL素子は、10V以下の印加電圧で駆動できるために消費電力が小さい。有機EL素子は、自発光素子であることから、画素ごとに液晶にて光源からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高い。しかも、バックライト等の照明部材を必要としないために軽量化および薄型化が容易である。さらに、有機EL素子の応答速度が数 μ s程度と非常に高速であるために動画表示時の残像が発生しない。

20

【0004】

一方で、有機EL素子は一般的に、発光量と発光時間に比例して輝度効率が低下することが知られている。かかる特性の有機EL素子を用いた表示装置では、表示画面上の特定の表示領域に例えば時刻表示の場合のように固定パターンの画像が繰り返して表示されると、当該特定の表示領域の有機EL素子は、他の表示領域の有機EL素子に比べて劣化の進行の度合いが速い。

【0005】

劣化が進行した特定の表示領域の有機EL素子の輝度は、他の表示領域の有機EL素子の輝度に比して相対的に低下するために、当該特定の表示領域の部分が輝度ムラとして視認される。すなわち、表示画面上の特定の表示領域に固定パターンの画像が繰り返して表示される場合などに、当該特定の表示領域の表示箇所が固定的な輝度ムラとして視認される、一般的に焼付きと呼ばれる現象が生ずる。

30

【0006】

この焼付き現象の解消は、有機EL表示装置に代表される自発光表示装置の最重要課題である。そのため、従来は、焼付き現象を信号処理の面から補正するために、画素アレイ部（表示領域）の外に画像表示に寄与しないダミー画素を設け、当該ダミー画素の輝度劣化の状態を検出し、その検出結果を基に焼付きを補正するようにしている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

40

【0007】

【特許文献1】特開2007-156044号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

ダミー画素の輝度劣化の状態を検出するには光検出センサを用いることになるが、従来は、表示パネルの表面（発光面）側において、ダミー画素の発光面の対面する位置に光検出センサを配置する構成を採っていた。このように、表示パネルの表面側に光検出センサを配置した場合、パネルモジュールの厚みが増すことになるため、自発光表示装置の薄型という特性を活かすことができなくなってしまう。

50

【0009】

一方、表示パネルの裏面には当該表示パネルを駆動するドライバ等のモジュールが存在するために、光検出センサを表示パネルの裏面側に配置してもパネルモジュールの厚みが増すことはない。しかし、光検出センサを表示パネルの裏面側に配置する構成を採ると、発光面と逆側でダミー画素の輝度を検出することになり、発光面側で検出する場合に比べて暗いためにダミー画素の輝度検出が難しくなる。

【0010】

そこで、本発明は、光検出センサを表示パネルの発光面と反対側に配置する構成を採るに当たって、ダミー画素の輝度検出を効率良く行えるようにした表示装置および当該表示装置を有する電子機器を提供することを目的とする。

10

【課題を解決するための手段】

【0011】

本発明による表示装置は、
表示パネルに設けられたダミー画素と、
前記表示パネルの発光面側に設けられ、前記ダミー画素から発せられる光を反射する反射膜と、

前記表示パネルの発光面と反対側に設けられ、前記反射膜で反射された前記ダミー画素からの光を検出する光検出センサと、

前記光検出センサの検出結果を基に画像表示に寄与する有効画素の輝度を補正する補正回路と

20

を備える。

【0012】

上記構成の表示装置において、光検出センサを表示パネルの発光面と反対側、例えば表示パネルの裏面に設けることで、表示パネルの裏面には当該表示パネルの画素を駆動するドライバモジュールが存在するために、パネルモジュールの厚みが増すことはない。しかも、ダミー画素から発せられる光は、反射膜で反射されることによって光検出センサへ導かれるために、光検出センサが表示パネルの裏面側に設けられていても、ダミー画素の輝度検出を効率良く行うことができる。

【発明の効果】

【0013】

本発明によれば、光検出センサを表示パネルの発光面と反対側に配置しても、ダミー画素の輝度検出を効率良く行うことができる。

30

【図面の簡単な説明】

【0014】

【図1】本発明が適用される有機EL表示装置の構成の概略を示すシステム構成図である。

【図2】本発明が適用される有機EL表示装置の画素（画素回路）の回路構成を示す回路図である。

【図3】本発明が適用される有機EL表示装置の基本的な回路動作の説明に供するタイミング波形図である。

40

【図4】本発明が適用される有機EL表示装置の基本的な回路動作の動作説明図（その1）である。

【図5】本発明が適用される有機EL表示装置の基本的な回路動作の動作説明図（その2）である。

【図6】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

【図7】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図8】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

50

【図 9】本発明が適用される焼付き補正機能を実現する焼付き補正回路の構成の一例を示すブロック図である。

【図 10】R, G, B の発光色について 100 nit、200 nit、400 nit の輝度ごとの発光時間 - 輝度の特性を示す図である。

【図 11】実施例 1 に係る光検出センサを含むダミー画素の構造を示す断面構造図である。

【図 12】補助配線の配線例を示す平面パターン図である。

【図 13】実施例 2 に係る光検出センサを含むダミー画素の構造を示す断面構造図である。

【図 14】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

10

【図 15】本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図 16】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図 17】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図 18】本発明が適用される携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【発明を実施するための形態】

【0015】

20

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 本発明が適用される表示装置（有機 EL 表示装置の例）

1-1. システム構成

1-2. 回路動作

2. 実施形態

2-1. 焼付き補正回路

2-2. 実施例 1（光検出センサをパネル裏面側に設ける例）

2-3. 実施例 2（光検出センサをパネル内に組み込む例）

30

3. 変形例

4. 適用例（電子機器）

【0016】

< 1. 本発明が適用される表示装置 >

[1-1. システム構成]

図 1 は、本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 EL 素子を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機 EL 表示装置の場合を例に挙げて説明するものとする。

40

【0017】

図 1 に示すように、本適用例に係る有機 EL 表示装置 10 は、有機 EL 素子を含む複数の画素 20 が行列状に 2 次元配置された画素アレイ部 30 と、当該画素アレイ部 30 の周辺に配置された駆動部とを有する構成となっている。駆動部は、書込み走査回路 40、電源供給部としての電源供給走査回路 50 および信号出力回路 60 等からなり、画素アレイ部 30 の各画素 20 を駆動する。

【0018】

ここで、有機 EL 表示装置 10 がカラー表示対応の場合は、1 つの画素は複数の副画素（サブピクセル）から構成され、この副画素が画素 20 に相当することになる。より具体的には、カラー表示用の表示装置では、1 つの画素は、赤色光（R）を発光する副画素、

50

緑色光 (G) を発光する副画素、青色光 (B) を発光する副画素の 3 つの副画素から構成される。

【 0 0 1 9 】

ただし、1 つの画素としては、R G B の 3 原色の副画素の組み合わせに限られるものではなく、3 原色の副画素にさらに 1 色あるいは複数色の副画素を加えて 1 つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光 (W) を発光する副画素を加えて 1 つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも 1 つの副画素を加えて 1 つの画素を構成したりすることも可能である。

【 0 0 2 0 】

画素アレイ部 3 0 には、m 行 n 列の画素 2 0 の配列に対して、行方向 (画素行の画素の配列方向) に沿って走査線 3 1 - 1 ~ 3 1 - m と電源供給線 3 2 - 1 ~ 3 2 - m とが画素行ごとに配線されている。さらに、列方向 (画素列の画素の配列方向) に沿って信号線 3 3 - 1 ~ 3 3 - n が画素列ごとに配線されている。

10

【 0 0 2 1 】

走査線 3 1 - 1 ~ 3 1 - m は、書込み走査回路 4 0 の対応する行の出力端にそれぞれ接続されている。電源供給線 3 2 - 1 ~ 3 2 - m は、電源供給走査回路 5 0 の対応する行の出力端にそれぞれ接続されている。信号線 3 3 - 1 ~ 3 3 - n は、信号出力回路 6 0 の対応する列の出力端にそれぞれ接続されている。

【 0 0 2 2 】

画素アレイ部 3 0 は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機 E L 表示装置 1 0 は、平面型 (フラット型) のパネル構造となっている。画素アレイ部 3 0 の各画素 2 0 の駆動回路は、アモルファスシリコン T F T または低温ポリシリコン T F T を用いて形成することができる。低温ポリシリコン T F T を用いる場合には、図 1 に示すように、書込み走査回路 4 0 、電源供給走査回路 5 0 および信号出力回路 6 0 についても、画素アレイ部 3 0 を形成する表示パネル (基板) 7 0 上に実装することができる。

20

【 0 0 2 3 】

書込み走査回路 4 0 は、クロックパルス c k に同期してスタートパルス s p を順にシフト (転送) するシフトレジスタ等によって構成されている。この書込み走査回路 4 0 は、画素アレイ部 3 0 の各画素 2 0 への映像信号の書込みに際して、走査線 3 1 - 1 ~ 3 1 - m に対して書込み走査信号 W S (W S 1 ~ W S m) を順次供給することによって画素アレイ部 3 0 の各画素 2 0 を行単位で順番に走査 (線順次走査) する。

30

【 0 0 2 4 】

電源供給走査回路 5 0 は、クロックパルス c k に同期してスタートパルス s p を順にシフトするシフトレジスタ等によって構成されている。この電源供給走査回路 5 0 は、書込み走査回路 4 0 による線順次走査に同期して、第 1 電源電位 V c c p と当該第 1 電源電位 V c c p よりも低い第 2 電源電位 V i n i で切り替わる電源電位 D S (D S 1 ~ D S m) を電源供給線 3 2 - 1 ~ 3 2 - m に供給する。後述するように、電源電位 D S の V c c p / V i n i の切替えにより、画素 2 0 の発光 / 非発光の制御が行なわれる。

【 0 0 2 5 】

信号出力回路 6 0 は、信号供給源 (図示せず) から供給される輝度情報に応じた映像信号の信号電圧 (以下、単に「信号電圧」と記述する場合もある) V s i g と基準電位 V o f s とを選択的に出力するセクタ構成となっている。ここで、基準電位 V o f s は、映像信号の信号電圧 V s i g の基準となる電位 (例えば、映像信号の黒レベルに相当する電位) である。

40

【 0 0 2 6 】

信号出力回路 6 0 から出力される信号電圧 V s i g / 基準電位 V o f s は、信号線 3 3 - 1 ~ 3 3 - n を介して画素アレイ部 3 0 の各画素 2 0 に対して行単位で書き込まれる。すなわち、信号出力回路 6 0 は、信号電圧 V s i g を行 (ライン) 単位で書き込む線順次書き込みの駆動形態を採っている。

50

【 0 0 2 7 】

(画素回路)

図 2 は、画素 (画素回路) 2 0 の具体的な回路構成を示す回路図である。

【 0 0 2 8 】

図 2 に示すように、画素 2 0 は、自発光素子、例えばデバイスに流れる電流値に応じて発光輝度が増減する電流駆動型の電気光学素子である有機 E L 素子 2 1 と、当該有機 E L 素子 2 1 を駆動する駆動回路とによって構成されている。有機 E L 素子 2 1 は、全ての画素 2 0 に対して共通に配線 (いわゆる、ベタ配線) された共通電源供給線 3 4 にカソード電極が接続されている。

【 0 0 2 9 】

有機 E L 素子 2 1 を駆動する駆動回路は、駆動トランジスタ 2 2、書込みトランジスタ 2 3 および保持容量 2 4 を有する構成となっている。ここでは、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 として、N チャネル型のトランジスタ、例えば T F T (Thin Film Transistor; 薄膜トランジスタ) を用いている。ただし、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

10

【 0 0 3 0 】

なお、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 として N チャネル型の T F T を用いると、アモルファスシリコン (a - S i) プロセスを用いることができる。 a - S i プロセスを用いることで、T F T を作成する基板の低コスト化、ひいては本有機 E L 表示装置 1 0 の低コスト化を図ることが可能になる。また、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 を同じ導電型の組み合わせにすると、両トランジスタ 2 2、2 3 を同じプロセスで作成することができるために低コスト化に寄与できる。

20

【 0 0 3 1 】

駆動トランジスタ 2 2 は、一方の電極 (ソース/ドレイン電極) が有機 E L 素子 2 1 のアノード電極に接続され、他方の電極 (ドレイン/ソース電極) が電源供給線 3 2 (3 2 - 1 ~ 3 2 - m) に接続されている。

【 0 0 3 2 】

書込みトランジスタ 2 3 は、一方の電極 (ソース/ドレイン電極) が信号線 3 3 (3 3 - 1 ~ 3 3 - n) に接続され、他方の電極 (ドレイン/ソース電極) が駆動トランジスタ 2 2 のゲート電極に接続されている。また、書込みトランジスタ 2 3 のゲート電極は、走査線 3 1 (3 1 - 1 ~ 3 1 - m) に接続されている。

30

【 0 0 3 3 】

駆動トランジスタ 2 2 および書込みトランジスタ 2 3 において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【 0 0 3 4 】

保持容量 2 4 は、一方の電極が駆動トランジスタ 2 2 のゲート電極に接続され、他方の電極が駆動トランジスタ 2 2 の他方の電極および有機 E L 素子 2 1 のアノード電極に接続されている。

40

【 0 0 3 5 】

なお、有機 E L 素子 2 1 の駆動回路としては、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 の 2 つのトランジスタと保持容量 2 4 の 1 つの容量素子とからなる回路構成のものに限られるものではない。

【 0 0 3 6 】

他の回路例としては、例えば、一方の電極が有機 E L 素子 2 1 のアノード電極に、他方の電極が固定電位にそれぞれ接続されることで、有機 E L 素子 2 1 の容量不足分を補う補助容量を必要に応じて設けた回路構成を採ることも可能である。さらには、駆動トランジ

50

スタ 22 に対して直列にスイッチングトランジスタを接続し、当該スイッチングトランジスタの導通 / 非導通によって有機 EL 素子 21 の発光 / 非発光の制御を行う回路構成を採ることも可能である。

【 0037 】

上記構成の画素 20 において、書込みトランジスタ 23 は、書込み走査回路 40 から走査線 31 を通してゲート電極に印加される High アクティブの書込み走査信号 WS に応答して導通状態となる。これにより、書込みトランジスタ 23 は、信号線 33 を通して信号出力回路 60 から供給される輝度情報に応じた映像信号の信号電圧 V_{sig} または基準電位 V_{ofs} をサンプリングして画素 20 内に書き込む。この書き込まれた信号電圧 V_{sig} または基準電位 V_{ofs} は、駆動トランジスタ 22 のゲート電極に印加されるとともに保持容量 24 に保持される。

10

【 0038 】

駆動トランジスタ 22 は、電源供給線 32 (32 - 1 ~ 32 - m) の電位 DS が第 1 電源電位 V_{ccp} にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作する。これにより、駆動トランジスタ 22 は、電源供給線 32 から電流の供給を受けて有機 EL 素子 21 を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ 22 は、飽和領域で動作することにより、保持容量 24 に保持された信号電圧 V_{sig} の電圧値に応じた電流値の駆動電流を有機 EL 素子 21 に供給し、当該有機 EL 素子 21 を電流駆動することによって発光させる。

【 0039 】

20

駆動トランジスタ 22 はさらに、電源電位 DS が第 1 電源電位 V_{ccp} から第 2 電源電位 V_{ini} に切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作する。これにより、駆動トランジスタ 22 は、有機 EL 素子 21 への駆動電流の供給を停止し、有機 EL 素子 21 を非発光状態にする。すなわち、駆動トランジスタ 22 は、有機 EL 素子 21 の発光 / 非発光を制御するトランジスタとしての機能をも併せ持っている。

【 0040 】

この駆動トランジスタ 22 のスイッチング動作により、有機 EL 素子 21 が非発光状態となる期間 (非発光期間) を設け、有機 EL 素子 21 の発光期間と非発光期間の割合 (デューティ) を制御することができる。このデューティ制御により、1 フレーム期間に亘って画素が発光することに伴う残像ボケを低減できるために、特に動画の画品位をより優れたものとすることができる。

30

【 0041 】

電源供給走査回路 50 から電源供給線 32 を通して選択的に供給される第 1 , 第 2 電源電位 V_{ccp} , V_{ini} のうち、第 1 電源電位 V_{ccp} は有機 EL 素子 21 を発光駆動する駆動電流を駆動トランジスタ 22 に供給するための電源電位である。また、第 2 電源電位 V_{ini} は、有機 EL 素子 21 に対して逆バイアスを掛けるための電源電位である。この第 2 電源電位 V_{ini} は、基準電位 V_{ofs} よりも低い電位、例えば、駆動トランジスタ 22 の閾値電圧を V_{th} とするとき $V_{ofs} - V_{th}$ よりも低い電位、好ましくは $V_{ofs} - V_{th}$ よりも十分に低い電位に設定される。

40

【 0042 】

[1 - 2 . 回路動作]

続いて、上記構成の有機 EL 表示装置 10 の基本的な回路動作について、図 3 のタイミング波形図を基に図 4 および図 5 の動作説明図を用いて説明する。なお、図 4 および図 5 の動作説明図では、図面の簡略化のために、書込みトランジスタ 23 をスイッチのシンボルで図示している。また、有機 EL 素子 21 の等価容量 25 についても図示している。

【 0043 】

図 3 のタイミング波形図には、走査線 31 の電位 (書込み走査信号) WS、電源供給線 32 の電位 (電源電位) DS、信号線 33 の電位 (V_{sig} / V_{ofs})、駆動トランジスタ 22 のゲート電位 V_g およびソース電位 V_s のそれぞれの変化を示している。

50

【 0 0 4 4 】

(前フレームの発光期間)

図3のタイミング波形図において、時刻 t_{11} 以前は、前のフレーム(フィールド)における有機EL素子21の発光期間となる。この前フレームの発光期間では、電源供給線32の電位 D_S が第1電源電位(以下、「高電位」と記述する) V_{ccp} にあり、また、書込みトランジスタ23が非導通状態にある。

【 0 0 4 5 】

このとき、駆動トランジスタ22は飽和領域で動作するように設計されている。これにより、図4(A)に示すように、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} に応じた駆動電流(ドレイン-ソース間電流) I_{ds} が、電源供給線32から駆動トランジスタ22を通して有機EL素子21に供給される。よって、有機EL素子21が駆動電流 I_{ds} の電流値に応じた輝度で発光する。

10

【 0 0 4 6 】

(閾値補正準備期間)

時刻 t_{11} になると、線順次走査の新しいフレーム(現フレーム)に入る。そして、図4(B)に示すように、電源供給線32の電位 D_S が高電位 V_{ccp} から、信号線33の基準電位 V_{ofs} に対して $V_{ofs} - V_{th}$ よりも十分に低い第2電源電位(以下、「低電位」と記述する) V_{ini} に切り替わる。

【 0 0 4 7 】

ここで、有機EL素子21の閾値電圧を V_{thel} 、共通電源供給線34の電位(カソード電位)を V_{cath} とする。このとき、低電位 V_{ini} を $V_{ini} < V_{thel} + V_{cath}$ とすると、駆動トランジスタ22のソース電位 V_s が低電位 V_{ini} にほぼ等しくなるために、有機EL素子21は逆バイアス状態となって消光する。

20

【 0 0 4 8 】

次に、時刻 t_{12} で走査線31の電位 W_S が低電位側から高電位側に遷移することで、図4(C)に示すように、書込みトランジスタ23が導通状態となる。このとき、信号出力回路60から信号線33に対して基準電位 V_{ofs} が供給されているために、駆動トランジスタ22のゲート電位 V_g が基準電位 V_{ofs} になる。また、駆動トランジスタ22のソース電位 V_s は、基準電位 V_{ofs} よりも十分に低い電位 V_{ini} にある。

【 0 0 4 9 】

このとき、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ22の閾値電圧 V_{th} よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$ なる電位関係に設定する必要がある。

30

【 0 0 5 0 】

このように、駆動トランジスタ22のゲート電位 V_g を基準電位 V_{ofs} に、ソース電位 V_s を低電位 V_{ini} にそれぞれ固定して(確定させて)初期化する処理が、後述する閾値補正処理を行う前の準備(閾値補正準備)の処理である。したがって、基準電位 V_{ofs} および低電位 V_{ini} が、駆動トランジスタ22のゲート電位 V_g およびソース電位 V_s の各初期化電位となる。

40

【 0 0 5 1 】

(閾値補正期間)

次に、時刻 t_{13} で、図4(D)に示すように、電源供給線32の電位 D_S が低電位 V_{ini} から高電位 V_{ccp} に切り替わると、駆動トランジスタ22のゲート電位 V_g が保たれた状態で閾値補正処理が開始される。すなわち、ゲート電位 V_g から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位に向けて駆動トランジスタ22のソース電位 V_s が上昇を開始する。

【 0 0 5 2 】

ここでは、便宜上、駆動トランジスタ22のゲート電極の初期化電位 V_{ofs} を基準として、当該初期化電位 V_{ofs} から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位

50

に向けてソース電位 V_s を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、やがて、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量 24 に保持される。

【0053】

なお、閾値補正処理を行う期間（閾値補正期間）において、電流が専ら保持容量 24 側に流れ、有機 EL 素子 21 側には流れないようにするために、有機 EL 素子 21 がカットオフ状態となるように共通電源供給線 34 の電位 V_{cath} を設定しておくこととする。

【0054】

次に、時刻 t_{14} で走査線 31 の電位 W_S が低電位側に遷移することで、図 5 (A) に示すように、書込みトランジスタ 23 が非導通状態となる。このとき、駆動トランジスタ 22 のゲート電極が信号線 33 から電氣的に切り離されることによってフローティング状態になる。しかし、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。したがって、駆動トランジスタ 22 にドレイン - ソース間電流 I_{ds} は流れない。

10

【0055】

（信号書込み & 移動度補正期間）

次に、時刻 t_{15} で、図 5 (B) に示すように、信号線 33 の電位が基準電位 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。続いて、時刻 t_{16} で、走査線 31 の電位 W_S が高電位側に遷移することで、図 5 (C) に示すように、書込みトランジスタ 23 が導通状態になって映像信号の信号電圧 V_{sig} をサンプリングして画素 20 内に書き込む。

20

【0056】

この書込みトランジスタ 23 による信号電圧 V_{sig} の書込みにより、駆動トランジスタ 22 のゲート電位 V_g が信号電圧 V_{sig} となる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧と相殺される。この閾値キャンセルの原理の詳細については後述する。

【0057】

このとき、有機 EL 素子 21 はカットオフ状態（ハイインピーダンス状態）にある。したがって、映像信号の信号電圧 V_{sig} に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流（ドレイン - ソース間電流 I_{ds} ）は有機 EL 素子 21 の等価容量 25 に流れ込み、当該等価容量 25 の充電が開始される。

30

【0058】

有機 EL 素子 21 の等価容量 25 の充電により、駆動トランジスタ 22 のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきがキャンセルされており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存したものとなる。

【0059】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 24 の保持電圧 V_{gs} の比率、即ち書込みゲイン G が 1（理想値）であると仮定する。すると、駆動トランジスタ 22 のソース電位 V_s が $V_{ofs} - V_{th} + V$ の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ となる。

40

【0060】

すなわち、駆動トランジスタ 22 のソース電位 V_s の上昇分 V は、保持容量 24 に保持された電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように、換言すれば、保持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。

【0061】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた帰

50

還量 V でゲートソース間電圧 V_{gs} に負帰還をかけることで、駆動トランジスタ 22 のドレイン-ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この打ち消す処理が、駆動トランジスタ 22 の移動度 μ の画素ごとのばらつきを補正する移動度補正処理である。

【0062】

より具体的には、駆動トランジスタ 22 のゲート電極に書き込まれる映像信号の信号振幅 $V_{in} (= V_{sig} - V_{ofs})$ が高いほどドレイン-ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量 V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正処理が行われる。

【0063】

また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 V の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。したがって、負帰還の帰還量 V は移動度補正の補正量とも言える。移動度補正の原理の詳細については後述する。

【0064】

(発光期間)

次に、時刻 t_{17} で走査線 31 の電位 W_S が低電位側に遷移することで、図 5 (D) に示すように、書込みトランジスタ 23 が非導通状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電気的に切り離されるためにフローティング状態になる。

【0065】

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート-ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。このように、駆動トランジスタ 22 のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作が、保持容量 24 によるブートストラップ動作である。

【0066】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン-ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、当該電流 I_{ds} に応じて有機 EL 素子 21 のアノード電位が上昇する。

【0067】

そして、有機 EL 素子 21 のアノード電位が $V_{thel} + V_{cath}$ を越えると、有機 EL 素子 21 に駆動電流が流れ始めるため有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。

【0068】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲートソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ で一定に保持される。そして、時刻 t_{18} で信号線 33 の電位が映像信号の信号電圧 V_{sig} から基準電位 V_{ofs} に切り替わる。

【0069】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み (信号書込み) および移動度補正の各処理動作は、1 水平走査期間 (1H) において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻 $t_6 - t_7$ の期間において並行して実行される。

【0070】

なお、ここでは、閾値補正処理を 1 回だけ実行する駆動法を採る場合を例に挙げて説明

10

20

30

40

50

したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補正処理を移動度補正および信号書込み処理と共に行う1 H期間に加えて、当該1 H期間に先行する複数の水平走査期間に亘って分割して複数回実行する、いわゆる分割閾値補正を行う駆動法を採ることも可能である。

【0071】

この分割閾値補正の駆動法を採用することにより、高精細化に伴う多画素化によって1水平走査期間に割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間に亘って十分な時間を確保することができるために、閾値補正処理を確実に行うことができる。

【0072】

〔閾値キャンセルの原理〕

ここで、駆動トランジスタ22の閾値キャンセル(即ち、閾値補正)の原理について説明する。駆動トランジスタ22は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機EL素子21には駆動トランジスタ22から、次式(1)で与えられる一定のドレイン-ソース間電流(駆動電流) I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ22のチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0073】

図6に、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} 対ゲート-ソース間電圧 V_{gs} の特性を示す。

【0074】

この特性図に示すように、駆動トランジスタ22の閾値電圧 V_{th} の画素ごとのばらつきに対するキャンセル処理を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート-ソース間電圧 V_{gs} に対応するドレイン-ソース間電流 I_{ds} が I_{ds1} になる。

【0075】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート-ソース間電圧 V_{gs} に対応するドレイン-ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ22の閾値電圧 V_{th} が変動すると、ゲート-ソース間電圧 V_{gs} が一定であってもドレイン-ソース間電流 I_{ds} が変動する。

【0076】

一方、上記構成の画素(画素回路)20では、先述したように、発光時の駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ である。したがって、これを式(1)に代入すると、ドレイン-ソース間電流 I_{ds} は、次式(2)で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \quad \dots \dots (2)$$

【0077】

すなわち、駆動トランジスタ22の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ22から有機EL素子21に供給されるドレイン-ソース間電流 I_{ds} は、駆動トランジスタ22の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ22の製造プロセスのばらつきや経時変化により、駆動トランジスタ22の閾値電圧 V_{th} が画素ごとに変動したとしても、ドレイン-ソース間電流 I_{ds} が変動しないために、有機EL素子21の発光輝度を一定に保つことができる。

【0078】

〔移動度補正の原理〕

次に、駆動トランジスタ22の移動度補正の原理について説明する。図7に、駆動トランジスタ22の移動度 μ が相対的に大きい画素Aと、駆動トランジスタ22の移動度 μ が相対的に小さい画素Bとを比較した状態で特性カーブを示す。駆動トランジスタ22をポリシリコン薄膜トランジスタなどで構成した場合、画素Aや画素Bのように、画素間で移

10

20

30

40

50

動度 μ がばらつくことは避けられない。

【0079】

画素 A と画素 B で移動度 μ にばらつきがある状態で、駆動トランジスタ 22 のゲート電極に例えば両画素 A, B に同レベルの信号振幅 $V_{in} (= V_{sig} - V_{ofs})$ を書き込んだ場合を考える。この場合、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン・ソース間電流 I_{ds1} と移動度 μ の小さい画素 B に流れるドレイン・ソース間電流 I_{ds2} との間には大きな差が生じてしまう。このように、移動度 μ の画素ごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォームリティが損なわれる。

【0080】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン・ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。図 7 に示すように、移動度 μ の大きな画素 A の帰還量 V_1 は、移動度の小さな画素 B の帰還量 V_2 に比べて大きい。

【0081】

そこで、移動度補正処理によって駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} に応じた帰還量 V でゲート・ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくなることになる。その結果、移動度 μ の画素ごとのばらつきを抑制することができる。

【0082】

具体的には、移動度 μ の大きな画素 A で帰還量 V_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 V_2 は小さいために、ドレイン・ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン・ソース間電流 I_{ds1} と画素 B のドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素ごとのばらつきが補正される。

【0083】

以上をまとめると、移動度 μ の異なる画素 A と画素 B があつた場合、移動度 μ の大きい画素 A の帰還量 V_1 は移動度 μ の小さい画素 B の帰還量 V_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。

【0084】

したがって、駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} に応じた帰還量 V で、ゲート・ソース間電圧 V_{gs} に負帰還をかけることで、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素ごとのばらつきを補正することができる。すなわち、駆動トランジスタ 22 に流れる電流 (ドレイン・ソース間電流 I_{ds}) に応じた帰還量 V で、駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} に負帰還をかける処理が移動度補正処理となる。

【0085】

ここで、図 2 に示した画素 (画素回路) 20 において、閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} との関係について図 8 を用いて説明する。

【0086】

図 8 において、(A) は閾値補正および移動度補正を共に行わない場合、(B) は移動度補正を行わず、閾値補正のみを行った場合、(C) は閾値補正および移動度補正を共に行った場合をそれぞれ示している。図 8 (A) に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとくばらつきに起因してドレイン・ソース間電流 I_{ds} に画素 A, B 間で大きな差が生じることになる。

【0087】

これに対し、閾値補正のみを行った場合は、図 8 (B) に示すように、ドレイン・ソー

10

20

30

40

50

ス間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン - ソース間電流 I_{ds} の差は残る。そして、閾値補正および移動度補正を共に行うことで、図 8 (C) に示すように、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン - ソース間電流 I_{ds} の差をほぼ無くすることができる。したがって、どの階調においても有機 EL 素子 21 の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

【0088】

また、図 2 に示した画素 20 は、閾値補正および移動度補正の各補正機能に加えて、先述した保持容量 24 によるブートストラップ動作の機能を備えていることで、次のような作用効果を得ることができる。

10

【0089】

すなわち、有機 EL 素子 21 の I - V 特性の経時変化に伴って駆動トランジスタ 22 のソース電位 V_s が変化したとしても、保持容量 24 によるブートストラップ動作により、駆動トランジスタ 22 のゲート - ソース間電位 V_{gs} を一定に維持することができる。したがって、有機 EL 素子 21 に流れる電流は変化せず一定となる。その結果、有機 EL 素子 21 の発光輝度も一定に保たれるために、有機 EL 素子 21 の I - V 特性が経時変化したとしても、それに伴う輝度劣化のない画像表示を実現できる。

【0090】

< 2 . 実施形態 >

前にも述べたように、有機 EL 表示装置では、劣化が進行した特定の表示領域の有機 EL 素子の輝度が他の表示領域の有機 EL 素子に比べて相対的に低下することに起因して、当該特定の表示領域の表示箇所が固定的な輝度ムラとして視認される焼付き現象が発生する。ここで、有機 EL 素子の劣化の進行度合いが速い特定の表示領域とは、例えば時刻表示 (時計表示) の場合のように固定パターンの画像が繰り返して表示される領域を言う。この焼付き現象を解消するために、有機 EL 表示装置 10 は、焼付き現象を信号処理の面から補正する機能 (焼付き補正機能) を備えている。

20

【0091】

焼付き現象を信号処理の面から補正するに当たっては、表示パネル 70 上の画素アレイ部 (表示領域) 30 の外に画像表示に寄与しないダミー画素を設け、当該ダミー画素を表示領域の有効画素 (画素 20) と同様に駆動することにより輝度を劣化させる。そして、

30

【0092】

画像表示に寄与する有効画素 20 と同じ表示パネル 70 上にダミー画素を作製し、当該ダミー画素を基本的に有効画素 20 と同様に駆動することで、ダミー画素の輝度劣化の状態から各画素 20 の輝度劣化の状態を予測することができる。したがって、ダミー画素の輝度劣化の状態を検出し、その検出結果を基に焼付き現象が生ずる特定の表示領域の各画素 20 の輝度制御を行うことで、焼付き現象が生じないようにするための焼付き補正を行うことができる。

【0093】

ダミー画素は、例えば画素アレイ部 30 の各画素 20 と同様の構成を採る。すなわち、ダミー画素は、画素 20 と同様に、有機 EL 素子、駆動トランジスタ、書込みトランジスタおよび保持容量を有する。したがって、ダミー画素を画素 20 と同じプロセスで作製できるために、ダミー画素を設けることによる表示パネル 70 の生産上の難易度が上がることやコストが増加することはほとんど発生しない。

40

【0094】

ダミー画素の輝度劣化の状態を光検出センサで検出する構成を採るに当たって、本実施形態では、ダミー画素に対して光検出センサを配置する際の具体的なレイアウト構造を特徴としている。

【0095】

基本的には、本実施形態では、表示パネル 70 上に設けられたダミー画素に対して、光

50

検出センサを表示パネル70の発光面と反対側に設ける構成を採る。ここで、発光面と反対側とは、表示パネル70の裏面や表示パネル70の内部を言う。

【0096】

例えば、光検出センサを表示パネル70の裏面に貼り付ける場合は、表示パネル70の裏面には、一般的に、表示パネル70を駆動するドライバなどのモジュールが存在するために、光検出センサを配置してもパネルモジュールの厚みが増すことはない。ここで、パネルモジュールとは、表示パネル70を駆動するドライバなどのモジュールを含む表示パネル70全体を言う。

【0097】

さらに、本実施形態では、表示パネル70の発光面側に、ダミー画素から発せられる光を反射するミラーシート等の反射膜を設ける。これにより、ダミー画素から発せられる光を反射膜で反射して、表示パネル70の裏面に設けられた光検出センサに対して入射させることができるために、当該光検出センサが表示パネル70の例えば裏面に設けられていても、ダミー画素の輝度検出を確実にかつ効率良く行うことができる。

10

【0098】

[2-1. 焼付き補正回路]

図9は、本発明が適用される焼付き補正機能を実現する焼付き補正回路の構成の一例を示すブロック図である。ここでは、本適用例に係る焼付き補正回路を用いる有機EL表示装置は、画素アレイ部30の各画素(副画素)20がR(赤), G(緑), B(青)の3原色を基本発光色とするカラー表示用の表示装置であるとする。

20

【0099】

図9に示すように、本適用例に係る焼付き補正回路80は、ダミー画素部81、劣化量算出部82および補正処理部83を有する構成となっている。ダミー画素部81は、表示パネル70上における画素アレイ部(表示領域)30外の領域に設けられる。ダミー画素部81には、画素アレイ部30を構成するR, G, Bの各画素20のそれぞれに対応する3色のダミー画素811R, 811G, 811Bが設けられている。すなわち、ダミー画素811R, 811G, 811Bは表示領域の基本発光色に対応する色依存性を持っている。

【0100】

ダミー画素811R, 811G, 811Bはさらに、異なる複数の発光輝度に対応して各色ごとに複数個ずつ設けられることで、輝度依存性をも持っている。具体的には、Rのダミー画素811Rは、3種類の発光輝度、例えば100nit, 200nit, 400nitに対応して3個のダミー画素811R1, 811R2, 811R3からなる。同様に、Gのダミー画素811Gは、3種類の発光輝度に対応して3個のダミー画素811G1, 811G2, 811G3からなり、Bのダミー画素811Bは、3種類の発光輝度に対応して3個のダミー画素811B1, 811B2, 811B3からなる。

30

【0101】

Rのダミー画素811R1, 811R2, 811R3、Gのダミー画素811G1, 811G2, 811G3、Bのダミー画素811B1, 811B2, 811B3は、それぞれの色に対応しかつ3種類の発光輝度に対応したダミー画素用の表示信号によって発光駆動される。以下、これら各発光色および各発光輝度のダミー画素を総称してダミー画素811と記述する場合もある。

40

【0102】

ダミー画素部81にはダミー画素811に加えて、光検出センサ812(812R1, 812R2, 812R3/812G1, 812G2, 812G3/812B1, 812B2, 812B3)が設けられている。光検出センサ812は、各発光色および各発光輝度のダミー画素811が発する光をそれぞれ検出することで、これらのダミー画素811の輝度を測定する。

【0103】

光検出センサ812には周知の光検出素子を用いることができる。一例として、アモル

50

ファスシリコン半導体を用いた可視光センサを用いることができる。光検出センサ 8 1 2 は、例えば、電流値として検出される輝度情報（光量情報）を電圧値として出力する。光検出センサ 8 1 2 の検出結果である輝度情報は、劣化量算出部 8 2 に供給される。

【0104】

前にも述べたように、ダミー画素 8 1 1 の自発光素子である有機 E L 素子は、発光輝度（発光量）と発光時間に比例して輝度効率が低下する。この輝度効率が低下する度合いは発光色ごとに異なる。図 1 0 に、R, G, B の発光色について 1 0 0 n i t、2 0 0 n i t、4 0 0 n i t の輝度ごとの発光時間 - 輝度の特性を示す。図 1 0 において、ある発光時間 t 1 までは実測の特性を示し、時間 t 1 以降は推定の特性を示している。

【0105】

このように、ダミー画素 8 1 1 と光検出センサ 8 1 2 の組合せからなるダミー画素部 8 1 において、本実施形態では、ダミー画素 8 1 1 における光検出センサ 8 1 2 のレイアウト構造を特徴としており、その具体的な実施例については後述する。

【0106】

劣化量算出部 8 2 は、各発光色および各発光輝度のダミー画素 8 1 1 に対応する光検出センサ 8 1 2 の検出結果（輝度情報）から各発光色での輝度の劣化特性を求め、この求めた劣化特性カーブと映像信号とを用いて焼付きが生じる領域の有効画素 2 0 の劣化量を算出する。ここで、有効画素 2 0 の劣化量とは、有効画素 2 0 の発光素子、即ち有機 E L 素子の劣化量である。また、劣化量算出部 8 2 で求める劣化特性カーブは、図 1 0 の劣化特性カーブに相当する。

【0107】

補正処理部 8 3 は、F P G A (Field Programmable Gate Array) などによって構成される。この補正処理部 8 3 は、劣化量算出部 8 2 で算出された有機 E L 素子の劣化量を基に焼付き補正量を算出し、当該焼付き補正量に応じて焼付きが生じる領域の有効画素 2 0 を駆動する映像信号 S I G のレベルを制御することで、当該有効画素 2 0 の発光輝度を補正する。この輝度補正により、自発光素子である有機 E L 素子の特性の劣化に起因する焼付き現象を信号処理の面から補正することができる。

【0108】

補正処理部 8 3 で補正された映像信号は、表示パネル 7 0 の有効画素 2 0 を駆動することによって画像表示を行うドライバ 9 0 に供給される。このドライバ 9 0 などのモジュールは、表示パネル 7 0 の裏面側に設けられる。ドライバ 9 0 は、図 2 に示す信号出力回路（セレクト）6 0 に対して映像信号の信号電圧 V s i g を供給する。

【0109】

上述したように、有機 E L 素子の特性の劣化に起因する焼付き現象を信号処理の面から補正する、本適用例に係る焼付き補正回路 8 0 は、ダミー画素 8 1 1 光検出センサ 8 1 2 劣化量算出部 8 2 補正処理部 8 3 ドライバ 9 0 の経路によって構成されている。なお、焼付き補正機能を実現する回路としては、上記構成の焼付き補正回路 8 0 に限られるものではなく、焼付き現象を信号処理の面から補正できるものであればその構成は問わない。

【0110】

以下に、本実施形態の特徴部分である、ダミー画素 8 1 1 における光検出センサ 8 1 2 のレイアウト構造の具体的な実施例については説明する。

【0111】

[2 - 2 . 実施例 1]

図 1 1 は、実施例 1 に係る光検出センサ 8 1 2 を含むダミー画素 8 1 1 の構造を示す断面構造図である。先述したように、ダミー画素 8 1 1 は、図 2 に示す画素（有効画素）2 0 と同様に、有機 E L 素子 2 1 に加えて、駆動トランジスタ 2 2 等を含む駆動回路を有する構成となっている。

【0112】

図 1 1 に示すように、透明基板である例えばガラス基板 7 0 1 上には、駆動トランジス

10

20

30

40

50

タ 2 2 等を含む駆動回路が形成されている。ここでは、駆動回路の各構成素子のうち、駆動トランジスタ 2 2 のみを図示し、他の構成素子については省略している。

【 0 1 1 3 】

駆動トランジスタ 2 2 は、ゲート電極 2 2 1 と、ポリシリコン半導体層 2 2 2 の両側に設けられたソース/ドレイン領域 2 2 3 , 2 2 4 と、ポリシリコン半導体層 2 2 2 のゲート電極 2 2 1 と対向する部分のチャンネル形成領域 2 2 5 とから構成されている。ソース/ドレイン領域 2 2 3 , 2 2 4 には、ソース/ドレイン電極 2 2 6 , 2 2 7 が電氣的に接続されている。

【 0 1 1 4 】

ガラス基板 7 0 1 上にはさらに、絶縁膜 7 0 2 および絶縁平坦化膜 7 0 3 を介してダミー画素 8 1 1 の自発光素子である有機 E L 素子 2 1 が形成されている。有機 E L 素子 2 1 は、アノード電極 2 1 1、有機層 2 1 2 およびカソード電極 2 1 3 によって構成されている。アノード電極 2 1 1 は金属等からなり、カソード電極 2 1 3 は有機層 2 1 2 上に全画素共通に形成された透明導電膜等からなる。

10

【 0 1 1 5 】

この有機 E L 素子 2 1 において、有機層 2 1 2 は、アノード電極 2 1 1 上にホール輸送層/ホール注入層、発光層、電子輸送層および電子注入層が順次堆積されることによって形成される。そして、駆動トランジスタ 2 2 による電流駆動の下に、アノード電極 2 1 1 を通して有機層 2 1 2 に電流が流れることで、当該有機層 2 1 2 内の発光層において電子と正孔が再結合する際に発光するようになっている。

20

【 0 1 1 6 】

そして、ガラス基板 7 0 1 上に、絶縁膜 7 0 2 を介して有機 E L 素子 2 1 が画素単位で形成された後は、パッシベーション膜 7 0 4 を介して透明基板である例えばガラス基板 7 0 5 が接合される。このガラス基板 7 0 5 によって有機 E L 素子 2 1 が封止されることにより表示パネル 7 0 が形成される。このダミー画素 8 1 1 は、画素アレイ部 3 0 の有効画素 2 0 の形成時に同じプロセスで形成される。

【 0 1 1 7 】

上記構成のダミー画素 8 1 1 において、有機 E L 素子 2 1 の輝度を検出する光検出センサ 8 1 2 は、表示パネル 7 0 の裏面（発光面と反対側の面）側、即ちガラス基板 7 0 1 の下面側に設けられている。この光検出センサ 8 1 2 は、1つの画素の画素エリアよりも大きな面積にて、有機 E L 素子 2 1 側を受光面としてガラス基板 7 0 1 に例えば貼り付けられることによって設けられる。

30

【 0 1 1 8 】

一方、表示パネル 7 0 のダミー画素部 8 1 の形成領域部分には、表示パネル 7 0 の発光面側のガラス基板 7 0 5 上にミラーシート等の反射膜 8 1 3 が形成されている。この反射膜 8 1 3 は、アルミニウム膜やメタル蒸着等によるシート状のメタルなどからなり、表示パネル 7 0 の発光面上、即ちガラス基板 7 0 5 上に積層されている。

【 0 1 1 9 】

反射膜 8 1 3 は、有機 E L 素子 2 1 から発せられる光を反射することにより、表示パネル 7 0 の裏面側に設けられた光検出センサ 8 1 2 に導く。有機 E L 素子 2 1 から発せられる光は、反射膜 8 1 3 だけでなく、ガラス基板 7 0 5 の界面（パッシベーション膜 7 0 4 との接合面）でも反射されることによって光検出センサ 8 1 2 に入射する。

40

【 0 1 2 0 】

ところで、先述したように、ダミー画素 8 1 1 は、画素アレイ部 3 0 の有効画素 2 0 の形成時に同じプロセスで形成される。したがって、ダミー画素 8 1 1 を複数形成する場合は、画素アレイ部 3 0 の有効画素 2 0 と同様にして同じ画素ピッチで形成するのが一般的である。

【 0 1 2 1 】

これに対して、本実施例 1 に係るレイアウト構造では、反射膜 8 1 3 およびガラス基板 7 0 5 の界面で反射される反射光が光検出センサ 8 1 2 へ至る光路中に障害物が存在しな

50

いようにする構成を採っている。

【 0 1 2 2 】

具体的には、先ず、画素アレイ部 3 0 の有効画素 2 0 の各々に対してカソード電位 V_{cath} を与えるべく、図 1 2 に示すように、画素アレイ部 3 0 の周囲に配線される補助配線 7 0 6 については、ダミー画素部 8 1 の形成領域部分を避けて配線するようにする。この補助配線 7 0 6 は、通常、画素アレイ部 3 0 において各有効画素 2 0 間にメッシュ状に配線されることで、カソード配線（図 2 の共通電源供給線 3 4 に相当）の配線抵抗を下げる作用を為す。

【 0 1 2 3 】

ダミー画素部 8 1 の形成領域部分においても画素アレイ部 3 0 と同様に補助配線 7 0 6 を配線すると、当然のことながら、図 1 1 に破線で示すように、画素間の補助配線 7 0 6 が反射膜 8 1 3 などでの反射光の光路中において反射光の障害物として存在することになる。

10

【 0 1 2 4 】

ところが、補助配線 7 0 6 をダミー画素部 8 1 の形成領域部分を避けて配線することにより、反射膜 8 1 3 およびガラス基板 7 0 5 の界面での反射光の光路を補助配線 7 0 6 によって遮ることがなくなる。その結果、有機 EL 素子 2 1 から発せられ、反射膜 8 1 3 等で反射された光を光検出センサ 8 1 2 へ効率良く導くことができる。

【 0 1 2 5 】

また、ダミー画素部 8 1 においても、個々の画素について画素アレイ部 3 0 と同様に同じ画素ピッチで形成すると仮定する。すると、ダミー画素 8 1 1 に隣接する画素のアノード電極 2 1 1 や、駆動トランジスタ 2 2 の金属電極（ゲート電極 2 2 1 やソース/ドレイン電極 2 2 6 , 2 2 7）についても、図 1 1 に破線で示すように、画素間の補助配線 7 0 6 が反射膜 8 1 3 などによる反射光の光路中において反射光の障害物として存在することになる。

20

【 0 1 2 6 】

そこで、ダミー画素 8 1 1 に隣接する画素について、アノード電極 2 1 1 や駆動トランジスタ 2 2 の金属電極（ゲート電極 2 2 1 やソース/ドレイン電極 2 2 6 , 2 2 7）をレイアウトしないようにする。これにより、補助配線 7 0 6 の場合と同様に、反射膜 8 1 3 およびガラス基板 7 0 5 の界面での反射光が光検出センサ 8 1 2 へ至る光路中に障害物が存在しなくなるため、有機 EL 素子 2 1 から発せられ、反射膜 8 1 3 等で反射された光を光検出センサ 8 1 2 へ効率良く導くことができる。

30

【 0 1 2 7 】

このように、実施例 1 に係る光検出センサ 8 1 2 のレイアウト構造においては、光検出センサ 8 1 2 を表示パネル 7 0 の裏面に設ける一方、表示パネル 7 0 の表面に有機 EL 素子 2 1 が発する光を反射する反射膜 8 1 3 を形成する構成を採っている。かかる構成を採ることにより、パネルモジュールの厚みを増すことなく、光検出センサ 8 1 2 をレイアウトできる。さらに、反射膜 8 1 3 の反射によって有機 EL 素子 2 1 が発する光を光検出センサ 8 1 2 に導くことができるため、ダミー画素 8 1 1 の輝度検出を効率良く行うことができる。

40

【 0 1 2 8 】

特に、反射膜 8 1 3 およびガラス基板 7 0 5 の界面での反射光が光検出センサ 8 1 2 へ至る光路中に障害物が存在しないことから、光検出センサ 8 1 2 に入射する光の口スを抑えることができるため、ダミー画素 8 1 1 の輝度検出をより効率良く行うことができる。しかも、光検出センサ 8 1 2 を表示パネル 7 0 の裏面に例えば貼り付ければ良いため、光検出センサ 8 1 2 として周知の高感度の光検出素子を用いることができる利点もある。

【 0 1 2 9 】

[2 - 3 . 実施例 2]

図 1 3 は、実施例 2 に係る光検出センサ 8 1 2 を含むダミー画素 8 1 1 の構造を示す断面構造図である。図 1 3 において、図 1 1 と同等部分（対応する部分）には同一符号を付

50

して示し、その説明については重複するので省略する。

【0130】

実施例1に係る光検出センサ812のレイアウト構造では、光検出センサ812を表示パネル70の裏面に例えば貼り付けることによって設ける構成を採っている。これに対して、本実施例2に係る光検出センサ812のレイアウト構造では、図12に示すように、表示パネル70の内部に光検出センサ812を組み込む（作り込む）構成を採っている。

【0131】

すなわち、本実施例2に係る光検出センサ812のレイアウト構造においては、ガラス基板701上に駆動トランジスタ22などを形成する過程で、同様にして光検出センサ812をガラス基板701上に形成する。光検出センサ812としては、PINフォトダイオードなどを用いることができる。

10

【0132】

実施例2に係る光検出センサ812のレイアウト構造によれば、実施例1と同様の作用効果を得ることができる。この作用効果に加えて、表示パネル70を形成する過程で光検出センサ812を作り込むことができるために、実施例1の場合のような表示パネル70の形成後に光検出センサ812を貼り付けるなどの作業を省ける利点もある。

【0133】

<3. 変形例>

上記実施形態では、画素20の電気光学素子（発光素子）として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。すなわち、本発明は、無機EL素子、LED素子、半導体レーザー素子などの自発光素子を画素20の電気光学素子として用いる自発光型の表示装置全般に対して適用可能である。

20

【0134】

<4. 適用例>

以上説明した本発明による表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。一例として、図14～図18に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示装置に適用することが可能である。

30

【0135】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、各種の電子機器において、機器を大型化することなく、高品位な画像表示を行うことができる。すなわち、先述した実施形態の説明から明らかなように、本発明による表示装置は、パネルモジュールの厚みを増すことなく、自発光素子の特性の劣化に起因する焼付き現象の発生を抑えることができるために、薄型のパネルモジュールにて高品質な表示画像を得ることができる。

【0136】

本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。なお、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

40

【0137】

以下に、本発明が適用される電子機器の具体例について説明する。

【0138】

図14は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による

50

表示装置を用いることにより作成される。

【0139】

図15は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明による表示装置を用いることにより作製される。

【0140】

図16は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

10

【0141】

図17は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本発明による表示装置を用いることにより作製される。

【0142】

図18は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含んでいる。そして、ディスプレイ144やサブディスプレイ145として本発明による表示装置を用いることにより本適用例に係る携帯電話機が作製される。

20

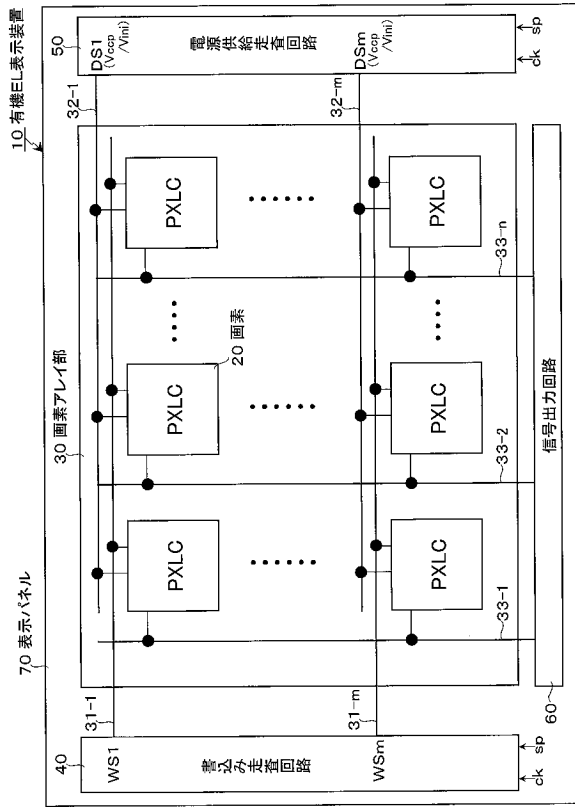
【符号の説明】

【0143】

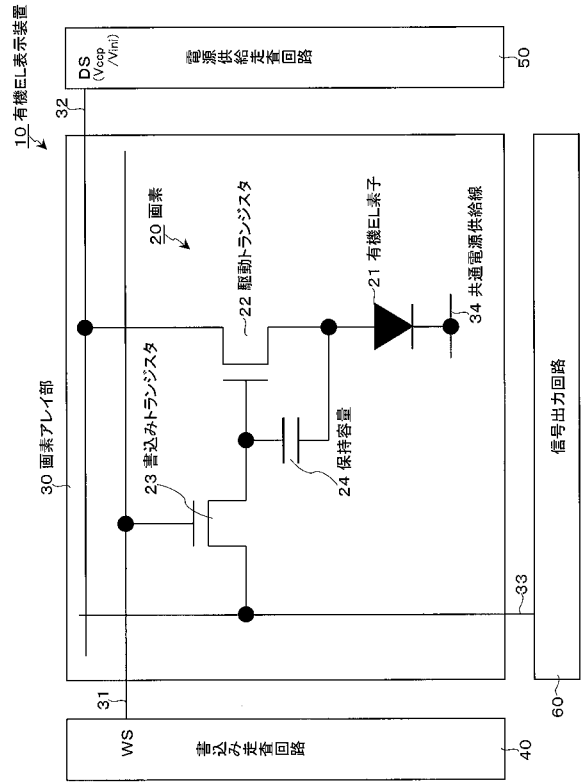
10...有機EL表示装置、20...画素、21...有機EL素子、22...駆動トランジスタ、23...書込みトランジスタ、24...保持容量、30...画素アレイ部、31(31-1~31-m)...走査線、32(32-1~32-m)...電源供給線、33(33-1~33-n)...信号線、34...共通電源供給線、40...書込み走査回路、50...電源供給走査回路、60...信号出力回路、70...表示パネル、80...焼付き補正回路、81...ダミー画素部、82...劣化量算出部、83...補正処理部、90...ドライバ、811...ダミー画素、812...光検出センサ

30

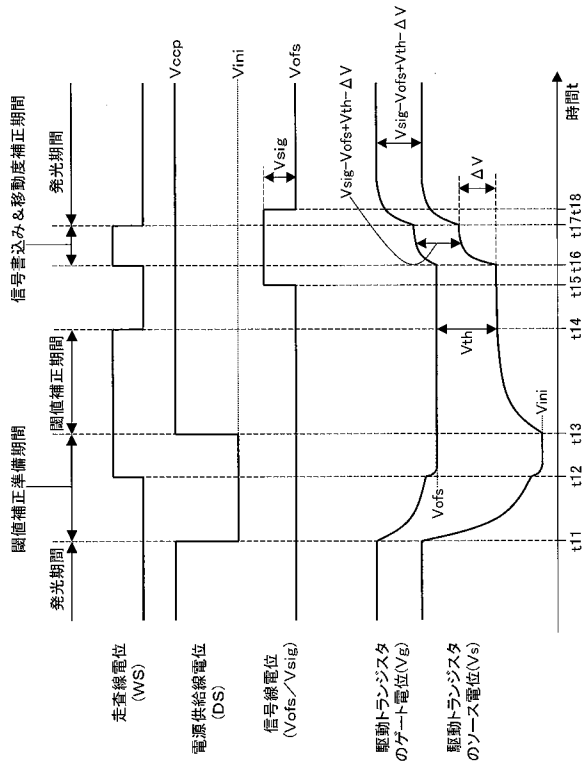
【 図 1 】



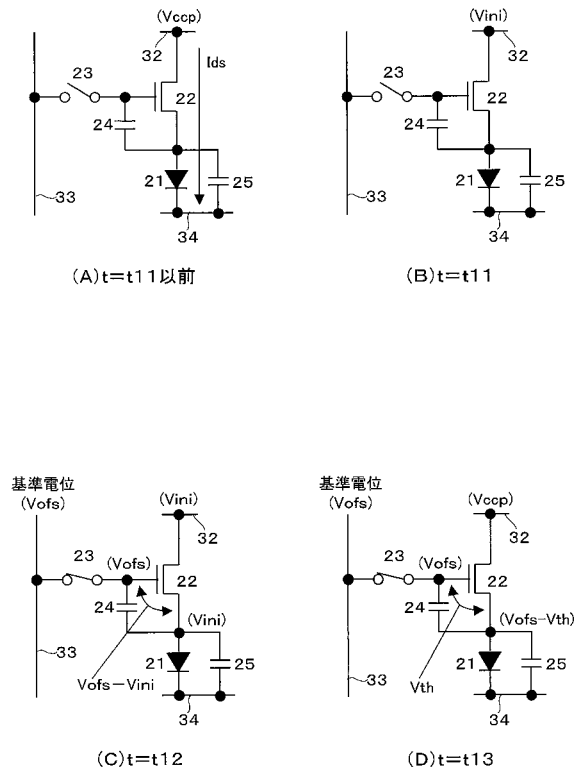
【 図 2 】



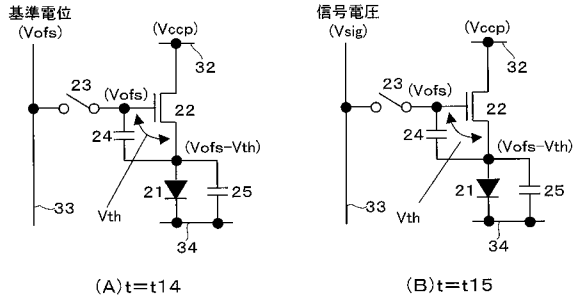
【 図 3 】



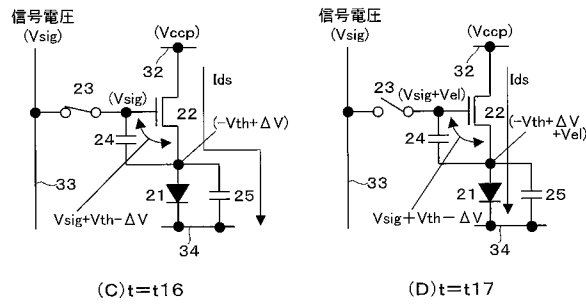
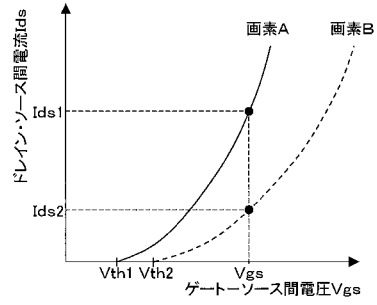
【 図 4 】



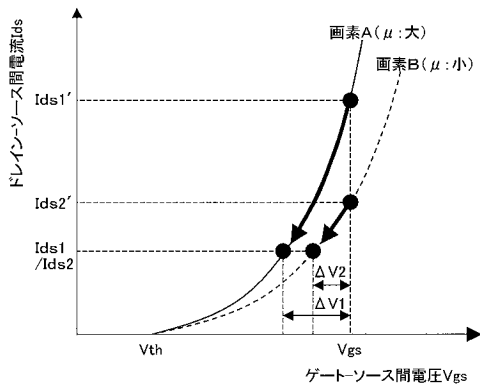
【 図 5 】



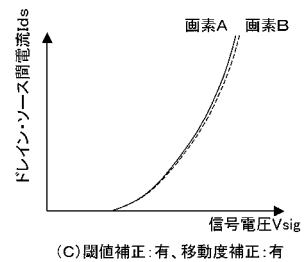
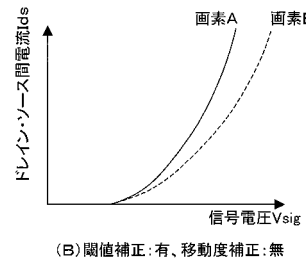
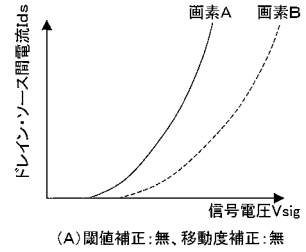
【 図 6 】



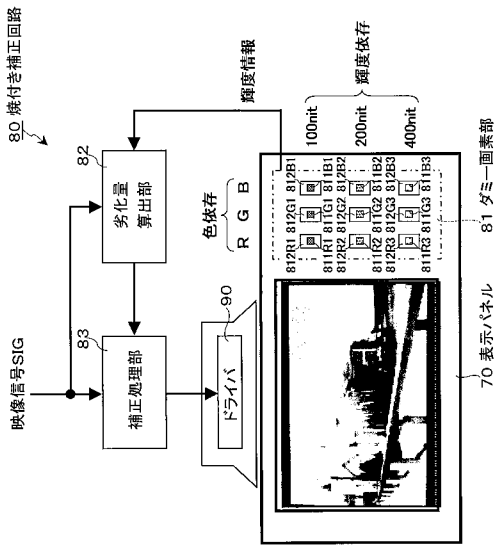
【 図 7 】



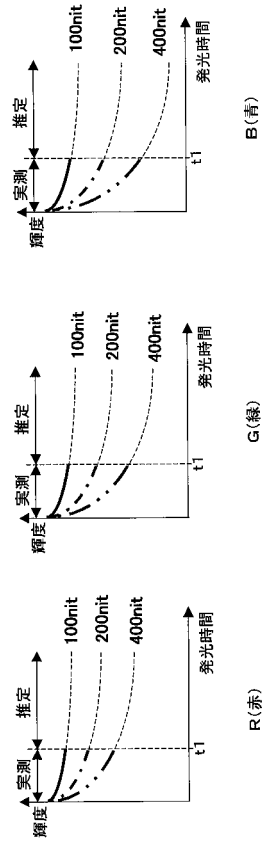
【 図 8 】



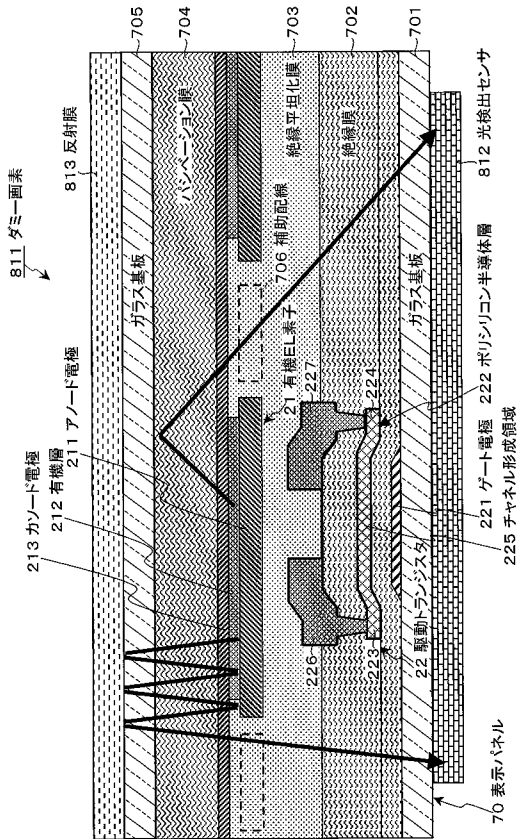
【 図 9 】



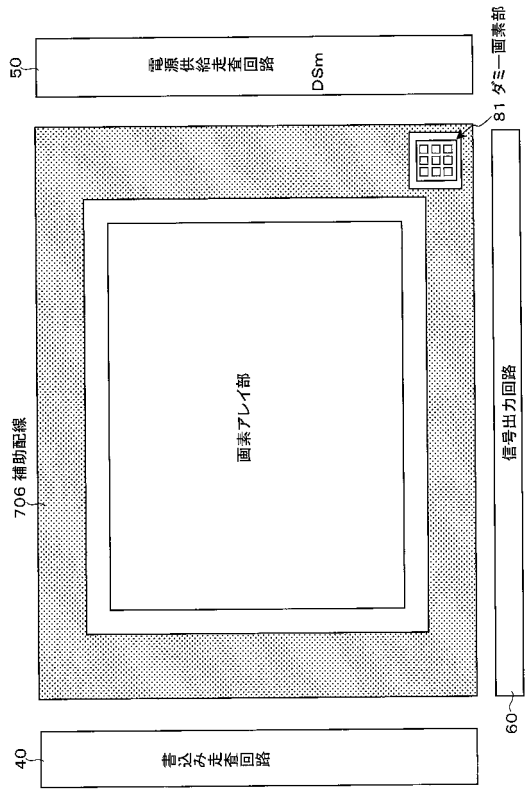
【 図 10 】



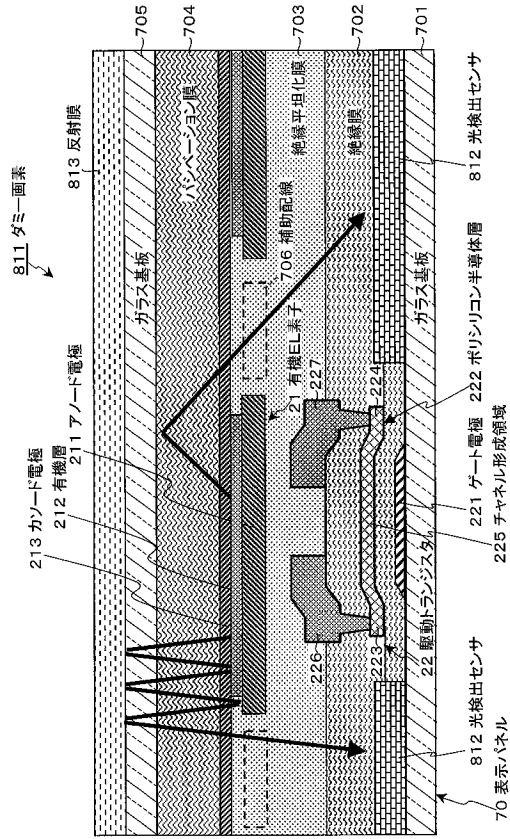
【 図 11 】



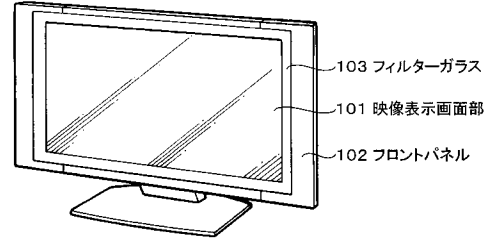
【 図 12 】



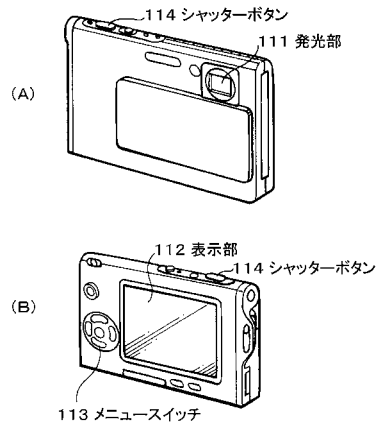
【図13】



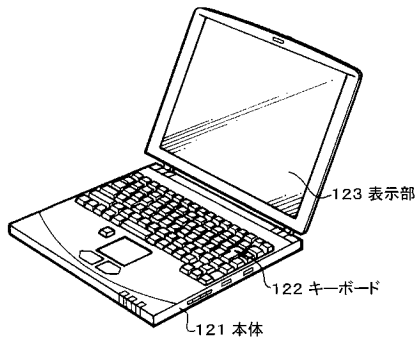
【図14】



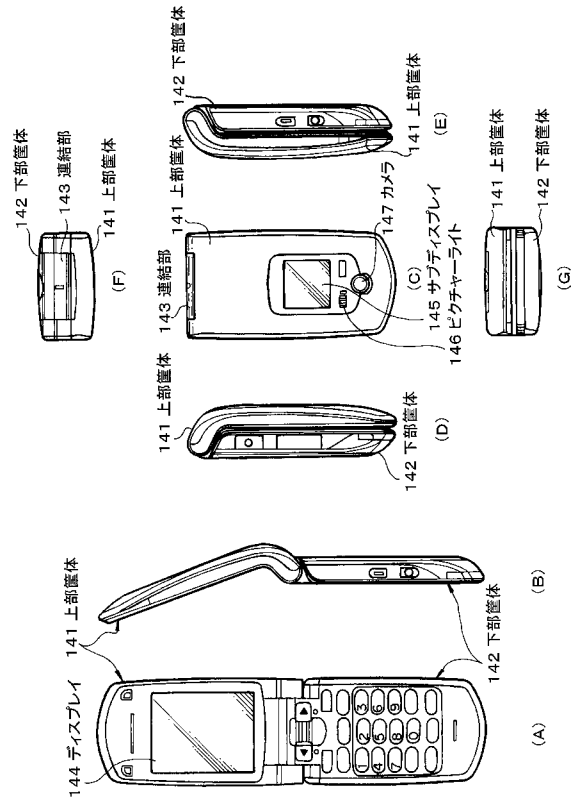
【図15】



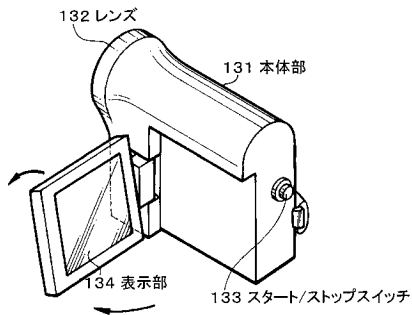
【図16】



【図18】



【図17】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 5 B 33/24 (2006.01)	G 0 9 G 3/20	6 5 0 M
H 0 5 B 33/26 (2006.01)	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 6 0 Q
	G 0 9 G 3/20	6 2 1 M
	G 0 9 F 9/30	3 4 9 Z
	H 0 5 B 33/14	A
	H 0 5 B 33/02	
	H 0 5 B 33/24	
	H 0 5 B 33/26	Z

F ターム(参考)	5C080	AA06	BB05	CC03	DD02	DD03	DD05	DD22	DD25	DD28	DD29
		EE05	EE27	EE28	EE29	EE30	FF03	FF11	GG05	GG07	GG08
		HH09	JJ01	JJ02	JJ03	JJ04	JJ05	JJ06	KK04	KK07	KK43
		KK49									
	5C094	AA21	BA27	EA01	ED11	GA10	HA08				
	5C380	AA01	AA02	AA03	AB06	AB11	AB18	AB22	AB24	AB34	AB36
		AB37	AB39	AB46	AC02	AC07	AC08	AC09	AC11	AC12	BA11
		BA38	BA39	BA45	BB04	BB06	BB13	BD02	BD04	BD11	BE05
		CA08	CA12	CA53	CA54	CA57	CB01	CB17	CB18	CB20	CB26
		CB31	CB37	CC02	CC03	CC04	CC06	CC07	CC27	CC30	CC33
		CC39	CC41	CC48	CC61	CC62	CD012	CD022	CE04	CE20	CF07
		CF68	DA02	DA06	DA24	DA32	DA42	DA43	DA47	DA50	EA01
		FA05	FA18	FA20	FA26	FA28	HA03	HA05	HA15		

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2011043729A	公开(公告)日	2011-03-03
申请号	JP2009192853	申请日	2009-08-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L51/50 H05B33/02 H05B33/24 H05B33/26		
CPC分类号	G09G3/3233 G09G2320/029 G09G2320/043 G09G2320/046 G09G2360/145 G09G2360/16 H01L27/3227		
FI分类号	G09G3/30.K G09G3/20.680.H G09G3/20.680.G G09G3/20.642.P G09G3/20.641.P G09G3/20.650.M G09G3/20.670.K G09G3/20.642.A G09G3/20.660.Q G09G3/20.621.M G09F9/30.349.Z H05B33/14.A H05B33/02 H05B33/24 H05B33/26.Z G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC34 3K107/CC43 3K107/DD37 3K107/EE07 3K107/EE33 3K107/EE57 3K107/EE68 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD03 5C080/DD05 5C080/DD22 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE05 5C080/EE27 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/GG05 5C080/GG07 5C080/GG08 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK43 5C080/KK49 5C094/AA21 5C094/BA27 5C094/EA01 5C094/ED11 5C094/GA10 5C094/HA08 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB39 5C380/AB46 5C380/AC02 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BB04 5C380/BB06 5C380/BB13 5C380/BD02 5C380/BD04 5C380/BD11 5C380/BE05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB01 5C380/CB17 5C380/CB18 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CB37 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC48 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CD022 5C380/CE04 5C380/CE20 5C380/CF07 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA24 5C380/DA32 5C380/DA42 5C380/DA43 5C380/DA47 5C380/DA50 5C380/EA01 5C380/FA05 5C380/FA18 5C380/FA20 5C380/FA26 5C380/FA28 5C380/HA03 5C380/HA05 5C380/HA15		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：当光检测传感器布置在显示面板发光表面的相对侧时，有效地检测哑像素的亮度。解决方案：光检测传感器812通过将其粘附到显示面板70的背面来提供，例如同时形成反射膜813，其将由虚设像素811的有机EL元件21发射的光反射到表面上。通过反射膜813反射由有机EL元件21发射的光并将光引导到光检测传感器812，可以有效地检测虚设像素811的亮度。

