

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-529701
(P2009-529701A)

(43) 公表日 平成21年8月20日(2009.8.20)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 623B	5C080
H01L 51/50 (2006.01)	G09G 3/20 622B	
H05B 33/08 (2006.01)	G09G 3/20 612F	
	G09G 3/20 641C	

審査請求 未請求 予備審査請求 未請求 (全 40 頁) 最終頁に続く

(21) 出願番号 特願2008-557831 (P2008-557831)
 (86) (22) 出願日 平成19年3月6日(2007.3.6)
 (85) 翻訳文提出日 平成20年11月5日(2008.11.5)
 (86) 国際出願番号 PCT/GB2007/050102
 (87) 国際公開番号 W02007/102024
 (87) 国際公開日 平成19年9月13日(2007.9.13)
 (31) 優先権主張番号 0604740.1
 (32) 優先日 平成18年3月9日(2006.3.9)
 (33) 優先権主張国 英国 (GB)

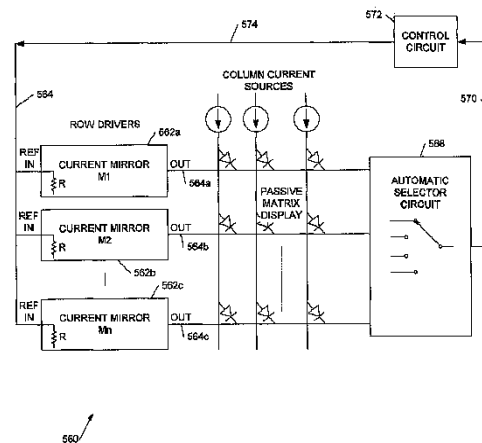
(71) 出願人 597063048
 ケンブリッジ ディスプレイ テクノロジ
 ー リミテッド
 イギリス・ケンブリッジシャー・CB23
 ・6DW・キャンボーン・キャンボーン・
 ビジネス・パーク・(番地なし)・ビルデ
 イング・2020
 (71) 出願人 598145510
 ストマイクロエレクトロニクス・ソシエテ・
 アノニム
 フランス・F-92120・モンルージュ
 ・ブールヴァール・ロメン・ローラン・2
 9
 (74) 代理人 100064908
 弁理士 志賀 正武

最終頁に続く

(54) 【発明の名称】 電流駆動表示システム

(57) 【要約】

本発明は、有機発光ダイオード(OLED)表示装置を駆動するシステム、方法、および装置、具体的には複数ライン同時選択(MLA)技術を使用するものに関する。本発明の実施形態は、いわゆる受動マトリクスOLED表示装置に使用するのに特に適している。エレクトロルミネセンス表示装置用の電流駆動システムにおいて、前記表示装置の複数の駆動電極を駆動する、複数の出力を有する複数の電流ミラーであって、基準信号入力をそれぞれ有する電流ミラーと、基準信号入力を前記電流ミラーに供給するため前記出力を自動的に選択する、前記電流ミラー出力に結合された自動セレクトアとを備える、電流駆動システム。



【特許請求の範囲】

【請求項1】

エレクトロルミネセンス表示装置用の電流駆動システムにおいて、前記表示装置の複数の駆動電極を駆動する、複数の出力を有する複数の電流ミラーであって、基準信号入力をそれぞれ有する電流ミラーと、

基準信号入力を前記電流ミラーに供給するため前記出力を自動的に選択する、前記電流ミラー出力に結合された自動セクタとを備える、電流駆動システム。

【請求項2】

前記基準信号入力が電圧信号入力を含み、前記電流ミラーが、前記電圧信号入力を基準電流に変換する入力抵抗を含む、請求項1に記載の電流駆動システム。

10

【請求項3】

前記電流ミラーが、前記基準信号入力の倍数に応じて出力電流を供給する乗算デジタルアナログ変換器を備える、請求項1または2に記載の電流駆動システム。

【請求項4】

前記電流ミラーの前記基準信号入力が互いに結合されて共通の基準信号入力を供給し、前記自動セクタが前記共通の基準信号入りに結合された出力を有する、請求項1、2、または3に記載の電流駆動システム。

【請求項5】

前記セクタが、前記電流ミラー出力に対する電圧に応答して前記電流ミラー出力を選択するように構成された、請求項1から4のいずれか一項に記載の電流駆動システム。

20

【請求項6】

前記セクタが、前記電流駆動システムの電源ラインの電圧に最も近い電圧を有する前記電流ミラー出力を選択するように構成された、請求項5に記載の電流駆動システム。

【請求項7】

前記セクタが、前記選択された電流ミラー出力に応答して前記電流ミラーへの前記基準信号入力を調整して、基準信号入力と前記選択された電流ミラー出力とのミラー比を維持する制御回路を含み、前記ミラー比が、前記選択された出力を有する前記電流ミラーによって決定される、請求項6に記載の電流駆動システム。

【請求項8】

前記セクタが、前記電流ミラー出力に結合された制御接続をそれぞれ有するとともに入力および出力接続がそれぞれ共通して接続された複数のトランジスタを備え、前記共通の出力接続が、前記基準信号入力を前記電流ミラーに供給する出力電圧を供給する、請求項5、6、または7に記載の電流駆動システム。

30

【請求項9】

前記トランジスタがMOSトランジスタを含み、前記入力、出力、および制御接続がそれぞれ、ドレイン接続、ソース接続、およびゲート接続を含む、請求項8に記載の電流駆動システム。

【請求項10】

前記制御回路が非反転増幅器を備える、請求項7に従属する場合の請求項9に記載の電流駆動システム。

40

【請求項11】

前記トランジスタがMOSトランジスタを含み、前記入力、出力および制御接続がそれぞれ、ソース接続、ドレイン接続、およびゲート接続を含む、請求項8に記載の電流駆動システム。

【請求項12】

前記制御回路が反転増幅器を備える、請求項7に従属する場合の請求項11に記載の電流駆動システム。

【請求項13】

前記セクタが、前記電流ミラー出力に結合された第1の入力、第2の入力、および出力をそれぞれ有する複数の演算増幅器を含み、前記第2の入力が共通して基準に接続され、

50

前記出力が共通に結合されて前記基準信号入力を前記電流ミラーに供給する、請求項5または6に記載の電流駆動システム。

【請求項14】

前記エレクトロルミネセンス表示装置がOLED表示装置を含む、請求項1から13のいずれか一項に記載の電流駆動システム。

【請求項15】

基準信号を受け取る基準入力と、
比率化電流を受け取る比率化電流入力と、
比率制御信号入力を受け取る比率制御入力と、
前記比率制御入力に結合された制御入力、前記基準入力に結合された電流入力、および前記比率化電流入力に結合された出力を有する制御可能な電流ミラーとを備える、OLED表示装置ドライバ用の定電流源であって、
前記制御入力に対する信号が、前記比率化電流と前記基準信号の比を制御するように構成され、

複数の駆動接続、および前記駆動接続の1つを選択して前記基準信号を供給する自動セレクトをさらに備える、定電流源。

【請求項16】

前記自動セレクトが、前記駆動接続に結合されて、前記駆動接続の選択された1つを前記基準入力に選択的に結合する、請求項15に記載の定電流源。

【請求項17】

1つ1つが前記複数の駆動接続それぞれに対応し、比率制御入力をそれぞれ備えるとともに共通の基準入力を有する複数の前記電流ミラーを備える、請求項15または16に記載の定電流源。

【請求項18】

前記セレクトが、前記定電流源の供給電圧に最も近い電圧を有する前記駆動接続を選択するように構成された、請求項15、16、または17に記載の定電流源。

【請求項19】

OLED表示装置の複数の電極を駆動する電流ドライバ回路であって、
制御信号を受け取る少なくとも1つの制御入力と、
前記複数の表示装置電極用の複数の駆動接続と、
前記複数の駆動接続の1つを第1の接続として、また前記駆動接続の少なくとも他の1つを第2の接続として自動的に選択するように構成された自動セレクトと、
前記第1および第2の接続にそれぞれ、前記制御信号に従ってそれらの比が制御される第1および第2の駆動信号を供給するように構成されたドライバとを備える、電流ドライバ回路。

【請求項20】

前記ドライバが、個別の制御入力をそれぞれ有する少なくとも2つの電流ミラーを備え、前記電流ミラーの第1のものが前記第1の駆動信号を供給し、前記電流ミラーの第2のものが前記第2の駆動信号を供給し、前記自動セレクトが、前記駆動接続の1つを自動的に選択して前記第1および第2の電流ミラー両方に基準信号入力を供給するように構成された、請求項19に記載の電流ドライバ回路。

【請求項21】

表示装置の複数の行を同時に駆動する複数の行接続を有する、複数ライン同時選択OLED表示装置のドライバにおける電流駆動を制御する選択回路であって、
共通の基準に対して駆動信号をサーボ制御する、基準信号を出力する出力と、
複数の入力接続と出力接続とに結合された、入力からの信号を自動的に選択して前記基準信号を供給するセレクトとを備える、選択回路。

【請求項22】

前記基準信号が選択された入力信号に応答する、請求項21に記載の選択回路。

【請求項23】

前記サーボ制御のため、前記選択された入力信号に応答して前記基準信号を調整する制御回路をさらに備える、請求項21または22に記載の選択回路。

【請求項24】

電流ミラー出力に結合する制御接続、電源に接続するため互いに接続された入力接続、および互いに接続されて、入力の中で最大電圧または最小電圧を有する選択された前記入力に対する電圧に対応する出力電圧を供給する出力接続をそれぞれ有する、複数のトランジスタを備える、セクタ回路。

【請求項25】

電流ミラー出力に結合する第1の入力、第2の入力、および出力をそれぞれ有する複数の演算増幅器を備え、前記第2の入力が基準に接続するように共通して接続され、前記出力が、前記電流ミラーに対する基準を提供する出力を供給するように共通して接続される、セクタ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、具体的には複数ライン同時選択(MLA)技術を使用して、有機発光ダイオード(OLED)表示装置を駆動するシステム、方法、および装置に関する。本発明の実施形態は、いわゆる受動マトリックスOLED表示装置に使用するのに特に適している。

【背景技術】

【0002】

消費電力を低減し、液晶表示装置(LCD)の比較的遅い応答速度を増加させる、LCD用の複数ライン同時選択技術は、例えば、米国特許公開US2004/150608、同US2002/158832、および同US2002/083655に記載されている。しかし、OLEDは放射技術であるがLCDはモジュレータの形態であるという基本的な違いから生じる違いのため、これらの技術はOLED表示装置には適さない。さらに、OLEDは、電流が印加されるとほぼ線形に応答し、LCDセルは、印加電圧のRMS(二乗平均)値に従って変わる非線形の応答を有する。

20

【0003】

OLEDを使用して製作される表示装置は、LCDおよび他のフラットパネル技術を超える多数の利点をもたらす。それらは、(LCDに比べて)明るく、色鮮やかで、切替えが高速であり、視野角が広く、また、容易かつ安価に様々な基板上に製作される。有機(ここでは有機金属を含む)LEDは、ポリマー、小分子、および dendrimer を含む材料を使用して、用いられる材料に応じて決まる範囲の色で製作されることがある。ポリマーベースの有機LEDの例は、国際特許公開WO 90/13148、同WO 95/06400、および同WO 99/48160に記載されており、dendrimerベースの材料の例は、国際特許公開WO 99/21935および同WO 02/067343に記載されており、また、いわゆる小分子ベースの素子の例は、米国特許第4,539,507号に記載されている。

30

【0004】

代表的なOLED素子は2つの有機材料層を備え、その一方は、発光ポリマー(LEP)、オリゴマー、または発光低分子量材料などの発光材料の層であり、他方は、ポリチオフェン誘導体またはポリアニリン誘導体などの正孔輸送材料の層である。

40

【0005】

有機LEDは、ピクセルのマトリックスの形で基板上に蒸着されて、単色または多色のピクセル化表示装置を形成することがある。多色表示装置は、赤色、緑色、および青色の発光ピクセル(emitting pixels)群を使用して構築されることがある。いわゆる能動マトリックス表示装置は、一般的には蓄電キャパシタおよびトランジスタである、各ピクセルと関連付けられた記憶素子を有するが、受動マトリックス表示装置はそのような記憶素子を有さず、その代わりに、反復して走査されて安定した画像の版を生じさせる。他の受動表示装置としては、複数のセグメントが共通電極を共有し、セグメントの他方の電極に電圧を印加することによってセグメントを照明することができる、セグメント表示装置が挙げられる。単純なセグメント表示装置は走査の必要がないが、複数のセグメント化区域を備え

50

る表示装置では、電極が多重化され(その数を低減するため)、次に走査されることがある。

【0006】

図1aは、OLED装置100の一例の鉛直断面図を示す。能動マトリクス表示装置では、ピクセルの面積の一部は関連する駆動回路網(図1aには図示なし)が占める。説明のため、素子の構造はある程度単純化されている。

【0007】

OLED 100は基板102を備え、それは、一般的には0.7mmもしくは1.1mmのガラスであるが、任意に透明なプラスチックまたは他の何らかのほぼ透明な材料である。一般的に厚さ約150nmのITO(インジウム錫酸化物)を含む、アノード層104が基板上に蒸着され、その一部の上には金属接触層が設けられる。一般的に、接触層は、約500nmのアルミニウム、またはクロム層の間に挟まれたアルミニウム層を含み、これはアノード金属と呼ばれる場合がある。ITOおよび接触金属でコーティングされたガラス基板はCorning (USA)から入手可能である。ITOの上の接触金属は、特に素子への外部接点に対して、アノード接続が透明である必要がない場合に、抵抗が低減された経路を提供する助けとなる。接触金属は、それが不要な場所では、特にそうでなければ表示装置を不透明にしてしまう場所では、フォトリソグラフィの標準的プロセスとその後のエッチングとによってITOから除去される。

【0008】

アノード層の上には、ほぼ透明な正孔輸送層106が、次にエレクトロルミネセンス層108およびカソード110が蒸着される。エレクトロルミネセンス層108は、例えばPPV(ポリ(p-フェニレンビニレン))を含んでもよく、アノード層104とエレクトロルミネセンス層108の正孔エネルギー準位を一致させる助けとなる正孔輸送層106は、導電性透明ポリマー、例えば、Bayer AG (Germany)製のPEDOT:PSS(スルホン酸ポリスチレン添加ポリエチレンジオキシチオフエン)を含んでもよい。一般的なポリマーベースの素子では、正孔輸送層106は約200nmのPEDOTを含んでもよく、発光ポリマー層108は、一般的に厚さ約70nmである。これらの有機層は、スピンコーティング(後で、プラズマエッチングまたはレーザーアブレーションによって、不要な領域から材料を除去する)によって、またはインクジェット印刷によって蒸着されてもよい。後者の場合、例えばフォトレジストを使用して、基板上にバンク112が形成されて、有機層がその中に蒸着されてもよいウェルを規定してもよい。そのようなウェルは、表示装置の発光面積またはピクセルを規定する。

【0009】

カソード層110は、一般的に、アルミニウムのより厚いキャッピング層で覆われた、カルシウムまたはバリウムなどの仕事関数が低い金属(例えば、物理蒸着法によって蒸着される)を含む。任意に、電子エネルギー準位の一致を改善するため、フッ化リチウム層などの追加の層がエレクトロルミネセンス層に直接隣接して設けられてもよい。カソードライン相互の電気的分離は、カソードセパレータ(図1aには図示なし)を使用することによって達成または強化されてもよい。

【0010】

同じ基本構造が、小分子素子および dendrimer 素子にも用いられてもよい。一般的に、多数の表示装置が単一の基板上に製作され、製作プロセスの終了時に基板がスクライブされ、酸化および水分の進入を抑制するため、表示装置は、封入ジャケット(encapsulating can)がそれぞれに取り付けられる前に分離される。

【0011】

OLEDを照明するためには、図1aに電池118によって表されるように、アノードとカソードの間に電力が印加される。図1aに示される例では、光は、透明アノード104および基板102を通して放射され、カソードは一般に反射性であり、そのような素子は「ボトムエミッタ」と呼ばれる。カソードを通して放射する素子(「トップエミッタ」)も、例えば、カソードがほぼ透明であるように、カソード層110の厚さを約50~100nm未満に維持することによって構築することができる。

【0012】

10

20

30

40

50

有機LEDは、ピクセルのマトリックスの形で基板上に蒸着されて、単色または多色のピクセル化表示装置を形成することがある。多色表示装置は、赤色、緑色、および青色の発光ピクセル群を使用して構築することがある。そのような表示装置では、個々の素子は、一般に、行(または列)ラインを活性化させてピクセルを選択することによってアドレス指定され、ピクセルの行(または列)が書き込まれて、表示装置を作成する。いわゆる能動マトリックス表示装置は、一般的には蓄電キャパシタおよびトランジスタである、各ピクセルと関連付けられた記憶素子を有するが、受動マトリックス表示装置は、そのような記憶素子を有さず、その代わりに、テレビ画面とある程度同じように反復して走査されて、安定した画像の版を生じさせる。

【0013】

次に図1bを参照すると、この図は、受動マトリックスOLED表示素子150の単純化された断面図を示し、図中、図1aと同様の要素は同様の参照番号によって示される。図示されるように、正孔輸送層106およびエレクトロルミネセンス層108は、アノード金属104およびカソード層110それぞれで規定される、互いに垂直なアノードラインとカソードラインの交点において、複数のピクセル152に細分される。図中、カソード層110内に規定される導電ライン154は紙面の奥に向かっており、カソードラインに対して直角な複数のアノードライン158の1つを通る断面が示される。カソードとアノードラインの交点にあるエレクトロルミネセンスピクセル152は、関連するラインの間に電圧を印加することによってアドレス指定されてもよい。アノード金属層104は、表示装置150に対する外部接点を提供し、(カソード層のパターンをアノード金属リード線の上に通すことによって)OLEDに対するアノードおよびカソード両方の接続に使用されてもよい。上述のOLED材料、特に発光ポリマーおよびカソードは酸化および水分に弱く、したがって、素子は、UV硬化性のエポキシ接着剤113によってアノード金属層104上に取り付けられた金属ジャケット111に封入され、接着剤中の小さなガラスピースが、金属ジャケットが接点に触れ、それらをショートさせるのを防ぐ。

【0014】

次に図2を参照すると、この図は、図1bに示されるタイプの受動マトリックスOLED表示装置150の駆動配置を概念的に示す。複数の定電流源200が設けられ、それらはそれぞれ、電源ライン202と、明瞭にするため1つのみが示される複数の列ライン204の1つとに接続される。複数の行ライン206(その1つのみが示される)も設けられ、それらはそれぞれ、交換接続210によって接地ライン208に選択的に接続されてもよい。図示されるように、ライン202に対する供給電圧が正であれば、列ライン204はアノード接続158を含み、行ライン206はカソード接続154を含むが、電源ライン202が負の場合、それらの接続は反転され、接地ライン208に対するものになる。

【0015】

図示されるように、表示装置のピクセル212には電力が印加され、したがって照明される。画像接続210を作成するためには、行全体がアドレス指定されるまで列ラインがそれぞれ順に活性化される間、1つの行が維持され、次いで次の行が選択され、そのプロセスが繰り返される。しかし、好ましくは、個々のピクセルをより長い間オンのまま維持し、したがって全体の駆動レベルを低減できるようにするため、1つの行が選択され、すべての列が平行して書き込まれ、すなわち、列ラインそれぞれに対して同時に駆動される電流が、所望の明るさで行内の各ピクセルを照明する。列内の各ピクセルを、次の列がアドレス指定される前に順にアドレス指定することができるが、これは、特に列のキャパシタンスが影響するという理由で好ましくない。

【0016】

当業者であれば、受動マトリックスOLED表示装置では、どの電極が行電極と呼ばれ、どれが列電極と呼ばれるかは任意であり、本明細書では「行」と「列」が同義に使用されることを理解するであろう。

【0017】

OLEDの明るさは素子を流れる電流によって決定され、これは素子が生成する光子の数を

10

20

30

40

50

決定するので、電圧制御ではなく電流制御による駆動をOLEDに提供することが通例である。電圧制御による構成では、明るさは、表示装置の面積全体にわたって、かつ時間、温度、経年数とともに変わり、それによって、所与の電圧で駆動されたときにピクセルがどの程度明るく見えるかを予測することが困難になる。カラー表示装置の場合、色表現の精度も影響を受けることがある。

【 0 0 1 8 】

ピクセルの明るさを変える従来の方法は、パルス幅変調(PWM)を使用してピクセルを定刻に変化させるものである。従来のPWM方式では、ピクセルは、すべてがオンであるか完全にオフであるかのどちらかであるが、ピクセルの見かけの明るさは、観察者の目の中で統合されることによって変わる。代替方法は、列駆動電流を変えるものである。

10

【 0 0 1 9 】

図3は、従来技術による受動マトリックスOLED表示装置の汎用ドライバ回路の概略図300を示す。OLED表示装置は、破線302によって示され、対応する行電極接点306をそれぞれ備えたn本の複数の行ライン304と、対応する複数の列電極接点310を備えたm本の複数の列ライン308とを備える。OLEDは、行ラインおよび列ラインの各対の間で接続され、図示される配置では、そのアノードは列ラインに接続される。y-ドライバ314は定電流で列ライン308を駆動し、x-ドライバ316は行ライン304を駆動して、行ラインを接地に選択的に接続する。y-ドライバ314およびx-ドライバ316は、一般的に、両方ともプロセッサ318の制御下にある。電源320は、回路網、および特にy-ドライバ314に電力を供給する。

20

【 0 0 2 0 】

OLED表示装置ドライバのいくつかの例は、米国特許第6,014,119号、同第6,201,520号、同第6,332,661号、欧州特許第1,079,361A号、および同第1,091,339A号に記載されており、PWMを用いるOLED表示装置ドライバ集積回路は、Clare, Inc. (Beverly, MA, USA)のClare Micronixによって販売されている。改善されたOLED表示装置ドライバのいくつかの例は、本出願人による同時係属中の出願である国際特許公開WO 03/079322および同WO 03/091983に記載されている。特に、参照により本明細書に組み込まれる国際特許公開WO 03/079322は、コンプライアンスが改善された、デジタル制御可能かつプログラム可能な定電流源について記載している。

【 0 0 2 1 】

OLED表示装置の寿命を改善することができる技術が継続的に必要とされている。受動マトリックス表示装置は能動マトリックス表示装置よりもはるかに安価に製作されるので、それらに適用可能な技術が特に必要とされている。OLEDの駆動レベル(および、したがって明るさ)を低減することで、素子の寿命を大幅に強化することができ、例えば、OLEDの駆動/明るさを半分にすることで、その寿命は約4倍に増加させることができる。本発明者らは、複数ライン同時選択技術を用いて、特に受動マトリックスOLED表示装置において表示装置駆動のピークレベルを低減し、したがって表示装置の寿命を増加することができることを認識している。

30

【 0 0 2 2 】**電流ミラードライバシステム**

本出願人らの1つ(Cambridge Display Technology Limited)は、例えば、すべて2004年9月30日出願の英国特許出願第0421710.5号および同第0421711.3号において、OLED表示装置のための、特に受動マトリックスOLED表示装置のための複数ライン同時選択方法を既に記載している。大まかに言えば、実施形態では、これらの方法は、第1の組の行駆動信号を用いてOLED表示装置の2つ以上の行電極を駆動すると同時に、第1の組の列駆動信号を用いて表示装置の複数の列電極を駆動し、次に、第2の組の行駆動信号を用いて2つ以上の行電極を駆動すると同時に、第2の組の列駆動信号を用いて列電極を駆動することを含む。好ましくは、行駆動信号および列駆動信号は、電流源または電流シンクなどのほぼ一定した定電流源からの電流駆動信号を含む。好ましくは、そのような定電流源は、例えばデジタルアナログ変換器を使用して、制御可能またはプログラム可能である。

40

【 0 0 2 3 】

50

2つ以上の行と同時に列を駆動する効果は、行駆動信号によって決定される割合で2つ以上の行の間で列駆動を分割することであり、換言すれば、電流駆動の場合、列内の電流は、相対値によって決定される割合または行駆動信号の割合で、2つ以上の行の間で分割される。大まかに言えば、このことによって、ピクセルの行またはラインのルミネセンスプロファイルを、単一のライン走査周期のみではなく複数のライン走査周期にわたって構築することが可能になり、したがって、OLEDピクセルのピークの明るさが有効に低減され、結果として表示装置のピクセルの寿命が増加する。電流駆動により、ピクセルに対する駆動信号の連続する組のほぼ線形の合計を用いて、ピクセルの所望のルミネセンスが得られる。

【0024】

MLA方法の実施形態を実現するため、行駆動信号に従って2つ以上の行の間で列電流駆動信号を分割する、制御可能な電流分割器が有用であろう。(当業者であれば、この文脈において、行および列に対する言及は同義であることを理解するであろう。)

【0025】

したがって、本発明の第1の態様によれば、エレクトロルミネセンス表示装置用の電流駆動システムにおいて、前記表示装置の複数の駆動電極を駆動する、複数の出力を有する複数の電流ミラーであって、基準信号入力をそれぞれ有する電流ミラーと、基準信号入力を前記電流ミラーに供給するため前記出力を自動的に選択する、前期電流ミラー出力に結合された自動セクタとを備える、システムが提供される。

【0026】

いくつかの好ましい実施形態では、電流ミラーの基準信号入力は互いに結合されて、共通の基準信号入力を供給する(ただし、他の配置では、共通の電流ミラー入力段は複数の別個のミラー出力段とともに用いられてもよい)。電流ミラーは電流源または電流シンクのどちらかであってもよく、いくつかの実施形態では、基準信号入力は電圧入力であって、入力抵抗によって基準電流に変換される。好ましくは、電流ミラーは、乗算デジタルアナログ変換器を含み、このように、電流ミラーの乗算(または除算)比はデジタル的に制御されて、基準信号入力によって決定された基準電流の選択された倍数(1未満または1超過)である出力電流(正または負)を供給してもよい。

【0027】

最小/最大電圧選択

好ましい実施形態の1つの組では、セクタは電流ミラー出力に対する電圧に応答し、このようにして、表示装置の駆動電極に対する電圧に応答する。いくつかの好ましい実施形態では、セクタは、基準信号を導出するのに使用するため、電流駆動システムの電源ラインの電圧に最も近い電圧を有する電流ミラー出力を、より具体的には、電流ミラーの(正もしくは負の)供給電圧または接地接続を選択する。場合によっては、1つを超えるそのような接続(1つを超えるそのような接続が、最大電圧または最小電圧でもあるほぼ同じ電圧の場合)があってもよく、その場合、セクタは、基準を導出するのに使用するため、1つを超える信号を選択してもよいことが理解されるであろう。ただし、複数の選択された出力はほぼ同じ電圧なので、回路の動作はこれに必ずしも実質的に影響を受けないことが理解されるであろう。

【0028】

好ましくは、セクタは、選択された電流ミラー出力に応答して基準信号入力(または共通の基準信号)を調整する、具体的には、その出力が選択されている電流ミラー回路によって設定されるミラー比を維持する制御回路を含む。例えば、選択された出力が、電源ラインから離れてそれに最も近いものに移動する場合、基準信号は、出力を電源ラインに向かって戻すように調整されてもよい。例えば、選択された電流ミラー出力の電圧の大きさが増加する(正負には関係なく)場合に、実質的に最小電圧の電流ミラー出力を選択するセクタの場合、(共通の)基準信号はこれを補正するように低減されてもよい(逆の場合も同じ)。

【0029】

10

20

30

40

50

1つの好ましい実施形態では、セレクトは、電流ミラー出力に結合された制御接続、電源に結合された入力接続、および電流ミラーの基準信号入力そこから導出される信号を供給する共通して接続された出力接続をそれぞれ有する、MOSトランジスタなどの複数のトランジスタを備える。出力に最も近い接地が選択される場合、電流ミラーは電流シンクを含み、トランジスタはp型(MOS)トランジスタであり、最大電圧に基づいて選択する場合、トランジスタはn型(MOS)トランジスタであり、電流ミラーは電流源を含む。

【0030】

一実施形態では、入力接続は、例えば負電源(V_{EE})とともに接続されたドレイン接続を含み、出力接続は、トランジスタがソースホロワ構成であるように、ソース接続を含む。この構成では、制御回路は非反転増幅器を含んでもよい。代替実施形態では、入力接続は、例えば正電源(V_{CC})に接続されたソース接続を含み、出力接続は、制御回路とともに接続されたドレイン接続を含む。この実施形態では、制御回路は反転増幅器を含んでもよい。さらなる実施形態では、入力接続は、トランジスタではなく個別の演算増幅器への接続を含み、それらの出力は互いに結合されて、電流ミラーの基準信号入力そこから導出される信号を供給する。

10

【0031】

別の態様では、本発明は、電流ミラー出力に結合する制御接続、電源に接続するため互いに接続された入力接続、および互いに接続されて、入力の中で最大電圧または最小電圧を有する選択された前記入力に対する電圧に対応する出力電圧を供給する出力接続をそれぞれ有する、複数のトランジスタを備えるセレクト回路を提供する。

20

【0032】

本発明の別の態様によれば、電流ミラー出力に結合する第1の入力、第2の入力、および出力をそれぞれ有する、複数の演算増幅器を備え、前記第2の入力が基準に接続するように共通して接続され、前記出力が、前記電流ミラーに対する基準を提供する出力を供給するように共通して接続される、セレクト回路が提供される。

【0033】

本発明の別の態様によれば、基準信号を受け取る基準入力と、比率化(ratioed)電流を受け取る比率化電流入力と、比率制御信号入力を受け取る比率制御入力と、前記比率制御入力に結合された制御入力、前記基準入力に結合された電流入力、および前記比率化電流入力に結合された出力を有する制御可能な電流ミラーとを備える、OLED表示装置ドライバ用の定電流源であって、前記制御入力に対する信号が前記比率化電流と前記基準信号の比を制御するように構成され、複数の駆動接続、および前記駆動接続の1つを選択して前記基準信号を供給する自動セレクトをさらに備える、定電流源が提供される。

30

【0034】

基準入力および比率化電流入力によって受け取られた入力は、正または負のどちらかであってもよく、すなわち、定電流源は、一对の(制御可能な)電流シンクまたは電流源のどちらかを備えてもよい。

【0035】

1つの好ましい実施形態では、セレクトは、フィードバックループの形で配置され、定電流源の供給電圧に最も近い、例えば電流ミラーの正(または負)の供給に最も近い電圧を有する駆動接続を自動的に選択するように構成される。

40

【0036】

好ましくは、各駆動接続に対して1つの電流ミラーが設けられ、電流ミラーは、共通の基準接続または基準入力信号を共有する。好ましくは、電流ミラーは、乗算デジタルアナログ変換器を備えて、デジタル値(ミラー比を決定する)によって基準化される入力(基準)電流によって決定される、出力電流を供給する。実施形態では、基準電流は抵抗器によって基準電圧入力から導出される。

【0037】

さらなる態様では、本発明は、OLED表示装置の複数の電極を駆動する電流ドライバ回路であって、制御信号を受け取る少なくとも1つの制御入力と、前記複数の表示装置電極に

50

対する複数の駆動接続と、前記複数の駆動接続の1つを第1の接続として、また前記駆動接続の少なくとも他の1つを第2の接続として自動的に選択するように構成された自動セクタと、前記第1および第2の接続のそれぞれに、前記制御信号に従ってその比が制御される第1および第2の駆動信号を供給するように構成されたドライバとを備える、ドライバ回路を提供する。

【0038】

好ましくは、ドライバは、個別の制御入力をそれぞれ有する少なくとも2つの電流ミラーを備え、前記電流ミラーの第1のものは前記第1の駆動信号を供給し、前記電流ミラーの第2のものは前記第2の駆動信号を供給し、前記自動セクタは、前記駆動接続の1つを自動的に選択して前記第1および第2の電流ミラー両方に基準信号入力を供給するように構成される。

10

【0039】

さらなる態様では、本発明は、表示装置の複数の行を同時に駆動する、複数の行接続を有する複数ライン同時選択OLED表示装置のドライバにおける電流駆動を制御する選択回路であって、共通の基準に対して駆動信号をサーボ制御する(servoing)、基準信号を出力する出力と、複数の入力接続と出力接続とに結合された、入力からの信号を自動的に選択して前記基準信号を供給するセクタとを備える、選択回路を提供する。

【0040】

好ましくは、セクタは、複数の電流ミラーの1つの出力を選択して、駆動信号を供給する電流ミラーに対する共通の基準となる行接続駆動信号を供給する。

20

【0041】

本発明はまた、上述の電流駆動システム、定電流源、または回路を組み込んだOLED表示装置ドライバを提供する。

【0042】

本発明のこれらおよび他の態様を、添付図面を参照して単に例示として以下にさらに記載する。

【特許文献1】米国特許公開US2004/150608

【特許文献2】米国特許公開US2002/158832

【特許文献3】米国特許公開US2002/083655

【特許文献4】国際特許公開WO 90/13148

30

【特許文献5】国際特許公開WO 95/06400

【特許文献6】国際特許公開WO 99/48160

【特許文献7】国際特許公開WO 99/21935

【特許文献8】国際特許公開WO 02/067343

【特許文献9】米国特許第4,539,507号

【特許文献10】米国特許第6,014,119号

【特許文献11】米国特許第6,201,520号

【特許文献12】米国特許第6,332,661号

【特許文献13】欧州特許第1,079,361A号

【特許文献14】欧州特許第1,091,339A号

40

【特許文献15】国際特許公開WO 03/079322

【特許文献16】国際特許公開WO 03/091983

【特許文献17】英国特許出願第0421710.5号

【特許文献18】英国特許出願第0421711.3号

【非特許文献1】D. D. Lee, H. S. Seung. Algorithms for non-negative matrix factorization

【非特許文献2】P. Paatero. U. Tapper. Least squares formulation of robust non-negative factor analysis. Chemometr. Intell. Lab. 37(1997), 23-35

【非特許文献3】P. Paatero. A weighted non-negative least squares algorithm for three-way 'PARAFAC' factor analysis. Chemometr. Intell. Lab. 38(1997), 223-242

50

【非特許文献4】P. Paatero, P. K. Hopke, etc. Understanding and controlling rotations in factor analytic models. Chemometr. Intell. Lab. 60(2002), 253-264

【非特許文献5】J. W. Demmel. Applied numerical linear algebra. Society for Industrial and Applied Mathematics, Philadelphia. 1997

【非特許文献6】S. Juntto, P. Paatero. Analysis of daily precipitation data by positive matrix factorization. Environmetrics, 5(1994), 127-144

【非特許文献7】P. Paatero, U. Tapper. Positive matrix factorization: a non-negative factor model with optimal utilization of error estimates of data values. Environmetrics, 5(1994), 111-126

【非特許文献8】C. L. Lawson, R. J. Hanson. Solving least squares problems. Prentice-Hall, Englewood Cliffs, NJ, 1974

【非特許文献9】Algorithms for Non-negative Matrix Factorization, Daniel D. Lee, H. Sebastian Seung, pages 556-562, Advances in Neural Information Processing Systems 13, Papers from Neural Information Processing Systems (NIPS) 2000, Denver, CO, USA. MIT Press 2001

【非特許文献10】Existing and New Algorithms for Non-negative Matrix Factorization By Wenguo Liu & Jianliang Yi (www.dcfi.gov/DCCI/rdwg/nmf.pdf; source code for the algorithms discussed therein can be found at http://www.cs.utexas.edu/users/liuwg/383CProject/CS_383C_Project.htm)

【非特許文献11】"Numerical Recipes in C: The Art of Scientific Computing", Cambridge University Press 1992

【発明を実施するための最良の形態】

【0043】

第1の行Aおよび第2の行Bを備える、受動マトリックスOLED表示装置の一对の行について考察する。従来の受動マトリックス駆動方式では、行は、以下の表1に示されるように駆動され、各行は完全オン状態(1.0)または完全オフ状態(0.0)のどちらかである。

【0044】

【表1】

A		B	
on	(1.0)	off	(0.0)
off	(0.0)	on	(1.0)

Table 1

【0045】

比A/(A+B)について考察すると、上記の表1の例では、これは0または1のどちらかであるが、2つの行の同じ列にあるピクセルが両方の行において完全オンではないとすると、この比は、依然として所望のピクセル輝度を提供しながら低減されてもよい。このようにして、ピーク駆動レベルを低減することができ、ピクセルの寿命は増加される。

【0046】

第1のライン走査では、輝度は次のとおりであってもよい。

第1周期

0.0 0.361 0.650 0.954 0.0
 0.0 0.015 0.027 0.039 0.0
 第2周期
 0.2 0.139 0.050 0.046 0.0
 0.7 0.485 0.173 0.161 0.0

【 0 0 4 7 】

次のことが分かる。

1. 2つの行の間の比は単一の走査周期において等しい(第1の走査周期では0.96、第2周期では0.222)。

2. 2つの行の間の輝度は合計で要求値になる。

10

3. ピーク輝度は、標準的な走査の間のピーク輝度に等しいか、それよりも低い。

【 0 0 4 8 】

上述の例は、単純な2つのラインの場合における技術を示す。輝度データにおける比が2つのラインの間で類似する場合、さらなる利益が得られる。画像データに関する計算のタイプに応じて、輝度は平均30パーセント以上低減することができ、そのことは、ピクセルの寿命に対して非常に重要な効果を有し得る。より多数の行について同時に考察するようにこの技術を拡張することで、より大きな利益をもたらすことができる。

【 0 0 4 9 】

SVD画像マトリックス分解を使用する複数ライン同時選択の一例を以下に挙げる。

【 0 0 5 0 】

20

マトリックス乗算としての駆動システムについて記載するが、ここで、Iは画像マトリックス(ビットマップファイル)、Dは表示画像(Iと同じものであるべきである)、Rは行駆動マトリックス、およびCは列駆動マトリックスである。Rの列は「ライン周期」内での行に対する駆動を表し、Rの行は駆動された行を表す。したがって、時間系における1つの行が単位マトリックスである。6×4表示の格子状表示装置(checker board display)の場合、

$$D(RC) := R \cdot C$$

【 0 0 5 1 】

【 数 1 】

$$I := \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

30

【 0 0 5 2 】

C := I

【 0 0 5 3 】

【数 2】

$$R := \begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

10

【0054】

これは画像と同じである。

【0055】

次に、2フレーム駆動方法を使用することについて考察する。

【0056】

【数 3】

20

$$C := \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

$$R := \begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 1 & 0 \\ 0 & 1 \end{pmatrix}$$

30

$$R \cdot C = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

【0057】

これはやはり画像マトリックスと同じである。

【0058】

駆動マトリックスは、(MathCad名称集を使用して)以下のように特異値分解を使用することによって計算することができる。

40

 $X := \text{svd}(I^T)$ (UおよびVを与える)

 $Y := \text{svds}(I^T)$ (対角線成分のベクトルとしてSを与える)

【0059】

Yが、2つの要素、すなわち2つのフレームのみを有することに注意。

【0060】

【数 4】

$$Y = \begin{pmatrix} 2.449 \\ 2.449 \\ 0 \\ 0 \end{pmatrix}$$

【 0 0 6 1 】

U:=submatrix(X,0,5,0,3) (すなわち、上の6行)

V:=submatrix(X,6,9,0,3)^T (すなわち、下の4行)

【 0 0 6 2 】

【表 2】

	0	1	2	3
0	0.577	0	0.816	0
1	0	0.577	0	0.816
2	0.577	0	-0.408	4.57·10 ⁻¹⁴
3	0	0.577	0	-0.408
4	0.577	0	-0.408	-4.578·10 ⁻¹⁴
5	0	0.577	0	-0.408
6	0.707	0	0.707	0
7	0	0.707	0	-0.707
8	0.707	0	-0.707	0
9	0	0.707	0	0.707

X =

W := diag(Y) (i.e. Format Y as a diagonal matrix)

【 0 0 6 3 】

【数 5】

$$W = \begin{pmatrix} 2.449 & 0 & 0 & 0 \\ 0 & 2.449 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}$$

【 0 0 6 4 】

D:=(U·W·V)^T

【 0 0 6 5 】

Dのチェック

【 0 0 6 6 】

10

20

30

40

【数 6】

$$D = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

【 0 0 6 7】

$$R := (W \cdot V)^T$$

10

【 0 0 6 8】

【数 7】

$$R = \begin{pmatrix} 1.732 & 0 & 0 & 0 \\ 0 & 1.732 & 0 & 0 \\ 1.732 & 0 & 0 & 0 \\ 0 & 1.732 & 0 & 0 \end{pmatrix}$$

【 0 0 6 9】

20

(空の最後の2列に注意)

$$R := \text{submatrix}(R, 0, 3, 0, 1) \quad (\text{空ではない列を選択する})$$

【 0 0 7 0】

【数 8】

$$R = \begin{pmatrix} 1.732 & 0 \\ 0 & 1.732 \\ 1.732 & 0 \\ 0 & 1.732 \end{pmatrix}$$

30

【 0 0 7 1】

$$C := U^T$$

【 0 0 7 2】

【数 9】

$$C = \begin{pmatrix} 0.577 & 0 & 0.577 & 0 & 0.577 & 0 \\ 0 & 0.577 & 0 & 0.577 & 0 & 0.577 \\ 0.816 & 0 & -0.408 & 0 & -0.408 & 0 \\ 0 & 0.816 & 4.57 \times 10^{-14} & -0.408 & -4.578 \times 10^{-14} & -0.408 \end{pmatrix}$$

40

【 0 0 7 3】

(Rを低減したので、Cが上側の行のみに低減される)

$$C := \text{submatrix}(C, 0, 1, 0, 5)$$

【 0 0 7 4】

【数 1 0】

$$C = \begin{pmatrix} 0.577 & 0 & 0.577 & 0 & 0.577 & 0 \\ 0 & 0.577 & 0 & 0.577 & 0 & 0.577 \end{pmatrix}$$

【0 0 7 5】

【数 1 1】

$$R \cdot C = \begin{pmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix}$$

10

【0 0 7 6】

これは、所望の画像と同じである。

【0 0 7 7】

次に、より一般的な例である文字「A」の画像について考察する。

【0 0 7 8】

【数 1 2】

$$I := \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

20

【0 0 7 9】

$$X := \text{svd}(I^T)$$

$$Y := \text{svds}(I^T)$$

(Yが、2つのエレメント、すなわち3つのフレームのみを有することに注意)

30

【0 0 8 0】

【数 1 3】

$$Y = \begin{pmatrix} 2.828 \\ 1.414 \\ 1.414 \\ 0 \end{pmatrix}$$

40

【0 0 8 1】

$$U := \text{submatrix}(X, 0, 5, 0, 3)$$

$$V := \text{submatrix}(X, 6, 9, 0, 3)^T$$

$$W := \text{diag}(Y)$$

$$D := (U \cdot W \cdot V)^T$$

【0 0 8 2】

【数 1 4】

$$D = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

【 0 0 8 3】

(Dのチェック)

$$R := (W \cdot V)^T$$

【 0 0 8 4】

【数 1 5】

$$R = \begin{pmatrix} -0.816 & 1.155 & 0 & 0 \\ -0.816 & -0.577 & 1 & 0 \\ -2.449 & 0 & 0 & 0 \\ -0.816 & -0.577 & -1 & 0 \end{pmatrix}$$

10

20

【 0 0 8 5】

(空の最後の列に注意)

$$R := \text{submatrix}(R, 0, 3, 0, 2)$$

【 0 0 8 6】

【数 1 6】

$$V = \begin{pmatrix} -0.289 & -0.289 & -0.866 & -0.289 \\ 0.816 & -0.408 & 0 & -0.408 \\ 0 & 0.707 & 0 & -0.707 \\ 0.5 & 0.5 & -0.5 & 0.5 \end{pmatrix}$$

30

$$R = \begin{pmatrix} -0.816 & 1.155 & 0 \\ -0.816 & -0.577 & 1 \\ -2.449 & 0 & 0 \\ -0.816 & -0.577 & -1 \end{pmatrix}$$

【 0 0 8 7】

$$C := U^T$$

【 0 0 8 8】

40

【数 17】

$$W = \begin{pmatrix} 2.828 & 0 & 0 & 0 \\ 0 & 1.414 & 0 & 0 \\ 0 & 0 & 1.414 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix}$$

$$C = \begin{pmatrix} -0.408 & -0.408 & -0.408 & -0.408 & -0.408 & -0.408 \\ -0.289 & -0.289 & 0.577 & 0.577 & -0.289 & -0.289 \\ -0.5 & 0.5 & 0 & 0 & 0.5 & -0.5 \\ 0.671 & -0.224 & 0 & 0 & 0.224 & -0.671 \end{pmatrix}$$

10

【0089】

(Rを低減したので、Cが上の行のみに低減される)

C:=submatrix(C,0,2,0,5)

【0090】

【数 18】

$$C = \begin{pmatrix} -0.408 & -0.408 & -0.408 & -0.408 & -0.408 & -0.408 \\ -0.289 & -0.289 & 0.577 & 0.577 & -0.289 & -0.289 \\ -0.5 & 0.5 & 0 & 0 & 0.5 & -0.5 \end{pmatrix}$$

20

$$R \cdot C = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

30

【0091】

これは、所望の画像と同じである。

【0092】

この場合、RおよびCには、受動マトリックスOLED表示装置の駆動には望ましくない負の数がある。検分すると、正の因数分解が可能であることが分かる。

【0093】

【数 1 9】

$$R := \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 1 \end{pmatrix}$$

$$C := \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

$$R \cdot C = \begin{pmatrix} 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 1 \end{pmatrix}$$

10

【 0 0 9 4】

20

負でないマトリックス因数分解(NMF)は、一般的な場合にこれを達成する方法を提供する。負でないマトリックス因数分解では、画像マトリックスIは次のように因数分解される。

$$I = W \cdot H \quad (\text{式1})$$

【 0 0 9 5】

NMF技術のいくつかの例は、すべて参照により本明細書に組み込まれる以下の参考文献に記載されている。

【 0 0 9 6】

D. D. Lee, H. S. Seung. Algorithms for non-negative matrix factorization, P. Paatero, U. Tapper. Least squares formulation of robust non-negative factor analysis. Chemometr. Intell. Lab. 37(1997), 23-35、P. Paatero. A weighted non-negative least squares algorithm for three-way 'PARAFAC' factor analysis. Chemometr. Intell. Lab. 38(1997), 223-242、P. Paatero, P. K. Hopke, etc. Understanding and controlling rotations in factor analytic models. Chemometr. Intell. Lab. 60(2002), 253-264、J. W. Demmel. Applied numerical linear algebra. Society for Industrial and Applied Mathematics, Philadelphia. 1997、S. Juntto, P. Paatero. Analysis of daily precipitation data by positive matrix factorization. Environmetrics, 5(1994), 127-144、P. Paatero, U. Tapper. Positive matrix factorization: a non-negative factor model with optimal utilization of error estimates of data values. Environmetrics, 5(1994), 111-126、C. L. Lawson, R. J. Hanson. Solving least squares problems. Prentice-Hall, Englewood Cliffs, NJ, 1974、Algorithms for Non-negative Matrix Factorization, Daniel D. Lee, H. Sebastian Seung, pages 556-562, Advances in Neural Information Processing Systems 13, Papers from Neural Information Processing Systems (NIPS) 2000, Denver, CO, USA. MIT Press 2001、および、Existing and New Algorithms for Non-negative Matrix Factorization By Wenguo Liu & Jianliang Yi (www.dcf1.gov/DCCI/rdwg/nmf.pdf; source code for the algorithms discussed therein can be found at http://www.cs.utexas.edu/users/liuwg/383CProject/CS_383C_Project.htm)。 40

【 0 0 9 7】

NMF因数分解手順は図9bに図式的に示される。

50

【0098】

基本的な上述の方式が実現されれば、他の技術を追加の利益のために使用することができる。例えば、Windows(登録商標)タイプのアプリケーションでは珍しくない、ピクセルの複製行を同時に書き込んでライン周期の数を低減し、したがって、フレーム周期を短縮し、同じ総合的な明るさに必要なピークの明るさを低減することができる。SVD分解が得られれば、小さな(駆動)値のみを有する下側の行は最終画像の質を大幅に減少させるものなので、それらを見捨てることのできる。上述したように、上述の複数ライン同時選択技術は、単一の表示フレーム内に適用されるが、1つまたは複数の行のルミネセンスプロファイルは、空間分割に加えて、またはその代わりに時間分割について構築されてもよいことが認識されるであろう。これは、フレーム間時間補間が用いられる動画圧縮技術によって容易になってもよい。

10

【0099】

上述のMLA技術の実施形態は、カラーOLED表示装置に特に有用であり、その場合、これらの技術は、好ましくは、赤色(R)、緑色(G)、および青色(B)サブピクセル群、ならびに任意にピクセル行間に用いられる。これは、画像が類似の色のブロックを含む傾向があり、また、R、G、およびBサブピクセル駆動の間の相関が離れたピクセル間よりも高い場合が多いためである。したがって、この方式の実施形態では、複数ライン同時選択のための行は、R行、G行、およびB行にグループ化され、3行が完全なピクセルを規定し、R行、G行、およびB行の組合せを同時に選択することによって画像が構築される。例えば、表示される画像のかなりの面積が白色の場合、R行、G行、B行のグループを併せて最初に選択すると同時に、適切な信号を列ドライバに印加することによって、画像を構築することができる。

20

【0100】

MLA方式をカラー表示装置に適用することはさらなる利点を有する。従来のカラーOLED表示装置では、ピクセルの行は「RGBRGB...」というパターンを有するので、行が使用可能にされたとき、別個の列ドライバは、R、G、およびBサブピクセルを同時に駆動して、フルカラーで照明されたピクセルを提供することができる。しかし、3つの行は、「RRRR...」、「GGGG...」、「BBBB...」という、R、G、およびBサブピクセルをアドレス指定する単一の列の構成を有することがある。この構成により、OLED表示装置の適用が単純化されるが、それは、各行における3つの異なる色の材料の区域を規定するのに必要な「ウェル」を分離するのではなく、例えば赤色ピクセルの行が、(カソードセパレータによって隣接するトラフから分離された)単一の長いトラフの形で(インクジェット)印刷されてもよいことによる。これにより、1つの製作段階を排除することが可能になり、また、ピクセル口径比(すなわち、活動状態のピクセルが表示面積に占める割合)が増加する。したがって、さらなる態様では、本発明はこのタイプの表示装置を提供する。

30

【0101】

図4aは、そのような方式のための一例の表示装置/ドライバハードウェア構成400のブロック図を示す。図から分かるように、単一の列ドライバ402が、赤色ピクセル404、緑色ピクセル406、および青色ピクセル408をアドレス指定する。赤色、緑色、および青色の行の順列は、行セクタ/マルチプレクサ410を使用して、あるいは、さらに後述されるように、各行を制御する電流シンクによってアドレス指定される。図4aから、この構成により、赤色、緑色、および青色のサブピクセルを、共通の電極をそれぞれ共有する(ウェルではなく)線形のトラフ内に印刷することが可能になることが分かる。これにより、基板のパターニングと印刷の複雑さが低減され、口径比が(また、したがって、低減された必要な駆動によって間接的に寿命が)増加する。図4aの物理的な素子レイアウトを用いて、多数の、または異なるMLA駆動方式が実現されてもよい。

40

【0102】

第1の例の駆動方式では、画像は、次に示されるように行の群を順にアドレス指定することによって構築される。

1. 白色の成分(R、G、およびBが選択され、ともに駆動される)

50

2. とともに駆動される赤色+青色
3. とともに駆動される青色+緑色
4. とともに駆動される赤色+緑色
5. 赤色のみ
6. 青色のみ
7. 緑色のみ

【0103】

最小数の色の組合せを使用して画像を構築するため、必要な色段階のみが実施される。組合せは、アプリケーションの要件に応じて、寿命を増加させ、かつ/または消費電力を低減するように最適化される。

10

【0104】

代替のカラーMLA方式では、RGB行の駆動は3つのライン走査周期に分割され、各ライン周期は1つの一次子を駆動する。一次子は、表示装置のライン、すなわち行に沿ったすべての所望の色を囲む色域を形成するように選択された、R、G、およびBの組合せである。

【0105】

1つの方法では、一次子は、 $R+aG=aB$ 、 $G+bR+bB$ 、 $B+cR+cG$ であり、式中、 $0 \leq a, b, c \leq 1$ であり、 a 、 b 、および c は、可能な最大値($a+b+c=最大$)であって、依然としてそれらの色域内のすべての所望の色を囲むように選択される。

【0106】

別の方法では、 a 、 b 、および c は、方式において表示装置の全体性能を最も良く改善するように選択される。例えば、青色の寿命が限定因子である場合、 c を犠牲にして a および b が最大限にされてもよく、赤色の消費電力が問題となる場合、 b および c を最大限にすることができる。これは、放射される明るさの合計が固定値と等しくあるべきであるためである。 $b=c=0$ である例について考察する。この場合、赤色の明るさは第1の走査周期において完全に達成されなければならない。しかし、 b 、 $c>0$ の場合、赤色の明るさは、複数の走査周期全体にわたってより段階的に構築され、したがって、ピークの明るさが低減され、赤色サブピクセルの寿命および効率が增加する。

20

【0107】

別の変形例では、個々の走査周期の長さは、寿命または消費電力を最適化する(例えば、走査時間を増加させる)ように調整することができる。

30

【0108】

さらなる変形例では、一次子は任意に、ただし、表示装置のライン上のすべての色を依然として囲む可能な最大の色域を規定するように選択されてもよい。例えば、極端な例では、複製可能な色域上に緑色の色合いのみがあった場合。

【0109】

図4bは、表示装置ドライバハードウェア450の第2の例を示し、図中、図4aと同様の要素は同様の参照番号によって示される。図4bでは、表示装置は追加の白色(W)ピクセル行412を含み、それらもまた、3つの一次子と組み合わせて駆動されたとき、色画像を構築するのに使用される。

【0110】

40

白色サブピクセルを含めることで、大まかに言えば、青色ピクセルに対する要求が低減され、したがって表示装置の寿命が増加し、あるいは、駆動方式に応じて、所与の色を表示するための消費電力が低減されてもよい。白色以外の色、例えば、マゼンタ、シアン、および/または黄色の発光サブピクセルが、例えば色域を増加させるために含まれてもよい。異なる有色のサブピクセルは同じ面積を有する必要はない。

【0111】

図4bに示されるように、各行は、図4aを参照して記載したように単色のサブピクセルを含むが、各行に沿った連続するR、G、B、およびWピクセルとともに、従来のピクセルレイアウトも用いられてもよいことが理解されるであろう。この場合、列は、1つ1つが4色それぞれに対応する4つの別個の列ドライバによって駆動される。

50

【0112】

上述の複数ライン同時選択方式は、図4bの表示装置/ドライバ配置と関連して、異なる順列でアドレス指定されるR行、G行、B行、およびW行の組合せを用いて、かつ/または行マルチプレクサ(図示されるような)もしくは各ライン用の電流シンクのどちらかを使用して異なる駆動比で用いられてもよい。上述したように、画像は、行の異なる組合せを連続して駆動することによって構築される。

【0113】

上記に概説したように、またより詳細に後述するように、いくつかの好ましい駆動技術は、OLED表示装置ピクセルに対して可変電流駆動を用いる。しかし、行電流ミラーの必要がないより単純な駆動方式は、1つまたは複数の行セクタ/マルチプレクサを使用して、表示装置の行を単独にまたは組み合わせて、上述の第1の例のカラー表示装置駆動方式に従って実施されてもよい。

10

【0114】

図4cは、そのような方式における行選択のタイミングを示す。第1の周期460では、白色、赤色、緑色、および青色の行が選択され、ともに駆動され、第2の周期470では白色のみが駆動され、第3の周期480では赤色のみが駆動されるが、これらはすべてパルス幅変調式駆動タイミングによる。

【0115】

駆動システム

次に図5aを参照すると、この図は、上述したようなMLAアドレス指定方式を実現する受動マトリックスOLEDドライバ500の概略図を示す。

20

【0116】

図5aでは、図3を参照して記載したものに類似の受動マトリックスOLED表示装置は、行ドライバ回路512によって駆動される行電極306、および列ドライバ510によって駆動される列電極310を有する。これらの行ドライバおよび列ドライバの詳細は図5bに示される。列ドライバ510は、列電極の1つまたは複数に対して電流駆動を設定する列データ入力509を有し、同様に、行ドライバ512は、行の2つ以上に対して電流駆動比を設定する行データ入力511を有する。好ましくは、インタフェースを容易にするため、入力509および511はデジタル入力であり、好ましくは、列データ入力509は、表示装置302のm個の列すべての電流駆動を設定する。

30

【0117】

表示用のデータは、シリアルもしくはパラレルのどちらかであってもよい、データおよび制御バス502上に供給される。バス502は、表示装置の各ピクセルの輝度データを格納するフレーム格納メモリ503に対する入力を、または、カラー表示装置の場合、各サブピクセルの輝度情報(別個のRGB色信号もしくは輝度およびクロミナンス信号として、または他の何らかの形でエンコードされてもよい)を供給する。フレームメモリ503に格納されたデータは、表示装置の各ピクセル(またはサブピクセル)の所望の見かけの明るさを決定し、この情報は、表示装置駆動プロセッサ506によって、第2の読取りバス505を用いて読み出されてもよい(いくつかの配置では、バス505が省略され、バス502が代わりに使用されてもよい)。

40

【0118】

表示装置駆動プロセッサ506は、完全にハードウェアの形で、または例えばデジタル信号処理コアを使用してソフトウェアの形で、あるいは、例えばマトリックス動作を加速させる専用ハードウェアを用いて、ハードウェアとソフトウェアの組合せの形で実装されてもよい。しかし、一般に、表示装置駆動プロセッサ506は、クロック508の制御下でワーキングメモリ504とともに動作する、格納されたプログラムコードまたはプログラムメモリ507に格納されたマイクロコードを用いて、少なくとも部分的に実装される。プログラムメモリ507内のコードは、データキャリアまたは取外し可能な記憶装置507aに供給されてもよい。

【0119】

50

プログラムメモリ507内のコードは、従来のプログラミング技術を使用して、上述の複数ライン同時選択方法の1つまたは複数を実現するように構成される。いくつかの構成では、これらの方法は、標準的なデジタル信号プロセッサ、および任意の従来のプログラミング言語で稼動するコードを使用して実現されてもよい。そのような場合、例えば特異値分解を実現するため、DSPルーチンの従来のライブラリが用いられてもよく、または、この目的で専用コードが書かれてもよく、あるいは、カラー表示装置の駆動に関連して上述した技術など、SVDを用いない他の構成が実現されてもよい。

【0120】

次に図5bを参照すると、この図は、図5aの列ドライバ510および行ドライバ512の詳細を示す。列ドライバ回路網510は、1つ1つが各列ラインに対応し、それぞれ個別のデジタルアナログ変換器514の制御下にある、複数の制御可能な基準電流源516を含む。これらの例示の実装の詳細が図5cに示されており、その図から、制御可能な電流源516が、電流ミラー構成の電力線518に接続された一对のトランジスタ522および524を備えることが分かる。この例では、列ドライバが電流源を含むので、これらは、正電源ラインに接続されたPNPバイポーラトランジスタであり、電流シンクを提供するため、接地に接続されたNPNトランジスタが用いられ、他の配置ではMOSトランジスタが使用される。デジタルアナログ変換器514はそれぞれ、個別の電源534、536、および538にそれぞれ接続された、複数(この例では3つ)のFETスイッチ528、530、および532を備える。ゲート接続529、531、および533は、個別の電源を、対応する電流設定トランジスタ540、542、および544に切り替えるデジタル入力を供給し、各抵抗器は、電流ミラー516の電流入力に接続される。電源は、2の累乗で増減する電圧、すなわち、2番目に低い電源の電圧の V_{gs} 降下したもののそれぞれ2倍の電圧を有するので、FETゲート接続に対するデジタル値は、ライン526上の対応する電流に変換され、あるいは、電源は同じ電圧を有してもよく、抵抗器540、542、および544が増減されてもよい。図5cはまた、代替のD/A制御電流源/シンク546を示し、複数のトランジスタが示されるこの配置では、単一の適切なサイズのより大きなトランジスタが代わりに用いられてもよい。

【0121】

行ドライバ512はまた、2つ(以上)のデジタル制御可能な電流源515および517を組み込み、これらは、図5cに示されるのと類似の配置を使用して、電流ミラーではなく電流シンクを用いて実現されてもよい。このように、制御可能な電流シンク517は、行駆動レベルの比(1つまたは複数)に対応する所望の比(1つまたは複数)で電流をシンクするようにプログラムされてもよい。したがって、制御可能な電流シンク517は、第1の基準電流を受け取る入力552と、1つもしくは複数の(負)出力電流を受け取る(シンクする)1つまたは複数の出力554とを有する、比率制御電流ミラー550に結合され、出力電流と入力電流の比は、ライン509上の行データに従って、制御可能な定電流源517によって規定される制御入力の比によって決定される。基準電流を供給する1つの行電極と、「出力」電流を供給する別の行電極とを選択できるようにするため、2つの行電極マルチプレクサ556aおよびbが設けられ、任意に、さらなるセクタ/マルチプレクサ556bと、550からのミラー出力とが設けられてもよい。図示されるように、行ドライバ512によって、4つの行電極のブロックから並行して駆動する2つの行を選択することが可能になるが、実際には交互に選択する配置が用いられてもよく、例えば、1つの配置では、行電極64個×64ウェイマルチプレクサから12行(基準が1つとミラーが11個)が選択され、別の配置では、64行は、同時に駆動するため複数の行を選択することができる関連する行ドライバをそれぞれ有する、いくつかのブロックに分割されてもよい。

【0122】

図5dは、図5bのプログラム可能な比率制御電流ミラー550の実装の詳細を示す。この例示の実装では、いわゆるベータヘルパー(Q5)を備えたバイポーラ電流ミラーが用いられるが、当業者であれば、他の多くのタイプの電流ミラー回路も使用されてもよいことを認識するであろう。図5dの回路では、V1は一般的に約3Vの電源であり、I1およびI2は、Q1およびQ2のコレクタ内の電流の比を規定する。2つのライン552および554の電流の比はI1対I2

10

20

30

40

50

であり、したがって、所与の合計列電流は、2つの選択された行の間でこの比で分割される。当業者であれば、この回路は、破線558内の回路網を繰り返し実装することによって、任意の数のミラー行に拡張することができることを理解するであろう。

【0123】

図5eは、図5bの行ドライバ512用の代替のプログラム可能な電流ミラーを示す。この代替例では、各行は、図5dの破線558内のものに対応する回路網、すなわち電流ミラー出力段を備えるので、1つまたは複数の行セクタは、これらの電流ミラー出力段の選択されたものを、1つまたは複数の個別のプログラム可能な基準電流供給源(電流源もしくはシンク)に接続する。別のセクタは、電流ミラーに対する基準入力として使用される行を選択する。

10

【0124】

上述の行ドライバでは、表示装置全体の各行に対して、または表示装置の行ブロックの各行に対して別個の電流ミラー出力が設けられてもよいので、行選択を用いる必要はない。行選択が用いられる場合、行はブロック単位でグループ化されてもよく、例えば、3つの出力を備えた電流ミラーが、例えば12行のグループへの選択的接続とともに用いられる場合、3つの連続する行の組が順に選択されて、その12行に対して3ラインMLAを提供してもよい。あるいは、例えば、表示データの性質(行間の大幅な相関)により、画像の特定のサブセクションがMLAから利益を得るであろうことが分かっている場合、行は、表示されるライン画像に関する演繹的知識を使用してグループ化されてもよい。

【0125】

図5fおよび5gは、入力電流および出力電流の向きを示す、接地基準および正の供給基準をそれぞれ備えた、従来技術による電流ミラー構成を示す。これらの電流は両方とも向きが同じであるが、正または負のどちらであってもよいことが分かる。

20

【0126】

自動行選択

次に、事実上自動で行を選択するためのいくつかの技術について記載する。

【0127】

これらの技術の第1のものは図5hに概略的に示され、この図は、大まかに言えば、共通の基準信号入力564(実際には、内部抵抗器によって基準電流に変換される電圧信号)を共有する複数の電流ミラー562a~cと、表示装置の行を駆動する複数の個別の出力566a~cとを用いる、ドライバシステム560を示す。(正もしくは負の)電源ライン(例えば、供給がゼロとバイポーラではなく正電圧との間の場合、接地を含む)に最も近い、最低電位の出力566(すなわち、行駆動信号)を選択するため、負のフィードバック配置が用いられる。この選択は、最小(または最大)行駆動電圧(実施形態では、この電圧の V_{gs} 降下したものに等しい)に応じて変わる、出力570を有するアナログ回路568によって行われる。この出力570は、制御回路572に対して、実施形態では共通のベースアンプまたは演算増幅器などの増幅器に対して入力を提供し、それが次に、電流ミラー562の共通の基準信号入力564に結合された出力574を提供する。

30

【0128】

動作中、ライン574上の電圧出力は、電流ミラー562に対する基準信号入力564が、負のフィードバックループを用いて選択回路568によって選択された電流ミラー出力に対して「正しい」レベルであるように制御される。より具体的には、負のフィードバックにより、選択されたラインが、(選択された)電流ミラーのミラー比によって基準を増減することによって決定される出力電流(電流源またはシンク)によって駆動されたとき、選択された電流ミラーへの基準入力が、選択された行駆動ラインに対する電圧と調和するレベルであることが確保される。

40

【0129】

次に図5iを参照すると、この図は一例の選択回路568の詳細を示し、それは、この実施形態では、複数のPMOSトランジスタを備えて最低(ほとんどが負の)行駆動ライン電圧を選択し、最大(ほとんどが正の)電圧を選択するため、NMOSトランジスタが用いられてもよい

50

。図から分かるように、各トランジスタのゲートはセレクタ回路に対する入力を供給し、トランジスタのドレインはすべて、ともに負の供給源である V_{EE} に接続され、トランジスタのソースはすべてともに接続されて出力570を供給する。検分すると、最低(ほとんどが負の)ゲート電圧は、トランジスタの1つをオンにして、そのソースを、したがって出力570を、入力電圧 V_g を上回る1つのゲートソース電圧まで引き上げることが分かる。これは、他のトランジスタのソース接続を同じ(最低)電圧まで引き下げ、それによって他のトランジスタがすべて効率的にオフになる。実際には、一般に、1つのトランジスタのみがオンで、他のトランジスタがほぼオフであるように、移行は急である。例えば、2つ以上の入力接続がほぼ同じ電位である区域があるが、トランジスタの2つ以上が部分的にオンであってもよい。実際には、制御回路は全体として最低電位を使用して制御を行っており、単一のトランジスタがオンのときと、電圧がほぼ同じ2つのトランジスタがオンのときとの差は最小限なので、これはほとんど効果がない。

10

【0130】

図5jは、この場合、ライン574に対して出力電圧を供給する共通のベースアンプを備え、出力電圧が図5hの個別の電流ミラー562それぞれの中で出力電流に変換される、制御回路572の一例を示す。再び考察すると、図5hの負のフィードバックループは、例えば、選択された行電圧が-0.8ボルト(ベースが0ボルトである、図5jのトランジスタQ3のエミッタにおける電圧)である例について考察している。行ミラードライバがシンクする電流が多すぎる場合、この入力電圧はさらに負になり、結果として図5jの回路の出力574に対する電位がより低くなるので、この不均衡が補正されるまで、選択されたミラー回路の基準電流入力への電流は低減される。

20

【0131】

図5lは、好ましい実施形態では、乗算DACを備え、デジタル入力の各ビットがミラー回路の2進加重出力段部分を制御する、一例の電流ミラー562を示す。

【0132】

図5mは、アウトライン中で、上述の選択システムを組み込んだOLED表示装置ドライバの全体回路図を概略的に示す。この図は、電流ミラー562を組み込んだ行ドライバ574、受動マトリックスOLED表示装置576への接続、列ドライバ578、選択回路568、制御回路572、およびコントローラ580を示す。

【0133】

要約するため、図5b~5eの配置では、ドライバのコンプライアンス限界に達する可能性が最も高い行を選択することによって、行ドライバの電流と列ドライバの電流を均衡させるため、多極スイッチが使用されるが、図5h~5lを参照して記載された実現例では、「最小限」の機能が、そのコンプライアンス限界に最も近い行を自動的に選択する。これにより、行ドライバ電流の絶対値を制御するとき、表示装置駆動コントローラがどの行を基準として使用するかを選択する必要性がなくなる。このことは、コントローラの複雑さを低減し、どの行ドライバもそのコンプライアンス限界に達しないことを確保する助けとなる。実施形態では、一組のトランジスタ(図5iのM1~M14)の整流機能を使用して、一組の入力(行)信号の最小値が出力570に伝送される。次に、この信号は(図5jのトランジスタQ1およびQ3によって)増幅され、行ドライバ574(図5lのR99~R103)に対する基準電流を制御するのに使用される。

30

40

【0134】

次に、上述のシステムの代替実施形態について記載する。

【0135】

図5iの配置では、選択回路568は、ソースホロワ構成の複数のトランジスタを含み、これらのソース接続は、電圧ノードとして機能する出力570とともに共通して接続される。代替配置では、トランジスタのソースは、 V_{CC} 電源などの正電源とともに接続され、トランジスタのドレインは、電流ノードとして機能する(出力電流は各トランジスタを通る電流の合計である)出力ライン570とともに接続される。この構成は、ソースホロワ構成とはわずかに異なる形で働く。ソースホロワ構成により、出力570は非反転増幅器に結合され

50

るが、代替構成において反転増幅器が用いられることについて次に記載する。

【0136】

当業者であれば、ゲート電圧が閾値電圧よりも大きい分だけソース電圧と異なるときのみ、MOSトランジスタがオンになり始めることを理解するであろう。行駆動接続の多くは比較的電圧が高いように、電流ミラーDACが最初から小さな基準(電流)を備えると仮定すると、トランジスタのほぼすべてはオフである。フィードバックループ内にインバータがあるので、基準電流は、トランジスタの1つがオンになり始めるまで上昇する。これは、最低(ほとんどが負の)ゲート電圧を有するトランジスタ(より一般的には、共通のソース電圧と最も異なるゲート電圧を有するトランジスタ)である。このトランジスタは電流を通過させ始め、フィードバックループは、DACが適切な基準電流レベルまで制御されることを確保する。この代替配置はソースホロワ配置ほど好ましくないが、それは、複数のトランジスタのゲートソース電圧が近いとき、1つを超えるトランジスタがオンになる(かつ出力電流が合計される)可能性があり、それが行駆動接続に対する基準電圧(1つのトランジスタのみがオンの場合、さらに少し高くなり得る)を変更する恐れがあり、またループ利得を増加させて安定性を低減する恐れがあるためである。ただし、ソースホロワ構成では、1つのトランジスタがオンになると、それはトランジスタの残りをオフにする傾向がある。

10

【0137】

さらなる変形例では、図5iの選択回路568のトランジスタは、図5kに示されるような演算増幅器と置き換えられてもよい。各増幅器は、表示装置行駆動接続(Li)に対する反転入力接続と、基準電圧(Vth)に接続された非反転入力とを有し、増幅器の出力は、個別のダイオード(Di)によってともに共通して接続される。

20

【0138】

図6は、図5aの行ドライバ512および表示装置駆動プロセッサ506を組み合わせる集積回路ダイ600のレイアウトを示す。ダイは、例えば寸法20mm×1mmの長方形の形状を有し、ドライバ回路網の長いラインのための第1の区域602には素子のほぼ同じ組が繰り返し実装され、隣接する区域604はMLA表示装置処理回路網を実装するのに使用される。そうでなければ区域604は未使用空間であるが、それは、チップをその幅のさいの目に切ることができる最小の物理的幅があるためである。

30

【0139】

MLA駆動方式

上述のMLA表示装置ドライバは、可変電流駆動を用いてOLEDの輝度を制御するが、当業者であれば、OLEDピクセルに対する駆動を変化させる他の手段、特にPWMがそれに加えて、またはその代わりに用いられてもよいことを認識するであろう。

【0140】

図7は、複数ライン同時選択のためのパルス幅変調駆動方式の概略図を示す。図7では、列電極700は、2つ以上の行電極702と同時にパルス幅変調駆動を備えて、所望の輝度パターンを達成する。図7の例では、第2の行のパルスをより遅い時刻に徐々にずらすことによって、示されるゼロの値を滑らかに上昇させることができ、一般に、ピクセルに対する可変駆動は、行パルスと列パルスが重なり合う程度を制御することによって適用されてもよい。

40

【0141】

マトリクス因数分解を用いるいくつかの好ましいMLA方法を、次により詳細に記載する。

【0142】

図8aを参照すると、この図は、一度に1行が駆動される従来の駆動方式のための、行R、列C、および画像Iのマトリクスを示す。図8bは、複数ライン同時選択方式のための、行、列、および画像のマトリクスを示す。図8cおよび8dは、表示画像の一般的なピクセルの場合の、フレーム周期全体にわたるピクセルの明るさ、または同等にピクセルに対する駆動を示し、複数ライン同時選択によって達成されるピークピクセル駆動の低減を示す。

50

【 0 1 4 3 】

図9aは、次の式2による、画像マトリックスIの特異値分解(SVD)を図式的に示す。

【 0 1 4 4 】

【 数 2 0 】

$$\begin{array}{ccccccc}
 \mathbf{I} & = & \mathbf{U} & \times & \mathbf{S} & \times & \mathbf{V} \\
 m \times n & & m \times p & & p \times p & & p \times n
 \end{array}$$

Equation 2

10

【 0 1 4 5 】

表示装置は、U、S、およびVの任意の組合せによって駆動されて、例えば、行USおよびVの列を駆動するか、または、行

【 0 1 4 6 】

【 数 2 1 】

$$U\sqrt{S}$$

【 0 1 4 7 】

および

20

【 0 1 4 8 】

【 数 2 2 】

$$\sqrt{S} \cdot V$$

【 0 1 4 9 】

の列を駆動することができ、QR分解およびLU分解などの他の関連技術も用いることができる。適切な数値的技術は、例えば、"Numerical Recipes in C: The Art of Scientific Computing", Cambridge University Press 1992に記載されており、プログラムコードモジュールの多くのライブラリも適切なルーチンを含む。

30

【 0 1 5 0 】

図10は、図5b~5eを参照して記載したものと類似の、かつ因数分解された画像マトリックスを用いて表示装置を駆動するのに適した行ドライバおよび列ドライバを示す。列ドライバ1000は、互いに連結され、可変基準電流 I_{ref} を備えた、列電極それぞれへの電流を設定する一組の調整可能なほぼ一定の電流源1002を備える。この基準電流は、図9bのマトリックスHの行 p_i など、因子マトリックスの行から導出した、各列に対する異なる値によってパルス幅変調される。行駆動1010は、図5eに示されるものと類似の、ただし好ましくは、表示装置の各行について、または同時に駆動される行のブロックの各行について1つの出力を有する、プログラム可能な電流ミラー1012を備える。行駆動信号は、図9bのマトリックスWの列 p_i など、因子マトリックスの列から導出される。

40

【 0 1 5 1 】

図11は、NMFなどのマトリックス因数分解を使用して画像を表示する、また図5aの表示装置駆動プロセッサ506のプログラムメモリ507に格納されるプログラムコードの形で実現されてもよい、一例の手順のフローチャートを示す。

【 0 1 5 2 】

図11では、手順は最初に、フレーム画像マトリックスIを読み出し(ステップS1100)、次に、NMFを使用してこの画像マトリックスを因数分解してWおよびHの因子マトリックスに、またはSVDを用いる場合、他の例えばU、S、およびVの因子マトリックスにする(ステップS1102)。この因数分解は、初期のフレームを表示する間に計算されてもよい。次に、手順はステップS1104において、p個のサブフレームを用いて表示装置を駆動する。ステップ

50

S1106はサブフレーム駆動手順を示す。

【 0 1 5 3 】

サブフレーム手順は、W列を p_i Rに設定して行ベクトルRを形成する。これは、図10の行ドライバ配置およびスケールファクタ x によって自動的に1に正規化され、したがって、要素の合計が1であるようにRを正規化することによってスケールファクタ x 、 $R \cdot xR$ が導出される。同様に、Hを用いて、行を p_i Cとして列ベクトルCを形成する。これは、最大の要素値が1であるように増減されて、スケールファクタ y を与えて $C \cdot yC$ とする。フレームスケールファクタ

【 0 1 5 4 】

【数 2 3 】

$$f = \frac{P}{m}$$

【 0 1 5 5 】

が決定され、基準電流が

【 0 1 5 6 】

【数 2 4 】

$$I_{ref} = \frac{I_0 \cdot f}{xy}$$

【 0 1 5 7 】

によって設定され、式中 I_0 は時間系での従来の走査ラインにおける完全な明るさに必要な電流に対応し、 x および y ファクタは、駆動配置によって導入されるスケーリングの影響を補償する(他の駆動配置によって、これらの1つまたは両方が省略されてもよい)。

【 0 1 5 8 】

これに続いて、ステップS1108では、合計フレーム周期の $1/p$ について、図10に示される表示装置ドライバが表示装置の列をCで、表示装置の行をRで駆動する。これが各サブフレームに対して繰り返され、次に、次のフレームのためのサブフレームデータが出力される。

【 0 1 5 9 】

図12は、上述の方法の一実施形態に従って構築された画像の一例を示し、そのフォーマットは図9bのものに対応する。図12の画像は、この例では15個のサブフレーム($p=15$)を使用して表示される、 50×50 の画像マトリックスによって規定される。サブフレームの数は、前もって決定するか、表示される画像の性質に応じて変更することができる。

【 0 1 6 0 】

行われる画像操作計算は、それらの全体的な特徴において、デジタルカメラなどの消費者向け電子撮像素子によって行われる動作と違いはなく、方法の実施形態は、そのような素子において便利に実現されてもよい。

【 0 1 6 1 】

他の実施形態では、方法は、専用集積回路上で、ゲートアレイによって、またはデジタル信号プロセッサ上のソフトウェアの形で、あるいはこれらの何らかの組合せの形で実現することができる。

【 0 1 6 2 】

当業者には他の多くの有効な代替例が想起されるであろうことは間違いない。本発明は記載された実施形態に限定されず、当業者には明白な、添付の請求項の趣旨および範囲内にある修正例を包含することが理解されるであろう。

【 図面の簡単な説明 】

【 0 1 6 3 】

【 図 1 a 】 OLED素子の鉛直断面図である。

10

20

30

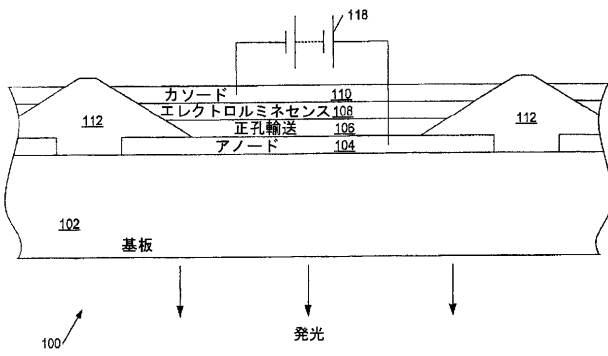
40

50

- 【図 1 b】受動マトリックスOLED表示装置の単純化された断面図である。
- 【図 2】受動マトリックスOLED表示装置150の駆動配置を概念的に示す図である。
- 【図 3】既知の受動マトリックスOLED表示装置のドライバのブロック図である。
- 【図 4 a】カラーOLED表示装置のMLAアドレス指定方式を実現する表示装置ドライバハードウェアの第1および第2の例のブロック図である。
- 【図 4 b】カラーOLED表示装置のMLAアドレス指定方式を実現する表示装置ドライバハードウェアの第1および第2の例のブロック図である。
- 【図 4 c】図4aおよび図4bに示す方式のタイミング図である。
- 【図 5 a】MLA表示装置ドライバの図である。
- 【図 5 b】列ドライバおよび行ドライバの図である。 10
- 【図 5 c】図5aの表示装置ドライバのデジタルアナログ電流変換器の図である。
- 【図 5 d】プログラム可能な電流ミラーの図である。
- 【図 5 e】第2のプログラム可能な電流ミラーの図である。
- 【図 5 f】従来技術による電流ミラーのブロック図である。
- 【図 5 g】従来技術による電流ミラーのブロック図である。
- 【図 5 h】本発明の1つの態様を具体化する、複数の電流ミラーを用いるドライバシステムの図である。
- 【図 5 i】選択回路の図である。
- 【図 5 j】制御回路の図である。
- 【図 5 k】選択回路の変形例の図である。 20
- 【図 5 l】乗算DACを組み込んだ電流ミラーの図である。
- 【図 5 m】OLED表示装置ドライバの図である。
- 【図 6】複数ライン同時選択式の表示装置信号処理回路網およびドライバ回路網を組み込んだ、集積回路ダイのレイアウト図である。
- 【図 7】パルス幅変調MLA駆動方式の概略図である。
- 【図 8 a】従来の駆動方式のための行マトリックスR、列マトリックスC、および画像マトリックスIを示す。
- 【図 8 b】複数ライン同時選択方式のための行マトリックス、列マトリックス、および画像マトリックスのマトリックスを示す。
- 【図 8 c】フレーム周期全体にわたる一般的なピクセルの対応する明るさ曲線を示す図である。 30
- 【図 8 d】フレーム周期全体にわたる一般的なピクセルの対応する明るさ曲線を示す図である。
- 【図 9 a】画像マトリックスのSVDおよびNMF因数分解を示す図である。
- 【図 9 b】画像マトリックスのSVDおよびNMF因数分解を示す図である。
- 【図 10】図9のマトリックスを使用して表示装置を駆動する、一例の行および列駆動配置を示す図である。
- 【図 11】画像マトリックス因数分解を使用して表示装置を駆動する方法のフローチャートである。
- 【図 12】画像マトリックス因数分解を使用して得られた表示画像の一例を示す図である。 40
- 。
- 【符号の説明】
- 【0164】
- 503 フレームメモリ
- 504 ワーキングメモリ
- 506 表示装置駆動プロセッサ
- 507 プログラムメモリ
- 507a 取外し可能な記憶装置
- 508 クロック
- 510 列ドライバ 50

- 512 行ドライバ
- 562a 電流ミラー
- 572 制御回路
- 568 自動セクタ回路

【図 1 a】



【図 2】

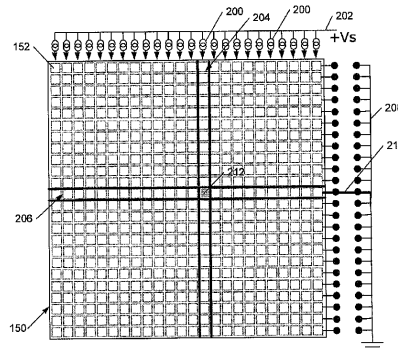
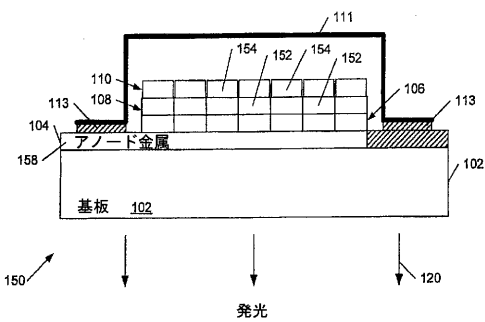
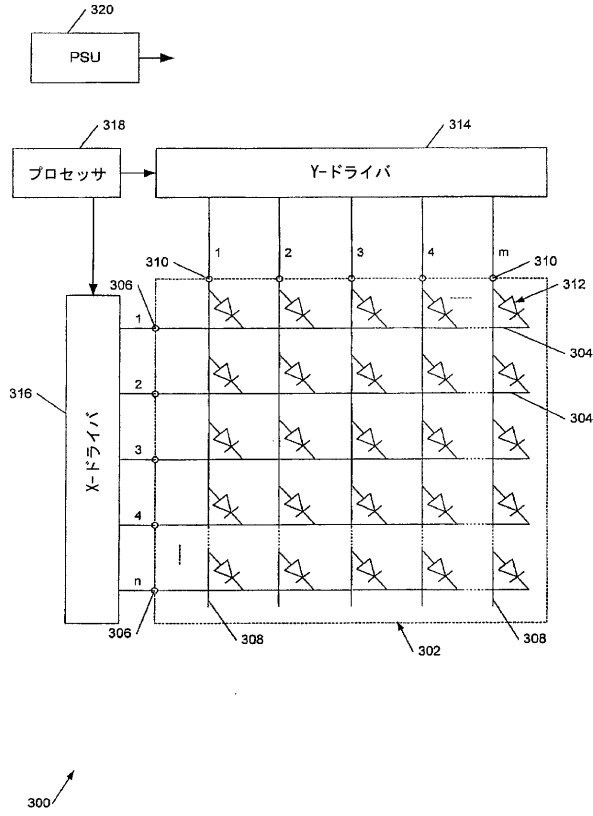


Figure 2

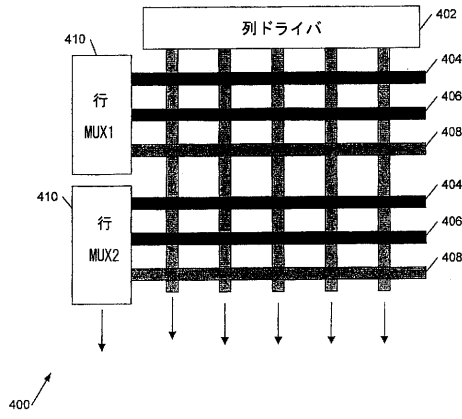
【図 1 b】



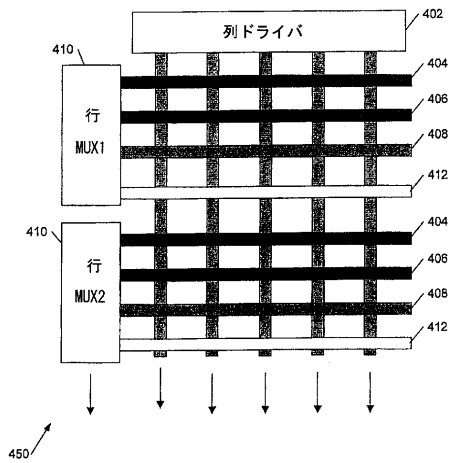
【図3】



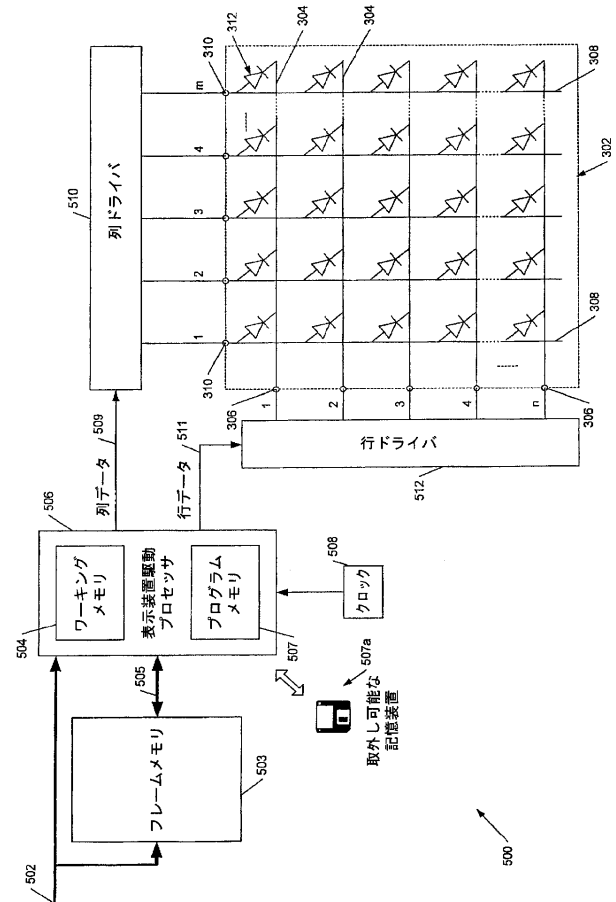
【図4a】



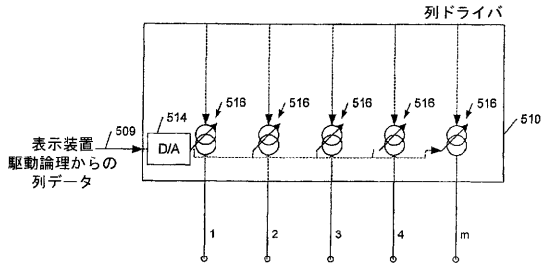
【図4b】



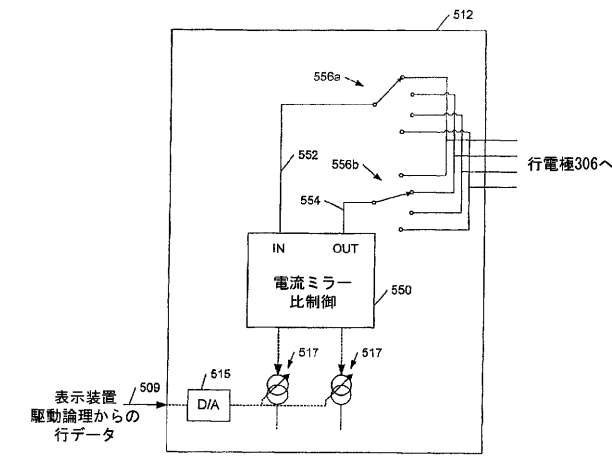
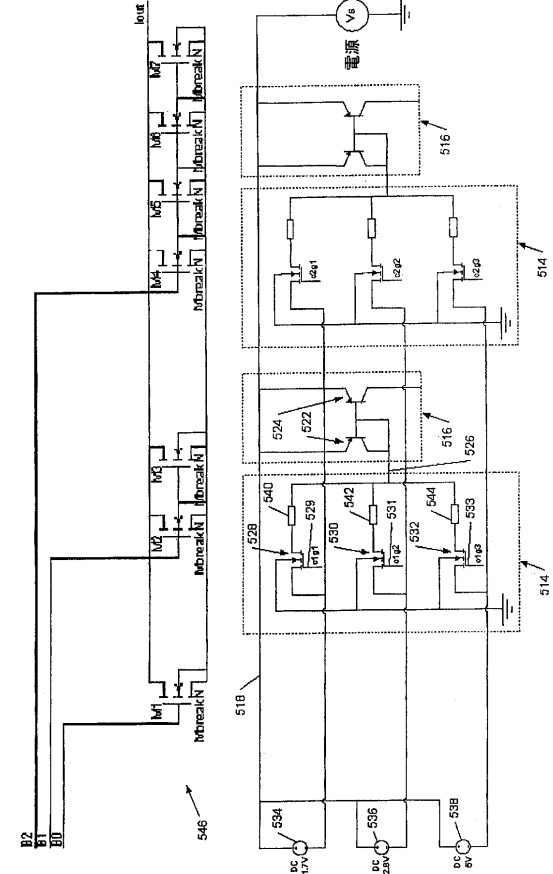
【図5a】



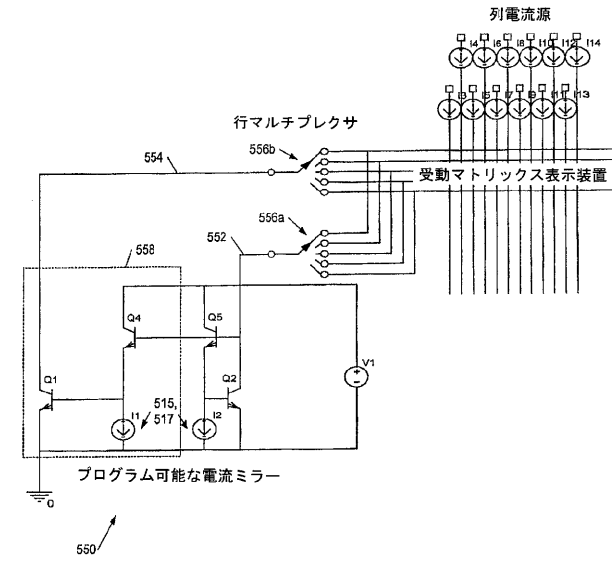
【図5b】



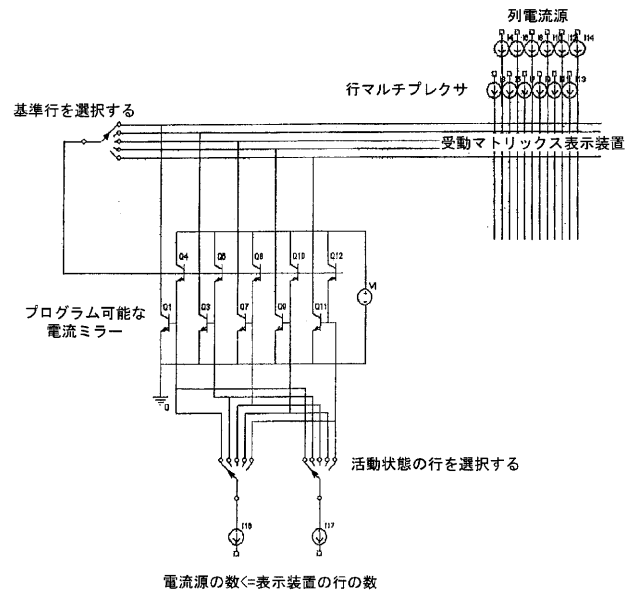
【図5c】



【図5d】

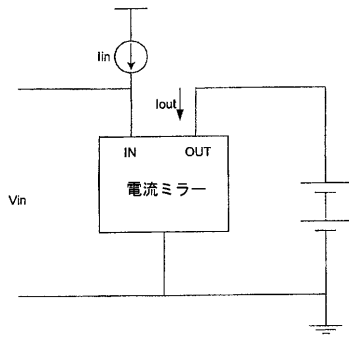


【図5e】

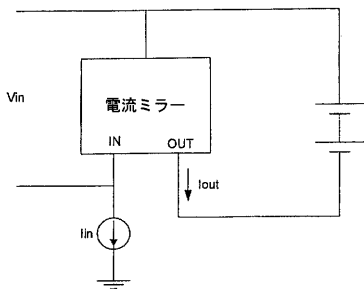


電流源の数<=表示装置の行数

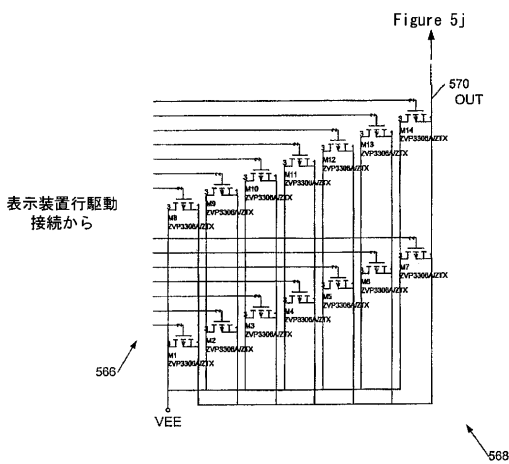
【図 5 f】



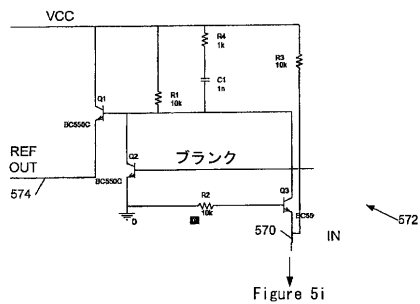
【図 5 g】



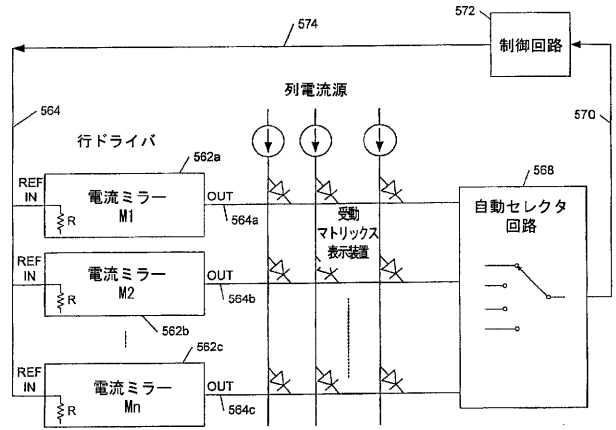
【図 5 i】



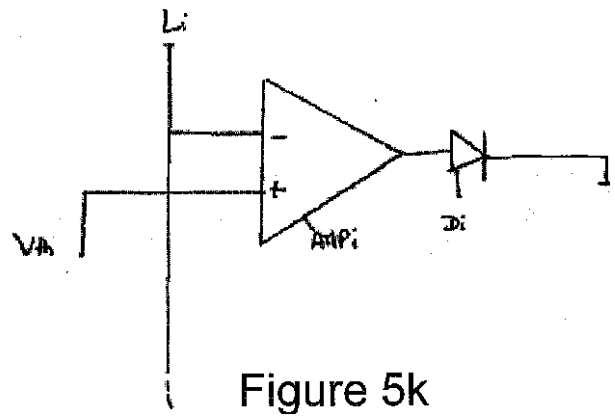
【図 5 j】



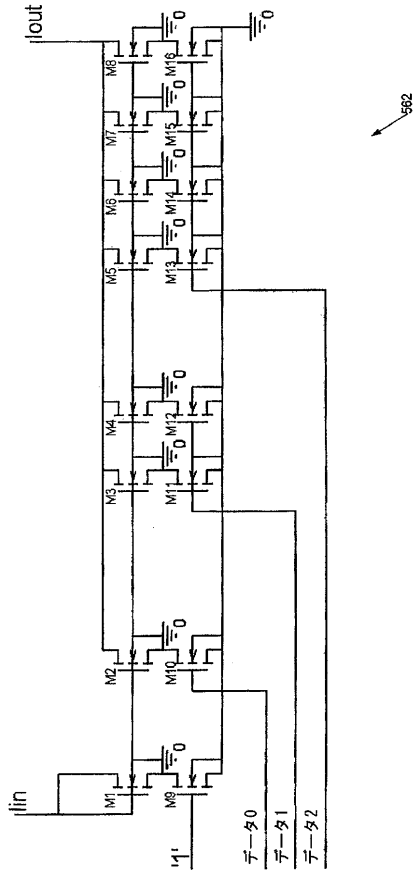
【図 5 h】



【図 5 k】



【図 5 l】



【図 5 m】

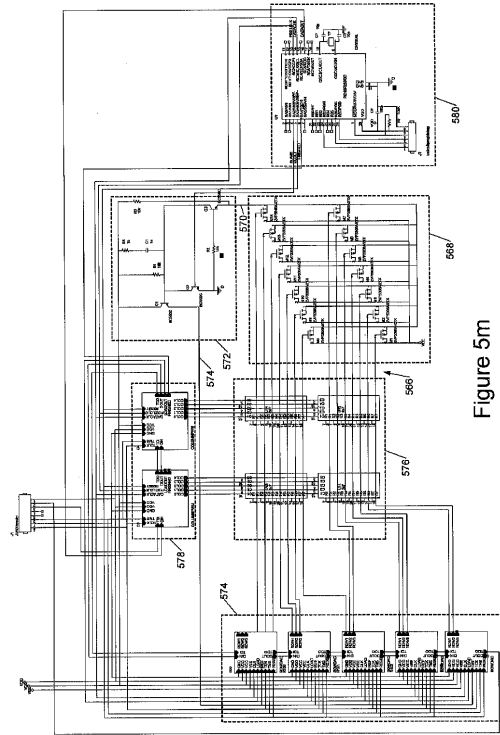
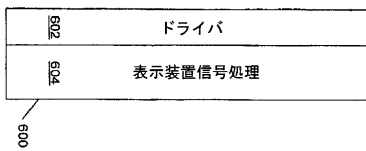


Figure 5m

【図 6】



【図 7】

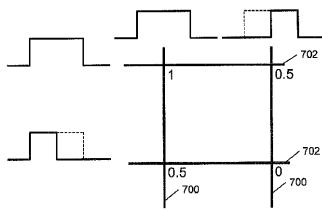


Figure 7

【図 8 a】

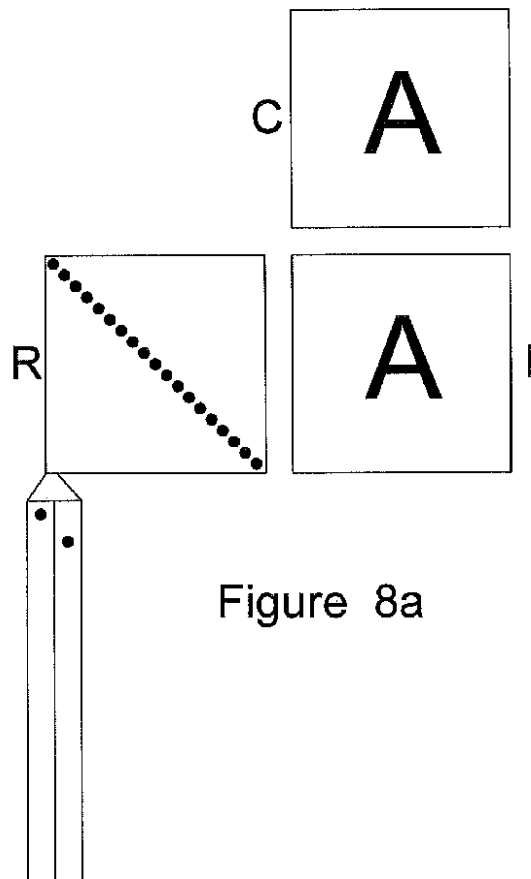


Figure 8a

【図 8 b】

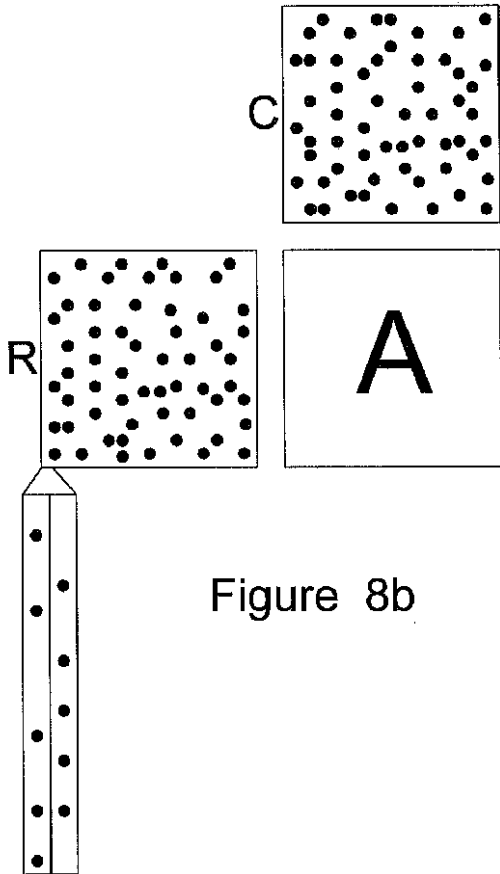
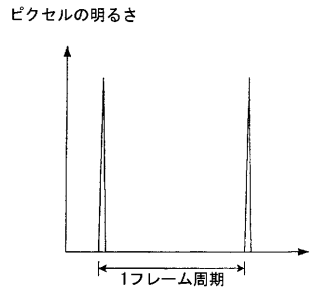
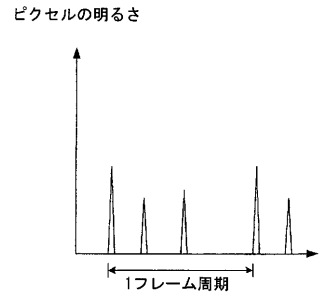


Figure 8b

【図 8 c】



【図 8 d】



【図 9 a】

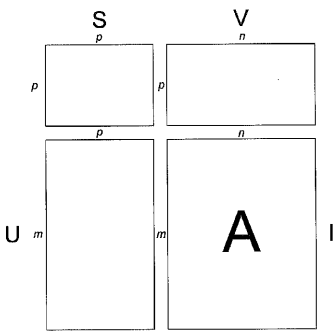
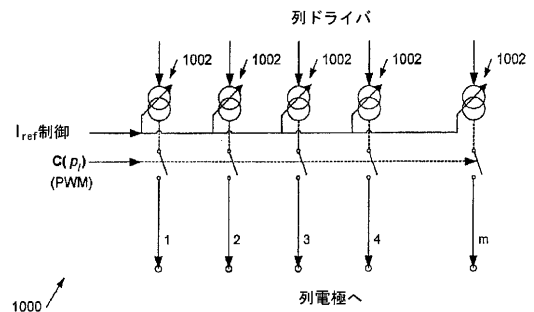


Figure 9a

【図 10】



【図 9 b】

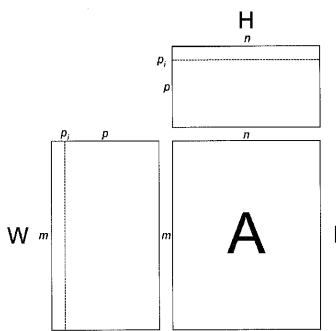
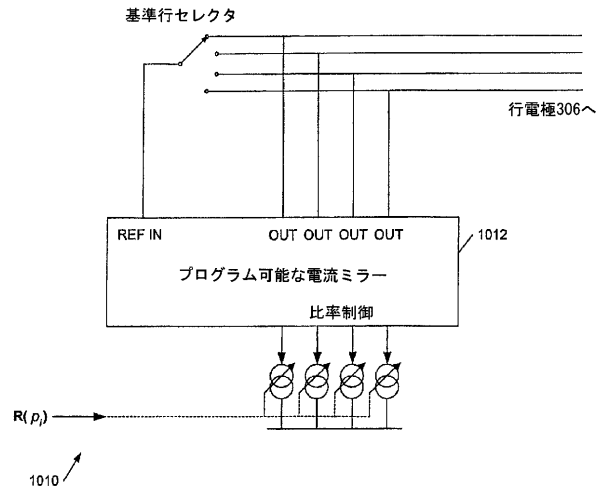
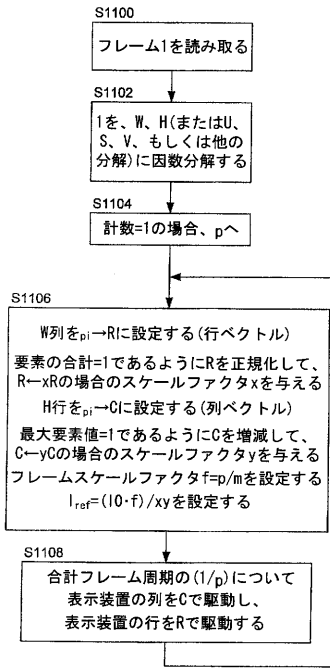


Figure 9b



【 図 1 1 】



【 図 1 2 】

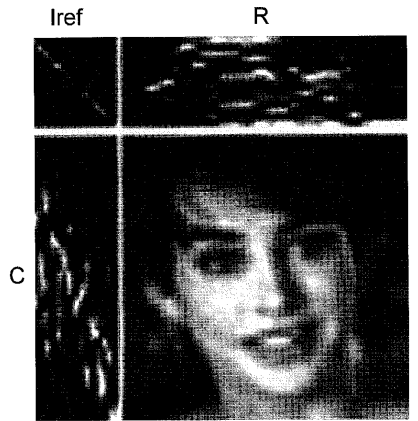
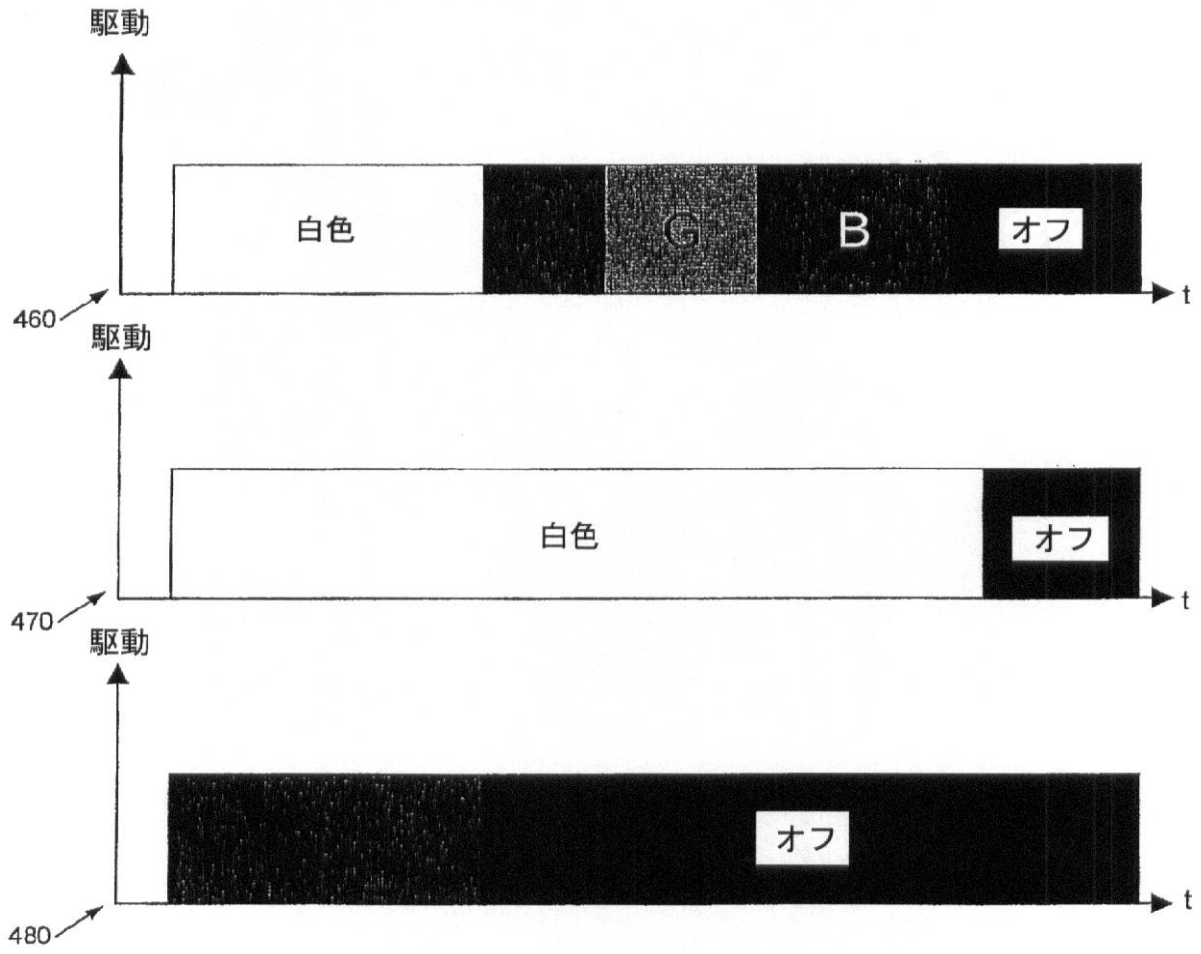


Figure 12

【図 4 c】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2007/050102

A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G G05F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 333 422 A (SONY CORP [JP]) 6 August 2003 (2003-08-06) paragraphs [0043] - [0065]; figures 1-4	1-25
A	US 2005/104822 A1 (SEKI SHUICHI [JP]) 19 May 2005 (2005-05-19) paragraphs [0019], [0030] - [0040]; figure 3	1-25
A	US 2003/234754 A1 (ABE SHINICHI [JP] ET AL) 25 December 2003 (2003-12-25) paragraphs [0027] - [0038]; figure 1	1-25
P,X	WO 2006/035246 A (CAMBRIDGE DISPLAY TECH [GB]; SMITH EUAN CHRISTOPHER [GB]; ROUTLEY PAUL) 6 April 2006 (2006-04-06) page 27, line 28 - page 29, line 21 page 31, lines 18-28; figures 5b,5d,5e,10	1-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*A* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 18 May 2007		Date of mailing of the international search report 29/05/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5616 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Kunze, Holger

2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2007/050102

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
EP 1333422	A	06-08-2003	CN 1404600 A WO 0239420 A1 JP 2003195815 A TW 538649 B US 2006119552 A1	19-03-2003 16-05-2002 09-07-2003 21-06-2003 08-06-2006
US 2005104822	A1	19-05-2005	CN 1617210 A JP 2005148248 A KR 20050046549 A	18-05-2005 09-06-2005 18-05-2005
US 2003234754	A1	25-12-2003	TW 229568 B	11-03-2005
WO 2006035246	A	06-04-2006	US 2007085779 A1	19-04-2007

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 E
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 4 2 J
	H 0 5 B 33/14	A
	H 0 5 B 33/08	

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100108453

弁理士 村山 靖彦

(74) 代理人 100110364

弁理士 実広 信哉

(72) 発明者 ポール・リチャード・ロートリー

イギリス・ケンブリッジシャー・C B 2 3 ・ 0 T X ・ ケンブリッジ・マディングリー・ロード・マディングリー・ライズ・(番地なし)・グリーンウィッチ・ハウス・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド内

(72) 発明者 オリヴィエ・ル・プリ

フランス・F - 3 8 4 7 0 ・ サン - ゲルバイ・ル・ポール・ケ・ドゥ・ラ・フォンデリエ・ロワイヤル・8 9

F ターム(参考) 3K107 AA01 BB01 CC02 CC21 EE02 HH00 HH04

5C080 AA06 BB05 CC03 DD26 DD29 EE29 EE30 FF09 JJ01 JJ02

JJ03 JJ04 JJ06 JJ07

专利名称(译)	电流驱动显示系统		
公开(公告)号	JP2009529701A	公开(公告)日	2009-08-20
申请号	JP2008557831	申请日	2007-03-06
[标]申请(专利权)人(译)	剑桥显示技术有限公司 罢工微电子兴业ANONYME		
申请(专利权)人(译)	剑桥显示科技有限公司 罢工微电子, 兴业ANONYME		
[标]发明人	ポールリチャードロートリー オリヴィエルブリ		
发明人	ポール・リチャード・ロートリー オリヴィエル・ブリ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08		
CPC分类号	G09G3/3216 G09G3/2081 G09G3/3266 G09G2310/0208 G09G2320/029 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.623.B G09G3/20.622.B G09G3/20.612.F G09G3/20.641.C G09G3/20.641.E G09G3/20.622.K G09G3/20.622.C G09G3/20.642.J H05B33/14.A H05B33/08		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/EE02 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07		
代理人(译)	渡边 隆 村山彦		
优先权	2006004740 2006-03-09 GB		
其他公开文献	JP5591472B2		
外部链接	Espacenet		

摘要(译)

本发明涉及用于驱动有机发光二极管 (OLED) 显示器的系统, 方法和设备, 特别是那些使用多线寻址 (MLA) 技术的显示器。本发明的实施例特别适用于所谓的无源矩阵OLED显示器。一种用于电致发光显示器的电流驱动系统, 该系统包括: 多个电流镜, 具有多个输出, 用于驱动所述显示器的多个驱动电极, 每个所述电流镜具有参考信号输入; 连接到所述电流镜的自动选择器输出以自动选择所述输出, 以向所述电流镜提供参考信号输入。

