

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-204931

(P2009-204931A)

(43) 公開日 平成21年9月10日(2009.9.10)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl.                          | F I            | テーマコード (参考) |
| <b>G09G 3/30 (2006.01)</b>            | G09G 3/30 J    | 3K107       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/20 621M | 5C080       |
| <b>H01L 51/50 (2006.01)</b>           | G09G 3/20 623R |             |
|                                       | G09G 3/20 623A |             |
|                                       | G09G 3/20 611H |             |
| 審査請求 未請求 請求項の数 17 O L (全 56 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2008-47633 (P2008-47633)  
 (22) 出願日 平成20年2月28日 (2008.2.28)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094363  
 弁理士 山本 孝久  
 (74) 代理人 100118290  
 弁理士 吉井 正明  
 (72) 発明者 山本 哲郎  
 東京都港区港南1丁目7番1号ソニー株式  
 会社内  
 (72) 発明者 内野 勝秀  
 東京都港区港南1丁目7番1号ソニー株式  
 会社内  
 Fターム(参考) 3K107 AA01 BB01 CC21 CC33 CC45  
 EE03 HH04 HH05  
 最終頁に続く

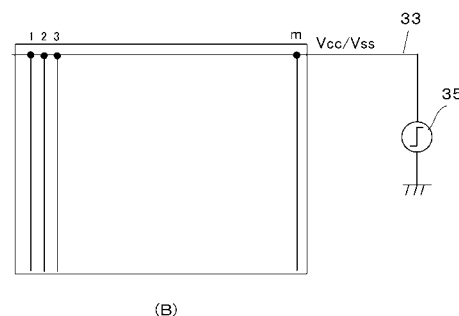
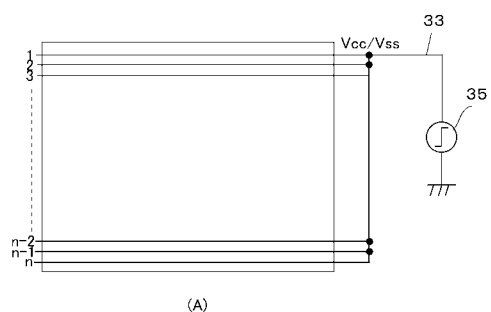
(54) 【発明の名称】 E L表示パネル、電子機器及びE L表示パネルの駆動方法

## (57) 【要約】

【課題】低コスト化と画質品質とが両立するE L表示デバイスを実現する。

【解決手段】アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有するE L表示パネルの駆動方式として、各画素領域のE L発光素子に駆動電流を供給する電源線を、1水平走査期間毎に高電位と低電位の2値の電位で駆動する方法を提案する。すなわち、複数の電源線又は全ての電源線を共通の駆動信号で駆動する方法を提案する。この駆動信号の共用化により電源線駆動部の回路構成を簡略化することができる。また、回路規模も削減することができる

【選択図】図19



**【特許請求の範囲】****【請求項 1】**

アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルにおいて、

各画素領域の E L 発光素子に駆動電流を供給する電源線を、1 水平走査期間毎に高電位と低電位の 2 値の電位で駆動する電源線駆動部

を有することを特徴とする E L 表示パネル。

**【請求項 2】**

請求項 1 に記載の E L 表示パネルにおいて、

前記電源線を全ての画素について共通化し、前記電源線駆動部が共通のタイミングで全画素を駆動する

ことを特徴とする E L 表示パネル。

**【請求項 3】**

請求項 1 又は 2 に記載の E L 表示パネルにおいて、

前記電源線は、個々の水平ラインに対して平行に配線される

ことを特徴とする E L 表示パネル。

**【請求項 4】**

請求項 1 ～ 3 のいずれかに記載の E L 表示パネルにおいて、

1 水平走査期間内に、各信号線を、閾値補正基準電位、閾値補正準備停止電位、閾値補正停止電位、信号電位で駆動する信号線駆動部

を有することを特徴とする E L 表示パネル。

**【請求項 5】**

請求項 4 に記載の E L 表示パネルにおいて、

前記閾値補正準備停止電位と前記閾値補正停止電位は同電位である

ことを特徴とする E L 表示パネル。

**【請求項 6】**

請求項 5 に記載の E L 表示パネルにおいて、

前記閾値補正基準電位、前記閾値補正停止電位及び前記信号電位の印加は、少なくとも電源線が高電位のときに実行され、前記閾値補正準備停止電位の印加は、少なくとも電源線が低電位のときに実行される

ことを特徴とする E L 表示パネル。

**【請求項 7】**

アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルにおいて、

全画素に対応する電源線を共通の駆動信号で駆動する電源線駆動部

を有することを特徴とする E L 表示パネル。

**【請求項 8】**

アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルにおいて、

複数の水平ライン単位で対応する電源線を共通の駆動信号で駆動する電源線駆動部

を有することを特徴とする E L 表示パネル。

**【請求項 9】**

請求項 8 に記載の E L 表示パネルにおいて、

前記電源線は、個々の水平ラインに対して平行に配線される

ことを特徴とする E L 表示パネル。

**【請求項 10】**

請求項 9 に記載の E L 表示パネルにおいて、

前記電源線は、1 水平走査期間毎に高電位と低電位の 2 値電位で駆動される

ことを特徴とする E L 表示パネル。

**【請求項 11】**

請求項 10 に記載の E L 表示パネルにおいて、  
前記複数の水平ラインは全ての水平ラインである  
ことを特徴とする E L 表示パネル。

【請求項 12】

アクティブマトリクス駆動方式に対応した画素構造と、各画素領域の E L 発光素子に駆動電流を供給する電源線を、1 水平走査期間毎に高電位と低電位の 2 値の電位で駆動する電源線駆動部とを有する E L 表示パネルと、  
システム全体の動作を制御するシステム制御部と、  
前記システム制御部に対する操作入力を受け付ける操作入力部と  
を有することを特徴とする電子機器。

10

【請求項 13】

アクティブマトリクス駆動方式に対応した画素構造と、全画素に対応する電源線を共通の駆動信号で駆動する電源線駆動部とを有する E L 表示パネルと、  
システム全体の動作を制御するシステム制御部と、  
前記システム制御部に対する操作入力を受け付ける操作入力部と  
を有することを特徴とする電子機器。

【請求項 14】

アクティブマトリクス駆動方式に対応した画素構造と、複数の水平ライン単位で対応する電源線を共通の駆動信号で駆動する電源線駆動部と、  
システム全体の動作を制御するシステム制御部と、  
前記システム制御部に対する操作入力を受け付ける操作入力部と  
を有することを特徴とする電子機器。

20

【請求項 15】

アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルの駆動方法において、  
各画素領域の E L 発光素子に駆動電流を供給する電源線を、1 水平走査期間毎に高電位と低電位の 2 値の電位で駆動する  
ことを特徴とする E L 表示パネルの駆動方法。

【請求項 16】

アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルの駆動方法において、  
全画素に対応する電源線を共通の駆動信号で駆動する  
ことを特徴とする E L 表示パネルの駆動方法。

30

【請求項 17】

アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルの駆動方法において、  
複数の水平ライン単位で対応する電源線を共通の駆動信号で駆動する  
ことを特徴とする E L 表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御される E L 表示パネル及びその駆動技術に関する。なお、この明細書で提案する発明は、E L 表示パネル、電子機器及び E L 表示パネルの駆動方法としての側面も有する。

【背景技術】

【0002】

図 1 に、アクティブマトリクス駆動型の有機 E L パネルに一般的な回路ブロック構成を示す。図 1 に示すように、有機 E L パネル 1 は、画素アレイ部 3 と、その駆動回路である書込制御線駆動部 5 及び水平セクタ 7 で構成される。なお、画素アレイ部 3 には、信号線 D T L と書込制御線 W S L の各交点に画素回路 9 が配置される。

50

## 【 0 0 0 3 】

ところで、有機 E L 素子は電流発光素子である。このため、有機 E L パネルでは、各画素に対応する有機 E L 素子に流れる電流量の制御により階調を制御する駆動方式が採用される。図 2 に、この種の画素回路 9 のうち最も単純な回路構成の一つを示す。この画素回路 9 は、サンプリングトランジスタ T 1、駆動トランジスタ T 2 及び保持容量 C s で構成される。

## 【 0 0 0 4 】

なお、サンプリングトランジスタ T 1 は、対応画素の階調に対応する信号電位 V sig の保持容量 C s への書き込みを制御する薄膜トランジスタである。また、駆動トランジスタ T 2 は、保持容量 C s に保持された信号電位 V sig に応じて定まるゲート・ソース間電圧 V gs に基づいて駆動電流 I d s を有機 E L 素子 O L E D に供給する薄膜トランジスタである。図 2 の場合、サンプリングトランジスタ T 1 は、N チャネル型薄膜トランジスタで構成され、駆動トランジスタ T 2 は、P チャネル型薄膜トランジスタで構成される。

## 【 0 0 0 5 】

図 2 の場合、駆動トランジスタ T 2 のソース電極は、電源電位 V cc が固定的に印加されている電源線に接続され、常に飽和領域で動作する。すなわち、駆動トランジスタ T 2 は、信号電位 V sig に応じた大きさの駆動電流を有機 E L 素子 O L E D に供給する定電流源として動作する。この際、駆動電流 I d s は次式で与えられる。

$$I d s = k \cdot \mu \cdot (V g s - V t h)^2 / 2$$

## 【 0 0 0 6 】

因みに、 $\mu$  は、駆動トランジスタ T 2 の多数キャリアの移動度である。また、 $V t h$  は、駆動トランジスタ T 2 の閾値電圧である。また、 $k$  は、 $(W / L) \cdot C o x$  で与えられる係数である。ここで、 $W$  はチャネル幅、 $L$  はチャネル長、 $C o x$  は単位面積当たりのゲート容量である。

## 【 0 0 0 7 】

なお、この構成の画素回路の場合、図 3 に示す有機 E L 素子の I - V 特性の経時変化に伴って、駆動トランジスタ T 2 のドレイン電圧が変化する特性があることが知られている。しかし、ゲート・ソース間電圧 V gs は一定に保たれるので、有機 E L 素子に供給される電流量には変化が無く、発光輝度を一定に保つことができる。

## 【 0 0 0 8 】

以下に、アクティブマトリクス駆動方式を採用する有機 E L パネルディスプレイに関する文献を例示する。

【特許文献 1】特開 2 0 0 3 - 2 5 5 8 5 6 号公報

【特許文献 2】特開 2 0 0 3 - 2 7 1 0 9 5 号公報

【特許文献 3】特開 2 0 0 4 - 1 3 3 2 4 0 号公報

【特許文献 4】特開 2 0 0 4 - 0 2 9 7 9 1 号公報

【特許文献 5】特開 2 0 0 4 - 0 9 3 6 8 2 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 9 】

ところで、薄膜プロセスの種類によっては図 2 に示す回路構成を採用できない場合がある。すなわち、現在の薄膜プロセスでは、P チャネル型の薄膜トランジスタを採用できない場合がある。このような場合、駆動トランジスタ T 2 を N チャネル型薄膜トランジスタに置き換えることになる。

## 【 0 0 1 0 】

図 4 に、この種の画素回路の構成を示す。この場合、駆動トランジスタ T 2 のソース電極は有機 E L 素子 O L E D の陽極（アノード）端子に接続される。ただし、この画素回路 9 の場合には、有機 E L 素子の I - V 特性の経時変化に伴ってゲート・ソース間電圧 V gs が変動する問題がある。このゲート・ソース間電圧 V gs の変動は、駆動電流量を変化させ、発光輝度を変化させてしまう。

10

20

30

40

50

## 【 0 0 1 1 】

この他、各画素回路を構成する駆動トランジスタ T 2 の閾値及び移動度は、画素毎に異なっている。この駆動トランジスタ T 2 の閾値や移動度の違いは、駆動電流値のバラツキとなって出現し、発光輝度が画素毎に変化する。

## 【 0 0 1 2 】

従って、図 4 に示す画素回路を採用する場合には、経時変化によらず安定した発光特性の得られる駆動方法の確立が求められる。同時に、製造コストが安価な E L 表示パネルの実現が求められる。

## 【課題を解決するための手段】

## 【 0 0 1 3 】

10

## ( A ) 手段 1

そこで、発明者らは、アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルの駆動方法として、各画素領域の E L 発光素子に駆動電流を供給する電源線を、1 水平走査期間毎に高電位と低電位の 2 値の電位で駆動する方法を提案する。

## 【 0 0 1 4 】

なお、電源線を全ての画素について共通化し、電源線駆動部が共通のタイミングで全画素を駆動することが望ましい。すなわち、電源線を分岐して全ての画素に配線する。因みに、電源線は個々の水平ラインに対して平行に配線されることが望ましい。もっとも、水平ラインに対して垂直に配線することも可能である。

20

## 【 0 0 1 5 】

また、各信号線は、1 水平走査期間毎に、閾値補正基準電位、閾値補正準備停止電位、閾値補正停止電位、信号電位で駆動されることが望ましい。もっとも、補正準備停止電位と閾値補正停止電位は同電位であっても良い。

因みに、閾値補正基準電位、閾値補正停止電位及び信号電位の印加は、少なくとも電源線が高電位のときに実行され、閾値補正準備停止電位の印加は、少なくとも電源線が低電位のときに実行されることが望ましい。

## 【 0 0 1 6 】

## ( B ) 手段 2

なお他の例として、発明者らは、アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルの駆動方法として、全画素に対応する電源線を共通の駆動信号で駆動する方法を提案する。

30

## 【 0 0 1 7 】

## ( C ) 手段 3

更に他の例として、発明者らは、アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有する E L 表示パネルの駆動方法として、複数の水平ライン単位で対応する電源線を共通の駆動信号で駆動する方法を提案する。

## 【 0 0 1 8 】

なお、電源線は、個々の水平ラインに対して平行に配線されることが望ましいが、水平ラインに対して垂直に配線することも可能である。

40

また、電源線は、1 水平走査期間毎に高電位と低電位の 2 値電位で駆動されることが望ましい。ここで、複数の水平ラインとは、全ての水平ラインであることが望ましい。

## 【 0 0 1 9 】

## ( D ) 手段 4

## 【 0 0 2 0 】

また、発明者らは、前述した駆動方法に対応する構造を有する E L 表示パネルを搭載した電子機器を提案する。

ここで、電子機器は、E L 表示パネルと、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部とで構成する。

## 【発明の効果】

50

## 【 0 0 2 1 】

発明者らの提案する発明では、E L 発光素子に駆動電流を供給する電源線を、1 水平走査期間毎に高電位と低電位の 2 値電位で駆動する。すなわち、全ての水平走査期間について、2 値電位での駆動方式を採用する。

## 【 0 0 2 2 】

この 2 値電位での駆動方式の採用により、複数の水平ライン又は全ての水平ラインに対応する電源線の駆動信号を共通化できる。すなわち、少なくとも共通化された水平ラインについては、駆動信号を共通化できる。駆動信号の共用化により電源線駆動部の回路構成を簡略化することができ、回路規模も削減することができる。かくして、E L 表示パネルの製造コストを低減させることができる。

10

## 【発明を実施するための最良の形態】

## 【 0 0 2 3 】

以下、発明を、アクティブマトリクス駆動型の有機 E L パネルに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

## 【 0 0 2 4 】

## ( A ) 外観構成

なお、この明細書では、画素アレイ部と駆動回路とを同じ半導体プロセスを用いて同じ基板上に形成した表示パネルだけでなく、例えば特定用途向け I C として製造された駆動回路を画素アレイ部の形成された基板上に実装したものも有機 E L パネルと呼ぶ。

20

## 【 0 0 2 5 】

図 5 に、有機 E L パネルの外観構成例を示す。有機 E L パネル 1 1 は、支持基板 1 3 のうち画素アレイ部の形成領域に対向部 1 5 を貼り合わせた構造を有している。

## 【 0 0 2 6 】

支持基板 1 3 は、ガラス、プラスチックその他の基材で構成され。その表面に有機 E L 層や保護膜等を積層した構造を有している。対向部 1 5 は、ガラス、プラスチックその他の透明部材を基材とする。なお、有機 E L パネル 1 1 には、外部から支持基板 1 3 に信号等を入出力するための F P C (フレキシブルプリントサーキット) 1 7 が配置される。

30

## 【 0 0 2 7 】

## ( B ) 形態例 1

## ( B - 1 ) システム構成

以下では、駆動トランジスタ T 2 の特性バラツキを防ぎ、かつ画素回路を構成する素子数が少なく済む有機 E L パネル 1 1 のシステム構成例を示す。

図 6 は、有機 E L パネル 1 1 のシステム構成例である。図 6 に示す有機 E L パネル 1 1 は、画素アレイ部 2 1 と、その駆動回路である書込制御線駆動部 2 3、電源線駆動部 2 5、水平セクタ 2 7、タイミングジェネレータ 2 9 で構成される。

## 【 0 0 2 8 】

画素アレイ部 2 1 には、信号線 D T L と書込制御線 W S L との各交点位置にサブ画素を配置したマトリクス構造を有している。因みに、サブ画素は 1 画素を構成する画素構造の最小単位である。例えばホワイトユニットとしての 1 画素は、有機 E L 材料の異なる 3 つのサブ画素 ( R、G、B ) で構成される。

40

## 【 0 0 2 9 】

図 7 に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。また図 8 に、形態例 1 で提案する画素回路の内部構成を示す。図 8 に示す画素回路は、2 つの N チャネル型の薄膜トランジスタ T 1、T 2 と 1 つの保持容量 C s とで構成される。

## 【 0 0 3 0 】

この回路構成の場合も、書込制御線駆動部 2 3 は、書込制御線 W S L を通じてサンプリングトランジスタ T 1 を開閉制御し、信号線電位の保持容量 C s への書き込みを制御する

50

。因みに、書込制御線駆動部 23 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

#### 【0031】

電源線駆動部 25 は、電源線 D S L を通じて駆動トランジスタ T 2 の一方の主電極に接続される電源線 D S L を 2 値的に制御し、他の駆動回路との協働動作により画素回路内の動作内容を制御する。ここでの動作には、有機 E L 素子の発光・非発光だけでなく、特性バラツキの補正動作も含まれる。この形態例の場合、特性バラツキの補正は、駆動トランジスタ T 2 の閾値のバラツキや移動度のバラツキに基づくユニフォームティの劣化の補正を意味する。

#### 【0032】

水平セクタ 27 は、信号線 D T L に画素データ D i n に応じた信号電位 V s i g 又は閾値補正用のオフセット電位 V o f s を印加する。水平セクタ 27 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D / A 変換回路と、バッファ回路と、セクタとで構成される。

タイミングジェネレータ 29 は、書込制御線 W S L、電源線 D S L、信号線 D T L の駆動に必要なタイミングパルスを生成する。

#### 【0033】

##### (B - 2) 駆動動作例

図 9 に、図 8 に示す画素回路の駆動動作例を示す。因みに図 9 では、電源線 D S L に印加する 2 種類の電源電位のうち高電位（発光電位）の方を V c c で表し、低電位（非発光電位）の方を V s s で表す。

#### 【0034】

まず、発光状態における画素回路内の動作状態を図 10 に示す。このとき、サンプリングトランジスタ T 1 はオフ状態である。一方、駆動トランジスタ T 2 は飽和領域で動作し、ゲート・ソース間電圧 V g s に応じて定まる電流 I d s を有機 E L 素子 O L E D に供給する（図 9（t 1））。

#### 【0035】

次に、非発光状態の動作状態を説明する。このとき、電源線 D S L の電位が高電位 V c c から低電位 V s s に切り換わる（図 9（t 2））。この際、低電位 V s s が有機 E L 素子の閾値 V t h e l とカソード電位 V c a t h との和より小さいとき、つまり V s s < V t h e l + V c a t h であれば有機 E L 素子は消灯する。

#### 【0036】

なお、駆動トランジスタ T 2 のソース電位 V s は電源線 D S L の電位と同じになる。すなわち、有機 E L 素子のアノード電極は低電位 V s s に充電される。図 11 に、画素回路内の動作状態を示す。図 11 に破線で示すように、この際、保持容量 C s に保持されていた電荷は電源線 D S L へ引き出される。

#### 【0037】

この後、信号線 D T L の電位が閾値補正用のオフセット電位 V o f s に遷移した状態で、書込制御線 W S L が高電位に変化すると、オン動作したサンプリングトランジスタ T 1 を通じて駆動トランジスタ T 2 のゲート電位がオフセット電位 V o f s に変化する（図 9（t 3））。

#### 【0038】

図 12 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ T 2 のゲート・ソース間電圧 V g s は V o f s - V s s で与えられる。この電圧は、駆動トランジスタ T 2 の閾値電圧 V t h よりも大きくなるように設定される。V o f s - V s s > V t h を満たさなければ閾値補正動作を実行できないためである。

#### 【0039】

次に、電源線 D S L の電源電位が再び高電位 V c c に切り換えられる（図 9（t 4））。電源線 D S L の電源電位が高電位 V c c に変化することで、有機 E L 素子 O L E D のアノード電位が駆動トランジスタ T 2 のソース電位 V s となる。

10

20

30

40

50

## 【 0 0 4 0 】

図 1 3 に、この場合における画素回路内の動作状態を示す。なお図 1 3 では、有機 E L 素子 O L E D を等価回路で示す。すなわち、ダイオードと寄生容量  $C_{el}$  で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$  の関係を満たす限り（ただし、有機 E L 素子のリーク電流は駆動トランジスタ T 2 に流れる駆動電流  $I_{ds}$  よりかなり小さいと考える。）、駆動トランジスタ T 2 に流れる駆動電流  $I_{ds}$  は、保持容量  $C_s$  と寄生容量  $C_{el}$  を充電するのに使用される。

## 【 0 0 4 1 】

結果的に、有機 E L 素子 O L E D のアノード電位  $V_{el}$  は、図 1 4 に示すように、時間の経過と共に上昇する。すなわち、駆動トランジスタ T 2 のゲート電位はオフセット電位  $V_{ofs}$  に固定した状態のまま、駆動トランジスタ T 2 のソース電位  $V_s$  が上昇を開始する。この動作が閾値補正動作である。

10

## 【 0 0 4 2 】

やがて、駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  は閾値電圧  $V_{th}$  に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$  を満たしている。

閾値補正期間が終了すると、サンプリングトランジスタ T 1 が再びオフ制御される（図 9（t 5））。

## 【 0 0 4 3 】

この後、信号線 D T L の電位が信号電位  $V_{sig}$  に遷移するのに必要なタイミング以降に、サンプリングトランジスタ T 1 は再びオン状態に制御される（図 9（t 6））。図 1 5 に、この場合における画素回路内の動作状態を示す。信号電位  $V_{sig}$  は、対応画素の階調値に応じて与えられる電位である。

20

この際、駆動トランジスタ T 2 のゲート電位  $V_g$  は、信号電位  $V_{sig}$  に遷移する。一方、駆動トランジスタ T 2 のソース電位  $V_s$  は、電源線 D S L から保持容量  $C_s$  へと流れ込む電流により時間と共に上昇する。

## 【 0 0 4 4 】

この時、駆動トランジスタ T 2 のソース電位  $V_s$  が有機 E L 素子の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和を越えなければ（有機 E L 素子のリーク電流が駆動トランジスタ T 2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T 2 により供給される駆動電流  $I_{ds}$  は、保持容量  $C_s$  と寄生容量  $C_{el}$  を充電するのに使用される。

30

## 【 0 0 4 5 】

なお、駆動トランジスタ T 2 の閾値補正動作は既に完了しているので、駆動トランジスタ T 2 が流す駆動電流  $I_{ds}$  は、駆動トランジスタ T 2 の移動度  $\mu$  を反映した値になる。具体的には、移動度  $\mu$  が大きい駆動トランジスタほど大きな駆動電流  $I_{ds}$  が流れ、ソース電位  $V_s$  の上昇も早くなる。逆に移動度  $\mu$  が小さい駆動トランジスタほど小さな駆動電流  $I_{ds}$  が流れ、ソース電位  $V_s$  の上昇は遅くなる（図 1 6）。

## 【 0 0 4 6 】

結果的に、保持容量  $C_s$  の保持電圧は、駆動トランジスタ T 2 の移動度  $\mu$  に応じて補正される。すなわち、駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  は、移動度  $\mu$  を補正した電圧へと変化する。

40

## 【 0 0 4 7 】

最後に、サンプリングトランジスタ T 1 がオフ制御されて信号電位の書き込みが終了すると、有機 E L 素子 O L E D の発光期間が開始される（図 9（t 7））。図 1 7 に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  は一定である。従って、駆動トランジスタ T 2 は一定の電流  $I_{ds}'$  を有機 E L 素子に供給する。

## 【 0 0 4 8 】

これに伴い、有機 E L 素子のアノード電位  $V_{el}$  は、有機 E L 素子に電流  $I_{ds}'$  を流す電位  $V_x$  まで上昇する。これにより、有機 E L 素子による発光が開始される。

50

ところで、この形態例で提案する駆動回路の場合も、発光時間が長くなると、有機EL素子OLEDのI-V特性が変化する。

【0049】

すなわち、駆動トランジスタT2のソース電位Vsも変化する。しかし、駆動トランジスタT2のゲート・ソース間電圧Vgsは、保持容量Csにより一定に保たれるので有機EL素子OLEDに流れる電流量は変化せずに済む。このように、この形態例で提案する画素回路と駆動方式を採用すれば、有機EL素子OLEDのI-V特性の変化にかかわらず、信号電位Vsigに応じた駆動電流Idsを常に流し続けることができる。これにより、有機EL素子OLEDの発光輝度を信号電位Vsigに応じた輝度に保ち続けることができる。

10

【0050】

(B-3) まとめ

以上の通り、この形態例で説明した画素回路と駆動方式の採用により、駆動トランジスタT2をNチャネル型薄膜トランジスタで構成する場合にも、画素毎に輝度バラツキのない有機ELパネルを実現することができる。また、Nチャネル型薄膜トランジスタだけで画素回路を構成できるので、有機ELパネルの製造に、アモルファスシリコン系のプロセスを採用できる。

【0051】

(C) 形態例2

(C-1) 電源線の配線構造

20

この形態例では、有機ELパネルの製造コストの低価格化を実現するために新たに採用する電源線の配線構造について説明する。

【0052】

具体的には、各画素に駆動電流を供給する電源線DSLを全ての画素で共用化する配線構造を提案する。すなわち、各水平ラインに対応する電源線DSLを一本の制御線に集約する配線構造を提案する。この配線構造の場合、電源線DSLの駆動タイミングを一元化することが可能となり、電源線駆動部の回路構成及び回路規模を大幅に削減することができる。

【0053】

参考までに、形態例1に対応するEL表示パネルの構造を図18に示す。図18は、電源線DSLが水平ラインに対して一本ずつ配線される場合の電源線DSLと電源線駆動部25との接続関係を表している。図18に示すように、電源線DSLは水平ライン単位で電源線駆動部25と接続される。従って、電源線駆動部25には、最大で垂直解像度数分のシフトレジスタ段が必要になる。

30

【0054】

一方、形態例2で提案する配線構造の場合には、駆動タイミングが1つで良い。従って、電源線駆動部の回路構成にはシフトレジスタ構造は不要となり、1水平走査期間毎に高電位と低電位の2値を発生するパルス電圧源だけで構成することができる。このため、電源線駆動部の回路規模の大幅な削減が可能となる。

【0055】

40

また、パルス電圧源は、パネル解像度とは無関係である。このため、パネルサイズが大型化しても回路規模が増大することはない。この点で、形態例1の構成よりも製造コストの大幅な低価格化が可能となる。

【0056】

図19に、電源線DSLとして考えられる配線構造の一例を示す。また、図20に、図19(A)及び(B)にそれぞれ対応する個々の電源線DSLと画素回路31との接続関係を示す。

【0057】

図19(A)は、電源線DSLが水平ラインに対して平行に配線される場合の構造例を表しており、図19(B)は、電源線DSLが水平ラインに対して直交するように配線さ

50

れる場合の構造例を表している。

なお、一般的にパネルの形状は横長であるので、共通の制御線 33 から分岐された後の電源線 D S L の配線長は図 19 ( B ) の方が短く形成することができる。

#### 【 0 0 5 8 】

特に、全ての水平走査期間について、高電位  $V_{cc}$  と低電位  $V_{ss}$  で電源線 D S L を駆動する駆動方式（以下、この明細書では「デューティ駆動」という。）では、発光期間中の画素についても 1 水平期間内に非発光期間（黒期間）が必ず発生する。従って、全面白の画面表示状態でも、図 21 に示すように、実際に発光する領域の面積はデューティ比に比例する。因みに、図 21 は、デューティ比が 50 % の例である。

#### 【 0 0 5 9 】

このため、図 19 ( B ) に示すように、分岐後の電源線 D S L は縦方向（水平ラインと直交する方向）にレイアウトする方が、個々の電源線 D S L に流れる電流を小さく抑えることができる。結果として、電源線 D S L の配線幅を細くすることができる。このため、パネルの歩留まりを高めることができる。

#### 【 0 0 6 0 】

その一方で、電源線 D S L を横方向（水平ラインに対して平行する方向）にレイアウトする方が、電源線 D S L を縦方向にレイアウトするよりも有利な点もある。

以下、画素位置の電源線 D S L に表れる電位変化に着目することにより、電源線 D S L を横方向に配線する場合の優位性を検証する。

図 22 に、電源線 D S L を縦方向にレイアウトする場合の各画素位置と電源線 D S L の電位波形との関係を示す。

#### 【 0 0 6 1 】

まず、1 段目の水平ラインに着目する。1 段目の水平ラインは電源電位の入力側に位置するので、閾値補正準備期間における電源電位は高電位  $V_{cc}$  から低電位  $V_{ss}$  に素早く変化する。勿論、電位の波形のなまりも見られない。

#### 【 0 0 6 2 】

次に、中段の水平ラインに着目する。中段に位置する水平ラインは電源電位の入力側から少し離れている。このため、この位置の画素回路に対応する電源電位は、自段より上段側に位置する発光動作中の画素回路の影響を受けて変化する。

#### 【 0 0 6 3 】

例えば電源電位が高電位  $V_{cc}$  から低電位  $V_{ss}$  に変化する場合、電源線 D S L からは有機 E L 素子 O L E D の寄生容量  $C_{el}$  と駆動トランジスタ T2 のゲート容量が見えてしまう。このため、n 段目の水平ラインに対応する位置の電源電位はトランジェントが入力側より遅くなる。すなわち、電源電位の波形になまりが現れる。

#### 【 0 0 6 4 】

この電位波形のなまりは、水平ラインの位置が電源電位の入力側から離れるほど大きくなる。電源線 D S L から見える寄生容量やゲート容量の数が増えるためである。

このため、有機 E L パネルが高精細化して電源電位の駆動速度が高速化してくると、電源電位が低電位  $V_{ss}$  に到達できない画素が出現し易くなる。

#### 【 0 0 6 5 】

この対策として、電源線 D S L に低電位  $V_{ss}$  を出力する期間を長くして、電源電位が低電位  $V_{ss}$  に遷移する時間を確保する方法が考えられる。しかし、低電位  $V_{ss}$  の出力期間を増やすことは、有機 E L 素子 O L E D の発光時間が短くなることを意味する。この際、発光量を維持しようとする、おのずと高電位  $V_{cc}$  を高くすることになり、有機 E L 素子 O L E D の長寿命化や低消費電力化が困難になる問題が新たに発生する。

#### 【 0 0 6 6 】

更に、電源電位のトランジェントは、有機 E L 素子 O L E D の発光輝度に対しても変化する。具体的には白表示時の方が電源電位のトランジェントはなまりが大きくなる。このことは、表示画像の内容に応じて電源電位のなまりが変化することを意味する。従って、電源電位のなまりが大きくなりすぎると、正常な閾値補正準備動作が行えなくなり、クロ

10

20

30

40

50

ストークやスジといった画質不良が現れる可能性が高くなる。

【 0 0 6 7 】

以上が電源線 D S L を縦方向に配線する場合に考えられる問題である。勿論、この問題は、様々な条件が揃った場合に表れるのであって、常に指摘した問題が画質の低下として確認される訳ではない。

図 2 3 に、電源線 D S L を横方向にレイアウトする場合の各画素位置と電源線 D S L の電位波形との関係を示す。図 2 3 に示すように、水平方向の位置によるなまりは存在する。

【 0 0 6 8 】

しかし、電源電位のなまりは画素位置に応じて発生するなまりであって、他の水平ラインの表示内容とは無関係である。このことが、閾値補正動作の実行を確実にする上で有利に作用する。

以下、具体的に説明する。ある水平ラインに対応する電源線 D S L の 1 フィールド内の動作に着目した場合、図 2 2 の動作例でも説明したように、閾値補正準備前には必ず非発光期間（消灯期間）が存在する。

【 0 0 6 9 】

この非発光期間では、駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  は、その閾値電圧以下の状態にあり、他段の表示状態に依存することはない。

このため、表示画像の内容に応じて電源線 D S L のなまり量が変わってしまうことがなく、閾値補正動作前に駆動トランジスタ T 2 のソース電極に低電位  $V_{ss}$  という一定電位を入力することが可能になる。このことで、閾値補正動作の正常動作が保証される。

【 0 0 7 0 】

また、非発光期間での駆動トランジスタ T 2 のゲート電位  $V_g$  は、黒に近い階調を表示している時の駆動トランジスタ T 2 のゲート電位  $V_g$  よりも低くなっている。このため、電源線 D S L のトランジェントは早くなる。

【 0 0 7 1 】

結果として、1 水平走査期間に占める有機 E L 素子 O L E D の発光時間長を長く取ることが可能になる。以上より、電源線 D S L を横方向にレイアウトする方が、電源線 D S L を縦方向にレイアウトする場合よりも低電圧駆動することが可能となる。このことは、有機 E L 素子の長寿命化にも有利に作用する。

【 0 0 7 2 】

( C - 2 ) システム構成

以下では、電源線 D S L を横方向に配置する場合を例に有機 E L パネルのシステム構成について説明する。もっとも、電源線 D S L を縦方向に配置する場合への応用も可能である。

【 0 0 7 3 】

図 2 4 は、有機 E L パネル 1 1 のシステム構成例である。図 2 4 には、図 6 との対応部分に同一符号を付して示している。

【 0 0 7 4 】

図 2 4 に示す有機 E L パネル 1 1 は、画素アレイ部 4 1 と、その駆動回路である書込制御線駆動部 4 3、電源線駆動部としてのパルス電圧源 4 5、水平セクタ 2 7、タイミングジェネレータ 4 7 で構成される。

【 0 0 7 5 】

画素アレイ部 4 1 の構造は、電源線 D S L の配線構造を除き、形態例 1 の画素アレイ部 2 1 の構造と同じである。画素アレイ部 4 1 の場合、一本の配線（制御線）から分岐した電源線 D S L を水平ラインに対して 1 本ずつ水平方向に延びるように配線する。

【 0 0 7 6 】

図 2 5 に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。また図 2 6 に、形態例 2 で提案する画素回路の内部構成を示す。図 2 6 に示す画素回路は、2 つの N チャネル型薄膜トランジスタ T 1、T 2 と 1 つの保持容量  $C_s$  とで構成される。

10

20

30

40

50

## 【 0 0 7 7 】

この回路構成の場合も、書込制御線駆動部 4 3 は、書込制御線 W S L を通じてサンプリングトランジスタ T 1 を開閉制御し、信号線電位の保持容量 C s への書き込みを制御する。因みに、書込制御線駆動部 4 3 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

## 【 0 0 7 8 】

パルス電圧源 4 5 は、個々の水平ラインに対応する全ての電源線 D S L が集約的に接続される 1 本の制御線を 2 値の電位で駆動する回路デバイスである。パルス電圧源 4 5 は、1 水平走査期間を 1 周期とするパルス信号を発生する。この形態例の場合、パルス電圧源 4 5 は、1 水平走査期間の開始から一定期間だけ低電位 V s s を出力し、その後、同水平走査期間の終了まで高電位 V c c を出力する。パルス電圧源 4 5 はこの動作を、電源が投入されている間中、繰り返し実行する。

10

## 【 0 0 7 9 】

なお、低電位 V s s を出力する期間長は、閾値補正動作準備動作に必要な時間長を考慮して設定する。

この形態例の場合、電源線 D S L の電位変化は全ての画素に共通である。従って、発光期間中の画素では、この 2 値電位駆動により消灯動作と点灯動作が繰り返す点滅動作が実行される。

## 【 0 0 8 0 】

一方、非発光期間中の画素では、この 2 値電位駆動と他の配線電位との協働動作により、閾値補正準備動作、閾値補正動作、信号電位の書込動作及び移動度補正動作が実行される。閾値補正動作及び移動度補正動作が正常に実行されることで、駆動トランジスタ T 2 の特性バラツキが補正され、ユニフォームティの劣化が補正される。

20

## 【 0 0 8 1 】

水平セクタ 2 7 は、信号線 D T L に画素データ D i n に応じた信号電位 V s i g 又は閾値補正用のオフセット電位 V o f s を印加する動作を実行する。水平セクタ 2 7 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D / A 回路と、バッファ回路と、セクタとで構成される。

タイミングジェネレータ 4 7 は、書込制御線 W S L 、電源線 D S L 、信号線 D T L の駆動に必要なタイミングパルスを生成する回路デバイスである。

30

## 【 0 0 8 2 】

## ( C - 3 ) 駆動動作例

図 2 7 に、図 2 6 に示す画素回路の駆動動作例を示す。因みに図 2 7 では、電源線 D S L に印加する 2 種類の電源電位のうち高電位（発光電位）の方を V c c で表し、低電位（非発光電位）の方を V s s で表している。

## 【 0 0 8 3 】

まず、発光状態における画素回路内の動作状態を図 2 8 に示す。このとき、サンプリングトランジスタ T 1 はオフ状態である。このとき、電源電位は高電位 V c c と低電位 V s s を 1 水平走査期間内に繰り返す。このため、有機 E L 素子 O L E D は、高電位 V c c の印加期間の発光と低電位 V s s の印加期間の消灯とを繰り返す（図 2 7 ( t 1 ) ）。

40

## 【 0 0 8 4 】

勿論、発光時の駆動トランジスタ T 2 は飽和領域で動作する。従って、有機 E L 素子 O L E D には、ゲート・ソース間電圧 V g s に応じて定まる電流 I d s が駆動トランジスタ T 2 から供給される。

## 【 0 0 8 5 】

次に、非発光状態の動作状態を説明する。

まず、電源線 D S L の電位が高電位 V c c に立ち上がった状態であり、かつ、信号線 D T L の電位がオフセット電位 V o f s の期間中に、書込制御線 W S L が高電位に変化する。これにより、駆動トランジスタ T 2 のゲート電極にオフセット電位 V o f s に制御される（図 2 7 ( t 2 ) ）。

50

## 【 0 0 8 6 】

このとき、駆動トランジスタ T 2 のソース電位  $V_s$  は、保持容量  $C_s$  に応じたカップリングにより遷移する。ここで、駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  がその閾値電圧  $V_{th}$  以下であれば、有機 E L 素子 O L E D は非発光状態になる。また、このソース電位  $V_s$  (有機 E L 素子 O L E D のアノード電圧) が有機 E L 素子 O L E D の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和以下であればその電圧は保持される。

## 【 0 0 8 7 】

逆に、ソース電位  $V_s$  が有機 E L 素子 O L E D の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和以上の場合、有機 E L 素子 O L E D の放電を通じてソース電位  $V_s$  は  $V_{thel} + V_{cat}$  に収束する。

10

## 【 0 0 8 8 】

図 2 9 は、ソース電位  $V_s$  が  $V_{thel} + V_{cat}$  に収束する場合の例である。なお、オフセット電位  $V_{ofs}$  は、カソード電圧  $V_{cath}$  と、有機 E L 素子 O L E D の閾値電圧  $V_{thel}$  と、駆動トランジスタ T 2 の閾値電圧  $V_{th}$  の和以下であれば良い。

## 【 0 0 8 9 】

このオフセット電位  $V_{ofs}$  の書き込み動作が完了すると、サンプリングトランジスタ T 1 はオフ制御される (図 2 7 ( t 3 ) )。

この後、次の水平走査期間が開始されると、電源電位は高電位  $V_{cc}$  から低電位  $V_{ss}$  に遷移する (図 2 7 ( t 4 ) )。この時点での画素回路内の動作状態を図 3 0 に示す。

## 【 0 0 9 0 】

20

ここでの低電位  $V_{ss}$  は、後に実行される閾値補正動作を正常に行うため、 $V_{ofs} - V_{ss} > V_{th}$  を満たす電位である。この低電位  $V_{ss}$  の印加により、電源線 D S L が駆動トランジスタ T 2 のソース電極側となる。結果的に、有機 E L 素子 O L E D のアノード電位は低下する。

## 【 0 0 9 1 】

因みに、サンプリングトランジスタ T 1 はオフ動作している。このため、有機 E L 素子 O L E D のアノード電位の低下に伴ってゲート電位  $V_g$  も低下する。

最終的に、ゲート電位  $V_g$  が  $V_{ss} + V_{thd}$  に達した時点で駆動トランジスタ T 2 はカットオフする。ここで、 $V_{thd}$  は、駆動トランジスタ T 2 のゲート電極と電源線 D S L との間における閾値電圧である。なお、駆動トランジスタ T 2 のゲート電極と有機 E L 素子 O L E D のアノード電極との間の電圧はその閾値電圧以下のままである。

30

## 【 0 0 9 2 】

一定期間後、電源電位は、再び高電位  $V_{cc}$  となる (図 2 7 ( t 5 ) )。もっとも、前述した通り、駆動トランジスタ T 2 のゲート電極と有機 E L 素子 O L E D のアノード電極間の電圧は閾値電圧以下となっている。従って、駆動トランジスタ T 2 はカットオフしたままとなる。この時点での画素回路内の動作状態を図 3 1 に示す。

## 【 0 0 9 3 】

やがて、ある水平走査期間が開始され、電源電位が低電位  $V_{ss}$  に変化すると、閾値補正準備期間が開始される (図 2 7 ( t 6 ) )。

この際、サンプリングトランジスタ T 1 がオン状態に制御され、オフセット電位  $V_{ofs}$  が駆動トランジスタ T 2 のゲート電極に印加される。

40

## 【 0 0 9 4 】

一方、有機 E L 素子 O L E D のアノード電極 (駆動トランジスタ T 2 のソース電極) には低電位  $V_{ss}$  が印加される。この時点での画素回路内の動作状態を図 3 2 に示す。

この後、画素回路の動作は、閾値補正動作に遷移する (図 2 7 ( t 7 ) )。

## 【 0 0 9 5 】

この期間では、電源電位が再び高電位  $V_{cc}$  に変化する。このとき、図 3 3 に示すように、電源線 D S L から保持容量  $C_s$  の方向に電流が流れる。

なお、図 3 3 では、有機 E L 素子 O L E D の等価回路をダイオードと容量で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$  であり、かつ、有機 E L 素子 O L E D のリーク電流が駆動トラ

50

ンジスタ T2 に流れる電流よりもかなり小さければ、駆動トランジスタ T2 に流れる電流は保持容量  $C_s$  と有機 EL 素子 OLE D の寄生容量  $C_{el}$  を充電するのに使用される。

【0096】

このとき、有機 EL 素子 OLE D のアノード電位  $V_{el}$  は時間と共に、図 34 に示すように徐々に上昇する。そして、一定時間経過後には、駆動トランジスタ T2 のゲート・ソース間電圧  $V_{gs}$  はその閾値電圧  $V_{th}$  に収束する。その後、サンプリングトランジスタ T1 をオフ制御して閾値補正動作を終了させる。

【0097】

この時、有機 EL 素子 OLE D のアノード電位  $V_{el}$  は、次式を満たす状態になる。

$$V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$$

10

この後、信号線 DTL が信号電位  $V_{sig}$  となった時点で、サンプリングトランジスタ T1 が再びオン制御される（図 27 (t8)）。この時点での画素回路内の動作状態を示す（図 35）。

【0098】

信号電位  $V_{sig}$  は、各画素の階調に応じた電圧である。このとき、駆動トランジスタ T2 のゲート電位  $V_g$  は、サンプリングトランジスタ T1 を通じて信号電位  $V_{sig}$  に制御される。一方、駆動トランジスタ T2 のソース電位  $V_s$  は、電源線 DSL から流れ込む電流により時間とともに上昇する。

【0099】

この時、駆動トランジスタ T2 のソース電位  $V_s$  が有機 EL 素子 OLE D の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和を越えなければ（EL のリーク電流が T2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T2 の電流は保持容量  $C_s$  と寄生容量  $C_{el}$  を充電するのに使用される。

20

【0100】

なおこの時、駆動トランジスタ T2 の閾値補正動作は既に完了しているため、駆動トランジスタ T2 に流れる電流は移動度  $\mu$  を反映した値になる。

すなわち、移動度  $\mu$  が大きい駆動トランジスタ T2 では電流量が大きくなり、ソース電位  $V_s$  の上昇も早くなる。一方、移動度  $\mu$  が小さい駆動トランジスタ T2 では電流量が小さくなり、ソース電位  $V_s$  の上昇も遅くなる（図 36）。

【0101】

30

これにより、駆動トランジスタ T2 のゲート・ソース間電圧  $V_{gs}$  は、移動度  $\mu$  を反映して小さくなり、一定時間経過後には、個々の駆動トランジスタ T2 の移動度を完全に補正したゲート・ソース間電圧  $V_{gs}$  に遷移する。

【0102】

最後に、サンプリングトランジスタ T1 をオフ制御して書き込みが終了し、有機 EL 素子 OLE D を発光させる（図 27 (t10)）。

このとき、駆動トランジスタ T2 のゲート・ソース間電圧  $V_{gs}$  は一定である。従って、駆動トランジスタ T2 は一定電流  $I_{ds'}$  を有機 EL 素子 OLE D に流す。

【0103】

40

なお、有機 EL 素子 OLE D のアノード電位  $V_{el}$  は、有機 EL 素子 OLE D に駆動電流  $I_{ds'}$  が流れる電圧  $V_x$  まで上昇する。これにより、有機 EL 素子 OLE D は発光を開始する。図 37 に、この時点での画素回路内の動作状態を示す。

【0104】

なお、最初の発光開始から一定時間が経過して次の水平走査期間になると、電源電位は高電位  $V_{cc}$  から低電位  $V_{ss}$  となる（図 27 (t9)）。前述したように、全ての画素について同じ電源電位が与えられるためである。なお、電源電位が低電位  $V_{ss}$  の期間、有機 EL 素子 OLE D は消灯する。

【0105】

そして、この水平走査期間の後半期間では再び電源電位が高電位  $V_{cc}$  に戻り、有機 EL 素子 OLE D への駆動電流の供給が再開される（図 27 (t10)）。

50

もっとも、駆動トランジスタ $T_2$ のゲート・ソース間電圧 $V_{gs}$ は一定である。このため、電源電圧が高電位 $V_{cc}$ の期間には、先に書き込んだ信号電位 $V_{sig}$ に応じた発光状態が維持される。

#### 【0106】

なお、この画素回路の場合にも、有機EL素子OLEDの発光時間が長くなるのに伴って $I-V$ 特性に変化が発生する。このため、図中のB点の電位も変化する。しかし、駆動トランジスタ $T_2$ のゲート・ソース間電圧 $V_{gs}$ は一定値に保たれ続けるので有機EL素子OLEDに流れる電流量は変化しない。このように、有機EL素子OLEDの $I-V$ 特性が劣化しても、一定電流値の駆動電流 $I_{ds}$ が常に流れ続けることになる。かくして、次のフィールド期間まで有機EL素子OLEDの輝度は維持される。

10

#### 【0107】

##### (C-4) まとめ

以上の通り、この形態例で説明した有機ELパネルの場合には、電源線DSLの駆動波形を全ての画素で共通化できる。従って、電源線駆動部として、単一周波数で2値電位を発生するパルス電圧源45を用いることが可能となる。パルス電圧源45にはシフトレジスタが必要ないので、パネルサイズや表示解像度によらず、駆動回路の小型化を実現できる。

#### 【0108】

このため、有機ELパネルのレイアウトの自由度を高めることができる。また、有機ELパネルの製造コストを低下させることができる。

20

なお、この形態例の場合、サンプリングトランジスタ $T_1$ のオン制御(図27( $t_2$ ))を通じて有機EL素子OLEDを消光制御しているが、オフセット電位 $V_{ofs}$ の書込による消光動作を伴わない動作例も考えられる。

#### 【0109】

##### (D) 形態例3

##### (D-1) 1水平走査期間の短縮に伴い予想される課題

前述した形態例2は、閾値補正動作が1水平走査期間内に完了する場合(すなわち、閾値補正動作が1回だけ実行される場合)を前提として説明した。

しかし、有機ELパネルの高精細化や高速動作化に伴って、1水平走査期間は短縮化する傾向にある。

30

#### 【0110】

この場合、閾値補正動作は、複数の水平走査期間に分割して実行することが必要になる。図38に、形態例2で説明した駆動方法と補正動作の分割実行を組み合わせる場合の駆動波形例を示す。

#### 【0111】

この場合、駆動トランジスタ $T_2$ のゲート・ソース間電圧 $V_{gs}$ は、完全にはその閾値電圧 $V_{th}$ に収束しなくなる。

具体的には、電源電位が高電位 $V_{cc}$ の時の駆動トランジスタ $T_2$ のソース電位 $V_s$ の上昇量と電源電位が低電位 $V_{ss}$ の時の駆動トランジスタ $T_2$ のソース電位 $V_s$ の下降量とが一致する電位で閾値補正動作を繰り返すことになる。

40

#### 【0112】

このため、閾値補正動作の終了後、駆動トランジスタ $T_2$ のゲート・ソース間電圧 $V_{gs}$ は、その閾値電圧 $V_{th}$ を完全には反映しない状態となり、低階調表示時にはムラやスジといった画質不良が発生してしまう。

#### 【0113】

##### (D-2) システム構成

そこで、この形態例では、閾値補正動作を複数回に分割して実行する場合にも、駆動トランジスタ $T_2$ の特性バラツキの補正が正常に実行できる駆動方法について説明する。

図39に、有機ELパネル11のシステム構成例である。なお、図39には、図24との対応部分に同一符号を付して示している。

50

## 【 0 1 1 4 】

図 3 9 に示す有機 E L パネル 1 1 は、画素アレイ部 4 1 と、その駆動回路である書込制御線駆動部 5 1、電源線駆動部としてのパルス電圧源 4 5、水平セクタ 5 3、タイミングジェネレータ 5 5 で構成される。

## 【 0 1 1 5 】

すなわち、画素アレイ部 4 1 は、図 2 0 ( A ) に示す電源線 D S L の配線構造を有しているものとする。

図 4 0 に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。また図 4 1 に、形態例 3 で提案する画素回路の内部構成を示す。図 4 1 に示す画素回路は、2 つの N チャネル型薄膜トランジスタ T 1、T 2 と 1 つの保持容量 C s とで構成される。

10

## 【 0 1 1 6 】

この回路構成の場合も、書込制御線駆動部 5 1 は、書込制御線 W S L を通じてサンプリングトランジスタ T 1 を開閉制御し、信号線電位の保持容量 C s への書き込みを制御する。因みに、書込制御線駆動部 5 1 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

## 【 0 1 1 7 】

パルス電圧源 4 5 は、個々の水平ラインに対応する全ての電源線 D S L が集約的に接続される 1 本の制御線を 2 値の電位で駆動する回路デバイスである。パルス電圧源 4 5 は、1 水平走査期間を駆動周期とするパルス信号を発生する。

## 【 0 1 1 8 】

20

この形態例の場合、パルス電圧源 4 5 は、1 水平走査期間の開始から一定期間だけ低電位 V ss を出力し、その後、当該水平走査期間の終了まで高電位 V cc を出力する。パルス電圧源 4 5 は、電源が投入されている間、この動作を繰り返し実行する。

## 【 0 1 1 9 】

この形態例の場合、電源線 D S L の電位変化は全ての画素に共通である。従って、発光期間中の画素では、この 2 値電位駆動により消灯動作と点灯動作が繰り返す点滅動作が実行される。

## 【 0 1 2 0 】

一方、非発光期間中の画素では、この 2 値電位駆動と他の配線電位との協働動作により、閾値補正準備動作、閾値補正動作、信号電位の書込動作及び移動度補正動作が実行される。閾値補正動作及び移動度補正動作が正常に実行されることで、駆動トランジスタ T 2 の特性バラツキが補正され、ユニフォームティの劣化が補正される。

30

## 【 0 1 2 1 】

水平セクタ 5 3 は、信号線 D T L に画素データ Din に応じた信号電位 V sig、閾値補正用のオフセット電位 V ofs、閾値補正準備停止電位及び閾値補正停止電位の 4 値を時間順次に印加するのに用いられる。もっとも、この形態例の場合、閾値補正準備停止電圧と閾値補正停止電圧には同じ電圧を印加する。この形態例では、この電圧を、リセット電位 V ini と呼ぶ。

## 【 0 1 2 2 】

40

なお、リセット電位 V ini は、図 4 2 ( B ) に示すように、オフセット電位 V ofs よりも低い電位であって、 $V_{ini} - V_{ss}$  が駆動トランジスタ T 2 のゲート電極と電源線 D S L との間の閾値電圧 V thd 以下を満たす値に設定される。

## 【 0 1 2 3 】

また、リセット電位 V ini のうち 1 回目の印加タイミングは、図 4 2 ( A ) に示す電源線 D S L に低電位 V ss が印加される期間に設定される。もっとも、図 4 2 ( A ) の場合、リセット電位 V ini は、電源線 D S L が高電位 V cc に切り替わった後の一定期間についても印加状態が継続される。

## 【 0 1 2 4 】

更に、リセット電位 V ini のうち 2 回目の印加タイミングは、図 4 2 ( A ) に示す電源線 D S L に高電位 V cc が印加されている期間に設定される。すなわち、リセット電位 V in

50

i は、電源線 D S L に低電位  $V_{ss}$  が印加される前であって、信号線 D T L に信号電位  $V_{sig}$  が印加される前の一定期間に設定される。

【0125】

この形態例の場合、水平セクタ 53 は、1 水平走査期間内に、オフセット電位  $V_{ofs}$ 、リセット電位  $V_{ini}$ 、オフセット電位  $V_{ofs}$ 、信号電位  $V_{sig}$  の順番に信号線 D T L を駆動する。

【0126】

なお、水平セクタ 53 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D/A 回路と、出力バッファと、セクタとで構成されており、タイミングジェネレータ 55 より与えられるクロック信号に基づいて信号線 D T L を駆動する。

タイミングジェネレータ 55 は、書込制御線 W S L、電源線 D S L、信号線 D T L の駆動に必要なタイミングパルスを生成する回路デバイスである。

【0127】

(D-3) 駆動動作例

図 43 に、図 41 に示す画素回路の駆動動作例を示す。因みに図 43 では、電源線 D S L に印加する 2 種類の電源電位のうち高電位（発光電位）の方を  $V_{cc}$  で表し、低電位（非発光電位）の方を  $V_{ss}$  で表す。

【0128】

まず、発光状態における画素回路内の動作状態を図 44 に示す。このとき、サンプリングトランジスタ T1 はオフ状態である。この際、電源電位は高電位  $V_{cc}$  と低電位  $V_{ss}$  を 1 水平走査期間内に繰り返す。このため、有機 E L 素子 O L E D は、高電位  $V_{cc}$  の印加期間の発光と低電位  $V_{ss}$  の印加期間の消灯とを繰り返す（図 43（ $t_1$ ））。

【0129】

勿論、発光時の駆動トランジスタ T2 は飽和領域で動作する。従って、有機 E L 素子 O L E D には、ゲート・ソース間電圧  $V_{gs}$  に応じて定まる電流  $I_{ds}$  が駆動トランジスタ T2 から供給される。

【0130】

次に、非発光状態の動作状態を説明する。

まず、電源線 D S L の電位が高電位  $V_{cc}$  に立ち上がった状態であり、かつ、信号線 D T L の電位がオフセット電位  $V_{ofs}$  の期間中に、書込制御線 W S L が高電位に変化する。これにより、駆動トランジスタ T2 のゲート電極にオフセット電位  $V_{ofs}$  に制御される（図 43（ $t_2$ ））。

【0131】

このとき、駆動トランジスタ T2 のソース電位  $V_s$  は、保持容量  $C_s$  に応じたカップリングにより遷移する。ここで、駆動トランジスタ T2 のゲート・ソース間電圧  $V_{gs}$  がその閾値電圧  $V_{th}$  以下であれば、有機 E L 素子 O L E D は非発光状態になる。また、このソース電位  $V_s$ （有機 E L 素子 O L E D のアノード電圧）が有機 E L 素子 O L E D の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和以下であればその電圧は保持される。

【0132】

逆に、ソース電位  $V_s$  が有機 E L 素子 O L E D の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和以上の場合、有機 E L 素子 O L E D の放電を通じてソース電位  $V_s$  は  $V_{thel} + V_{cat}$  に収束する。

図 45 は、ソース電位  $V_s$  が  $V_{thel} + V_{cat}$  に収束する場合の例である。なお、オフセット電位  $V_{ofs}$  は、カソード電圧  $V_{cath}$  と、有機 E L 素子 O L E D の閾値電圧  $V_{thel}$  と、駆動トランジスタ T2 の閾値電圧  $V_{th}$  の和以下であれば良い。

【0133】

ところで、図 45 の場合には、信号線 D T L にオフセット電位  $V_{ofs}$  が印加されているタイミングにサンプリングトランジスタ T1 をオン制御しているが、信号線 D T L にリセット電位  $V_{ini}$  が印加されているタイミングにサンプリングトランジスタ T1 をオン制御

10

20

30

40

50

して有機EL素子OLEDを消灯制御しても良い。この際、電源電位は高電位 $V_{cc}$ でも低電位 $V_{ss}$ でも構わない。

【0134】

このオフセット電位 $V_{ofs}$ の書き込み動作が完了すると、サンプリングトランジスタT1はオフ制御される(図43(t3))。

この後、次の水平走査期間が開始されると、電源電位は高電位 $V_{cc}$ から低電位 $V_{ss}$ に遷移する(図43(t4))。この時点での画素回路内の動作状態を図46に示す。

【0135】

ここでの低電位 $V_{ss}$ は、後に実行される閾値補正動作を正常に行うため、 $V_{ofs} - V_{ss} > V_{th}$ を満たす電位である。この低電位 $V_{ss}$ の印加により、電源線DSLが駆動トランジスタT2のソース電極側となる。結果的に、有機EL素子OLEDのアノード電位は低下する。

【0136】

因みに、サンプリングトランジスタT1はオフ動作している。このため、有機EL素子OLEDのアノード電位の低下に伴ってゲート電位 $V_g$ も低下する。

最終的に、ゲート電位 $V_g$ が $V_{ss} + V_{thd}$ に達した時点で駆動トランジスタT2はカットオフする。ここで、 $V_{thd}$ は、駆動トランジスタT2のゲート電極と電源線DSLとの間における閾値電圧である。また、駆動トランジスタT2のゲート電極と有機EL素子OLEDのアノード電極間の電圧はその閾値電圧以下となっている。

【0137】

一定期間後、電源電位は、再び高電位 $V_{cc}$ となる(図43(t5))。もっとも、前述した通り、駆動トランジスタT2のゲート電極と有機EL素子OLEDのアノード電極間の電圧は閾値電圧以下となっている。従って、駆動トランジスタT2はカットオフした状態を維持する。この時点での画素回路内の動作状態を図47に示す。

【0138】

やがて、ある水平走査期間が開始され、電源電位が低電位 $V_{ss}$ に変化すると、閾値補正準備期間が開始される(図43(t7))。

この際、サンプリングトランジスタT1がオン状態に制御され、オフセット電位 $V_{ofs}$ が駆動トランジスタT2のゲート電極に印加される。これにより、ゲート電位 $V_g$ は、オフセット電位 $V_{ofs}$ に向かって上昇し始める。

【0139】

一方、有機EL素子OLEDのアノード電極(駆動トランジスタT2のソース電極)には、電源線DSLより低電位 $V_{ss}$ が印加される。これにより、駆動トランジスタT2のソース電位 $V_s$ は、低電位 $V_{ss}$ に向かって下降し始める。この時点での画素回路内の動作状態を図48に示す。

【0140】

ただし、この形態例の場合、ソース電位 $V_s$ が低電位 $V_{ss}$ に遷移する前に電源電位が高電位 $V_{cc}$ に変化する。このため、この段階で(ゲート電位 $V_g$ がオフセット電位 $V_{ofs}$ の状態)サンプリングトランジスタT1をオフ制御すると、有機EL素子OLEDが発光するおそれがある。

【0141】

そこで、この形態例の場合には、サンプリングトランジスタT1がオン制御されている間に信号線DTLにリセット電位 $V_{ini}$ を印加する(図43(t8))。この時点での画素回路内の動作状態を図49に示す。なお、ここでのリセット電位 $V_{ini}$ は、閾値補正準備停止電位として機能する。

【0142】

かかる後、図50に示すように、サンプリングトランジスタT1をオフ制御する(図43(t9))。

このとき、駆動トランジスタT2のゲート電位 $V_g$ はソース電位 $V_s$ より低く設定される。すなわち、駆動トランジスタT2のゲート・ソース間電圧 $V_{gs}$ が閾値電圧 $V_{th}$ より低

10

20

30

40

50

い状態に設定される。

【0143】

勿論、この電位関係にある駆動トランジスタT2はカットオフ状態にある。従って、電源電位が高電位Vccに変化しても駆動電流が流れることはなく、有機EL素子OLEDが発光することはない。

【0144】

この後、信号線DTLにオフセット電位Vofsが印加されると同時に、電源線DSLに低電位Vssが印加されるタイミングにサンプリングトランジスタT1がオン制御されると、閾値補正準備動作が再開される。すなわち、駆動トランジスタT2のソース電位Vsを低電位Vssに向かって降下させる動作が再開される(図43(t10、t13))。

10

【0145】

この形態例の場合には、3回目の閾値補正準備動作の実行期間中に、駆動トランジスタT2のソース電位Vsが低電位Vssに到達する。すなわち、複数回に分割した閾値補正準備動作が完了する。勿論、閾値補正準備動作が終了するタイミングで、駆動トランジスタT2のゲート電位Vgはリセット電位Viniに制御される。

この時点での画素回路内の動作状態を図51に示す。

【0146】

この後、画素回路の動作は、閾値補正動作に遷移する。

まず、信号線DTLにオフセット電位Vofsが印加され、かつ、電源電位が再び高電位Vccに変化した時点で、サンプリングトランジスタT1がオン制御される(図43(t15))。

20

【0147】

図43(t15)の時点で、駆動トランジスタT2のゲート・ソース間電圧Vgsは、その閾値電圧Vthより大きくなっている。この時点での画素回路内の動作状態を図52に示す。

やはりこの場合も、信号線DTLにオフセット電位Vofsが印加されている状態でサンプリングトランジスタT1をオフ制御すると、閾値補正動作が完了しない状態のまま、有機EL素子OLEDが発光するおそれがある。

【0148】

そこで、この場合にも、サンプリングトランジスタT1がオン制御されている間に信号線DTLにリセット電位Viniを印加する(図43(t16))。これにより、閾値補正動作は中断する。この時点での画素回路内の動作状態を図53に示す。なお、ここでのリセット電位Viniは、閾値補正停止電位として機能する。

30

【0149】

なお、リセット電位Viniは、Vini - Vssが駆動トランジスタT2のゲート電極と電源線DSL間の閾値電圧Vthd以下であるのと同時に、駆動トランジスタT2のゲート電極と有機EL素子OLEDのアノード電位Velとの間の閾値電圧Vth以下である条件を満たすように設定する。

【0150】

これにより、電源電位が低電位Vssの期間にも、有機EL素子OLEDのアノード電位Velが変動せずに済む。

40

さて、駆動トランジスタT2のゲート電極にリセット電位Viniが入力された後、サンプリングトランジスタT1がオフ制御される(図43(t17))。

【0151】

このとき、駆動トランジスタT2のゲート電位Vgはソース電位Vsより低く設定されている。すなわち、駆動トランジスタT2のゲート・ソース間電圧Vgsが閾値電圧Vthより低い状態に設定される。

【0152】

勿論、この電位関係にある駆動トランジスタT2はカットオフ状態のままである。従って、電源電位が高電位Vccに変化しても駆動電流が流れることはなく、有機EL素子OL

50

EDが発光することはない。

【0153】

この後、信号線DTLにオフセット電位Vofsが印加されている状態で、電源線DSLに高電位Vccが印加されたタイミングでサンプリングトランジスタT1がオン制御される時、駆動トランジスタT2のソース電位Vsが低電位Vccに向かって上昇する動作が繰り返し実行される(図43(t18、t21))。

【0154】

この形態例の場合には、3回目の補正動作期間中に、駆動トランジスタT2のゲート・ソース間電圧Vgsがその閾値電圧Vthに到達する。

この時点での画素回路内の動作状態を図54に示す。なお、図54では、有機EL素子OLEDの等価回路をダイオードと容量とで示す。

10

【0155】

このとき、アノード電位Velは、 $V_{ofs} - V_{th} (V_{cat} + V_{thel})$ で与えられる。

この後、信号線DTLが信号電位Vsigとなった時点で、サンプリングトランジスタT1が再びオン制御される(図43(t23))。図55に、この時点での画素回路内の動作状態を示す。

【0156】

信号電位Vsigは、各画素の階調に応じた電圧である。このとき、駆動トランジスタT2のゲート電位Vgは、サンプリングトランジスタT1を通じてVsigに制御される。一方、駆動トランジスタT2のソース電位Vsは、電源線DSLから流れ込む電流により時間とともに上昇する。そして、同時に移動度補正動作が実行される。

20

【0157】

最後に、サンプリングトランジスタT1をオフ制御して書き込みが終了し、有機EL素子OLEDを発光させる(図43(t24))。

このとき、駆動トランジスタT2のゲート・ソース間電圧Vgsは一定である。従って、駆動トランジスタT2は一定電流Ids'を有機EL素子OLEDに流す。

【0158】

なお、有機EL素子OLEDのアノード電位Velは、有機EL素子OLEDに駆動電流Ids'が流れる電圧Vxまで上昇する。これにより、有機EL素子OLEDは発光を開始する。図56に、この時点での画素回路内の動作状態を示す。

30

【0159】

なお、最初の発光開始から一定時間が経過して次の水平走査期間になると、電源電位は高電位Vccから低電位Vssとなる(図43(t25))。前述したように、全ての画素について同じ電源電位が与えられるためである。なお、電源電位が低電位Vssの期間、有機EL素子OLEDは消灯する。

【0160】

そして、この水平走査期間の後半期間では再び電源電位が高電位Vccに戻り、有機EL素子OLEDへの駆動電流の供給が再開される(図43(t26))。

もっとも、駆動トランジスタT2のゲート・ソース間電圧Vgsは一定である。このため、電源電圧が高電位Vccの期間には、先に書き込んだ信号電位Vsigに応じた発光状態が維持される。

40

【0161】

なお、この画素回路の場合にも、有機EL素子OLEDの発光時間が長くなるのに伴ってI-V特性に変化が発生する。このため、図中のB点の電位も変化する。しかし、駆動トランジスタT2のゲート・ソース間電圧Vgsは一定値に保たれ続けるので有機EL素子OLEDに流れる電流は変化しない。このように、有機EL素子OLEDのI-V特性が劣化しても、一定電流値の駆動電流Idsが常に流れ続ける。かくして、次のフィールド期間まで有機EL素子OLEDの輝度は維持される。

【0162】

(D-4) まとめ

50

以上の通り、この形態例で説明した有機ELパネルの場合には、形態例2の効果に加え、以下の効果を実現できる。

すなわち、閾値補正準備動作を複数回に分割して実行する場合にも、駆動トランジスタT2のソース電位 $V_s$ を完全に低電位 $V_{ss}$ に遷移させることができる。

【0163】

また、閾値補正動作を複数回に分割して実行する場合にも、電源電位が低電位 $V_{ss}$ になる前に駆動トランジスタT2のゲート電極にリセット電位 $V_{ini}$ を入力するので、補正動作が停止した直前回の状態から閾値補正動作を再開できる。

かくして、正確な補正動作が可能となる。すなわち、有機ELパネルの高精細化や高速化が進んでも、ムラやスジの現れ難い駆動技術を実現できる。

【0164】

(E)形態例4

(E-1)システム構成

この形態例では、形態例3の変形例を説明する。具体的には、2種類のオフセット電位 $V_{ofs1}$ 及び $V_{ofs2}$ を用いる場合について説明する。このうち、第1のオフセット電位 $V_{ofs1}$ は形態例3で説明した固定電位であり、第2のオフセット電位 $V_{ofs2}$ は信号電位 $V_{sig}$ に応じて変動する可変電位である。

【0165】

なお、第2のオフセット電位 $V_{ofs2}$ は、信号電位 $V_{sig}$ と第1のオフセット電位 $V_{ofs1}$ との中間の電位として与える。因みに、この第2のオフセット電位 $V_{ofs2}$ を駆動トランジスタT2の1回目の移動度補正に用いられる。

【0166】

図57に、有機ELパネル11のシステム構成例を示す。なお、図57には、図24との対応部分に同一符号を付して示している。

図57に示す有機ELパネル11は、画素アレイ部41と、その駆動回路である書込制御線駆動部61、電源線駆動部としてのパルス電圧源45、水平セクタ63、タイミングジェネレータ65で構成される。

【0167】

画素アレイ部41の構造は、電源線DSLの配線構造を除き、形態例1の画素アレイ部21の構造と同じである。画素アレイ部41の場合、一本の配線(制御線)から分岐した電源線DSLを水平ラインに対して1本ずつ水平方向に延びるように配線する。

【0168】

図58に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。また図59に、形態例4で提案する画素回路の内部構成を示す。図59に示す画素回路は、2つのNチャンネル型薄膜トランジスタT1、T2と1つの保持容量 $C_s$ とで構成される。

【0169】

この回路構成の場合も、書込制御線駆動部61は、書込制御線WSLを通じてサンプリングトランジスタT1を開閉制御し、信号線電位の保持容量 $C_s$ への書き込みを制御する。因みに、書込制御線駆動部61は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

【0170】

パルス電圧源45は、個々の水平ラインに対応する全ての電源線DSLが集約的に接続される1本の制御線を2値の電位で駆動する回路デバイスである。パルス電圧源45は、1水平走査期間を駆動周期とするパルス信号を発生する。

【0171】

この形態例の場合、パルス電圧源45は、1水平走査期間の開始から一定期間だけ低電位 $V_{ss}$ を出力し、その後、当該水平走査期間の終了まで高電位 $V_{cc}$ を出力する。パルス電圧源45は、電源が投入されている間中、この動作を繰り返し実行する。

【0172】

なお、低電位 $V_{ss}$ を出力する期間長は、閾値補正動作準備動作に必要な時間長を考慮し

10

20

30

40

50

て設定する。

この形態例の場合、電源線DSLの電位変化は全ての画素に共通である。従って、発光期間中の画素では、この2値電位駆動により消灯動作と点灯動作が繰り返す点滅動作が実行される。

【0173】

一方、非発光期間中の画素では、この2値電位駆動と他の配線電位との協働動作により、閾値補正準備動作、閾値補正動作、信号電位の書込動作及び移動度補正動作が実行される。閾値補正動作及び移動度補正動作が正常に実行されることで、駆動トランジスタT2の特性バラツキが補正され、ユニフォームティの劣化が補正される。

【0174】

水平セクタ63は、信号線DTLに画素データDinに応じた信号電位Vsig、閾値補正用のオフセット電位Vofs1、移動度補正用のオフセット電位Vofs2、閾値補正準備停止電位及び閾値補正停止電位の5値を時間順次に印加するのに用いられる。なお、この形態例の場合も、閾値補正準備停止電位及び閾値補正停止電位には同じ電位(すなわち、リセット電位Vini)を印加する。リセット電位Viniの挿入タイミングは形態例3と同じである。

【0175】

水平セクタ63は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D/A回路と、バッファ回路と、セクタとで構成される。

図60に、水平セクタ63の構成例を示す。

【0176】

水平セクタ63は、プログラマブルロジックデバイス71と、画素データ系の処理回路(シフトレジスタ731、ラッチ751、D/A(digital/analog)回路771、バッファ回路791)と、第2のオフセット電位系回路(シフトレジスタ733、ラッチ753、D/A回路773、バッファ回路793)と、セクタ81とで構成される。

【0177】

プログラマブルロジックデバイス71は、画素データ系処理回路には入力された画素データDinをそのまま出力する一方で、第2のオフセット電位系回路には画素データDinに応じた大きさの第2のオフセット電位Vofs2を生成する回路デバイスである。プログラマブルロジックデバイス71のうち第2のオフセット電位系回路への出力部分には、例えば演算回路を配置する。なお、画素データDinの2分の1を出力する場合には、1ビットシフト回路を配置すれば良い。ここでの入出力比は、動作特性に応じて設定する。

【0178】

シフトレジスタ731及び733は、プログラマブルロジックデバイス71から入力されるシリアルデータ値を信号線DTLに応じたパラレルデータ値に変換する回路デバイスである。

ラッチ回路751及び753は、出力タイミングの調整用にデータ値を保持する記憶デバイスである。

【0179】

D/A回路771及び773は、入力されたデジタルデータをアナログ信号に変換する回路デバイスである。

バッファ回路791及び793は、出力電圧のレベル変換動作も実行する回路デバイスである。

【0180】

セクタ81は、1水平走査期間内に、第1のオフセット電位Vofs1、リセット電位Vini、第2のオフセット電位Vofs2、第1のオフセット電位Vofs1、リセット電位Vini、信号電位Vsigを順番に出力する回路デバイスである。

タイミングジェネレータ45は、書込制御線WSL、電源線DSL、信号線DTLの駆動に必要なタイミングパルスを生成する回路デバイスである。

【0181】

10

20

30

40

50

## ( E - 2 ) 駆動動作例

図 6 1 に、図 5 9 に示す画素回路の駆動動作例を示す。因みに図 6 1 では、電源線 D S L に印加する 2 種類の電源電位のうち高電位（発光電位）の方を  $V_{cc}$  で表し、低電位（非発光電位）の方を  $V_{ss}$  で表す。

## 【 0 1 8 2 】

図 6 1 に示す駆動動作は、閾値補正準備動作や閾値補正動作で第 1 のオフセット電位  $V_{ofs1}$  を用いる点と、移動度補正動作で第 2 のオフセット電位  $V_{ofs2}$  を用いることを除き、形態例 3 の動作と同じである。

## 【 0 1 8 3 】

以下では、この形態例に特徴的な動作である移動度補正動作についてのみ説明する。

10

この形態例の場合、移動度補正動作を 2 回に分割して実行する。1 回目の移動度補正動作の実行時に駆動トランジスタ T 2 のゲート電極に書き込まれるのが第 2 のオフセット電位  $V_{ofs2}$  である。

## 【 0 1 8 4 】

この形態例の場合、第 2 のオフセット電位  $V_{ofs2}$  は、信号電位  $V_{sig}$  の大きさに比例した電位として与えられる。従って、信号電位  $V_{sig}$  が小さい場合には第 2 のオフセット電位  $V_{ofs2}$  も小さくなり、信号電位  $V_{sig}$  が大きい場合には第 2 のオフセット電位  $V_{ofs2}$  も大きくなる。

## 【 0 1 8 5 】

なお、第 2 のオフセット電位  $V_{ofs2}$  による 1 回目の移動度補正期間が終了する前には、サンプリングトランジスタ T 1 がオン動作した状態で第 1 のオフセット電位  $V_{ofs1}$  を駆動トランジスタ T 2 のゲート電極に書き込む駆動方法を採用する。これは、以下に説明するように、移動度補正動作を中断するためである。

20

## 【 0 1 8 6 】

そもそも、1 回目の移動度補正期間中、駆動トランジスタ T 2 のソース電位  $V_s$  は上昇する。すなわち、1 回目の移動度補正期間が終了した時点のソース電位  $V_s$  は、1 回目の移動と補正期間の開始時よりも高くなっている。

## 【 0 1 8 7 】

一方、ゲート電位  $V_g$  は第 1 のオフセット電位  $V_{ofs1}$  に制御されるため、1 回目の移動度補正期間が終了した時点における駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  は、移動度補正動作を開始する前よりも小さくなる。すなわち、閾値電圧  $V_{th}$  よりも小さくなる。

30

## 【 0 1 8 8 】

このため、2 回目の移動度補正動作が開始されるまで、駆動トランジスタ T 2 はカットオフ状態となり、駆動トランジスタ T 2 のゲート電位  $V_g$  とソース電位  $V_s$  は中断時点の状態を維持する。

そして、2 回目の移動度補正動作が開始されると、信号電位  $V_{sig}$  が駆動トランジスタ T 2 のゲート電極に書き込まれ、2 回目の移動度補正が開始される。

## 【 0 1 8 9 】

ところで、この形態例で示すように、1 回目の移動度補正動作において中間的なオフセット電位  $V_{ofs2}$  を印加し、2 回目の移動度補正動作において信号電位  $V_{sig}$  を印加する場合、信号電位  $V_{sig}$  の大きさによらず移動度補正時間を揃えることができる。

40

## 【 0 1 9 0 】

以下、その理由を説明する。図 6 2 に、信号電位  $V_{sig}$  が白レベル（高輝度）の場合の移動度補正時間を示し、図 6 3 に信号電位  $V_{sig}$  がグレーレベル（低輝度）の場合の移動度補正時間を示す。

## 【 0 1 9 1 】

なお、図 6 2 ( A ) 及び図 6 3 ( A ) は、移動度補正を 1 回で実行する場合の波形を示しており、図 6 2 ( B ) 及び図 6 3 ( B ) は、移動度補正を 1 回で実行する場合の波形を示している。

50

## 【 0 1 9 2 】

いずれの場合も、移動度補正を 2 回に分割して実行することにより、移動度補正に要する時間は長くなる。しかし、移動度補正を 1 回で済ませる場合に比して移動度補正に要する時間の差は小さくなる。

## 【 0 1 9 3 】

このことは、信号電位  $V_{sig}$  の違いによらず、移動度補正に要する時間をほぼ等しくすることができることを意味する。

すなわち、パネルの高精細化や駆動速度の高速化にかかわらず、全ての画素階調について移動度補正時間を揃えることができる。

## 【 0 1 9 4 】

( E - 3 ) まとめ

以上の通り、この形態例で説明した有機 E L パネルの場合には、形態例 3 の効果に加え、以下の効果を実現できる。

有機 E L パネルの高精細化や高速化が進んでも、全ての画素階調について移動度補正動作の実行を確実にでき、ムラやスジの現れ難い駆動技術を実現できる。

## 【 0 1 9 5 】

( F ) 形態例 5

( F - 1 ) システム構成

この形態例では、前述した形態例 1 ~ 4 とは画素回路の構成が異なる有機 E L パネル 1 のシステム構成例とその駆動技術について説明する。

## 【 0 1 9 6 】

この形態例の場合、画素回路の違いと駆動方法の違いを重点的に説明するため、形態例 2 に対応する画素回路と駆動方法についてのみ説明する。勿論、以下で説明する画素回路や駆動方法は、形態例 3 ~ 4 で説明した駆動方法にも適用できることはいうまでもない。

## 【 0 1 9 7 】

図 6 4 に、有機 E L パネル 1 のシステム構成例を示す。なお図 6 4 には、図 2 4 との対応部分に同一符号を付して示す。

図 6 4 に示す有機 E L パネル 1 は、画素アレイ部 9 1 と、その駆動回路である書込制御線駆動部 9 3、パルス電圧源 4 5、オフセット線駆動部 9 5、水平セクタ 9 7、タイミングジェネレータ 9 9 で構成される。

## 【 0 1 9 8 】

画素アレイ部 9 1 の画素配置は他の形態例と同じである。すなわち、画素アレイ部 9 1 は、信号線 D T L と書込制御線 W S L との各交点位置にサブ画素を配置したマトリクス構造を有している。因みに、サブ画素は 1 画素を構成する画素構造の最小単位である。例えばホワイトユニットとしての 1 画素は、有機 E L 材料の異なる 3 つのサブ画素 ( R、G、B ) で構成される。

## 【 0 1 9 9 】

図 6 5 に、サブ画素に対応する画素回路 3 1 の内部構成と各駆動回路との接続関係を示す。図 6 5 に示す画素回路 3 1 は、3 つの N チャネル型の薄膜トランジスタ T 1、T 2、T 3 と 1 つの保持容量 C s とで構成される。

## 【 0 2 0 0 】

この回路構成の場合も、書込制御線駆動部 9 3 は、書込制御線 W S L を通じて第 1 のサンプリングトランジスタ T 1 を開閉制御し、信号線電位の保持容量 C s への書き込み制御に用いられる。ただし、書き込む電位は、信号電位  $V_{sig}$  のみである。また、書込制御線駆動部 9 3 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

## 【 0 2 0 1 】

パルス電圧源 4 5 については、他の形態例と同様、全画素を共通の駆動タイミングで 2 値的に駆動するパルス信号を発生する。すなわち、パルス電圧源 4 5 は、1 水平走査期間の開始から一定期間だけ低電位  $V_{ss}$  を出力し、その後、当該 1 水平走査期間の終了まで高電位  $V_{cc}$  を出力する。パルス電圧源 4 5 は、電源が投入されている間、この動作を繰り返

10

20

30

40

50

し実行する。

【0202】

オフセット線駆動部95は、第2のサンプリングトランジスタT3を開閉制御し、オフセット線電位の保持容量Csへの書き込み制御に用いられる。ただし、書き込み電位は、オフセット電位Vofsのみである。オフセット線駆動部95の基本構造は、書込制御線駆動部93と同じであり、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

【0203】

水平セクタ97は、信号線DTLに画素データDinに応じた信号電位Vsigを印加する。水平セクタ97は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D/A回路と、バッファ回路とで構成される。信号線DTLへの出力電位が信号電位Vsigのみである点が、他の形態例と異なっている。

10

【0204】

タイミングジェネレータ99は、書込制御線WSL、電源線DSL、オフセット線OFSL、信号線DTLの駆動に必要なタイミングパルスを生成する回路デバイスである。

【0205】

(F-2) 駆動動作例

図66に、図65で説明した画素回路の駆動動作例を示す。因みに図66では、電源線DSLに印加する2種類の電源電位のうち高電位(発光電位)の方をVccで表し、低電位(非発光電位)の方をVssで表す。

20

【0206】

まず、発光状態における画素回路内の動作状態を図67に示す。このとき、サンプリングトランジスタT1はオフ状態である。この際、電源電位は高電位Vccと低電位Vssを1水平走査期間内に繰り返す。このため、有機EL素子OLEDは、高電位Vccの印加期間の発光と低電位Vssの印加期間の消灯とを繰り返す(図66(t1))。

【0207】

勿論、発光時の駆動トランジスタT2は飽和領域で動作する。従って、有機EL素子OLEDには、ゲート・ソース間電圧Vgsに応じて定まる電流Idsが駆動トランジスタT2から供給される。

30

【0208】

次に、非発光状態の動作状態を説明する。

まず、電源線DSLの電位が高電位Vccに立ち上がった状態で、第2のサンプリングトランジスタT3がオン制御される。これにより、駆動トランジスタT2のゲート電極にオフセット電位Vofsが印加される(図66(t2))。

【0209】

このとき、駆動トランジスタT2のソース電位Vsは、保持容量Csに応じたカップリングにより遷移する。ここで、駆動トランジスタT2のゲート・ソース間電圧Vgsがその閾値電圧Vth以下であれば、有機EL素子OLEDは非発光状態になる。また、このソース電位Vs(有機EL素子OLEDのアノード電圧)が有機EL素子OLEDの閾値電圧Vthelとカソード電圧Vcatの和以下であればその電圧は保持される。

40

【0210】

逆に、ソース電位Vsが有機EL素子OLEDの閾値電圧Vthelとカソード電圧Vcatの和以上の場合、有機EL素子OLEDの放電を通じてソース電位VsはVthel + Vcatに収束する。

【0211】

図68は、ソース電位VsがVthel + Vcatに収束する場合の例である。なお、オフセット電位Vofsは、カソード電圧Vcathと、有機EL素子OLEDの閾値電圧Vthelと、駆動トランジスタT2の閾値電圧Vthの和以下であれば良い。

【0212】

このオフセット電位Vofsの書き込み動作が完了すると、第2のサンプリングトランジ

50

スタ T 3 はオフ制御される ( 図 6 6 ( t 3 ) ) 。

この後、次の水平走査期間が開始されると、電源電位は高電位  $V_{cc}$  から低電位  $V_{ss}$  に遷移する ( 図 6 6 ( t 4 ) ) 。この時点での画素回路内の動作状態を図 6 9 に示す。

【 0 2 1 3 】

ここでの低電位  $V_{ss}$  は、後に実行される閾値補正動作を正常に行うため、 $V_{ofs} - V_{ss} > V_{th}$  を満たす電位である。この低電位  $V_{ss}$  の印加により、電源線 D S L が駆動トランジスタ T 2 のソース電極側となる。結果的に、有機 E L 素子 O L E D のアノード電位は低下する。

【 0 2 1 4 】

因みに、サンプリングトランジスタ T 1 及び T 2 はいずれもオフ動作している。このため、有機 E L 素子 O L E D のアノード電位の低下に伴ってゲート電位  $V_g$  も低下する。

最終的に、ゲート電位  $V_g$  が  $V_{ss} + V_{thd}$  に達した時点で駆動トランジスタ T 2 はカットオフする。ここで、 $V_{thd}$  は、駆動トランジスタ T 2 のゲート電極と電源線 D S L との間における閾値電圧である。また、駆動トランジスタ T 2 のゲート電極と有機 E L 素子 O L E D のアノード電極間の電圧はその閾値電圧以下となっている。

【 0 2 1 5 】

一定期間後、電源電位は、再び高電位  $V_{cc}$  となる ( 図 6 6 ( t 5 ) ) 。もっとも、前述した通り、駆動トランジスタ T 2 のゲート電極と有機 E L 素子 O L E D のアノード電極間の電圧は閾値電圧以下となっている。従って、駆動トランジスタ T 2 はカットオフしたままとなる。この時点での画素回路内の動作状態を図 7 0 に示す。

【 0 2 1 6 】

やがて、ある水平走査期間が開始され、電源電位が低電位  $V_{ss}$  に変化すると、閾値補正準備期間が開始される ( 図 6 6 ( t 6 ) ) 。

この際、第 2 のサンプリングトランジスタ T 3 がオン状態に制御され、オフセット電位  $V_{ofs}$  が駆動トランジスタ T 2 のゲート電極に印加される。

【 0 2 1 7 】

一方、有機 E L 素子 O L E D のアノード電極 ( 駆動トランジスタ T 2 のソース電極 ) には、電源線 D S L より低電位  $V_{ss}$  が印加される。この時点での画素回路内の動作状態を図 7 1 に示す。

この後、画素回路の動作は、閾値補正動作に遷移する ( 図 6 6 ( t 7 ) ) 。

【 0 2 1 8 】

この期間では、電源電位が再び高電位  $V_{cc}$  に変化する。このとき、図 7 2 に示すように、電源線 D S L から保持容量  $C_s$  の方向に電流が流れる。

なお、図 7 2 では、有機 E L 素子 O L E D の等価回路をダイオードと容量で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$  であり、かつ、有機 E L 素子 O L E D のリーク電流が駆動トランジスタ T 2 に流れる電流よりもかなり小さければ、駆動トランジスタ T 2 に流れる電流は保持容量  $C_s$  と有機 E L 素子 O L E D の寄生容量  $C_{el}$  を充電するのに使用される。

【 0 2 1 9 】

このとき、有機 E L 素子 O L E D のアノード電位  $V_{el}$  は時間と共に徐々に上昇する。そして、一定時間経過後には、駆動トランジスタ T 2 のゲート・ソース間電圧  $V_{gs}$  はその閾値電圧  $V_{th}$  に収束する。その後、第 2 のサンプリングトランジスタ T 3 をオフ制御して閾値補正動作を終了させる。

【 0 2 2 0 】

この時、有機 E L 素子 O L E D のアノード電位  $V_{el}$  は、次式を満たす状態になる。

$$V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$$

この後、信号線 D T L が信号電位  $V_{sig}$  となった時点で、第 1 のサンプリングトランジスタ T 1 がオン制御される ( 図 6 6 ( t 8 ) ) 。この時点での画素回路内の動作状態を示す ( 図 7 3 ) 。

【 0 2 2 1 】

信号電位  $V_{sig}$  は、各画素の階調に応じた電圧である。このとき、駆動トランジスタ T

2 のゲート電位  $V_g$  は、サンプリングトランジスタ  $T_1$  を通じて  $V_{sig}$  に制御される。一方、駆動トランジスタ  $T_2$  のソース電位  $V_s$  は、電源線  $D_S L$  から流れ込む電流により時間とともに上昇する。

#### 【0222】

この時、駆動トランジスタ  $T_2$  のソース電位  $V_s$  が有機 EL 素子  $OLED$  の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和を越えなければ（ $EL$  のリーク電流が  $T_2$  に流れる電流よりもかなり小さければ）、駆動トランジスタ  $T_2$  の電流は保持容量  $C_s$  と寄生容量  $C_{el}$  を充電するのに使用される。

#### 【0223】

なおこの時、駆動トランジスタ  $T_2$  の閾値補正動作は既に完了しているため、駆動トランジスタ  $T_2$  が流す電流は移動度  $\mu$  を反映したものとなる。

すなわち、移動度  $\mu$  が大きい駆動トランジスタ  $T_2$  では電流量が大きくなり、ソース電位  $V_s$  の上昇も早くなる。一方、移動度  $\mu$  が小さい駆動トランジスタ  $T_2$  では電流量が小さくなり、ソース電位  $V_s$  の上昇も遅くなる。

#### 【0224】

これにより、駆動トランジスタ  $T_2$  のゲート・ソース間電圧  $V_{gs}$  は、移動度  $\mu$  を反映して小さくなり一定時間経過後には、個々の駆動トランジスタ  $T_2$  の移動度を完全に補正したゲート・ソース間電圧  $V_{gs}$  に遷移する。

#### 【0225】

最後に、第 1 のサンプリングトランジスタ  $T_1$  をオフ制御して書き込みが終了し、有機 EL 素子  $OLED$  を発光させる。

このとき、駆動トランジスタ  $T_2$  のゲート・ソース間電圧  $V_{gs}$  は一定である。従って、駆動トランジスタ  $T_2$  は一定電流  $I_{ds'}$  を有機 EL 素子  $OLED$  に流す。

#### 【0226】

なお、有機 EL 素子  $OLED$  のアノード電位  $V_{el}$  は、有機 EL 素子  $OLED$  に駆動電流  $I_{ds'}$  が流れる電圧  $V_x$  まで上昇する。これにより、有機 EL 素子  $OLED$  は発光を開始する。図 7 4 に、この時点での画素回路内の動作状態を示す。

#### 【0227】

なお、最初の発光開始から一定時間が経過して次の水平走査期間になると、電源電位は高電位  $V_{cc}$  から低電位  $V_{ss}$  となる（図 6 6（ $t_9$ ））。前述したように、全ての画素について同じ電源電位が与えられるためである。なお、電源電位が低電位  $V_{ss}$  の期間、有機 EL 素子  $OLED$  は消灯する。

#### 【0228】

そして、この水平走査期間の後半期間では再び電源電位が高電位  $V_{cc}$  に戻り、有機 EL 素子  $OLED$  への駆動電流の供給が再開される（図 6 6（ $t_{10}$ ））。

もっとも、駆動トランジスタ  $T_2$  のゲート・ソース間電圧  $V_{gs}$  は一定である。このため、電源電圧が高電位  $V_{cc}$  の期間には、先に書き込んだ信号電位  $V_{sig}$  に応じた発光状態が維持される。

#### 【0229】

なお、この画素回路の場合にも、有機 EL 素子  $OLED$  の発光時間が長くなるのに伴って  $I-V$  特性に変化が発生する。このため、図中の B 点の電位も変化する。しかし、駆動トランジスタ  $T_2$  のゲート・ソース間電圧  $V_{gs}$  は一定値に保たれ続けるので有機 EL 素子  $OLED$  に流れる電流は変化しない。このように、有機 EL 素子  $OLED$  の  $I-V$  特性が劣化しても、一定電流値の駆動電流  $I_{ds}$  が常に流れ続ける。かくして、次のフィールド期間まで有機 EL 素子  $OLED$  の輝度は維持される。

#### 【0230】

#### （F-3）まとめ

以上の通り、この形態例で説明したように画素回路を 3 個の薄膜トランジスタで構成する場合にも、他の形態例の場合と同様の駆動動作を実現できる。勿論、形態例 3 及び 4 に例示した駆動方法と組み合わせることも可能である。

10

20

30

40

50

## 【 0 2 3 1 】

( G ) 他 の 形 態 例

( G - 1 ) 配 線 構 造

前述の形態例の場合には、図 7 5 ( A ) に示すように、全ての電源線 D S L の一端を 1 本の配線パターンに共通化し、単一のパルス電源 4 5 で駆動する場合について説明した。

しかし、複数本単位で電源線 D S L の一端を 1 本の配線パターンに共通化し、共通化された電源線 D S L の単位でパルス電源 4 5 を接続しても良い。

## 【 0 2 3 2 】

この際、各パルス電源 4 5 は、それぞれ独立したタイミングで動作しても良いし、全てのパルス電源 4 5 が単一の動作タイミングで同期動作しても良い。

10

図 7 5 ( B ) に、3 本単位で電源線 D S L の駆動電位を共通化する場合について示す。勿論、共通化する電源線 D S L の単位は 2 本でも良いし、4 本以上でも良い。

## 【 0 2 3 3 】

( G - 2 ) 製 品 例

( a ) 電 子 機 器

前述の説明では、有機 E L パネルを例に発明を説明した。しかし、前述した有機 E L パネルは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

## 【 0 2 3 4 】

図 7 6 に、電子機器 1 0 1 の概念構成例を示す。電子機器 1 0 1 は、前述した有機 E L パネル 1 0 3、システム制御部 1 0 5 及び操作入力部 1 0 7 で構成される。システム制御部 1 0 5 で実行される処理内容は、電子機器 1 0 1 の商品形態により異なる。また、操作入力部 1 0 7 は、システム制御部 1 0 5 に対する操作入力を受け付けるデバイスである。操作入力部 1 0 7 には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

20

## 【 0 2 3 5 】

なお、電子機器 1 0 1 は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図 7 7 に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機 1 1 1 の筐体正面には、フロントパネル 1 1 3 及びフィルターガラス 1 1 5 等で構成される表示画面 1 1 7 が配置される。表示画面 1 1 7 の部分が、形態例で説明した有機 E L パネルに対応する。

30

## 【 0 2 3 6 】

また、この種の電子機器 1 0 1 には、例えばデジタルカメラが想定される。図 7 8 に、デジタルカメラ 1 2 1 の外観例を示す。図 7 8 ( A ) が正面側 ( 被写体側 ) の外観例であり、図 7 8 ( B ) が背面側 ( 撮影者側 ) の外観例である。

## 【 0 2 3 7 】

デジタルカメラ 1 2 1 は、保護カバー 1 2 3、撮像レンズ部 1 2 5、表示画面 1 2 7、コントロールスイッチ 1 2 9 及びシャッターボタン 1 3 1 で構成される。このうち、表示画面 1 3 1 の部分が、形態例で説明した有機 E L パネルに対応する

40

## 【 0 2 3 8 】

また、この種の電子機器 1 0 1 には、例えばビデオカメラが想定される。図 7 9 に、ビデオカメラ 1 4 1 の外観例を示す。

ビデオカメラ 1 4 1 は、本体 1 4 3 の前方に被写体を撮像する撮像レンズ 1 4 5、撮影のスタート / ストップスイッチ 1 4 7 及び表示画面 1 4 9 で構成される。このうち、表示画面 1 4 9 の部分が、形態例で説明した有機 E L パネルに対応する。

## 【 0 2 3 9 】

また、この種の電子機器 1 0 1 には、例えば携帯端末装置が想定される。図 8 0 に、携帯端末装置としての携帯電話機 1 5 1 の外観例を示す。図 8 0 に示す携帯電話機 1 5 1 は折りたたみ式であり、図 8 0 ( A ) が筐体を開いた状態の外観例であり、図 8 0 ( B ) が

50

筐体を折りたたんだ状態の外観例である。

【0240】

携帯電話機151は、上側筐体153、下側筐体155、連結部（この例ではヒンジ部）157、表示画面159、補助表示画面161、ピクチャーライト163及び撮像レンズ165で構成される。このうち、表示画面159及び補助表示画面161の部分が、形態例で説明した有機ELパネルに対応する。

【0241】

また、この種の電子機器101には、例えばコンピュータが想定される。図81に、ノート型コンピュータ171の外観例を示す。

ノート型コンピュータ171は、下型筐体173、上側筐体175、キーボード177及び表示画面179で構成される。このうち、表示画面179の部分が、形態例で説明した有機ELパネルに対応する。

【0242】

これらの他、電子機器101には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0243】

（G-3）他の表示デバイス例

前述の形態例においては、発明を有機ELパネルに適用する場合について説明した。

しかし、前述した駆動技術は、その他のEL表示装置に対しても適用することができる。例えばLEDを配列する表示装置その他のダイオード構造を有する発光素子を画面上に配列した表示装置に対しても適用できる。例えば無機ELパネルにも適用できる。

【0244】

（G-4）その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

【0245】

【図1】有機ELパネルの機能ブロック構成を説明する図である。

【図2】画素回路と駆動回路との接続関係を説明する図である。

【図3】有機EL素子のI-V特性の経時変化を説明する図である。

【図4】他の画素回路例を示す図である。

【図5】有機ELパネルの外観構成例を示す図である。

【図6】有機ELパネルのシステム構成例を示す図である。

【図7】画素回路と駆動回路との接続関係を説明する図である。

【図8】形態例1に係る画素回路の構成例を示す図である。

【図9】形態例1に係る駆動動作例を示す図である。

【図10】画素回路の動作状態を説明する図である。

【図11】画素回路の動作状態を説明する図である。

【図12】画素回路の動作状態を説明する図である。

【図13】画素回路の動作状態を説明する図である。

【図14】ソース電位の経時変化を示す図である。

【図15】画素回路の動作状態を説明する図である。

【図16】移動度の違いによる経時変化の違いを示す図である。

【図17】画素回路の動作状態を説明する図である。

【図18】形態例1に対応する電源線の配線構造と駆動部との接続関係を説明する図である。

【図19】電源線を共通化する場合に考えられる電源線の配線構造と対応する駆動部との接続関係を説明する図である。

【図20】電源線を共通化する場合に考えられる電源線と画素回路との接続関係を説明す

10

20

30

40

50

る図である。

【図 2 1】表示パネルのデューティ駆動を説明する図である。

【図 2 2】電源線を縦方向にレイアウトする場合の画素位置と電源電位の波形との関係を説明する図である。

【図 2 3】電源線を横方向にレイアウトする場合の画素位置と電源電位の波形との関係を説明する図である。

【図 2 4】形態例 2 に係る有機 E L パネルの構成例を示す図である。

【図 2 5】画素回路と駆動回路との接続関係を示す図である。

【図 2 6】形態例 2 に係る画素回路の構成例を示す図である。

【図 2 7】形態例 2 に係る駆動動作例を示す図である。

10

【図 2 8】画素回路の動作状態を説明する図である。

【図 2 9】画素回路の動作状態を説明する図である。

【図 3 0】画素回路の動作状態を説明する図である。

【図 3 1】画素回路の動作状態を説明する図である。

【図 3 2】画素回路の動作状態を説明する図である。

【図 3 3】画素回路の動作状態を説明する図である。

【図 3 4】ソース電位の経時変化を示す図である。

【図 3 5】画素回路の動作状態を説明する図である。

【図 3 6】移動度の違いによる経時変化の違いを示す図である。

【図 3 7】画素回路の動作状態を説明する図である。

20

【図 3 8】形態例 2 の駆動方法を閾値補正動作の分割実行にそのまま応用する場合の信号波形を示す図である。

【図 3 9】形態例 3 に係る有機 E L パネルの構成例を示す図である。

【図 4 0】画素回路と駆動回路の接続関係を示す図である。

【図 4 1】形態例 3 に係る画素回路の駆動動作例を示す図である。

【図 4 2】電源線の駆動電位とリセット電位の供給タイミングとの関係を説明する図である。

【図 4 3】形態例 3 に係る駆動動作例を示す図である。

【図 4 4】画素回路の動作状態を説明する図である。

【図 4 5】画素回路の動作状態を説明する図である。

30

【図 4 6】画素回路の動作状態を説明する図である。

【図 4 7】画素回路の動作状態を説明する図である。

【図 4 8】画素回路の動作状態を説明する図である。

【図 4 9】画素回路の動作状態を説明する図である。

【図 5 0】画素回路の動作状態を説明する図である。

【図 5 1】画素回路の動作状態を説明する図である。

【図 5 2】画素回路の動作状態を説明する図である。

【図 5 3】画素回路の動作状態を説明する図である。

【図 5 4】画素回路の動作状態を説明する図である。

【図 5 5】画素回路の動作状態を説明する図である。

40

【図 5 6】画素回路の動作状態を説明する図である。

【図 5 7】形態例 4 に係る有機 E L パネルの構成例を示す図である。

【図 5 8】画素回路と駆動回路との接続関係を示す図である。

【図 5 9】形態例 4 に係る画素回路の構成例を示す図である。

【図 6 0】水平セクタの構成例を示す図である。

【図 6 1】形態例 4 に係る駆動動作例を示す図である。

【図 6 2】信号電位が大きい場合の移動度補正時間を説明する図である。

【図 6 3】信号電位が小さい場合の移動度補正時間を説明する図である。

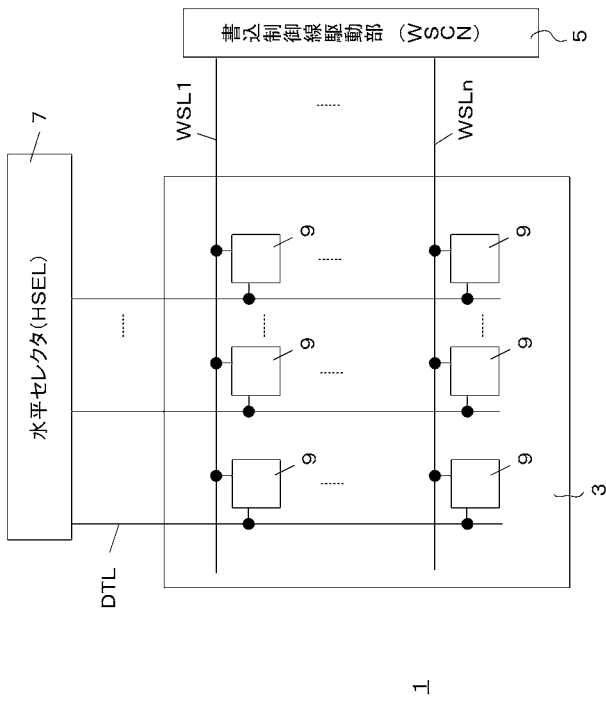
【図 6 4】形態例 5 に係る有機 E L パネルの構成例を示す図である。

【図 6 5】画素回路と駆動回路との接続関係を示す図である。

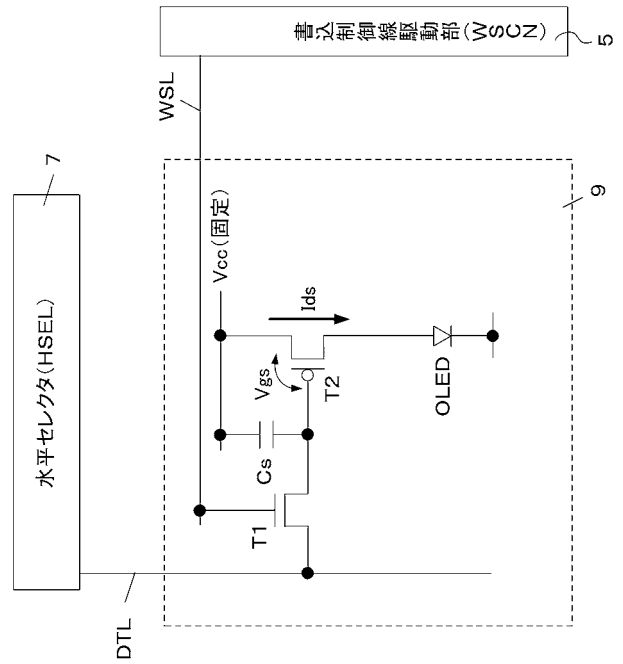
50

- 【図 6 6】形態例 5 に係る駆動動作例を示す図である。
- 【図 6 7】画素回路の動作状態を説明する図である。
- 【図 6 8】画素回路の動作状態を説明する図である。
- 【図 6 9】画素回路の動作状態を説明する図である。
- 【図 7 0】画素回路の動作状態を説明する図である。
- 【図 7 1】画素回路の動作状態を説明する図である。
- 【図 7 2】画素回路の動作状態を説明する図である。
- 【図 7 3】画素回路の動作状態を説明する図である。
- 【図 7 4】画素回路の動作状態を説明する図である。
- 【図 7 5】電源線の他の配線構造とパルス電源との接続形態を説明する図である。 10
- 【図 7 6】電子機器の概念構成例を示す図である。
- 【図 7 7】電子機器の商品例を示す図である。
- 【図 7 8】電子機器の商品例を示す図である。
- 【図 7 9】電子機器の商品例を示す図である。
- 【図 8 0】電子機器の商品例を示す図である。
- 【図 8 1】電子機器の商品例を示す図である。
- 【符号の説明】
- 【 0 2 4 6 】
- |     |             |    |
|-----|-------------|----|
| 1 1 | 有機 E L パネル  |    |
| 2 1 | 画素アレイ部      | 20 |
| 2 3 | 書込制御線駆動部    |    |
| 2 5 | 電源線駆動部      |    |
| 2 7 | 水平セレクタ      |    |
| 2 9 | タイミングジェネレータ |    |
| 3 1 | 画素回路        |    |
| 4 1 | 画素アレイ部      |    |
| 4 5 | パルス電圧源      |    |
| 5 3 | 水平セレクタ      |    |
| 6 3 | 水平セレクタ      |    |
| 9 5 | オフセット線駆動部   | 30 |
| 9 7 | 水平セレクタ      |    |

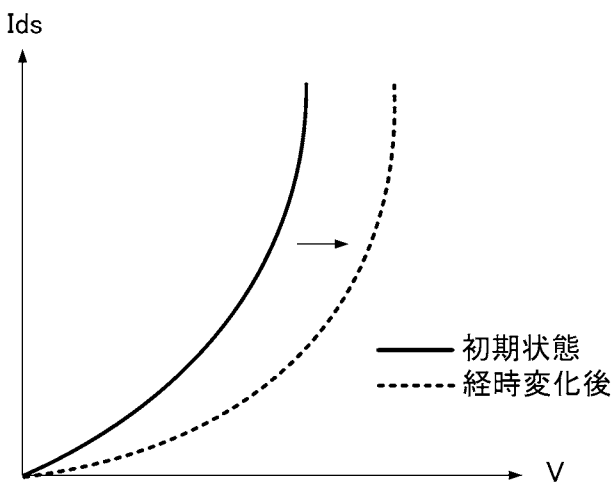
【図 1】



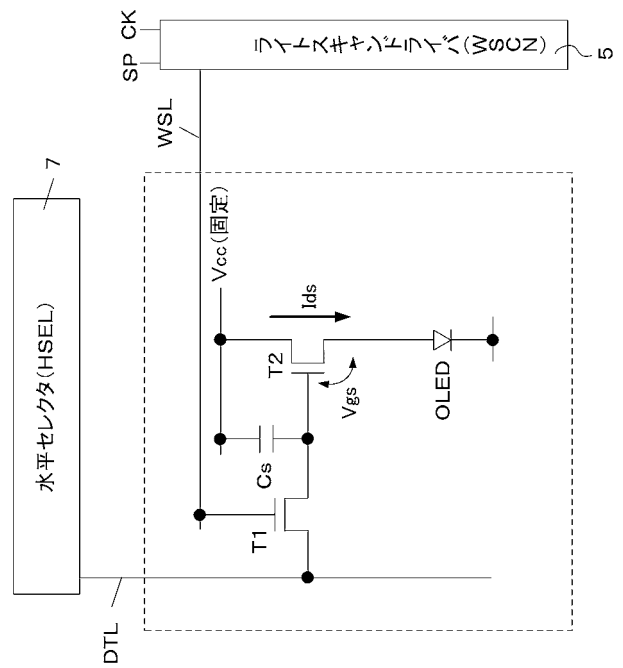
【図 2】



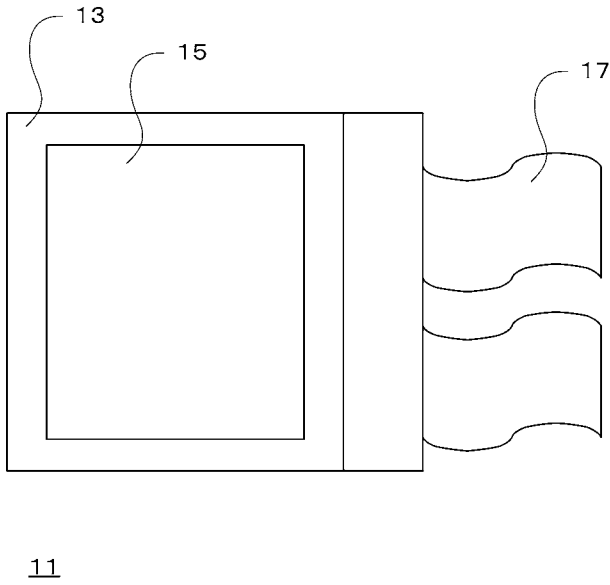
【図 3】



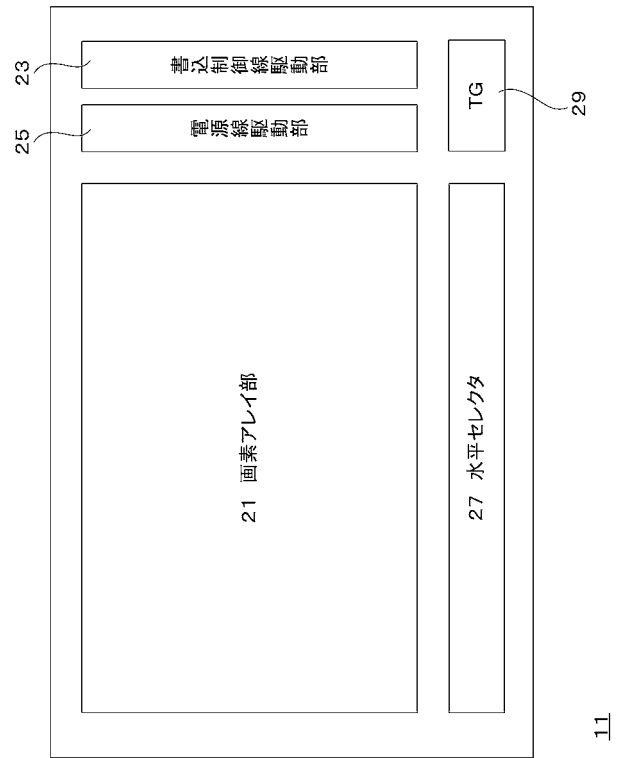
【図 4】



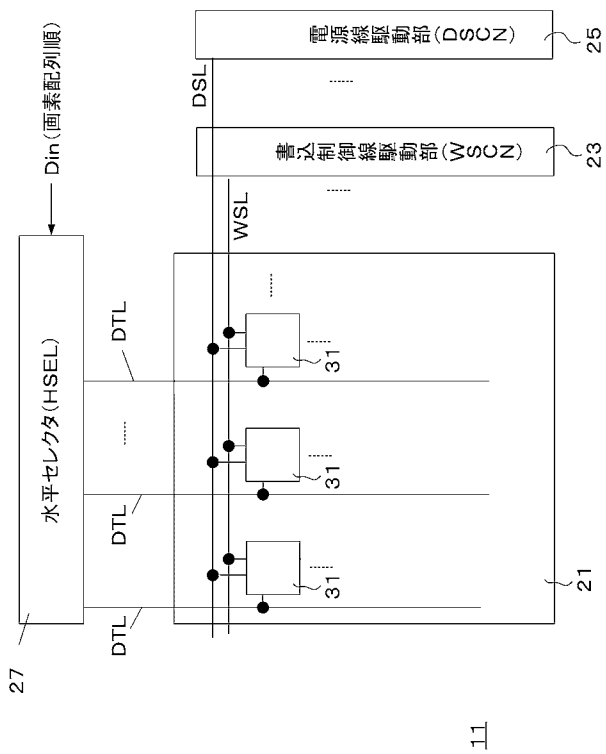
【図 5】



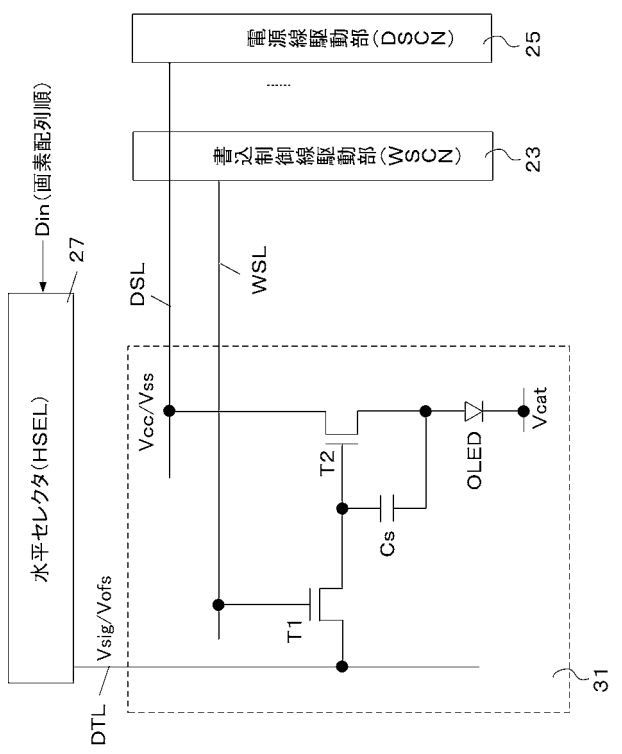
【図 6】



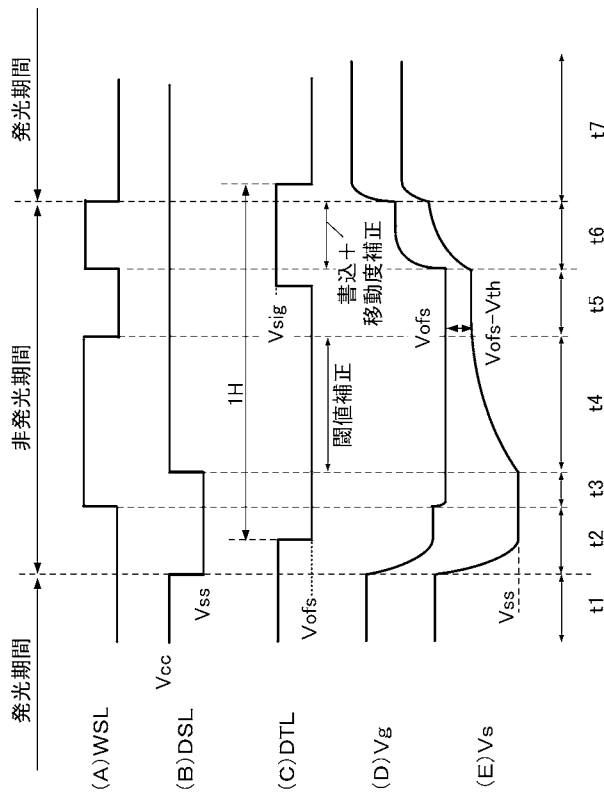
【図 7】



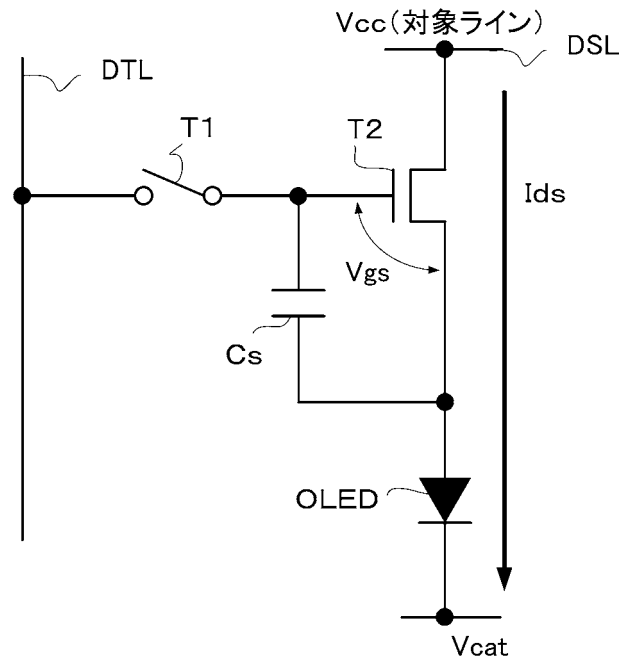
【図 8】



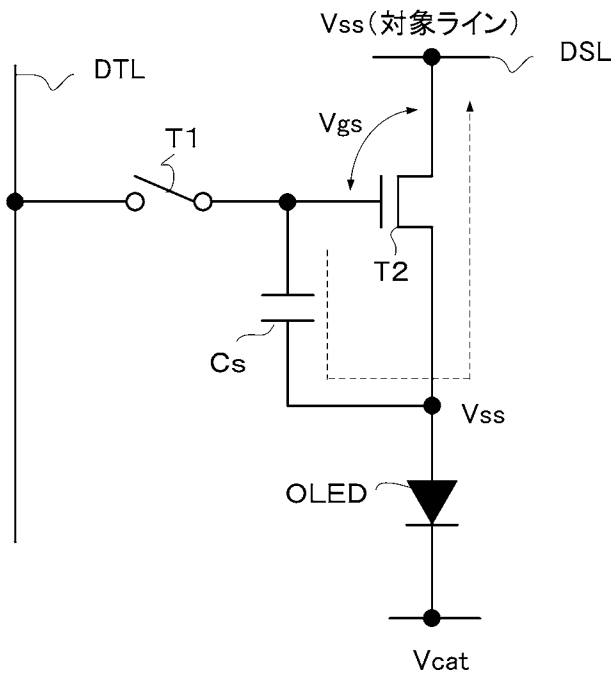
【図 9】



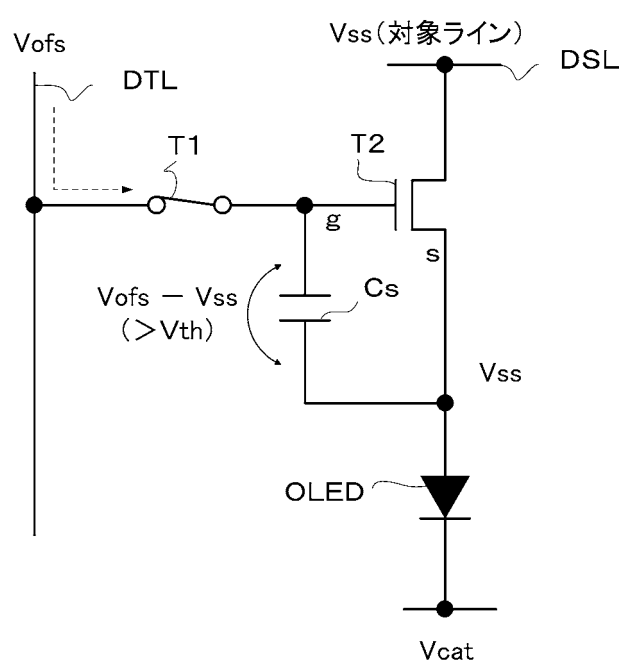
【図 10】



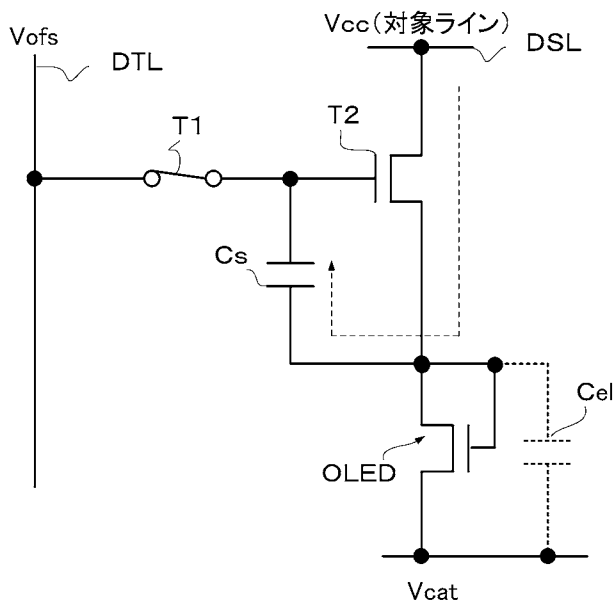
【図 11】



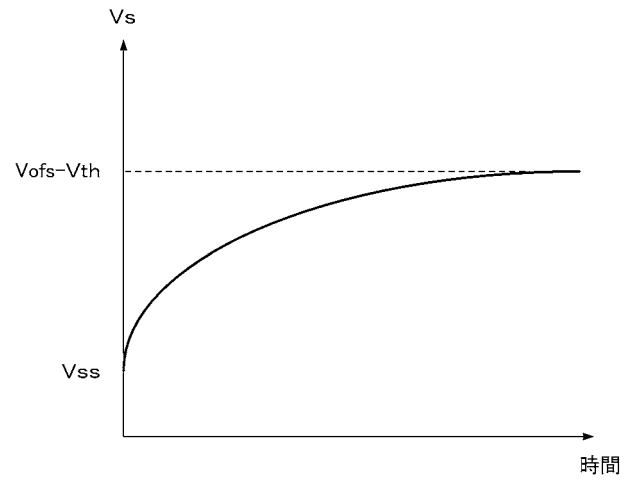
【図 12】



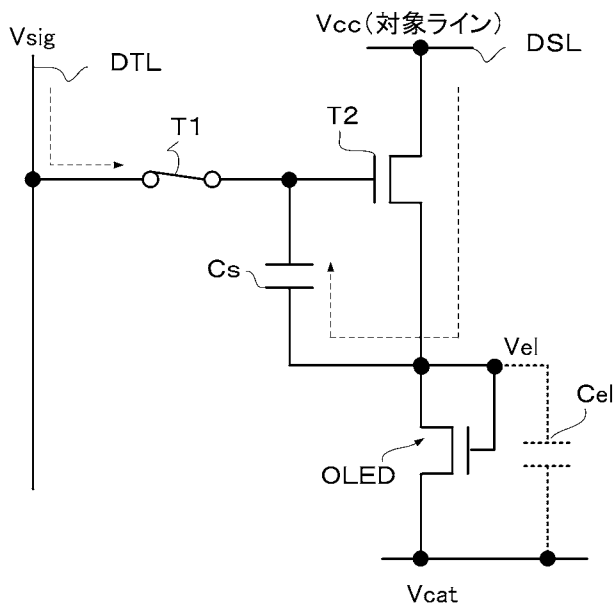
【図 13】



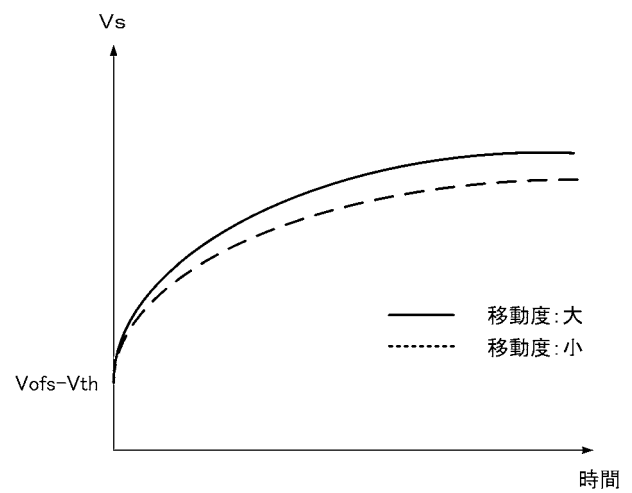
【図 14】



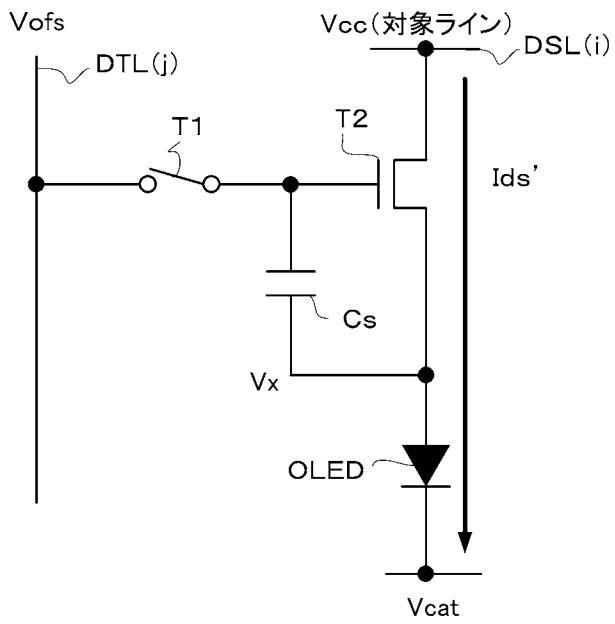
【図 15】



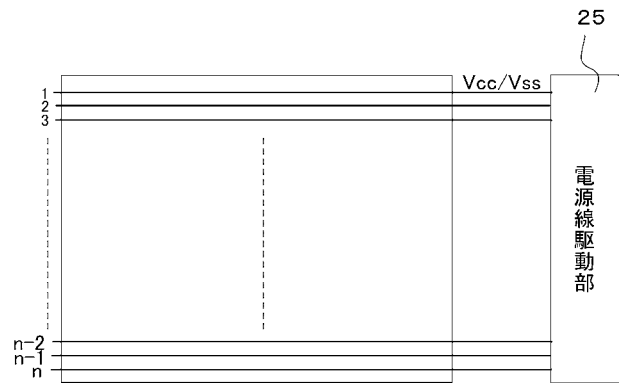
【図 16】



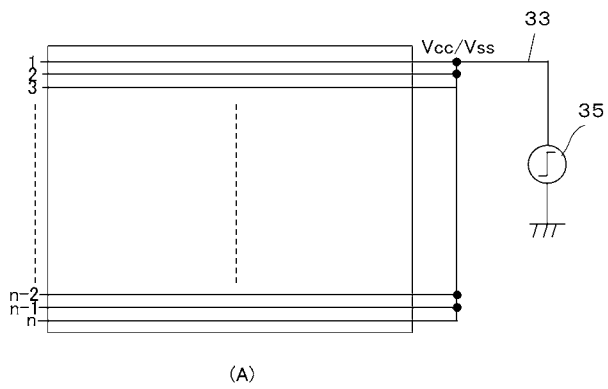
【図 17】



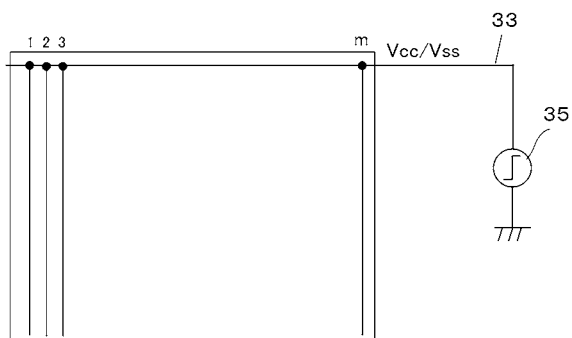
【図 18】



【図 19】

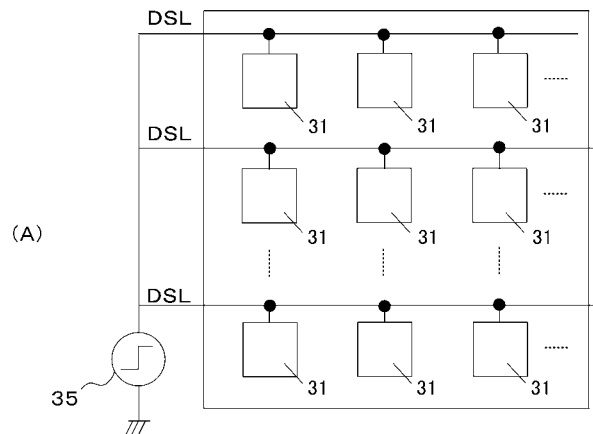


(A)

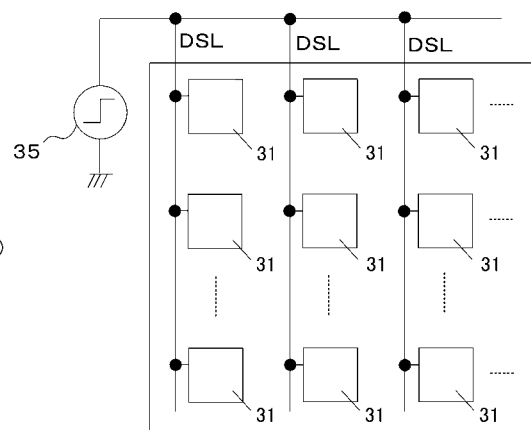


(B)

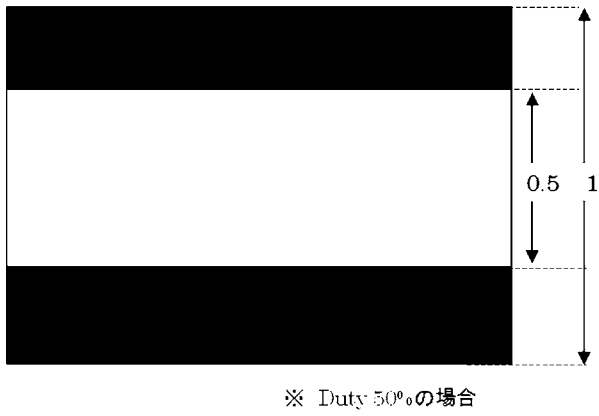
【図 20】



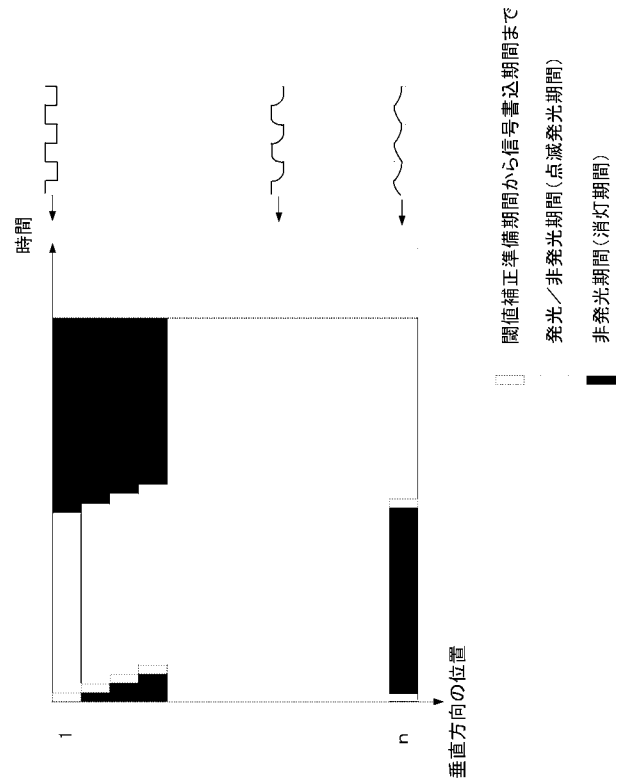
(B)



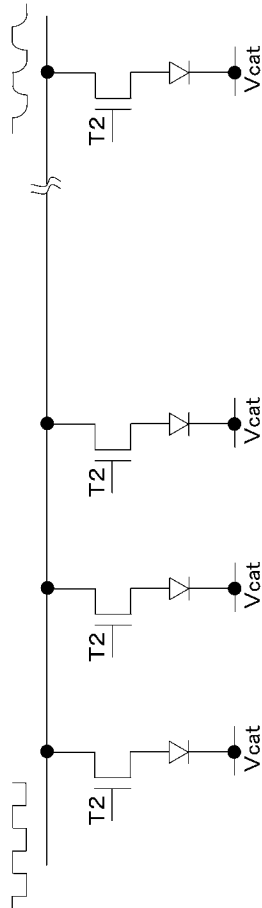
【図 2 1】



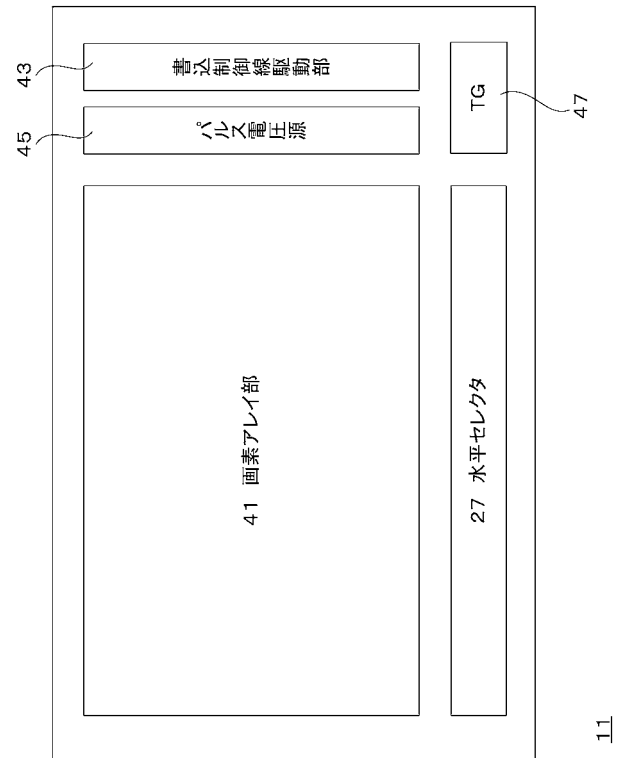
【図 2 2】



【図 2 3】

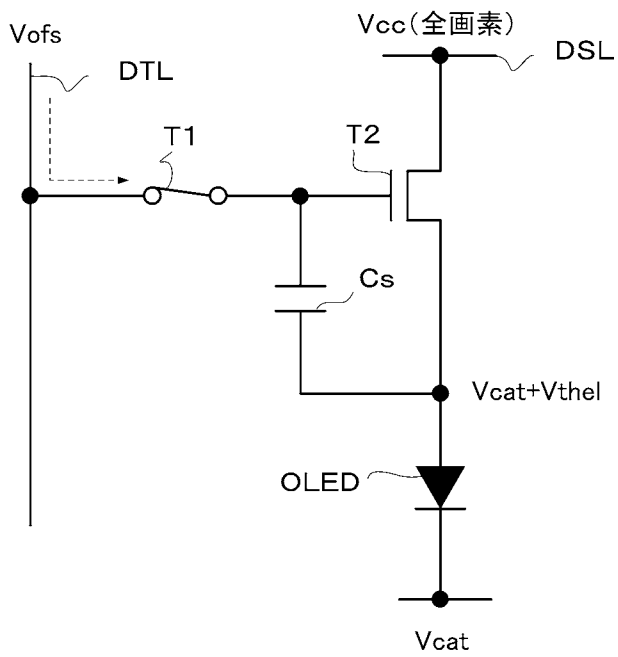


【図 2 4】

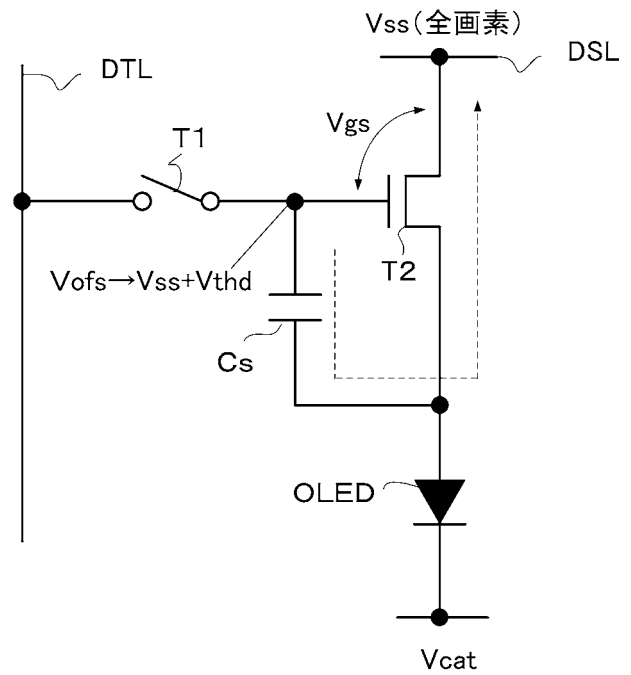




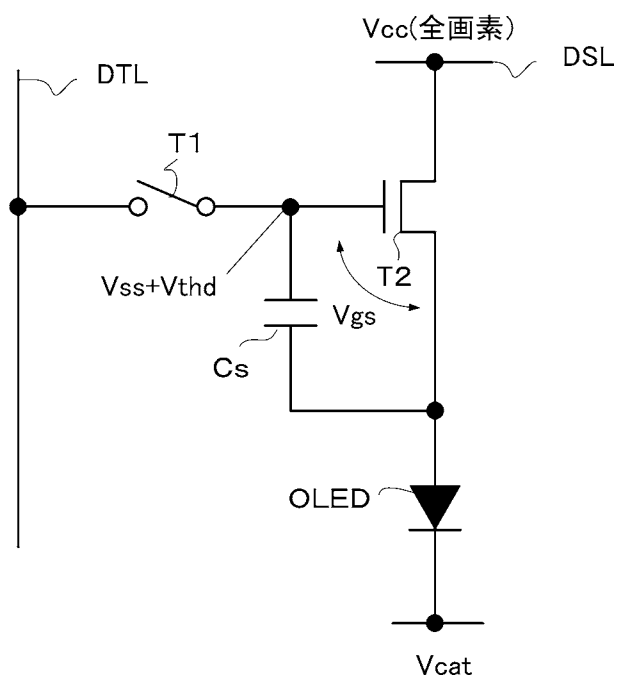
【図 29】



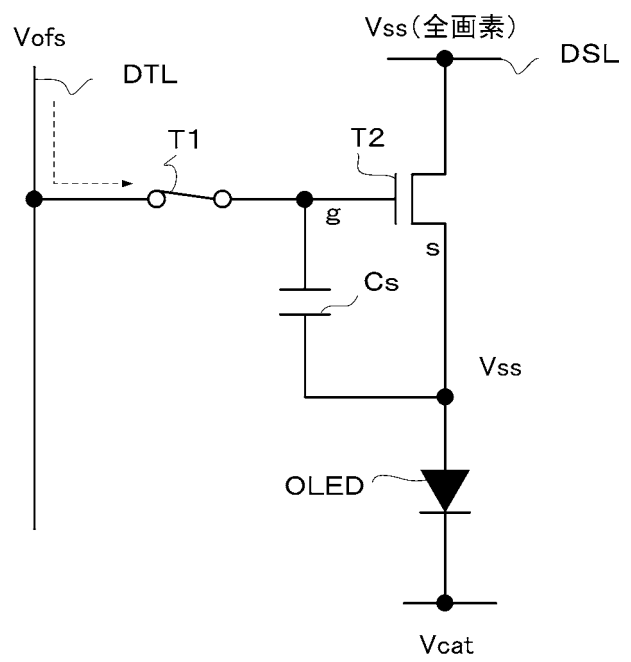
【図 30】



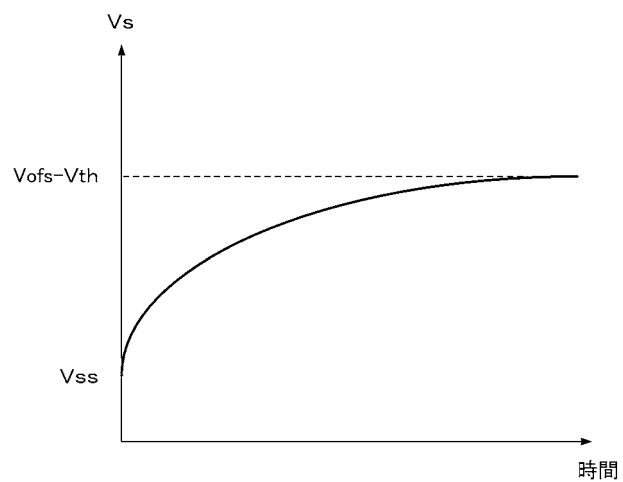
【図 31】



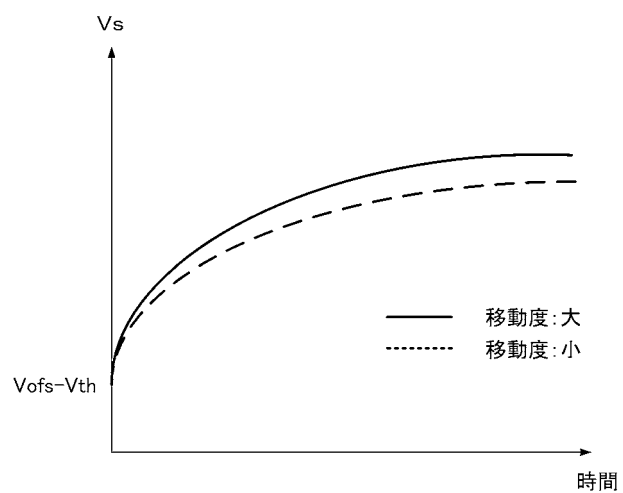
【図 32】



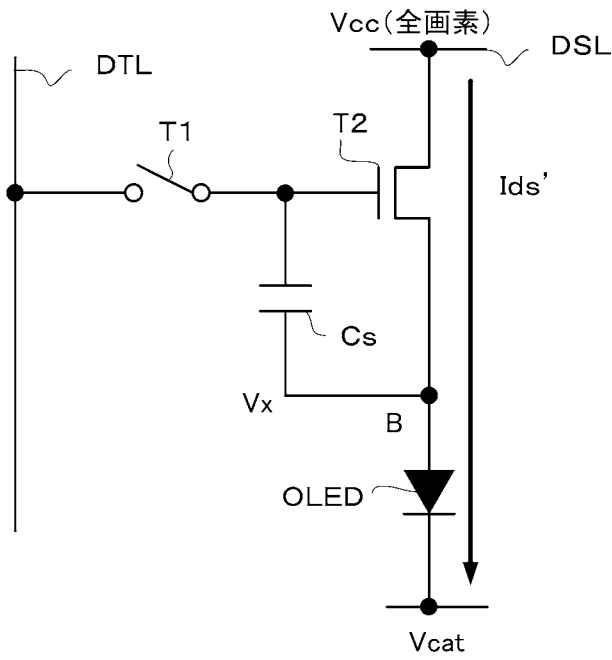
【 図 3 4 】



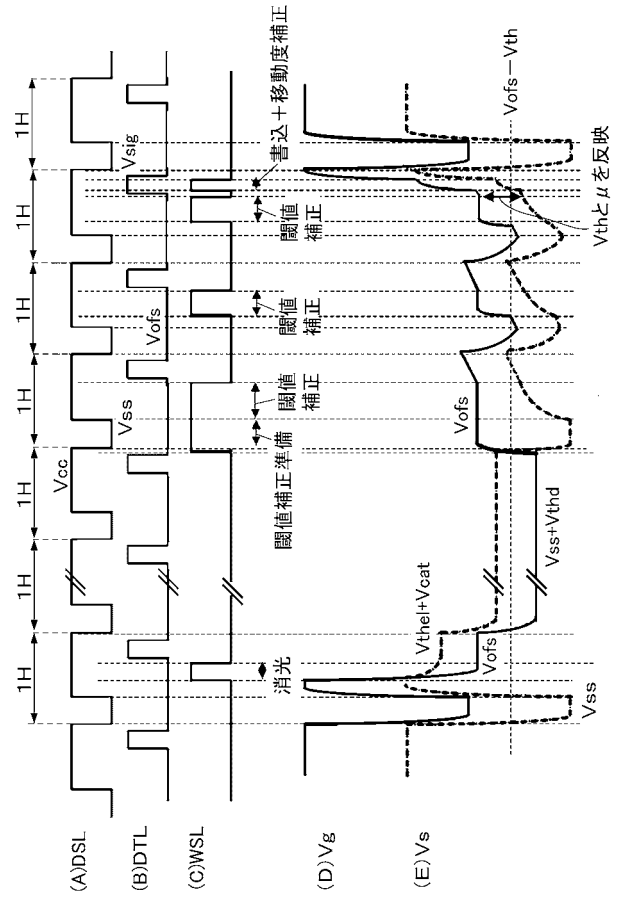
【 図 3 6 】



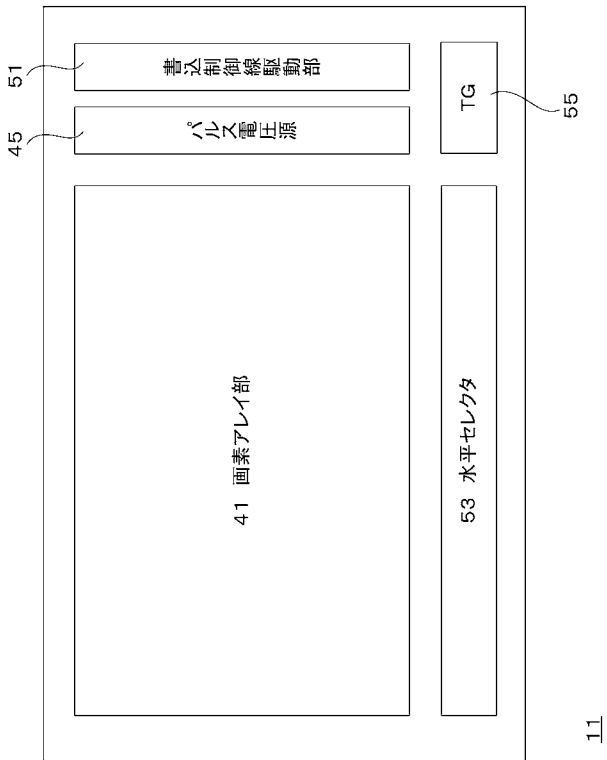
【図 37】



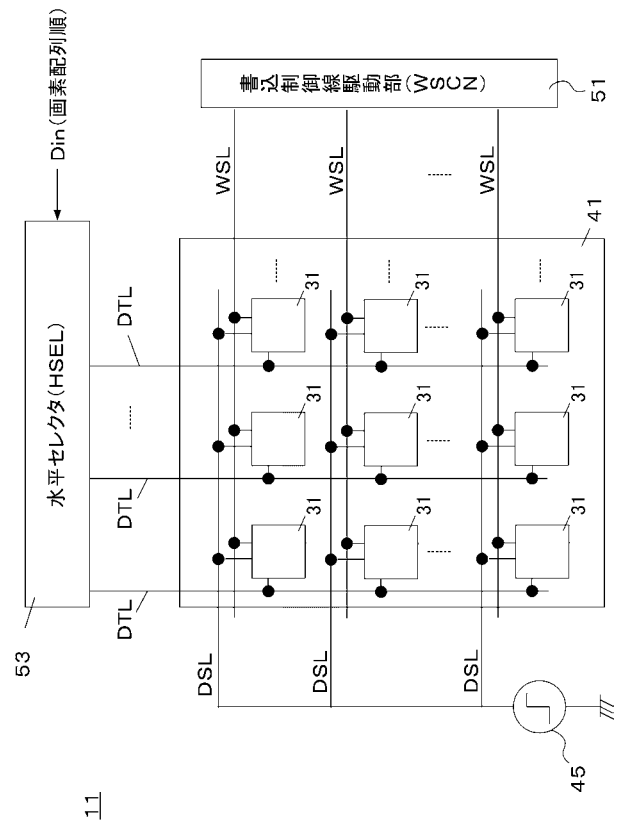
【図 38】



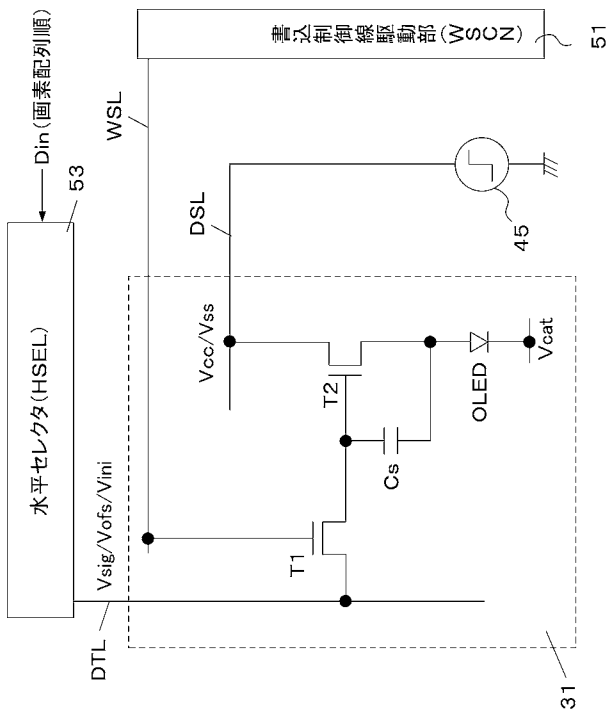
【図 39】



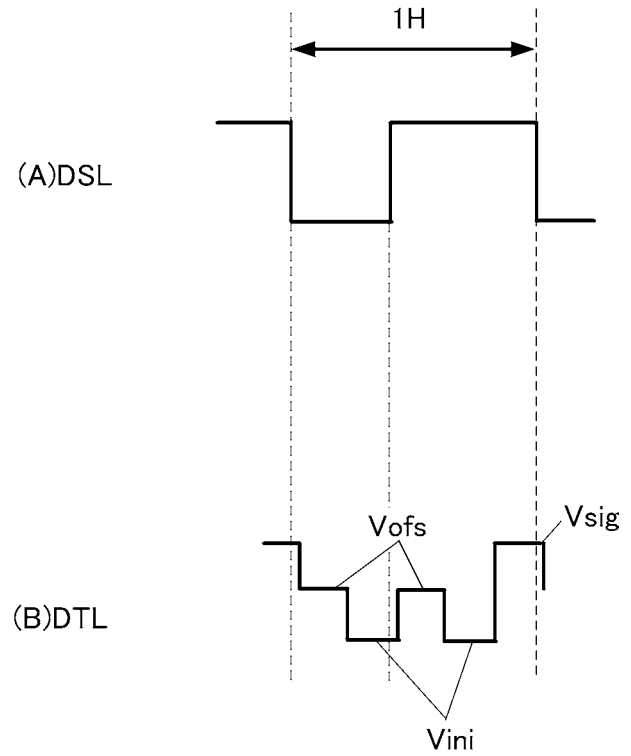
【図 40】



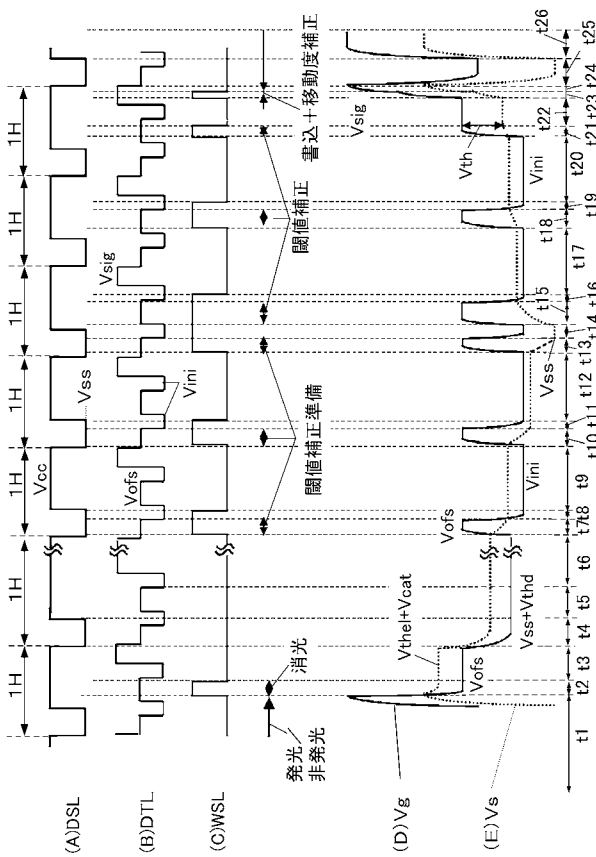
【図 4 1】



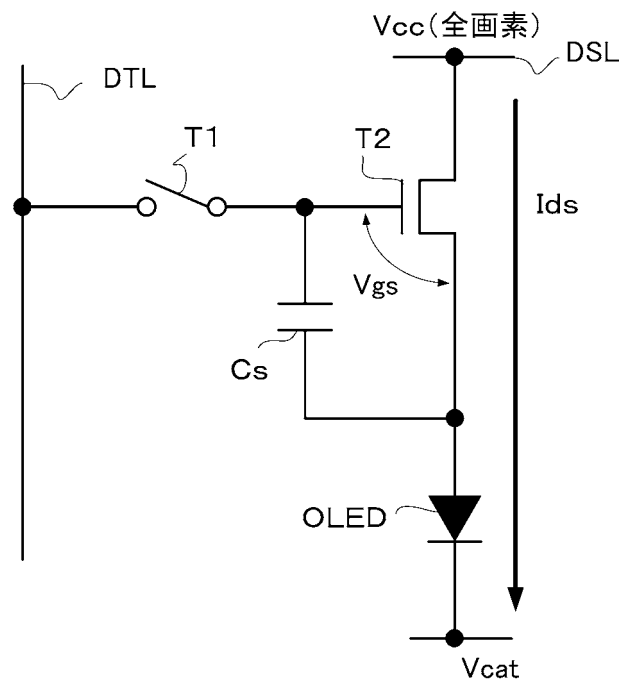
【図 4 2】



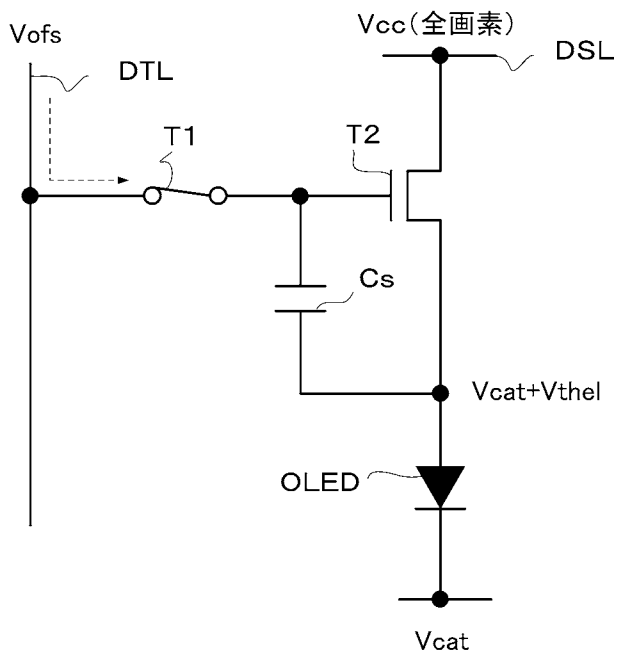
【図 4 3】



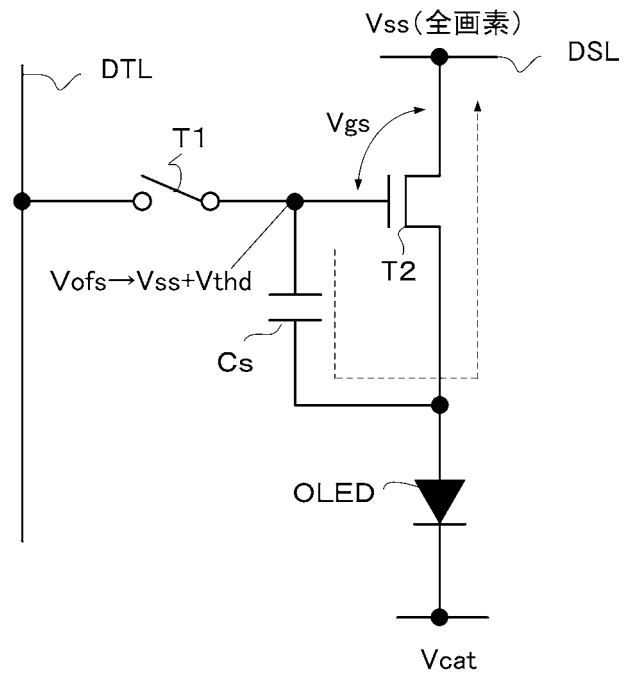
【図 4 4】



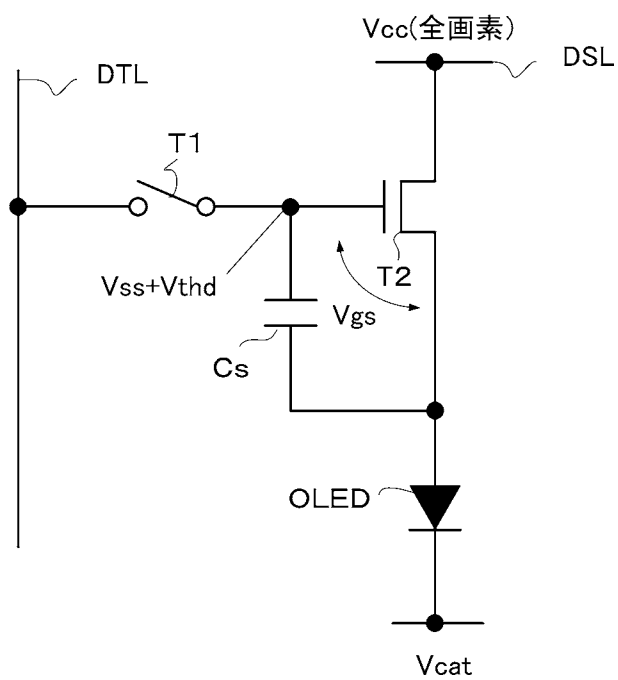
【図 4 5】



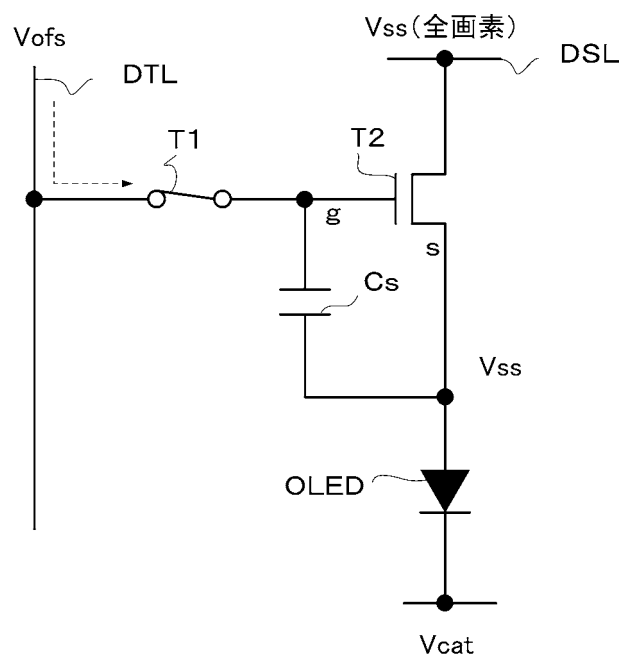
【図 4 6】



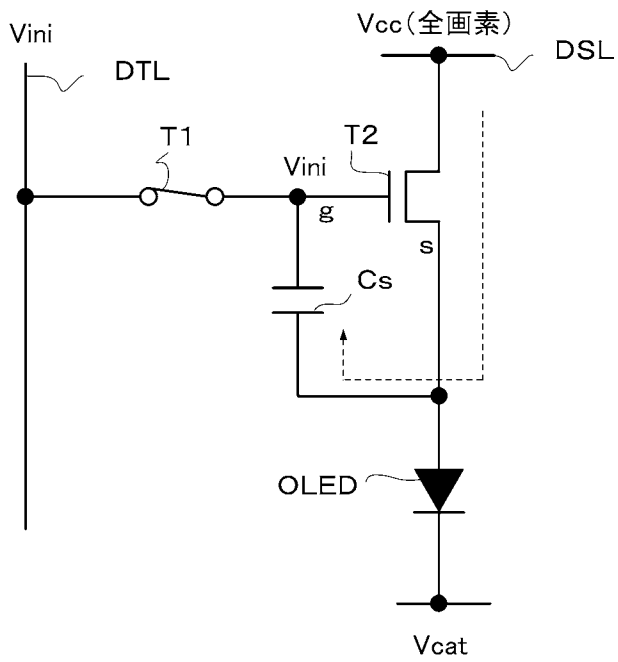
【図 4 7】



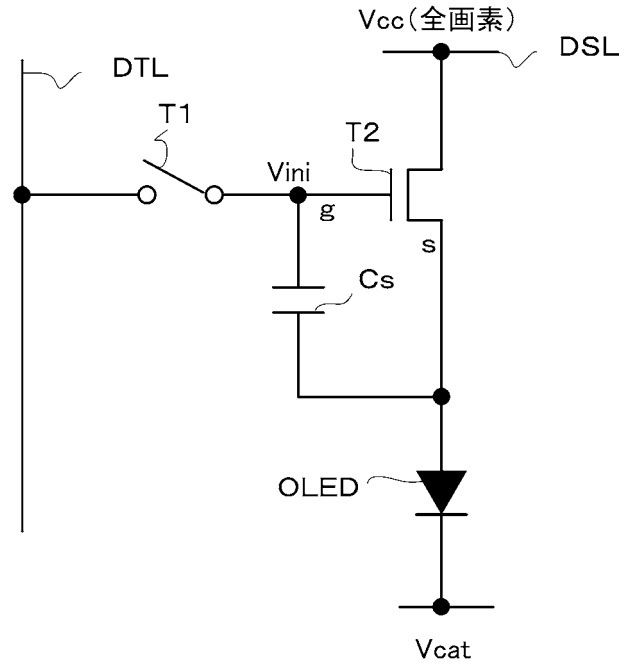
【図 4 8】



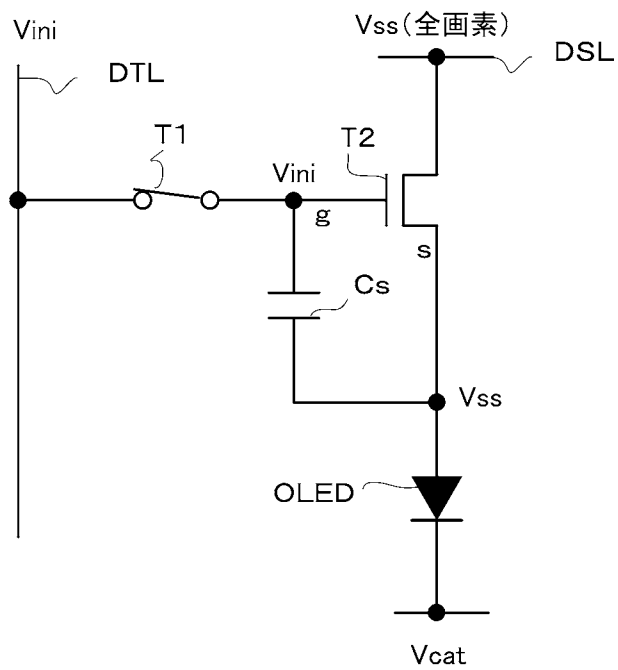
【図 4 9】



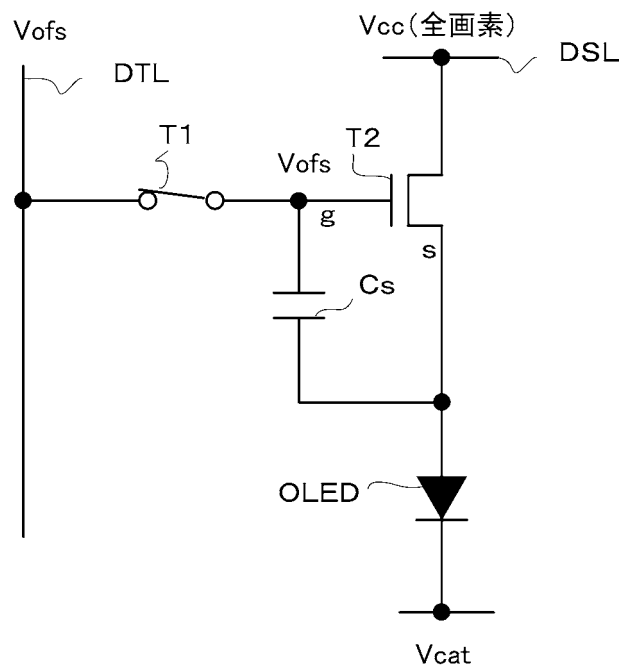
【図 5 0】



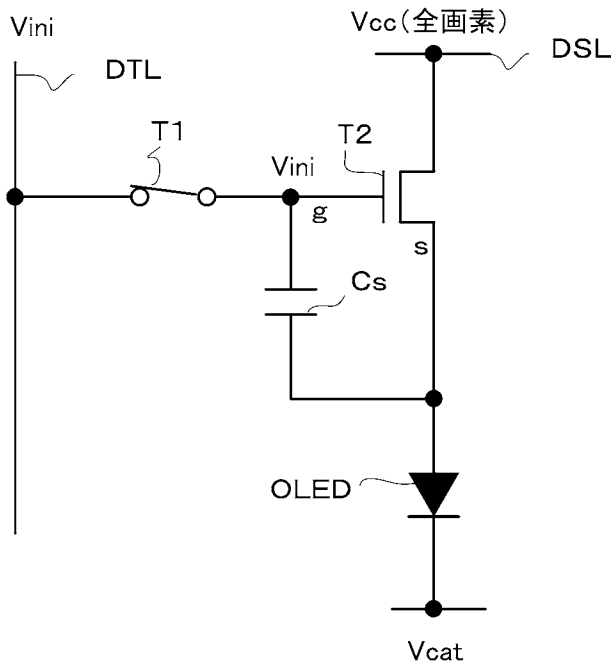
【図 5 1】



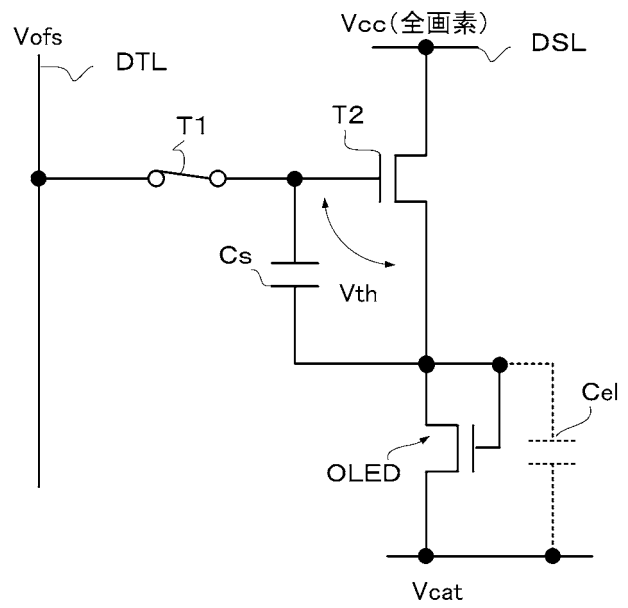
【図 5 2】



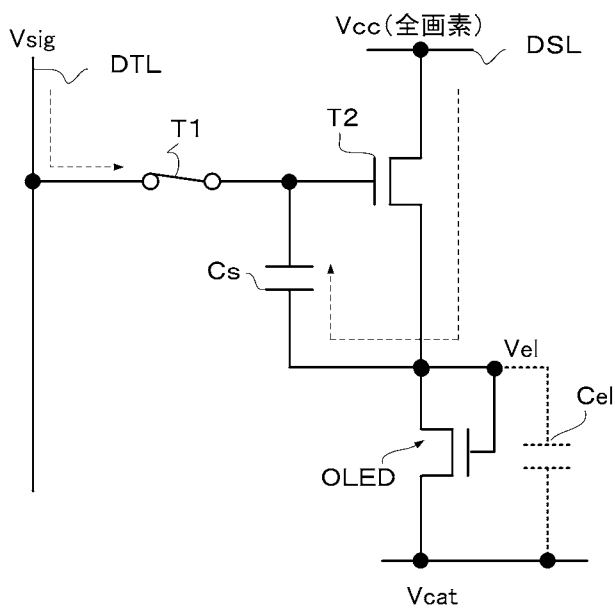
【図 5 3】



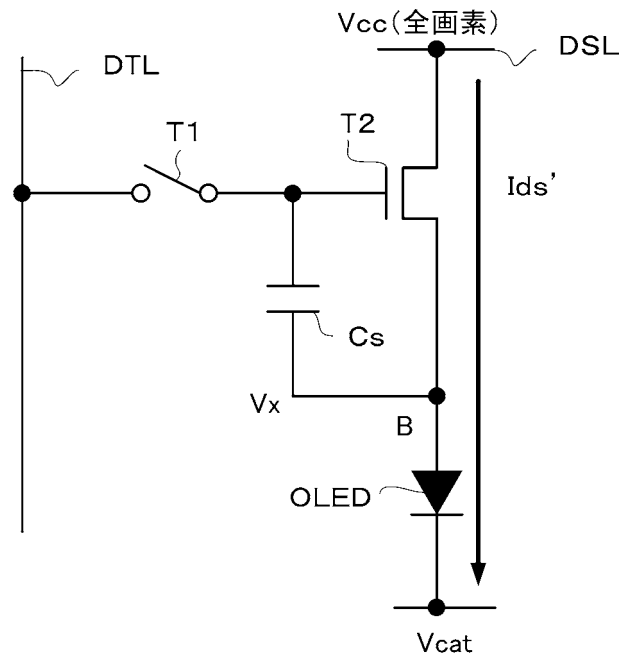
【図 5 4】



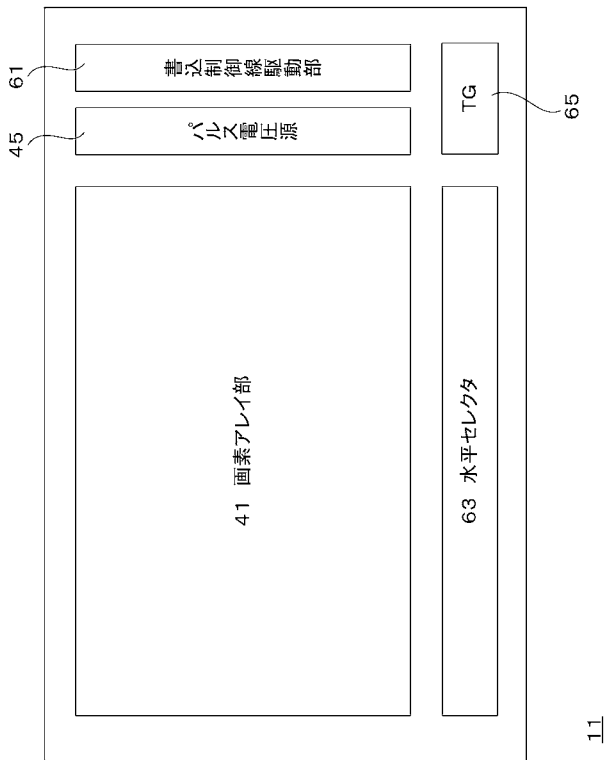
【図 5 5】



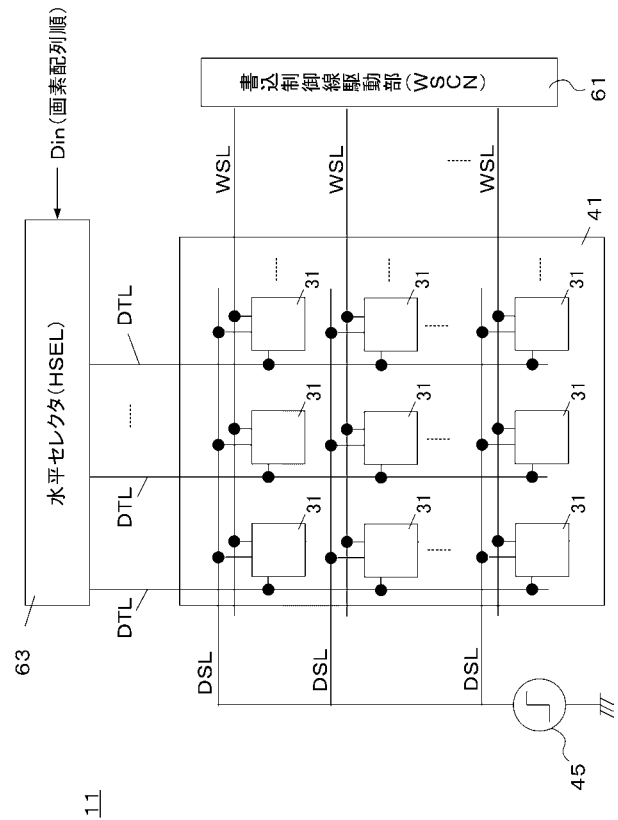
【図 5 6】



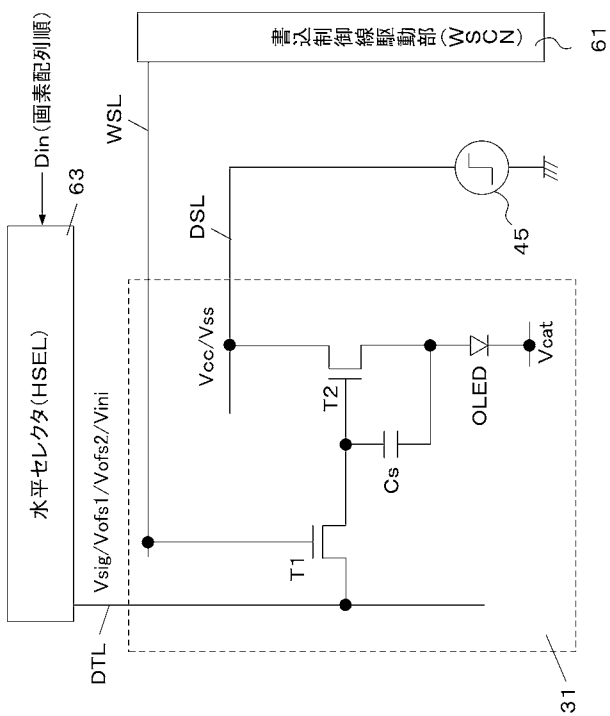
【図 5 7】



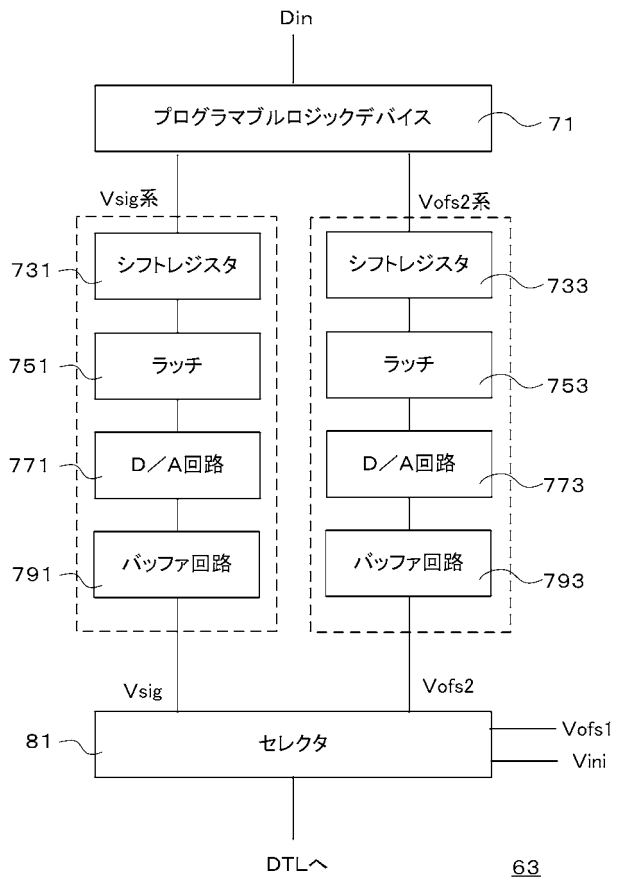
【図 5 8】



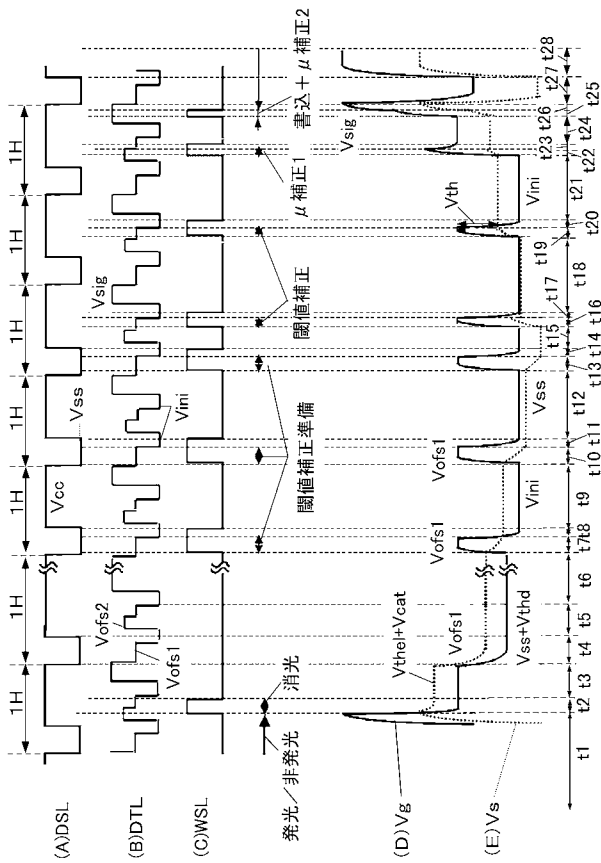
【図 5 9】



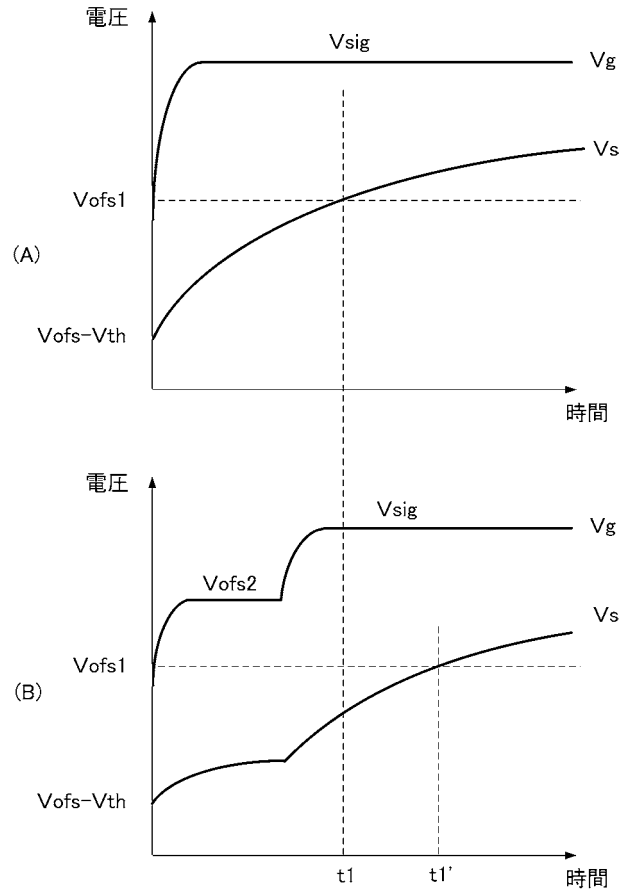
【図 6 0】



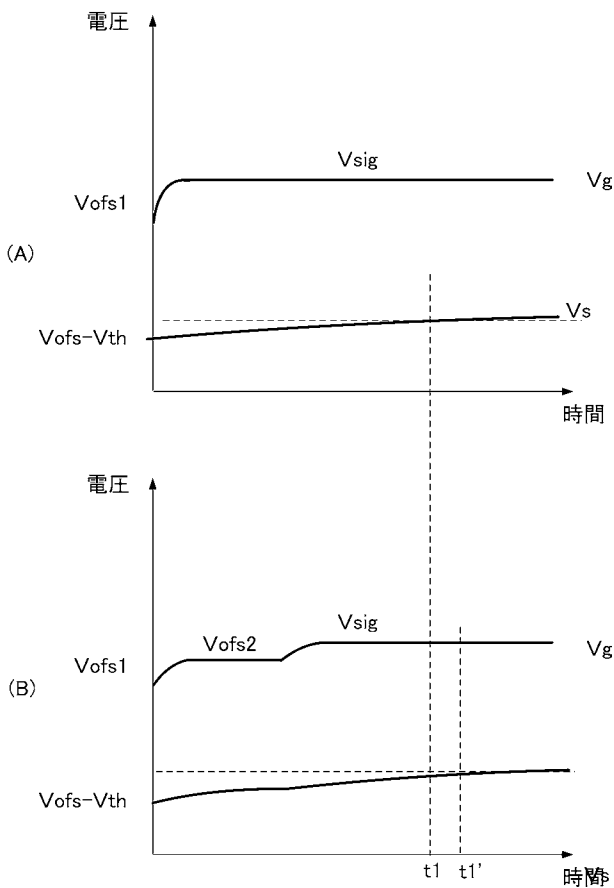
【図 6 1】



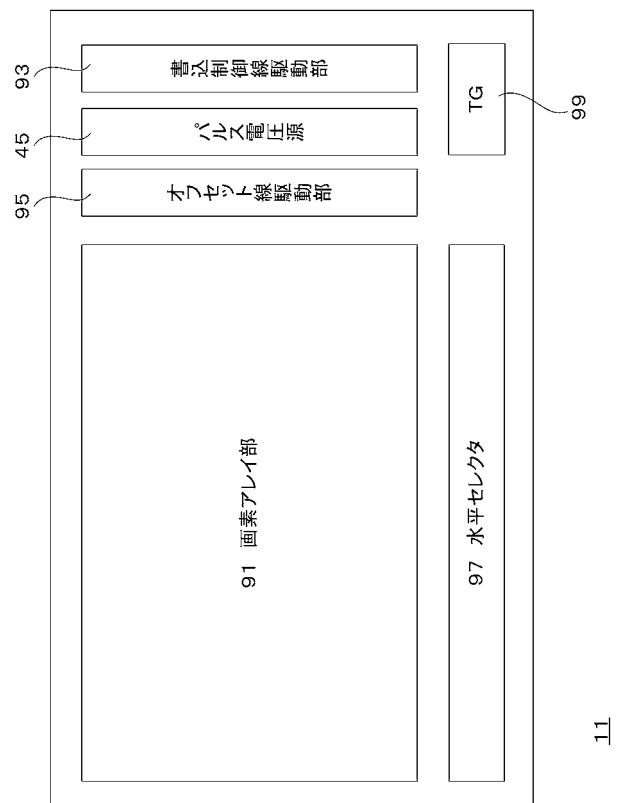
【図 6 2】



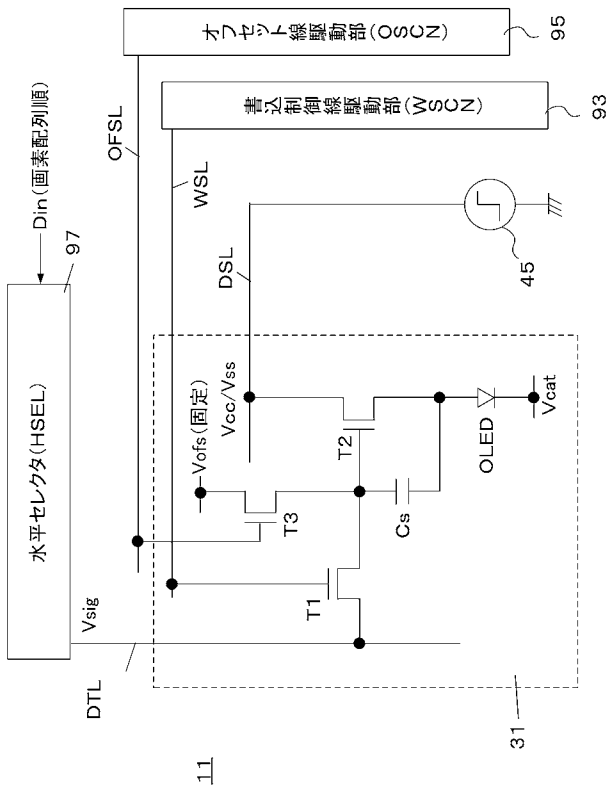
【図 6 3】



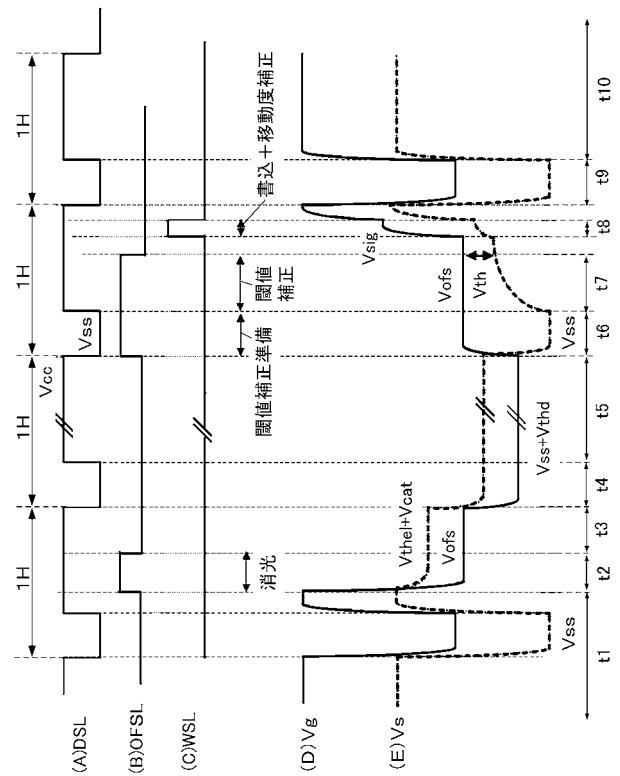
【図 6 4】



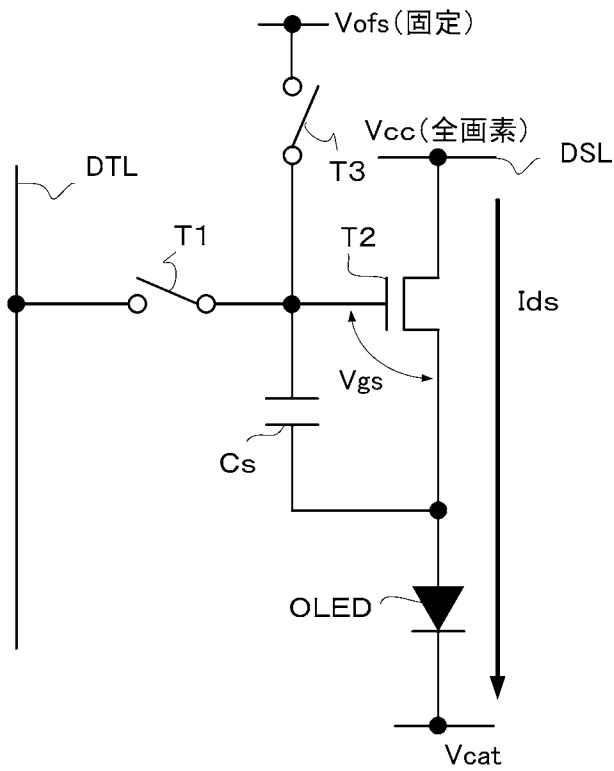
【図 6 5】



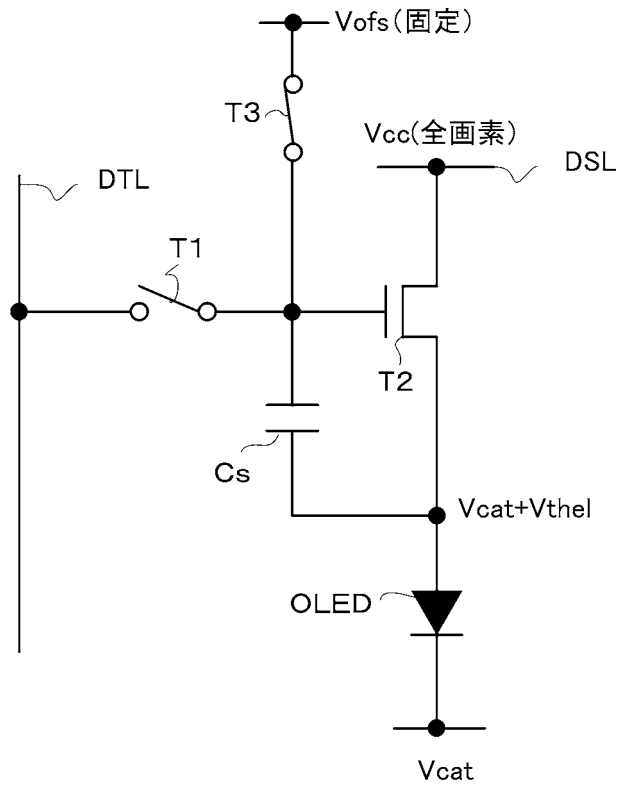
【図 6 6】



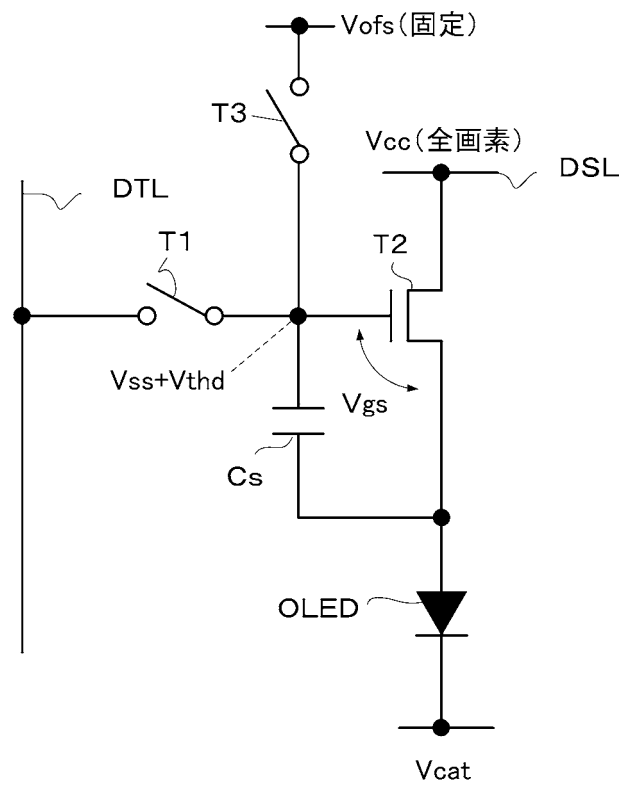
【図 6 7】



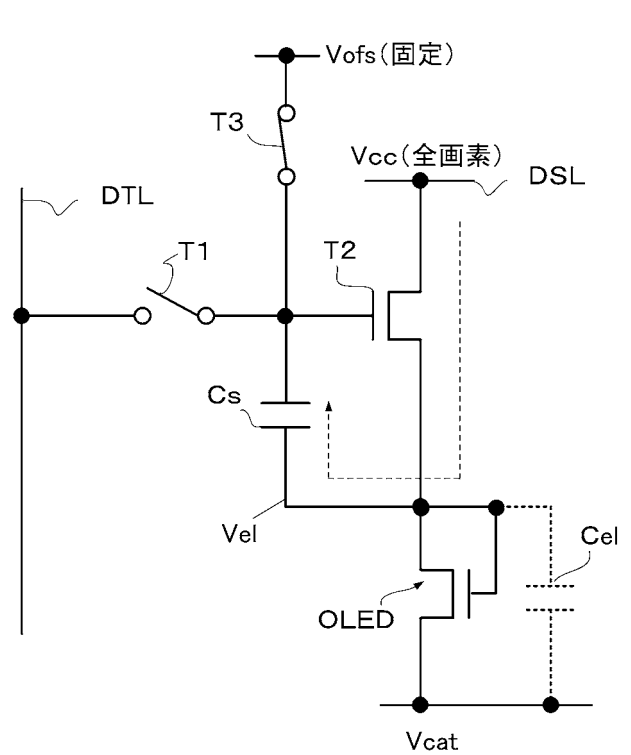
【図 6 8】



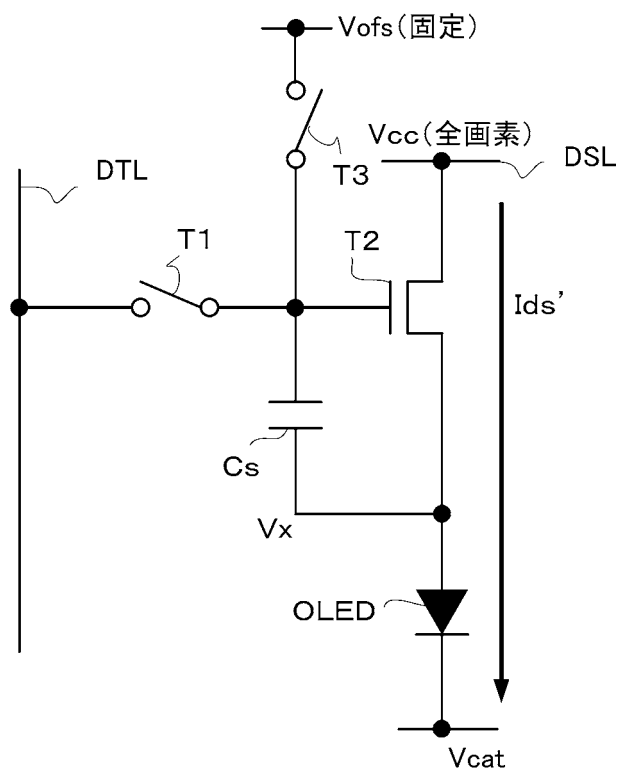
【 図 7 0 】



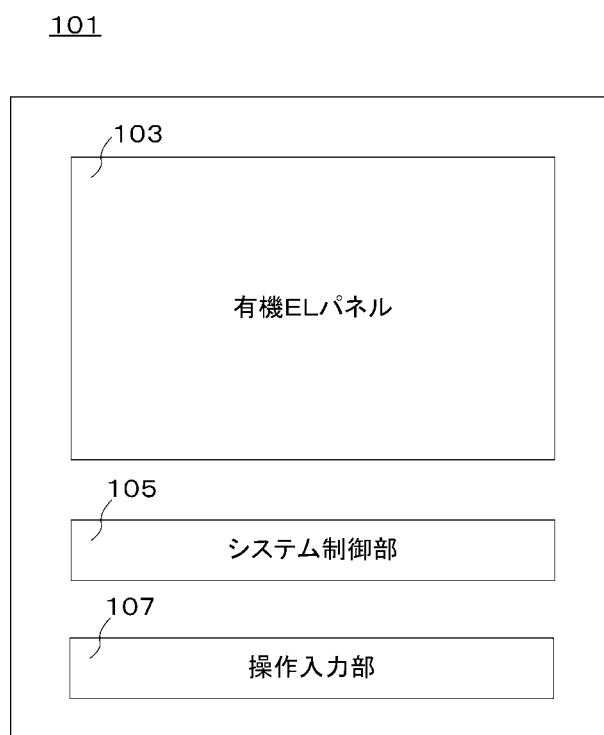
【 ㊦ 7 2 】



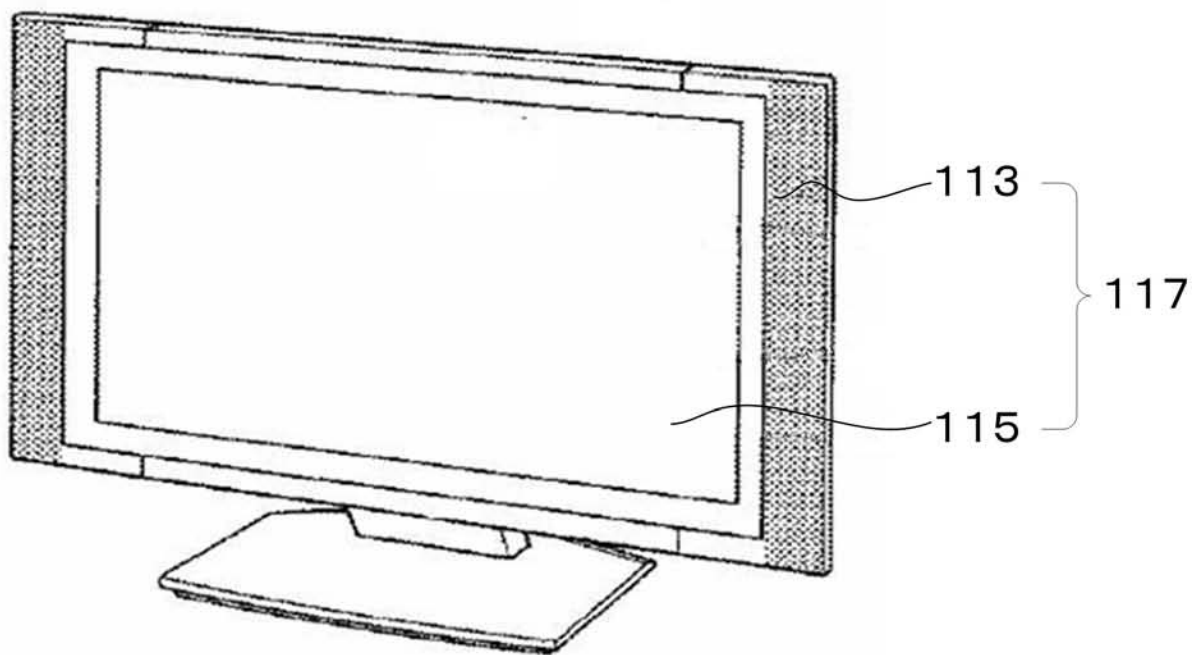
【圖 7 4】



【 図 7 6 】

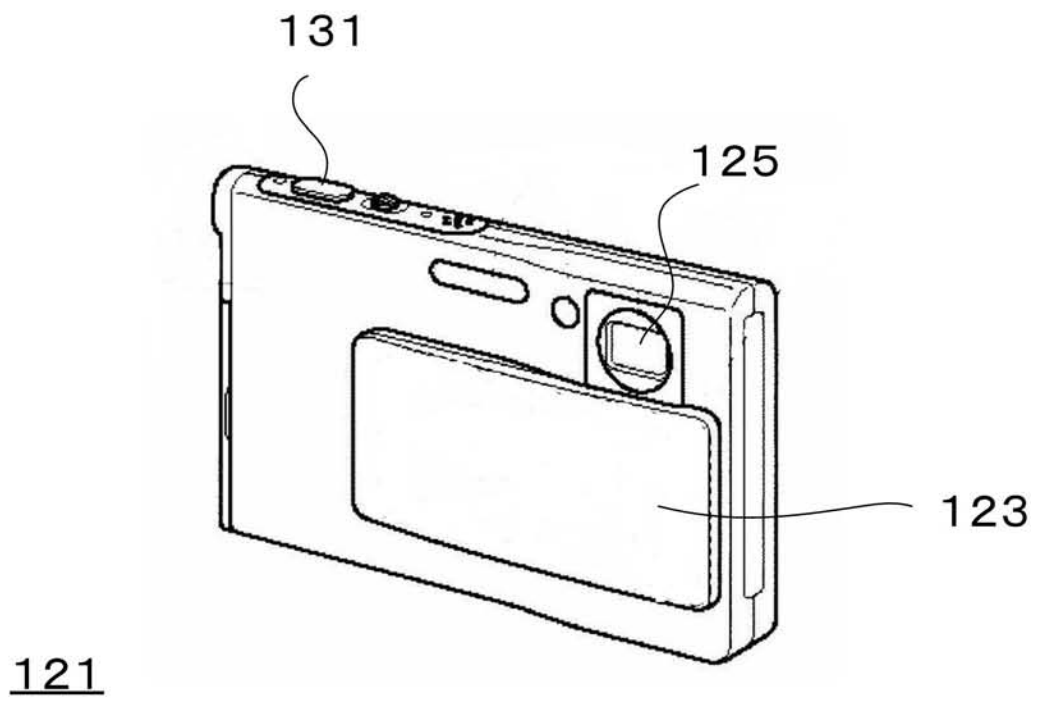


【図 77】

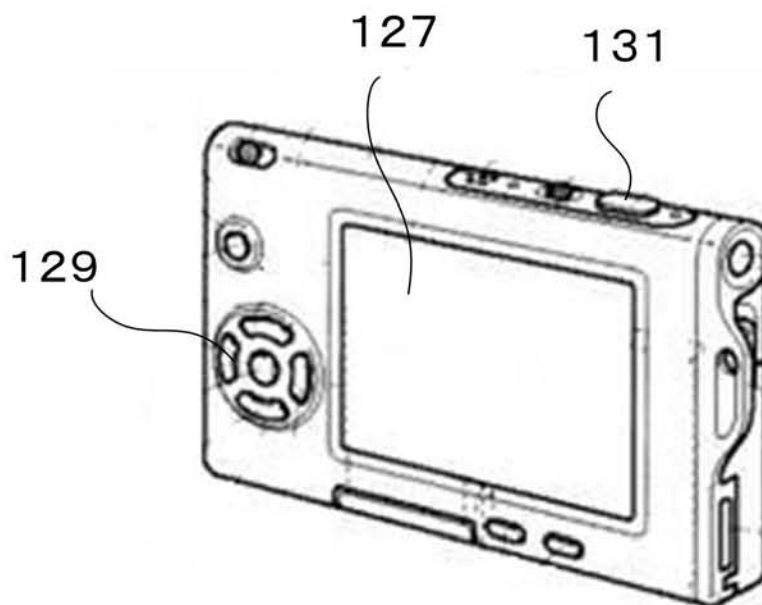
111

【図 78】

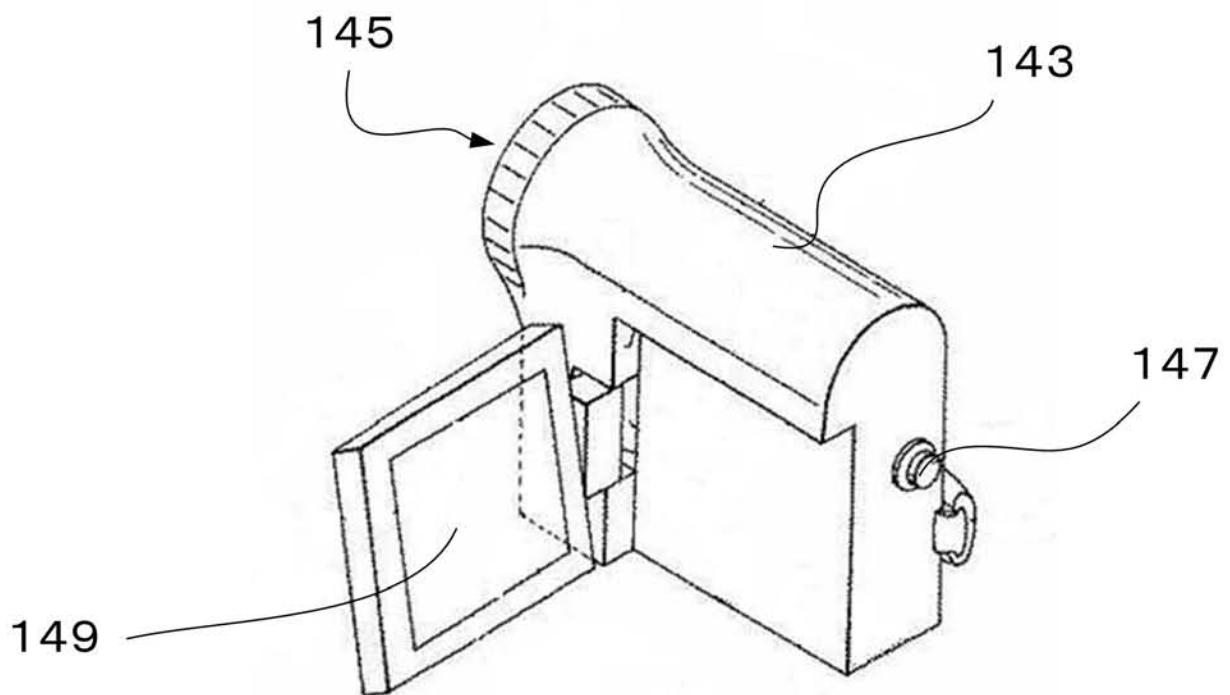
(A)



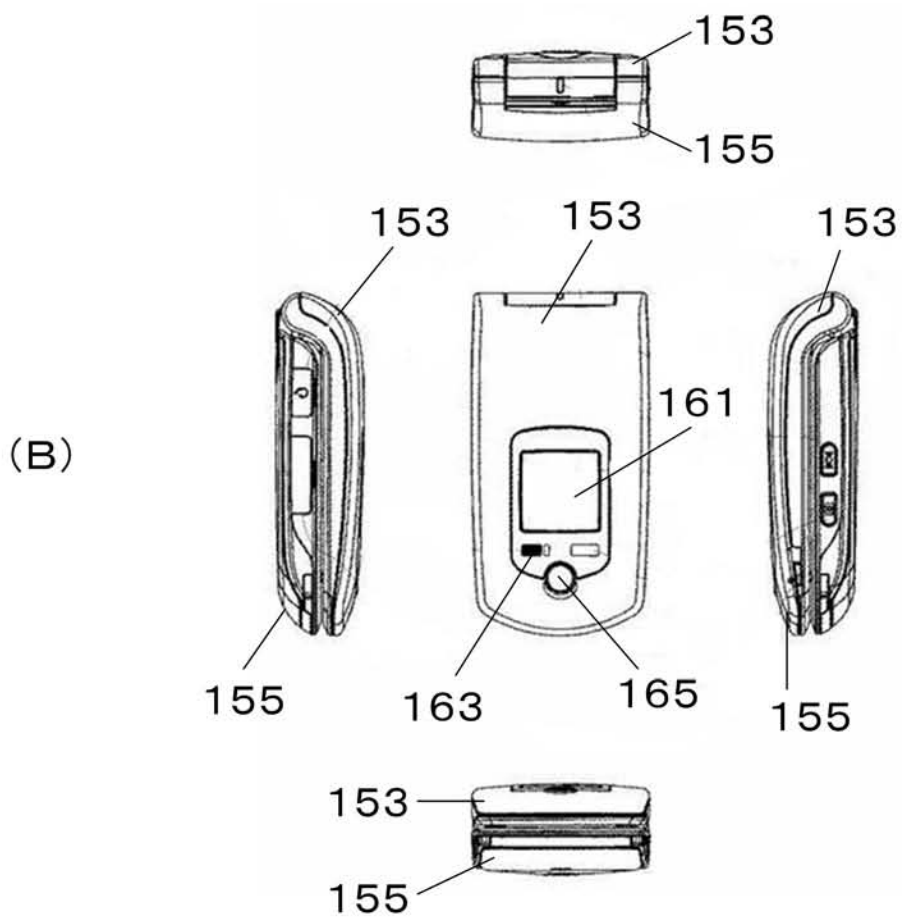
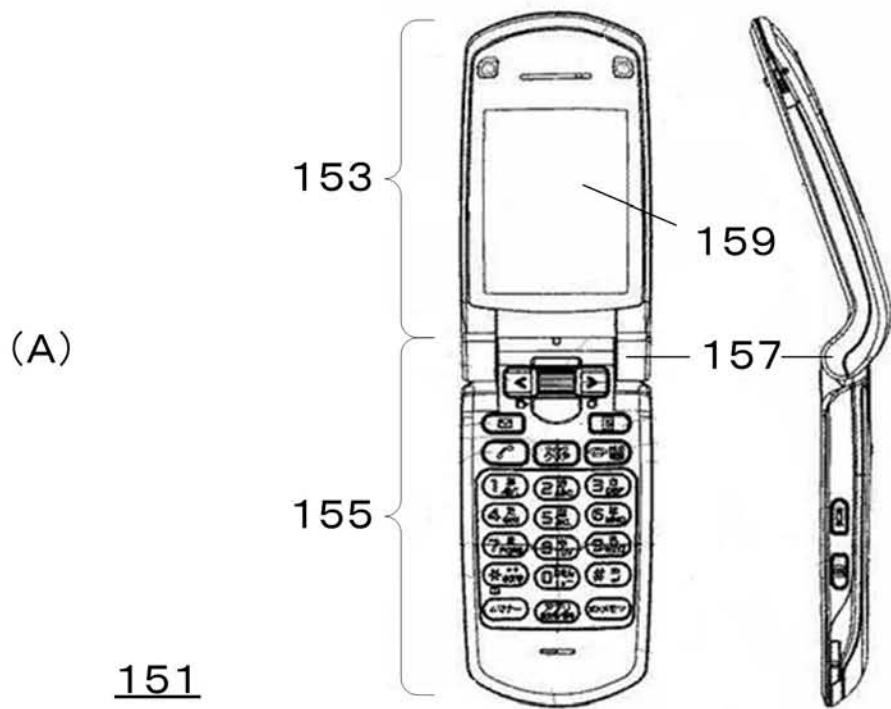
(B)



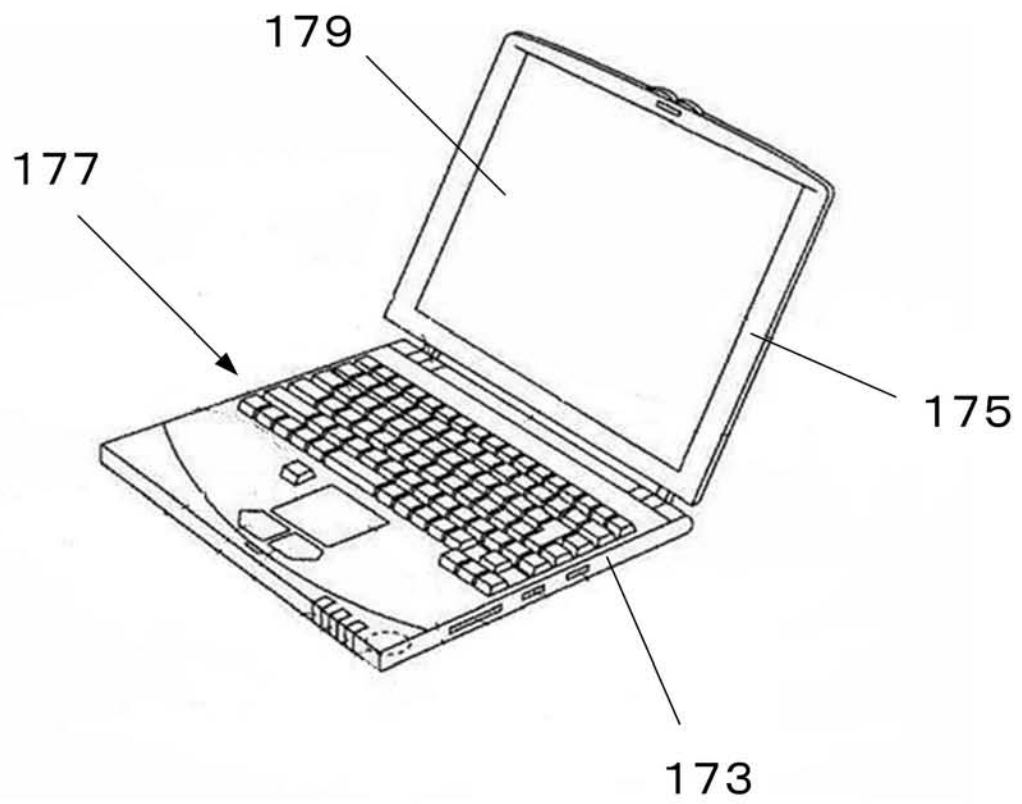
【図 79】

141

【図 80】



【図 8 1】

171

---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A  
H 0 5 B 33/14 A

F ターム(参考) 5C080 AA06 BB05 DD22 DD27 EE29 JJ01 JJ02 JJ03 JJ05 KK02  
KK07 KK43

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | EL显示板，电子设备和EL显示板的驱动方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP2009204931A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 公开(公告)日 | 2009-09-10 |
| 申请号            | JP2008047633                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 申请日     | 2008-02-28 |
| [标]申请(专利权)人(译) | 索尼公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 申请(专利权)人(译)    | 索尼公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| [标]发明人         | 山本哲郎<br>内野胜秀                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 发明人            | 山本 哲郎<br>内野 胜秀                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| FI分类号          | G09G3/30.J G09G3/20.621.M G09G3/20.623.R G09G3/20.623.A G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/20.624.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| F-TERM分类号      | 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD27 5C080/EE29 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA11 5C380/BA20 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CA17 5C380/CA32 5C380/CB27 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CD022 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF48 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA46 |         |            |
| 代理人(译)         | 山本隆久<br>吉井正明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |

#### 摘要(译)

要解决的问题：提供EL显示设备，以兼容降低成本和图像质量。

ŽSOLUTION：在具有像素结构和对应于有源矩阵驱动系统的布线结构的EL显示面板的驱动系统中，用于向每个像素区域的EL发光元件提供驱动电流的电源线由二进制电位驱动在每个水平扫描周期中，高电位Vcc和低电位Vss的电压。也就是说，多条电源线或所有电源线由公共驱动信号驱动。通过共享驱动信号，简化了电力线驱动部分的电路配置。而且，电路规模也减小了。Ž

