

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-243176
(P2006-243176A)

(43) 公開日 平成18年9月14日(2006.9.14)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 621M	
	G09G 3/20 623B	
	G09G 3/20 623R	
審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2005-56312 (P2005-56312)
(22) 出願日 平成17年3月1日(2005.3.1)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100086841
弁理士 脇 篤夫
(74) 代理人 100114122
弁理士 鈴木 伸夫
(72) 発明者 中村 和夫
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者 内野 勝秀
東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04

最終頁に続く

(54) 【発明の名称】 表示装置、信号線駆動方法

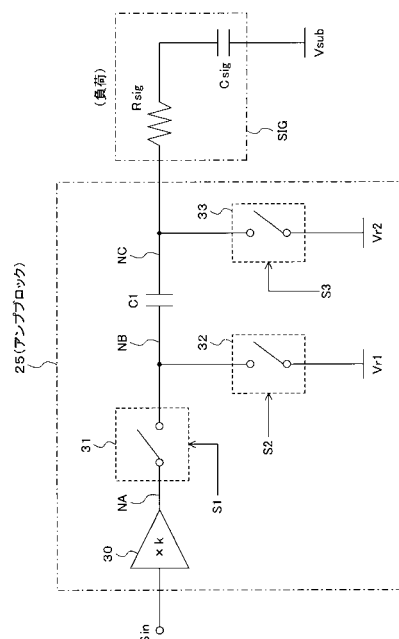
(57) 【要約】

【課題】画素回路がMOSプロセスで形成された有機EL表示装置において、映像信号線駆動回路における階調表現の容易性と、画素回路に適した映像信号電圧印加を両立させる。

【解決手段】

信号線駆動回路の出力回路部(アンプブロック25)で、容量カップリング(C1とCsig)によりアナログ映像信号電圧を低減させることで、信号線SIGに出力する映像信号電圧を、MOSプロセスで形成された画素回路に適切な微小振幅(例えば0.7V程度の振幅)の映像信号とする。つまり信号線駆動回路は、十分に大きい信号電圧振幅の状態では階調制御を行った後に、容量カップリングで信号電圧振幅を低減させることで、容易に正確な階調制御を実現しつつ、画素回路に適した映像信号を与える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数列の信号線と、複数行の走査線が配されるとともに、各信号線と各走査線の交差部分に、有機エレクトロルミネッセンス素子を発光素子として M O S プロセスで形成された画素回路が配置されて成る画素アレイと、

上記各信号線に映像信号電圧を与える信号線駆動回路と、

上記各走査線に走査パルスを与える走査線駆動回路と、

を有する表示装置において、

上記信号線駆動回路には、映像信号電圧を上記信号線に与える出力回路部として、入力されたアナログ映像信号電圧を、容量カップリングで得られる電圧に変換して上記信号線に出力する出力回路部が設けられることを特徴とする表示装置。

10

【請求項 2】

上記出力回路部は、

入力されたアナログ映像信号を増幅する増幅回路と、

容量素子と、

上記増幅回路の出力端と上記容量素子の一端の間をオン/オフする第 1 のスイッチと、

上記容量素子の一端と、第 1 の基準電位の間をオン/オフする第 2 のスイッチと、

上記容量素子の他端と、第 2 の基準電位の間をオン/オフする第 3 のスイッチとを有し

、
上記容量素子の他端が、上記信号線に接続されている構成であることを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

上記出力回路部は、入力されたアナログ映像信号電圧を、上記容量素子と、上記信号線の容量との容量カップリングで得られる電圧に変換して上記信号線に出力することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

上記出力回路部は、

第 1 の容量素子と、

上記第 1 の容量素子の一端と、アナログ映像信号の入力端の間をオン/オフする第 1 のスイッチと、

30

上記容量素子の一端と、第 1 の基準電位の間をオン/オフする第 2 のスイッチと、

上記容量素子の他端と、第 2 の基準電位の間をオン/オフする第 3 のスイッチと、

上記容量素子の他端と、接地電位の間接続される第 2 の容量素子と、

上記容量素子の他端に接続される増幅回路とを有し、

上記増幅回路の出力端が、上記信号線に接続されている構成であることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

上記出力回路部は、入力されたアナログ映像信号電圧を、上記第 1 の容量素子と、上記第 2 の容量素子との容量カップリングで得られる電圧に変換した後、上記増幅回路を介して上記信号線に出力することを特徴とする請求項 4 に記載の表示装置。

40

【請求項 6】

上記画素回路は、上記信号線から与えられた映像信号電圧を電流に変換して有機エレクトロルミネッセンス素子に供給する構成であることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

複数列の信号線と、複数行の走査線が配されるとともに、各信号線と各走査線の交差部分に、有機エレクトロルミネッセンス素子を発光素子として M O S プロセスで形成された画素回路が配置されて成る画素アレイと、

上記各信号線に映像信号電圧を与える信号線駆動回路と、

上記各走査線に走査パルスを与える走査線駆動回路と、

50

を有する表示装置における信号線駆動方法として、

アナログ映像信号電圧を、容量カップリングで得られる電圧に変換して上記信号線に出力することを特徴とする信号線駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、特に発光素子として有機エレクトロルミネッセンス素子（有機EL素子）を用いた表示装置と、その信号線駆動方法に関する。

【背景技術】

【0002】

【特許文献1】特開2003-271095

【特許文献2】特開2003-255856

【0003】

近年、フラットパネルディスプレイ（FPD）として有機EL表示装置に関心が高まっている。現在、FPDでは液晶表示装置（LCD）が主流を占めているが、液晶表示装置は自発光デバイスではないので、バックライトや偏光板などの他部材を必要とする。このため、表示装置の厚みが増したり、輝度が不足するなどの事情が避けられない。

これに対して有機EL表示装置は自発光デバイスであり、バックライトなど他部材が原理的に不要で、薄型化や高輝度の実現性などの点でLCDと比較して有利である。特に、各画素にスイッチング素子を形成したアクティブマトリクス型有機EL表示装置では、各画素にホールド点灯させることで消費電流を低く抑えることができ、大画面化および高精細化が比較的容易に行えることから、各社で開発が進められており、次世代FPDの主流になると期待されている。

【0004】

また、近年ではデジタルスチルカメラ、デジタルカムコーダーなどに代表される個人用撮影機器が発達しており、それらのファインダー表示素子として、結晶珪素基板上に画素回路および駆動回路が形成されたLiquid Crystal on Silicon所謂LCOSあるいは高温または低温多結晶シリコンLCDが用いられている。

LCDを用いたファインダー素子では、透過型ではバックライトが、反射型ではフロントライトが必要であり、必然的にモジュール厚が増してしまい、機器の薄型化に不利となる。また、個人用撮影機器の小型化とともにファインダー自体も小型され、それに伴い画素自体も縮小される傾向にあり、透過型LCDでは開口部が十分にとれず、性能限界に近づきつつある。反射型ではLCOSが主流になりつつあるが、やはり照明系は必要であり、機器の薄型化に寄与しない。

一方、有機ELをビューファインダー表示素子として用いた場合には、自発光であるのでLCDのような照明系を必要せず、機器の薄型化に寄与できる。また、有機ELの素子構造として上面発光の素子を用いることで、開口率も性能上十分な値を確保できる。

【0005】

また、近年ではビューファインダーも高精細化の道をたどりつつあり、QVGA（Quarter Video Graphics Array：320×240画素）からVGA（Video Graphics Array：640×480画素）、さらにはSVGA（Super Video Graphics Array：800×600画素）やXGA（Extended Graphics Array：1024×768画素）の要求が機器メーカーから出ている。

これらの高精細化の要求に対応するには、LCOSのようにMOSプロセスを用いるのは当然のこととして、さらに画素駆動回路の素子数を減少させるか、あるいは画素駆動回路内の素子サイズの縮小が必要となる。

なお、上記特許文献1, 2には有機EL素子を用いた画素回路に関する技術が記載されている。

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0006】

一般的に有機ELを駆動する画素回路では、トランジスタの閾値変動やトランスコンダクタンス変動を補償する機構が必要で、様々な技術が提案されている。これらの回路の大部分は、トランジスタ数が5個程度と多い。しかしながら、MOSプロセスによりトランジスタを形成した場合には、隣接画素間のトランジスタ閾値差は5mVと大変小さく、特に閾値電圧 V_{th} を補正する回路を必要としない場合が多い。だが、MOSトランジスタの移動度が約 $300 \sim 600 \text{ cm}^2 / \text{V} \cdot \text{s}$ と大きく、高精細な微小画素を駆動する場合には、電流供給能力が大きすぎる。

通常、ビデオカメラのビューファインダーで用いられるようなディスプレイの画素ピッチは $10 \mu\text{m}$ よりも小さく、かつ直視型の場合には輝度は 100 nit 程度しか必要としないため、有機EL駆動電流は 5 nA 程度と小さい。

【0007】

図9は、有機EL画素駆動回路の例を示し、図10にその動作を示す。この回路は、3個のP型トランジスタ T_1 、 T_2 、 T_3 と1個の容量 C_s で構成される。

信号線SIGからは映像信号電圧が与えられるが、図10(a)のように走査線WSによってトランジスタ T_1 が導通されるタイミングで、図10(b)の信号線SIGからのアナログ映像信号電圧 V_s がサンプリングされる。このサンプリングされた映像信号電圧 V_s によってトランジスタ T_2 のゲート電圧が決まることになり、トランジスタ T_2 がアノード電源 V_{cc} からの電流を有機EL素子4に流す動作を行う。このトランジスタ T_2 は、発光時の定電流動作を保证するため飽和領域で動作する。

なお、トランジスタ T_3 は、輝度あるいはホワイトバランス調整用に設けられており、デューティ制御線DSからのパルスにより1フレーム間でON・OFF動作を行う。このため図10(c)(d)のように、デューティ制御線DSが低電位とされ、トランジスタ T_3 が導通される時点で、有機EL素子4に、トランジスタ T_2 からの定電流 I_{e1} が流れることになる。

【0008】

この図9の画素回路で、有機EL素子4に流れる電流 I_{e1} は、

$$I_{e1} = K (V_{gs} - V_{th})^2 \quad \dots \text{(式1)}$$

で決定される。但し、 V_{gs} ：トランジスタ T_2 のゲート・ソース間電圧、 V_{th} ：トランジスタ T_2 の閾値電圧 K ：トランジスタ T_2 の定数である。

【0009】

ここで、電流 I_{e1} が約 5 nA と非常に小さいため、上式から、電流を制限するには、ゲート・ソース間電圧 V_{gs} を小さくする(映像信号振幅を小さくする)か、定数 K を小さくする必要がある。

例えば、画素ピッチが $10 \mu\text{m}$ ピッチ程度で、トランジスタサイズ $W/L = 1 \mu\text{m} / 1 \mu\text{m}$ 程度であれば、信号線SIGから与える映像信号振幅 V_s としては $0.5 \text{ V} \sim 0.7 \text{ V}$ 程度で十分である。

【0010】

しかしながら、映像信号振幅 0.7 V で多階調表現、例えば256階調を行おうとすると1階調あたり 1.97 mV と大変小さく正確な制御を行うことが困難となる。即ち信号線SIGに映像信号を与える信号線駆動回路において、正確に階調を表現する映像信号を信号線SIGに印加することが困難である。或いは、このような小さい信号振幅のなかで十分な階調表現を行う信号線駆動回路を実現するには、非常に分解能の高い高性能な回路が必要となり、大幅なコストアップが生ずる。

一方で、例えば映像信号振幅を 2 V 程度に広げて、信号線駆動回路側で比較的容易に十分な階調表現ができるようにすると、今度は画素回路側でトランジスタのチャンネル長を大きくする必要がある。例えばチャンネル長が $1 \mu\text{m}$ から $64 \mu\text{m}$ 程度に拡大することとなってしまい、現実的ではない。

また、LCD用の信号線駆動回路は、通常 4 V 振幅の映像信号で信号線を駆動しており

10

20

30

40

50

、これを、そのまま有機EL表示装置に転用することもできない。

【課題を解決するための手段】

【0011】

本発明は上記のような問題点を鑑みなされたもので、特に画素回路がMOSプロセスで形成された有機EL表示装置において、映像信号線駆動回路における階調表現の容易性と、画素回路に適した映像信号電圧印加を両立させることを目的とする。

【0012】

本発明の表示装置は、複数列の信号線と複数行の走査線が配されるとともに、各信号線と各走査線の交差部分に有機エレクトロルミネセンス素子を発光素子としてMOSプロセスで形成された画素回路が配置されて成る画素アレイと、上記各信号線に映像信号電圧を与える信号線駆動回路と、上記各走査線に走査パルスを与える走査線駆動回路とを有する表示装置である。そして上記信号線駆動回路には、映像信号電圧を上記信号線に与える出力回路部として、入力されたアナログ映像信号電圧を、容量カップリングで得られる電圧に変換して上記信号線に出力する出力回路部が設けられる。

10

上記画素回路は、上記信号線から与えられた映像信号電圧を電流に変換して有機エレクトロルミネセンス素子に供給する構成である。

【0013】

また特に上記出力回路部は、入力されたアナログ映像信号を増幅する増幅回路と、容量素子と、上記増幅回路の出力端と上記容量素子の一端の間をオン/オフする第1のスイッチと、上記容量素子の一端と第1の基準電位の間をオン/オフする第2のスイッチと、上記容量素子の他端と第2の基準電位の間をオン/オフする第3のスイッチとを有し、上記容量素子の他端が、上記信号線に接続されている構成とする。

20

この場合、上記出力回路部は、入力されたアナログ映像信号電圧を、上記容量素子と、上記信号線の容量との容量カップリングで得られる電圧に変換して上記信号線に出力する。

【0014】

または、上記出力回路部は、第1の容量素子と、上記第1の容量素子の一端とアナログ映像信号の入力端の間をオン/オフする第1のスイッチと、上記容量素子の一端と第1の基準電位の間をオン/オフする第2のスイッチと、上記容量素子の他端と第2の基準電位の間をオン/オフする第3のスイッチと、上記容量素子の他端と接地電位の間に接続される第2の容量素子と、上記容量素子の他端に接続される増幅回路とを有し、上記増幅回路の出力端が上記信号線に接続されている構成とする。

30

この場合、上記出力回路部は、入力されたアナログ映像信号電圧を、上記第1の容量素子と、上記第2の容量素子との容量カップリングで得られる電圧に変換した後、上記増幅回路を介して上記信号線に出力する。

【0015】

本発明の走査線駆動方法は、上記構成の表示装置における信号線駆動方法であり、アナログ映像信号電圧を、容量カップリングで得られる電圧に変換して上記信号線に出力することを特徴とする。

【0016】

これらの本発明は、有機EL表示装置の信号線駆動回路が、映像信号線に印加される実効電圧を容量カップリングにより低減させることで、MOSプロセスで形成された電圧-電流変換型の画素回路に適した電圧にするものである。

40

【発明の効果】

【0017】

本発明では、信号線駆動回路の出力回路部で、容量カップリングによりアナログ映像信号電圧を低減させることで、信号線に出力する映像信号電圧を、MOSプロセスで形成された画素回路に適切な微小振幅（例えば0.7V程度の振幅）の映像信号とする。

つまり信号線駆動回路は、十分に大きい信号電圧振幅の状態階調制御を行った後に、容量カップリングで信号電圧振幅を低減させるため、容易に正確な階調制御ができるとと

50

もに、画素回路に適した映像信号を与えることができる。換言すれば、画素回路にとって適切な信号振幅を出力する信号線駆動回路を容易に実現できる。

従って、例えば画素ピッチが小さくトランジスタのチャンネル長も小さい微細画素による小型で高精細の表示装置を、信号線駆動回路に階調制御のための負担をかけずに実現でき、低コストかつ高精細な有機EL表示装置を実現できる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態としての有機EL表示装置を説明する。

図1に実施の形態の表示装置の構成を示す。本例の表示装置では、画素アレイ1としてカラー画素ユニットGSがm行×n列のマトリクス状に配列されている。

10

1つのカラー画素ユニットは、R(赤)画素回路10R、B(青)画素回路10B、G(緑)画素回路10Gから構成される。そしてこのようなカラー画素ユニットGS11~GSnmがマトリクス状に配列される。図では画素アレイ1における4隅のカラー画素ユニットGS11、GS1n、GSm1、GSnmのみを示し、他は省略している。

【0019】

このような画素アレイ1に対して、映像信号線駆動回路2、走査線駆動回路3が設けられる。

映像信号線駆動回路2には、水平クロックHCK、水平スタート信号HST、及びデジタル映像信号(D・Video)が入力される。また映像信号線駆動回路2にはラッチ制御信号STB、スイッチ制御信号S1、S2、S3が入力される。さらに基準電圧Vr1、Vr2が供給される。映像信号線駆動回路2は、後述する図2の構成において、これらの信号に基づいて、画素アレイ1の各列に対して配設された映像信号線SIGに対して、各水平期間毎に映像信号を与える。

20

映像信号線SIGとしては、列方向に並ぶR画素回路10Rに対する映像信号線SIG-R、列方向に並ぶB画素回路10Bに対する映像信号線SIG-B、列方向に並ぶG画素回路10Gに対する映像信号線SIG-Gが設けられる。カラー画素ユニットGSはn列であるため、画素アレイ1に対して、映像信号線SIG-R(1)~SIG-R(n)、SIG-B(1)~SIG-B(n)、SIG-G(1)~SIG-G(n)が設けられることになり、映像信号線駆動回路2は、これらの映像信号線SIGに対してそれぞれ1水平期間毎に、列方向の各画素に応じたR映像信号、B映像信号、G映像信号を印加する。

30

【0020】

走査線駆動回路3には、垂直走査クロックVCK、垂直スタート信号VSTが与えられる。走査線駆動回路3はこれらの信号に基づいて、画素アレイ1の各行に対して配設された走査線WSに対して走査パルスを与え、また各行に対して配設されたデューティ制御線DSを駆動する。

画素アレイ1はm行の画素が構成されることから、走査線WSとしては走査線WS(1)~WS(m)が設けられ、またデューティ制御線DS(1)~DS(m)が設けられる。走査線駆動回路3は、1フレーム期間内において、1水平期間毎に走査線WS(1)~WS(m)を順次選択する走査パルスを印加する。

40

また1フレーム期間において各行に対して、各画素における輝度あるいはホワイトバランス調整のために、デューティ制御線DS(1)~DS(m)に、所定のタイミングでH/Lレベルが切り換えられる制御パルスを印加する。

各画素回路10(10R、10B、10G)には、それぞれ対応する行の走査線WSからの走査パルスと、デューティ制御線DSからの制御パルスが与えられる。

【0021】

画素アレイ1の各画素回路10(10R、10B、10G)に対しては、電源電圧Vcとカソード電圧Vkが与えられる。

【0022】

図1の表示装置構成における画素回路10(10R、10B、10G)の構成は、例え

50

ば上述した図9のような構成となる。

上述したように、図9の画素回路10は、有機EL素子4を駆動する回路が3つのP型トランジスタT1、T2、T3と1つの容量Csで形成されている。この画素回路10の構成及び動作は、既に説明したため、ここでの再度の説明は避けるが、この画素回路10はMOSプロセスにより形成され、映像信号線駆動回路2によって信号線SIGに与えられた映像信号電圧を電流に変換して有機EL素子4に流し、発光を行うものである。

【0023】

図9の画素回路10はMOSプロセスにより形成されるが、MOSプロセスにより、この画素回路10を実現するレイアウト例を図7に示し、また有機EL画素回路の断面構造例を図8に模式的に示す。

まず図8でMOSプロセスで形成される画素回路10の構造を述べる。既に公知であるように、MOSプロセスでは結晶珪素基板（シリコンウエハ）上に不純物添加、拡散を行い、ポリシリコン膜、酸化膜、層間絶縁膜等を成膜していくことでトランジスタを形成し、また素子間の配線のためのアルミまたは銅などによる金属配線膜を生成して所要の回路を構成する。


本例の有機EL画素回路の場合、図示するようにトランジスタT1、T2、T3及び容量Csが形成されるとともに、3層に金属配線膜（第1金属配線膜MT1、第2金属配線膜MT2、第3金属配線膜MT3）が形成される。各層の間はコンタクトとして層間プラグCTが形成されて電氣的に接続される。

そして最上層としてアノード電極41、EL薄膜42、カソード電極43が蒸着形成される。

図9の画素回路10の場合、デューティ制御トランジスタT3のドレインが有機EL素子4のアノードに接続されるが、このためには例えば図8のように、デューティ制御トランジスタT3のドレイン領域が、層間プラグCTや金属配線膜MT1、MT2、MT3を介してアノード電極41に接続されることになる。

【0024】

この図8は、あくまで模式的に層構造を示したものであるが、図9の画素回路10に対応したレイアウト例は図7のようになる。

図7においては実線で各素子の構造領域を示し、破線で第1金属配線膜MT1を、一点鎖線で第2金属配線膜MT2を示し、第3金属配線膜MT3は省略している。また層間プラグ（コンタクト）CTとしての上下層のコンタクト部分を「」で示している。

【0025】

実線で示すように、サンプリングトランジスタT1、駆動トランジスタT2、デューティ制御トランジスタT3、容量Csが形成される。

また破線で示す第1金属配線膜MT1により、映像信号線SIGと必要な素子間配線が形成される。また一点鎖線で示す第2金属配線膜MT2により走査線WS、デューティ制御線DSが形成される。図示しない第3金属配線膜MT3によってはアノード電源Vccラインが形成される。

【0026】

この図7からわかるように、第1金属配線膜MT1による映像信号線SIGはコンタクトCT9によりサンプリングトランジスタT1のドレイン領域（D）に接続される。

サンプリングトランジスタT1のゲート領域（G）はコンタクトCT8により、第2金属配線膜MT2の走査線WSに接続される。

サンプリングトランジスタT1のソース領域（S）は、コンタクトCT7により第1金属配線膜MT1の配線と接続され、コンタクトCT5により容量Csの一方の電極に接続される。さらに、この容量Csの一方の電極は、コンタクトCT4、第1金属配線膜MT1の配線、コンタクトCT10を介して駆動トランジスタT2のゲート領域（G）に接続される。

駆動トランジスタT2のソース（S）はコンタクトCT1から図示しないアノード電源Vccラインに接続される。容量Csの他端も、コンタクトCT6から図示しないアノード

10

20

30

40

50

ド電源 V_{cc} ラインに接続される。

駆動トランジスタ T_2 のドレイン領域 (D) は、デューティ制御トランジスタ T_3 のソース領域 (S) と共用され、デューティ制御トランジスタ T_3 のゲート領域 (G) はコンタクト CT_2 により、第2金属配線膜 MT_2 によるデューティ制御線 DS に接続される。

デューティ制御トランジスタ T_3 のドレイン (D) は、コンタクト CT_3 から図示しないアノード電極 4_1 に接続されることになる。

例えばこのようなレイアウトで画素回路 1_0 を形成できる。

【0027】

続いて図2で映像信号線駆動回路2の構成を説明する。

この映像信号線駆動回路2は画素アレイ1に対して線順次駆動方式で映像信号を与える回路であり、シフトレジスタ21, 第1ラッチ回路22, 第2ラッチ回路23, D/A変換器24, 及びアンプブロック25を有する。

シフトレジスタ21には水平クロック HCK 、水平スタート信号 HST が入力される。そして水平クロック HCK に従って水平スタート信号 HST を内部のレジスタで順次シフトさせ、第1ラッチ回路22に対するラッチ制御信号を出力する。

第1ラッチ回路22にはデジタル映像信号としてのストリームデータが入力され、これを順次ラッチする。

第2ラッチ回路23は、ラッチ制御信号 STB に基づくタイミングで、第1ラッチ回路22に取り込まれた1水平期間分のデジタル映像信号をラッチする。つまり1水平期間に各信号線 SIG に与えるべきデジタル映像信号を取り込み、それをD/A変換器24に供給する。

D/A変換器24は、各信号線 SIG に対して供給されたデジタル映像信号をそれぞれその信号値、つまり階調に応じた電圧レベルのアナログ映像信号に変換し、アンプブロック25に供給する。

アンプブロック25は、信号線 SIG に対する出力回路部であり、出力動作のためにスイッチ制御信号 S_1, S_2, S_3 が入力される。また基準電圧 V_{r1}, V_{r2} が供給される。このアンプブロック25は、各信号線 SIG のそれぞれに対応して、次の図3に示した構成を有している。

【0028】

図3は第1の実施の形態としてのアンプブロック25の構成を示している。なお、図ではアンプブロック25において、1つの信号線 SIG に対応する回路構成のみを示している。アンプブロック25には、画素アレイ1に対して設けられた全ての信号線 SIG のそれぞれに対応して、図3の構成が設けられることになる。

【0029】

図3においては、出力段としてのアンプブロック25の負荷となる1つの信号線 SIG を示している。抵抗 R_{sig} は信号線 SIG の抵抗成分、容量 C_{sig} は信号線 SIG の容量成分を示す。

この信号線 SIG に対して、アンプブロック25においては、増幅回路30, スイッチ31, 32, 33、及び容量 C_1 が設けられる。

増幅回路30には、D/A変換器24からのアナログ映像信号が入力 S_{in} として供給される。増幅回路30はアナログ映像信号に対してゲイン k の増幅処理 (増幅または減衰) を行う。

増幅回路30の出力点をノード NA とする。また容量 C_1 の一端側をノード NB 、他端側をノード NC とする。

増幅回路30と出力点 (ノード NA) と容量 C_1 の一端 (ノード NB) の間にはスイッチ31が設けられる。スイッチ31はスイッチ制御信号 S_1 によりオン/オフされる。

また容量 C_1 の一端 (ノード NB) と基準電圧 V_{r1} の間にはスイッチ32が設けられる。スイッチ32はスイッチ制御信号 S_2 によりオン/オフされる。

さらに容量 C_1 の他端 (ノード NC) と基準電圧 V_{r2} の間にはスイッチ33が設けられる。スイッチ33はスイッチ制御信号 S_3 によりオン/オフされる。

10

20

30

40

50

容量 C 1 の他端、つまりノード N C は、信号線 S I G に対する映像信号の出力点となる。

【 0 0 3 0 】

このアンプブロック 2 5 の動作を図 4 のタイミングチャートで説明する。図 4 (a) には入力 S i n として供給されるアナログ映像信号の電圧 V i n を示している。D / A 変換器 2 4 から出力されるアナログ映像信号の電圧範囲を、V i n _max から V i n _min としている。

図 4 (b) (c) (d) にスイッチ制御信号 S 1 , S 2 , S 3 を示している。スイッチ 3 1 , 3 2 , 3 3 は、それぞれスイッチ制御信号 S 1 , S 2 , S 3 が高電位となることでオンとされるとする。

10

図 4 (e) (f) (g) は、ノード N A , N B , N C の電位状態を示している。

ノード N A の電圧範囲を、V a _max から V a _min としている。最高電位 V a _max = 基準電圧 V r 1 である。

ノード N B の電圧範囲を、V b _max から V b _min としている。最高電位 V b _max = 基準電圧 V r 1 である。

ノード N C の電圧範囲を、V c _max から V c _min としている。最高電位 V c _max = 基準電圧 V r 2 である。

【 0 0 3 1 】

このアンプブロック 2 5 においては、D / A 変換器 2 4 からの入力 S i n としてアナログ映像信号が入力される時点 t m 1 において、スイッチ制御信号 S 1 , S 2 , S 3 により、スイッチ 3 1 はオフ状態、スイッチ 3 2 , 3 3 はオン状態とされる。これにより、容量 C 1 の一端であるノード N B の電位は基準電圧 V r 1 とされ、また他端のノード N C は基準電圧 V r 2 とされる。また信号線 S I G の電位も基準電圧 V r 2 となる。

20

その後、時点 t m 2 でスイッチ 3 2 , 3 3 をオフ状態にして、容量 C 1 の両端の電位を確定する。

なお、時点 t m 1 以降、入力 S i n としての映像信号電圧 V i n に応じて、増幅回路 3 0 の出力点 (ノード N A) の電位は、電圧 V a となる。

【 0 0 3 2 】

その後、時点 t m 3 では、スイッチ 3 1 をオン状態とし、スイッチ 3 2 , 3 3 はオフ状態のままとする。これによりノード N A とノード N B が接続されて、ノード N B が増幅回路出力である電位 V a となる。このとき、容量 C 1 と信号線 S I G の容量 C s i g との容量カップリングにより、ノード N C の電位は基準電圧 V r 2 から V c だけ変動して出力電位 V c が確定する。

30

【 0 0 3 3 】

ここで出力電位 V c は、

$$V c = V r 2 - V c \\ = V r 2 - \{ C 1 / (C 1 + C s i g) \} \cdot (V r 1 - V a) \quad \dots (式 2)$$

となる。

式 2 より、信号線 S I G に与えられる出力電位 V c は、基準電圧 V r 2 をオフセットとして、振幅は基準電圧 V r 1 と、増幅回路出力電位 V a と、容量 C 1 と、信号線 S I G の容量 C s i g により一意に決定される。

40

例えば、上記のように増幅回路 3 0 の出力電位最高値 V a _max を基準電圧 V r 1 とし、最低電位を V a _min とすると、出力振幅 V c p p は、

$$V c p p = \{ C 1 / (C 1 + C s i g) \} \cdot (V r 1 - V a m i n) \quad \dots (式 3)$$

となる。

【 0 0 3 4 】

ここで、図 9 で示した画素回路 1 0 を駆動する場合、増幅回路 3 0 の出力振幅が 2 V で、信号線 S I G の出力振幅として 0 . 5 V を必要とする場合には、式 3 より容量 C 1 を信号線容量 C s i g の 1 / 3 倍の値で設計すれば良いことがわかる。信号線容量 C s i g は形成プロセスとレイアウトから一意に決まるので、容量 C 1 も一意に決めることが出来る

50

。

また、D/A変換器24からの入力振幅が過大の場合でも、増幅回路30のゲインと容量比で任意の電圧を出力できる。

したがって、MOSプロセスで形成された微小画素で構成された有機EL表示装置の画素回路10、つまり電圧-電流変換型画素回路の微小な映像信号振幅に容易に対応できることになる。

【0035】

即ち本実施の形態によれば、アンプブロック25で、容量カップリングによりアナログ映像信号電圧を低減させることで、信号線SIGに出力する映像信号電圧を、MOSプロセスで形成された画素回路に適切な微小振幅の映像信号とする。このため前段のD/A変換器24においては、十分な電圧幅の中で階調表現ができ、画素回路に対応する微小振幅に応じた高い分解能を備える必要はない。また増幅回路30も必要以上に高性能とすることを要求されない。

10

このため信号線駆動回路2、特にD/A変換器24や増幅回路10において構成上の負担をかけないまま、低コストかつ高精細な有機EL表示装置を実現できる。

また信号線駆動回路2においてシフトレジスタ21からD/A変換器24までについては従前の回路を用いることができることから、設計の効率化、迅速化も可能である。

【0036】

次に、図5、図6により第2の実施の形態のアンプブロック25を説明する。

図5は、上記図3と同様に、アンプブロック25として、1つの信号線SIGに対応する回路構成のみを示している。

20

図示するように、この第2の実施の形態のアンプブロック25は、増幅回路40、スイッチ41、42、43、及び容量C11、C12が設けられる。

D/A変換器24からのアナログ映像信号が入力Sinとして供給されるが、この入力Sinはスイッチ41を介して容量C11の一端(ノードND)に供給される。スイッチ41はスイッチ制御信号S1によりオン/オフされる。

また容量C11の一端(ノードND)と基準電圧Vr1の間にはスイッチ42が設けられる。スイッチ42はスイッチ制御信号S2によりオン/オフされる。

さらに容量C11の他端(ノードNE)と基準電圧Vr2の間にはスイッチ43が設けられる。スイッチ43はスイッチ制御信号S3によりオン/オフされる。

30

容量C11の他端(ノードNE)とグランド電位の間には、容量C12が接続される。

また容量C11の他端(ノードNE)に増幅回路40の入力端が接続される。増幅回路40はノードNEの映像信号に対してゲインkの増幅処理(増幅または減衰)を行う。

増幅回路40の出力点(ノードNF)が、信号線SIGと接続された出力点となる。

【0037】

図5のアンプブロック25の動作を図6のタイミングチャートで説明する。図6(a)には入力Sinとして供給されるアナログ映像信号の電圧Vinを示している。

図6(b)(c)(d)にスイッチ制御信号S1、S2、S3を示している。スイッチ41、42、43は、それぞれスイッチ制御信号S1、S2、S3が高電位となることでオンとされるとする。

40

図6(e)(f)(g)は、ノードND、NE、NFの電位状態を示している。

【0038】

このアンプブロック25においては、D/A変換器24からの入力Sinとしてアナログ映像信号が入力される時点tm1において、スイッチ制御信号S1、S2、S3により、スイッチ41はオフ状態、スイッチ42、43はオン状態とされる。これにより、ノードNDは基準電圧Vr1、ノードNEは基準電圧Vr2とされ、容量C11と容量C12の電位が基準電源Vr1、Vr2の電位に設定される。

容量C11と容量C12の電位確定後に、時点tm2で全てのスイッチをオフ状態にする。そして時点tm3で、スイッチ41をオン状態に、スイッチ42、43をオフ状態にする。すると、入力信号電圧Vinが容量C11の一端(ノードND)に印加され、容量

50

C 1 1 と容量 C 1 2 の容量カップリングにより、ノード N E の電位が基準電圧 V r 2 から V e だけ変動する。このノード N E の電位は、増幅回路 4 0 により増幅されて信号線 S I G に出力される。

【 0 0 3 9 】

ここで時点 t m 3 以降、つまりスイッチ 4 1 がオン状態になったときのノード N E の電位 V e は、

$$V e = V r 2 - V e \\ = V r 2 - \{ C 1 / (C 1 + C 2) \} \cdot (V r 1 - V i n) \quad \dots (式 4)$$

となる。そしてこのアンプブロック 2 5 の出力電位 V f は、

$$V f = k \times V e \quad \dots (式 5)$$

10

であり、出力振幅 V f p p は、

$$V f p p = k \times \{ C 1 / (C 1 + C 2) \} \cdot (V r 1 - V i n) \quad \dots (式 6)$$

となる。

【 0 0 4 0 】

この図 5 のアンプブロック 2 5 の場合、増幅回路 4 0 のゲインと容量 C 1 1 , C 1 2 の容量比によって、図 3 で示した回路と同様に任意の電圧を信号線 S I G に出力できる。したがって、M O S プロセスで形成された微小画素で構成された有機 E L 表示装置の電圧 - 電流変換型の画素回路の微小な映像信号振幅に容易に対応できる。

また、例えば信号線 S I G の容量が大きいと、上記図 3 のアンプブロック 2 5 の場合は容量 C 1 を大きな面積にしなければならない場合があり得るが、図 5 の回路では、増幅回路入力段にて容量 C 1 1 , C 1 2 により電圧変換を行っているので、信号線 S I G の容量に関わらず、容量 C 1 1 , C 1 2 の面積を大面積にする必要は無い。従って表示装置の小型化に有利である。

20

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 本発明の実施の形態の表示装置の構成のブロック図である。

【 図 2 】 実施の形態の映像信号線駆動回路のブロック図である。

【 図 3 】 第 1 の実施の形態のアンプブロックのブロック図である。

【 図 4 】 第 1 の実施の形態のアンプブロックの動作の説明図である。

【 図 5 】 第 2 の実施の形態のアンプブロックのブロック図である。

30

【 図 6 】 第 2 の実施の形態のアンプブロックの動作の説明図である。

【 図 7 】 実施の形態の画素回路のレイアウトの説明図である。

【 図 8 】 有機 E L 画素回路の構造の説明図である。

【 図 9 】 従来画素回路の回路図である。

【 図 1 0 】 従来画素回路の動作の説明図である。

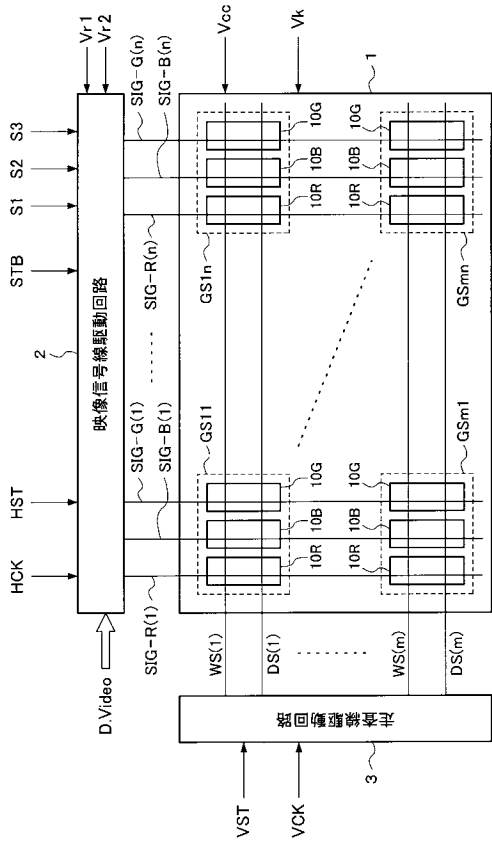
【 符号の説明 】

【 0 0 4 2 】

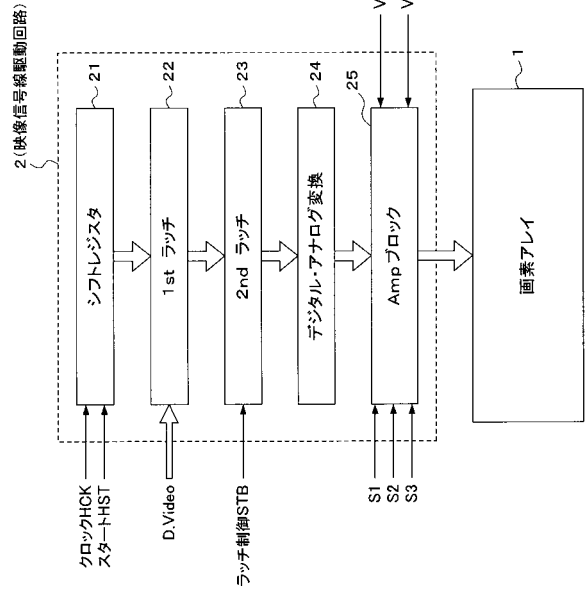
1 画素アレイ、 2 映像信号線駆動回路、 3 走査線駆動回路、 4 有機 E L 素子、
1 0 画素回路、 1 0 R R 画素回路、 1 0 B B 画素回路、 1 0 G G 画素回路、 2 5
アンプブロック、 3 0 , 4 0 増幅回路、 3 1 , 3 2 , 3 3 , 4 1 , 4 2 , 4 3 スイ
ッチ、 C 1 , C 1 1 , C 1 2 容量、 S I G 映像信号線、 W S 走査線、 D S デュー
ティ制御線

40

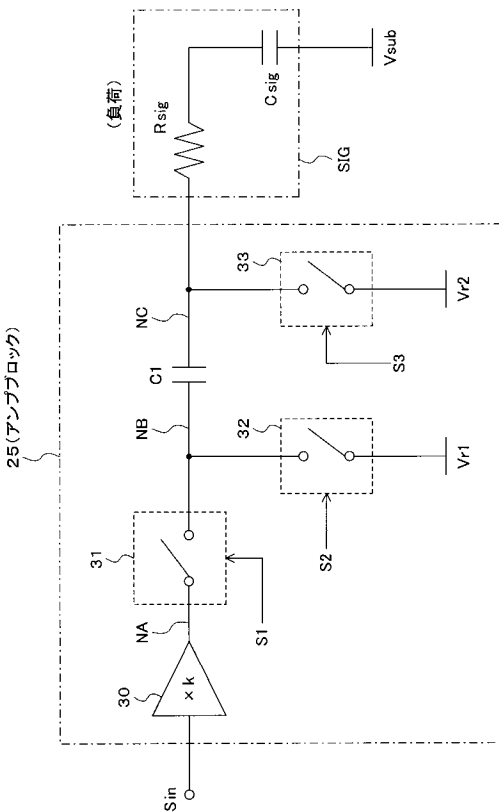
【 図 1 】



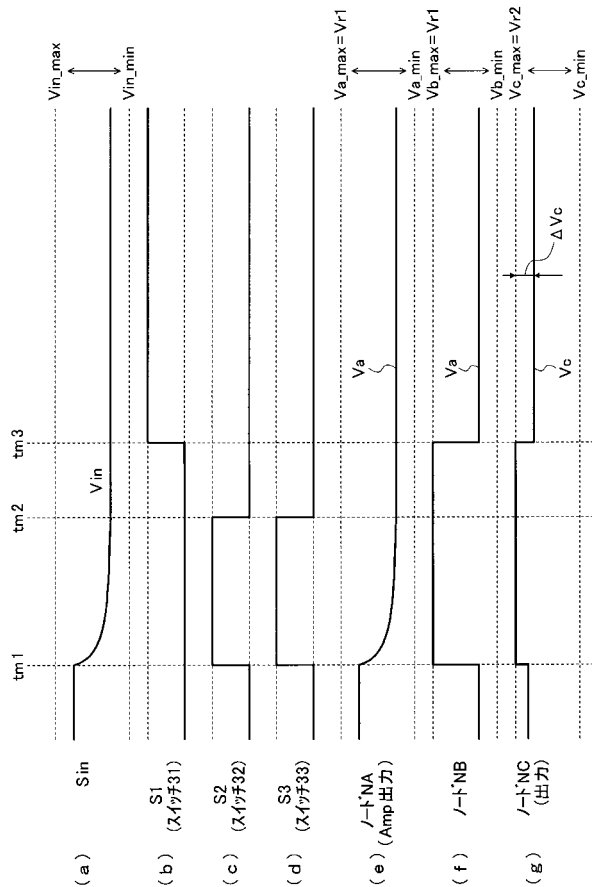
【 図 2 】



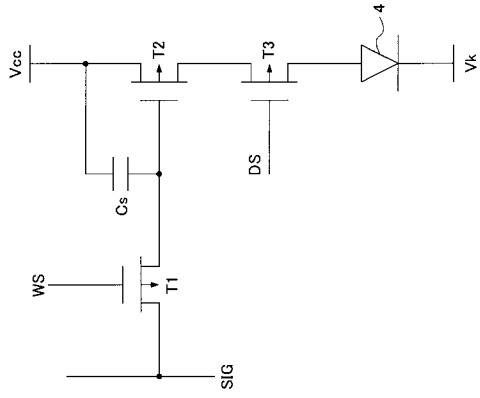
【 図 3 】



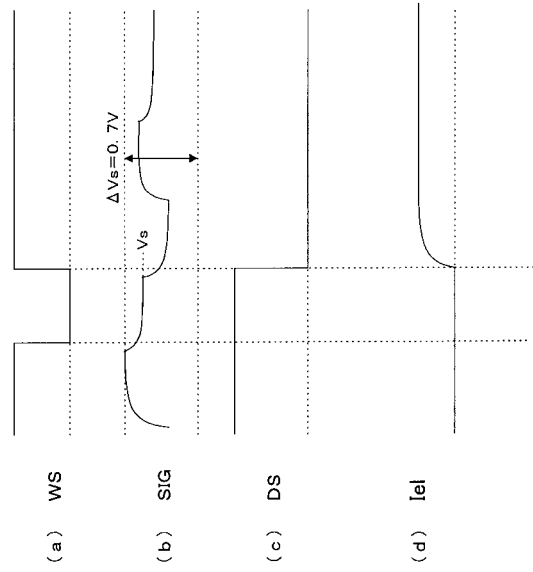
【 図 4 】



【 図 9 】



【 図 10 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 8 0 G
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 DD03 DD22 DD28 EE29 FF11 JJ02 JJ03 JJ04
JJ06

专利名称(译)	表示装置、信号线驱动方法		
公开(公告)号	JP2006243176A	公开(公告)日	2006-09-14
申请号	JP2005056312	申请日	2005-03-01
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	中村和夫 内野勝秀		
发明人	中村 和夫 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.M G09G3/20.623.B G09G3/20.623.R G09G3/20.641.D G09G3/20.642.C G09G3/20.680.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD22 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC45 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/AC10 5C380/BA05 5C380/BA11 5C380/BA13 5C380/BA28 5C380/BA30 5C380/BA37 5C380/BA39 5C380/BB12 5C380/BB25 5C380/CA02 5C380/CA04 5C380/CA12 5C380/CA16 5C380/CA17 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB18 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CD013 5C380/CF07 5C380/CF09 5C380/CF21 5C380/CF22 5C380/CF24 5C380/CF43 5C380/CF48 5C380/DA02 5C380/DA06		
代理人(译)	铃木信夫		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有通过MOS工艺形成的像素电路的有机EL显示装置，其中在视频信号线驱动电路中的容易的灰度表达和适合于该像素电路的视频信号电压的施加都兼容。[解决方案]在信号线驱动电路的输出电路部分（放大器块25）中，通过电容耦合（C1和Csig）降低模拟视频信号电压，通过MOS工艺形成输出到信号线SIG的视频信号电压。视频信号具有适合于像素电路的微小幅度（例如，约0.7V的幅度）。换句话说，信号线驱动电路在信号电压幅度足够大的状态下执行灰度控制之后，通过电容耦合来减小信号电压幅度，从而轻松，准确地实现灰度控制，给出了适合该电路的视频信号。[选择图]图3

