

(19)日本国特許庁 ( J P )

# (12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開2003 - 323156

(P2003 - 323156A)

(43)公開日 平成15年11月14日(2003.11.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> ( 参考 )
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	611	3/20	611 H 5 C 0 8 0
	612		611 Z 5 F 1 1 0
	624		612 E
			624 B

審査請求 未請求 請求項の数 4 O L ( 全 16数 ) 最終頁に続く

(21)出願番号 特願2002 - 132287(P2002 - 132287)

(22)出願日 平成14年5月8日(2002.5.8)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 川崎 素明

東京都大田区下丸子3丁目30番2号 キヤノ  
ン株式会社内

(72)発明者 大村 昌伸

東京都大田区下丸子3丁目30番2号 キヤノ  
ン株式会社内

(74)代理人 100096828

弁理士 渡辺 敬介 ( 外 1 名 )

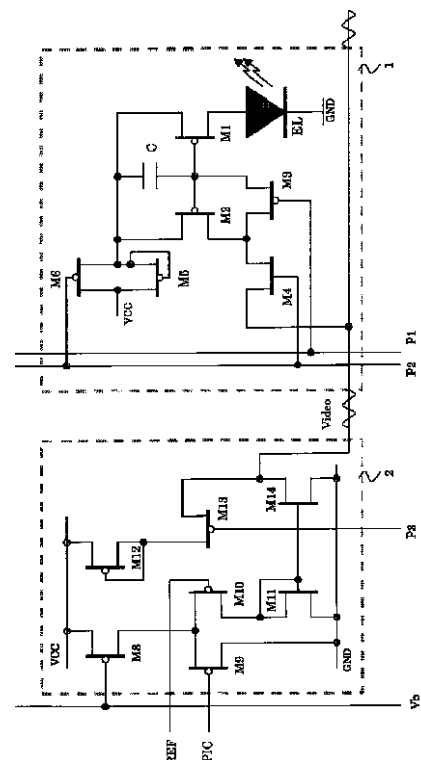
最終頁に続く

(54)【発明の名称】 E L 素子駆動回路及び表示パネル

## (57)【要約】

【課題】 使用する回路素子の特性バラツキの影響や、映像信号を供給する信号供給線へのノイズ混入による E L 素子の発光動作誤差 ( 変動 ) を減少させながら、駆動回路レイアウトの制約を最小限にでき、高画質の E L 素子を使用した表示パネルを実現すること。

【解決手段】 駆動方式として電流設定方式を採用し、微弱な電流に対して大きな動抵抗特性を有するトランジスタ ( M 5 ) を、 E L 素子への注入電流を決定する電圧設定用のトランジスタ ( M 2 ) と電源 ( V C C ) との間に挿入し、信号供給線 ( V i d e o ) から混入するノイズによるコンデンサ ( C ) の端子間電圧の変動を抑える。



## 【特許請求の範囲】

【請求項 1】 注入電流で発光動作するエレクトロルミネッセンス（E L）素子を発光させる E L 素子駆動回路において、

E L 素子と、第 1、第 2 及び第 3 のトランジスタと、コンデンサーと、第 1、第 2 及び第 3 のスイッチと、を少なくとも備え、

前記第 1 トランジスタと第 2 トランジスタとは、第 1 主電極同士及びゲート電極同士が互いに接続され、

前記コンデンサーは、前記第 1 トランジスタの第 1 主電極とゲート電極との間に接続され、

前記 E L 素子は、前記第 1 トランジスタの第 2 主電極に接続され、

前記第 1 スwitchは、前記第 2 トランジスタの第 2 主電極とゲート電極との間に接続され、

前記第 2 スwitchは、前記 E L 素子への注入電流を規定する信号電流を供給するための信号供給線と前記第 2 トランジスタの第 2 主電極との間に接続され、

前記第 3 トランジスタは、第 1 主電極が電源に接続され、第 2 主電極が前記第 1 トランジスタの第 1 主電極に接続され、第 1 主電極と第 2 主電極との間の電位差により所定の方向に電流が流れるようにゲート電極と第 1 主電極又は第 2 主電極とが短絡され、

前記第 3 スwitchは、電源と前記第 1 トランジスタの第 1 主電極との間に接続され、

前記第 1 スwitch及び第 2 スwitchが短絡されているときに前記第 3 スwitchを開放させ、第 1 スwitch及び第 2 スwitchが開放しているときは前記第 3 スwitchを短絡させるように構成されていることを特徴とする E L 素子駆動回路。

【請求項 2】 請求項 1 に記載の E L 素子駆動回路をマトリクス状に複数接続したことを特徴とする表示パネル。

【請求項 3】 請求項 1 に記載の E L 素子駆動回路において、該 E L 素子駆動回路が少なくとも画素表示回路と信号供給回路とを含み、

前記画素表示回路は、前記 E L 素子と、前記第 1 及び第 2 のトランジスタと、前記コンデンサーと、前記第 1、第 2 及び第 3 のスイッチと、を含み、さらに第 4 のスイッチを備えた回路であり、

前記信号供給回路は、前記第 3 のトランジスタを含み、前記画素表示回路と前記信号供給回路とは、少なくともノイズ抑制線と前記信号供給線とにより接続され、

前記第 3 トランジスタの第 2 主電極と前記第 1 トランジスタの第 1 主電極とは、前記ノイズ抑制線と前記第 4 スwitchとを介して接続され、

前記第 1 スwitch及び第 2 スwitchが短絡されているときに前記第 3 スwitchを開放し前記第 4 スwitchを短絡し、第 1 スwitch及び第 2 スwitchが開放しているときは前記第 3 スwitchを短絡し前記第 4 スwitchを開放さ

せるように構成されていることを特徴とする E L 素子駆動回路。

【請求項 4】 少なくとも請求項 3 に記載の E L 素子駆動回路を複数含み、画素表示回路はマトリクス状に接続され、該マトリクス状に接続された画素表示回路のうち 1 ラインに属する画素表示回路を 1 組として、各組の画素表示回路を各組毎に 1 つずつ配置された信号供給回路のそれぞれに共通に接続したことを特徴とする表示パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電流を注入して発光するエレクトロルミネッセンス素子の駆動回路に関するものである。

## 【0002】

【従来の技術】エレクトロルミネッセンス素子（以後 E L 素子と言う）は、E L 素子を含む画素表示回路をマトリクス状に複数配置した表示パネル型画像表示システム（以後表示パネルと言う）等に応用されている。一般に表示パネルは大面積であり単結晶シリコン基板上に形成できない為、ガラス基板上に形成された薄膜トランジスタ（T F T）プロセスで形成される。

【0003】この E L 素子の駆動回路には、主に電圧設定方式と電流設定方式との 2 つの方式が存在する。

【0004】〔電圧設定方式〕先ず図 9 を用いて電圧設定方式を説明する。図 9 は従来の電圧設定方式による画素表示回路の回路図である。

【0005】映像信号を入力するための信号供給線 V i d e o は制御パルス P 6 によってゲート電極が制御された M O S トランジスタ M 1 5（本明細書中では M O S トランジスタを M の略記号にて表す）のソース電極（M 1 5 / S）（本明細書中では M O S トランジスタのソース電極を / S、ドレイン電極を / D、ゲート電極を / G の略記号にて表す）に入力され、M 1 5 のドレイン電極（M 1 5 / D）はコンデンサー C 2 に接続される。コンデンサー C 2 の他端は電源 V C C に一端が接続されたコンデンサー C 1 に接続されるとともに、ソース電極が電源 V C C に接続された M 1 のゲート電極（M 1 / G）と制御パルス P 5 によってゲートが制御された M 1 7 / S に接続される。M 1 / D 及び M 1 7 / D はゲートが制御パルス P 4 で制御された M 1 6 / S に接続され、M 1 6 / D は E L 素子の電流注入端子に接続され、E L 素子の他端は接地 G N D に接続される。

【0006】表示パネルにおいて画素表示回路 1 は多数配列され、例えば Q V G A（320×240）の場合、信号供給線 V i d e o は 240 個の画素表示回路 1 に引き回され接続され、制御パルス P 4～P 6 は 320 個の画素表示回路 1 に引き回され接続される。

【0007】図 9 の画素表示回路 1 の動作を図 10 のタイムチャートを使用して説明する。図 10（a）～

(e)は、各々、信号供給線Video、制御パルスP4、制御パルスP5、制御パルスP6及びM1/Gの電圧状態を示す。

【0008】(時刻t0以前において)信号供給線Videoの電圧は一行前の画素表示回路1の発光設定を行う信号レベルVv(n-1)であり、P4=L、P5=H、P6=HからM15=OFF、M16=ON、M17=OFFであり、M1/Gの電圧は該当画素表示回路1が前回制御されてコンデンサーC1に充電された電圧Vd#に保持されており、この電圧Vd#によって決定される電流がEL素子に注入されEL素子は発光している\*

$$I_{ds} = k \times \Delta V$$

$$\Delta V = V_{gs} - V_{th}$$

【0012】ここで、Idsはドレイン電流、kは駆動計数、Vgsはゲート・ソース間電圧、Vthはしきい値電圧である。

【0013】1)式から理解できるようにVgs=Vthに近づくとIdsは小さくなるため、M1の自己放電動作は弱くなる。従ってM1/Gは図10(e)に示すようにVthに漸近する。さらにコンデンサーC2は端子間電圧が(Vcc-Vth-Vbk)になるように放電される電圧dv(n)=[C2÷(C1+C2)]×Vv(n)だけ下降させる。

【0016】2)式中では、C1、C2は、コンデンサーC1、C2の電気容量を表している。

【0017】dv(n)はVv(n)の遷移速度に基本的に依存しない。dv(n)は1)式のVに相当しこれによってトランジスタM1は電流をEL素子に注入する。

【0018】(時刻t2において)P6=HとなるためM15=OFFになり、引き続き該当トランジスタM1は電流をEL素子に注入して発光動作を次の発光設定動作まで持続する。時刻t2以降は次行の画素表示回路1に対して同様な発光設定動作を行う。

【0019】以上述べた図9の画素表示回路1の発光設定動作においては、一旦M1/GをVth電圧である黒レベルにリセットしてから設定電圧Vvを入力し、2)式で示される駆動電流を発生する誤差電圧dv(n)をM1/Gに設定できる。このため表示パネルの各画素表示回路1内の各トランジスタM1のTFTプロセスによって助長されるVthのバラツキ及び配線抵抗による各電源VCCの電位変動に影響されることなくEL素子への注入電流を設定できる。

【0020】〔電流設定方式〕次に図6を用いて電流設定方式を説明する。図6は従来の電流設定方式による画素表示回路の回路図である。

【0021】信号供給線Videoには、入力映像電圧信号を信号供給回路によって電流信号に変換した映像信号電流が入力される。信号供給線Videoはゲートが制御パルスP2で制御されたM4/Sに接続され、M4

る。

【0009】(時刻t0において)P4=H、P6=LになりM15=ON、M16=OFFになる。続いて信号供給線Videoを黒レベルVbk(最大電圧)にし、続いてP5=LにしてM17=ONにする。この時点においてM1は自己放電状態になり、コンデンサーC1の電圧は放電されM1/Gの電圧は上昇する。

【0010】ところでMOSトランジスタの電流電圧特性は1)式の五極管特性で概略示することができる。

【0011】

【数1】

1)

電される。

【0014】(時刻t1において)P5=HとなるためM17=OFFになり、続いてP4=LとなるためM16=ONになり、続いて信号供給線Videoを所望レベルVv(n)下降させてM1/Gの電圧を2)式で示される電圧dv(n)だけ下降させる。

【0015】

【数2】

2)

/Dはソース電極が電源VCCに接続されたM2/Dとゲートを制御パルスP1で制御されたM3/Sとに接続される。M2/Gは一端を電源VCCに接続されたコンデンサーC1とM3/Dとソース電極が電源VCCに接続されたM1/Gとに接続される。M1/DはEL素子の電流注入端子に接続され、EL素子の他端は接地GNDされる。

【0022】図6の画素表示回路1の動作を図7のタイムチャートを使用して説明する。図7(a)~(d)は、各々、信号供給線Videoに供給される電流映像信号、制御パルスP1、制御パルスP2、M1/G電圧を示す。

【0023】(時刻t0以前において)信号供給線Videoには一行前の画素表示回路1への設定電流Id(n-1)になっており、また、P1=H、P2=LからM3=OFF及びM4=OFFになっている。またM1/Gには前回発光設定動作によって決定された電圧Vd#(n)が電源VCCから与えられており、Vd#(n)によって決定されるM1からの出力電流が該当EL素子に注入され発光している。

【0024】(時刻t0において)信号供給線Videoは図6の該当画素表示回路1の発光設定をする電流Id(n)に変化するとともに、P1=L、P2=HからM3=ON及びM4=ONに変化する。このため信号供給線Videoに供給された電流Id(n)はM2に供給され、M2は1)式を満たすようにM2/G電圧が変化し、コンデンサーC1が充電され図7(d)の様にこ

ここに接続されているM1 / Gが電圧Vd # (n) から電圧Vd (n) になる変化を開始し、時刻t1までに終了する。

【0025】(時刻t1において) P1 = HよりM3 = OFFに変化し、コンデンサーC1の充電動作は停止するため、M1 / Gは電圧Vd (n) のまま保持状態になる。

【0026】(時刻t2において) P2 = LよりM4 = OFFに変化してトランジスタM2への電流供給はなくなるため、M2 / Gに加えられている電圧Vd (n) のため発生するM2の出力電流によりM2 / Dは急速に電位上昇し電源VCCになる。このときM2は抵抗動作領域になりM2の出力電流はなくなりこの状態で安定する。このときM1 / G電圧は変化が起こらず電圧Vd (n) のままであり、次の発光設定動作まで電圧Vd (n) によって決定されるトランジスタM1からの出力電流がEL素子に注入されこの条件の発光を持続する。

【0027】(時刻t2以降において) 信号供給線Videoは次行の画素表示回路1を発光設定する設定電流Id (n+1) に変化するとともに、該当画素表示回路1においてはP1 = H及びP2 = Lのまま次の発光設定動作まで変化しない。そして次行の画素表示回路1の発光設定動作が同様に開始される。

【0028】以上説明した電流設定方式においても、表示パネルが例えばQVGA(320×240)の場合、信号供給線Videoは240個の画素表示回路1に引き回され接続され、制御パルスP1、P2は320個の画素表示回路1に引き回され接続される。電流設定方式の場合、各画素表示回路1におけるトランジスタM1とM2の駆動特性を相対的に確保できた場合、各トランジスタの遷移電圧Vth及び1)式における駆動係数kの絶対値バラツキの影響を受けずに論理的にEL素子への注入電流を設定できる。各画素表示回路1のトランジスタM1とM2の駆動特性を相対的に確保することは2つのトランジスタが近接して配置されることによってTFTプロセスにおいても比較的容易に実現できる。このため電流設定方式によれば基本的には小電流から広いDレンジで設定でき、均一化した高品位の画像を表示パネル\*

$$\Delta V = \sqrt{I_{ds} \div k}$$

$$r_e = \frac{d \Delta V}{d I_{ds}} = \frac{1}{k \times \sqrt{I_{ds}}}$$

$$\Delta V = V_{gs} - V_{th}$$

【0035】信号供給線Videoの電位を決定する画素表示回路1のトランジスタM2の動抵抗reは、本発明者が経験しているTFTプロセスにおいてre(100nA) 1M、re(1nA) 10Mと言う非常に高抵抗になる。

【0036】課題4(信号供給線Videoへのノイズ混入)

\*に表示できる。

【0029】

【発明が解決しようとする課題】しかしながら、従来のEL素子を駆動する図9に示す電圧駆動方式及び図6に示す電流駆動方式は以下に示す課題をもっている。

【0030】〔図9の電圧駆動方式の課題〕

課題1(トランジスタの駆動係数kのバラツキ)

1)式から理解できるようにMOSトランジスタの出力電流Idsは各画素表示回路1において変動する駆動係数kによって決定されているため、表示パネルの各画素の発光レベルを均一化することが困難である。そして発光レベルを均一化するためには難しいTFTプロセスの改良に依存しなければならない。

【0031】課題2(ホワイトバランスの確保)

また発光電流は誤差電圧vの2乗で決定される為、RGBの発光エネルギーのバランスによるホワイトバランス調整が難しいとともに、ドリフトに敏感であり表示画像の重要要素であるホワイトバランスを保証するのが難しい。

【0032】課題3(Vth電圧へのリセット期間の確保)

さらに、画素表示回路1内のM1 / GのVthへのリセット動作期間(t0 ~ t1)は、完全にリセット動作するためには長い時間を必要とする。なぜならば、M1 / GがVthに漸近するほどトランジスタM1の自己放電動作が弱まる為である。このため微小発光領域の発光設定が難しく、画像の階調性を確保するのが難しく、高画質表示パネルを実現するのが難しい。

【0033】〔図6の電流駆動方式の課題〕例えばQVGA表示パネルのサイズが2インチの場合、各色のEL素子の最大所望注入電流は100nA ~ 200nA程度の微小電流であり、またコントラストを確保する為の最小所望電流は1nA以下の極小電流を必要としており信号供給線Videoにこの微小電流 ~ 極小電流を供給する必要がある。ところで1)式で示されるMOSトランジスタ特性式を変形すると、3)式になる。

【0034】

【数3】

3)

前述したように信号供給線Videoは多数の画素表示回路1と引き回されながら接続される為、このような高抵抗線には外乱ノイズが容易に混入する。前述のように図7(e)は信号供給線Videoにノイズが混入した場合のM1 / G電圧の様子を示している。

【0037】時刻t0 ~ t1以外の期間ではM3 = OFFなので該当画素表示回路1のM1 / Gに信号供給線V

ideo が接続されずノイズ混入は無い。しかし時刻  $t_0 \sim t_1$  においては  $M3 = ON$  及び  $M4 = ON$  なので  $M1/G$  にはノイズが混入する。このため時刻  $t_1$  の時  $M3 = OFF$  に変化して  $M1/G$  電圧が保持状態に移行したとき電圧  $V_d(n)$  がノイズ混入がないときの所望値に対して電圧  $V_d$  の誤差が生じることになる。これにより、トランジスタ  $M1$  は所望出力電流からずれた出力電流を  $EL$  素子に注入してしまい当然発光量もずれてしまう。

【0038】ノイズは管理できるものでないから各画素表示回路 1 におけるノイズ混入による発光量ずれも異なるので安定した表示画像が得られない。またノイズ混入による影響も  $RGB$  映像信号が小さい場合に顕著になり、さらに画像の  $S/N$  悪化をもたらす。

【0039】 $EL$  素子が必要とする注入電流は小さく、一般に駆動能力の低い（駆動係数  $k$  が小さい） $TFT$  プロセスにおいても駆動誤差電圧（ $V_{gs} - V_{th}$ ）は遷移電圧  $V_{th}$  の  $1/10$  程度であり、ノイズ混入による  $M1/G$  電圧の誤差は大きな影響を及ぼすことになる。このため電流設定方式においては表示パネルを外乱ノイズから隔離する必要があるが、表示パネルの発光面をシールドすることは難しい。

【0040】また信号供給線  $Video$  の抵抗値を抑える為、画素表示回路 1 のトランジスタ  $M2$  のサイズを大きくして設定電流  $I_{ds}$  を大きくして  $M2$  の動抵抗値  $r_e$  を抑えることが考えられるが、3) 式より、設定電流  $I_{ds}$  を  $10$  倍に増やしても  $r_e$  は  $1/10$  にしかない。またこの方法では画素サイズが制限された表示パネル用の画素表示回路 1 には大きなトランジスタ  $M2$  を搭載できず、特に消費電流を抑える必要がある小型表示パネルでは解決法にならない。

【0041】本発明は上記課題に鑑みなされたものであり、これらの課題を解決することが可能となる  $EL$  素子駆動回路、及びそれを備えた表示パネルを提供することを目的とするものである。

【0042】

【課題を解決するための手段】上記課題を解決するための第 1 の発明は、注入電流で発光動作するエレクトロルミネッセンス（ $EL$ ）素子を発光させる  $EL$  素子駆動回路において、 $EL$  素子と、第 1、第 2 及び第 3 のトランジスタと、コンデンサと、第 1、第 2 及び第 3 のスイッチと、を少なくとも備え、前記第 1 トランジスタと第 2 トランジスタとは、第 1 主電極同士及びゲート電極同士が互いに接続され、前記コンデンサは、前記第 1 トランジスタの第 1 主電極とゲート電極との間に接続され、前記  $EL$  素子は、前記第 1 トランジスタの第 2 主電極に接続され、前記第 1 スwitch は、前記第 2 トランジスタの第 2 主電極とゲート電極との間に接続され、前記第 2 スwitch は、前記  $EL$  素子への注入電流を規定する信号電流を供給するための信号供給線と前記第 2 トラン

ジスタの第 2 主電極との間に接続され、前記第 3 トランジスタは、第 1 主電極が電源に接続され、第 2 主電極が前記第 1 トランジスタの第 1 主電極に接続され、第 1 主電極と第 2 主電極との間の電位差により所定方向に電流が流れるようにゲート電極と第 1 主電極又は第 2 主電極とが短絡され、前記第 3 スwitch は、電源と前記第 1 トランジスタの第 1 主電極との間に接続され、前記第 1 スwitch 及び第 2 スwitch が短絡されているときに前記第 3 スwitch を開放させ、第 1 スwitch 及び第 2 スwitch が開放しているときは前記第 3 スwitch を短絡させるように構成されていることを特徴とする  $EL$  素子駆動回路である。

【0043】上記課題を解決するための第 2 の発明は、上記第 1 の発明の  $EL$  素子駆動回路をマトリクス状に複数接続したことを特徴とする表示パネルである。

【0044】本発明は、上記第 1 の発明において、前記  $EL$  素子駆動回路が少なくとも画素表示回路と信号供給回路とを含み、前記画素表示回路は、前記  $EL$  素子と、前記第 1 及び第 2 のトランジスタと、前記コンデンサと、前記第 1、第 2 及び第 3 のスイッチと、を含み、さらに第 4 のスイッチを備えた回路であり、前記信号供給回路は、前記第 3 のトランジスタを含み、前記画素表示回路と前記信号供給回路とは、少なくともノイズ抑制線と前記信号供給線とにより接続され、前記第 3 トランジスタの第 2 主電極と前記第 1 トランジスタの第 1 主電極とは、前記ノイズ抑制線と前記第 4 スwitch とを介して接続され、前記第 1 スwitch 及び第 2 スwitch が短絡されているときに前記第 3 スwitch を開放し前記第 4 スwitch を短絡し、第 1 スwitch 及び第 2 スwitch が開放しているときは前記第 3 スwitch を短絡し前記第 4 スwitch を開放させるように構成されていることをその好ましい態様として含むものである。

【0045】上記課題を解決するための第 3 の発明は、少なくとも、上記画素表示回路と信号供給回路とを備える発明に記載の  $EL$  素子駆動回路を複数含み、画素表示回路はマトリクス状に接続され、該マトリクス状に接続された画素表示回路のうち 1 ラインに属する画素表示回路を 1 組として、各組の画素表示回路を各組毎に 1 つずつ配置された信号供給回路のそれぞれに共通に接続したことを特徴とする表示パネルである。

【0046】

【発明の実施の形態】（実施の形態 1）図 1 は本発明の  $EL$  素子駆動回路の実施形態 1 を示す回路図である。本形態においては、電圧として入力された映像信号  $PIC$  を映像電流信号に変換する信号供給回路 2 と画素表示回路 1 とに分かれた構成となっており、本発明における第 1 の発明の回路構成が画素表示回路 1 に含まれた形態となっているが、本発明の形態はこれに限られるものではない。

【0047】ここで、図 1 の構成を説明する前に、表示

パネルにおいて電流設定方式を使用した場合の構成例を説明する。

【0048】〔電流設定方式の表示パネルの構成〕図8は電流設定方式による表示パネルの全体ブロック図である。図8において、1は画素表示回路、2は信号供給回路、3はサンプルホールド回路、4は水平(列)走査シフトレジスタ、5はパルス発生回路、6は基準電流発生回路、7は垂直(行)走査シフトレジスタ、8は入力回路、Videoは信号供給線であり、SKは画素クロック信号、SPは水平(列)開始信号、VR、VG、VBはRGB各色の基準電流設定電圧、LKは垂直(行)走査クロック信号である。

【0049】入力映像電圧信号はRGB信号であり、RGB各画素ごとに発光設定する為、各サンプルホールド回路3に入力される。画素クロックSKは入力回路8を介して1番目の水平(列)シフトレジスタ4に入力される。垂直(行)走査クロックLKは入力回路8を介して、パルス発生回路5と垂直(行)走査シフトレジスタ7群の1番目に入力されるとともに信号供給回路2群に入力される。垂直(行)走査クロックLKはパルス発生回路5において奇数行/偶数行を識別するために2分周されてサンプルホールド回路3群に入力される。水平(列)シフトレジスタ4は図のようにRGB各組に1つ配置される。水平(列)開始信号SPは入力回路8を介してパルス発生回路5に入力され、2本の水平(列)開始信号に変換され水平(列)シフトレジスタ4群に入力される。

【0050】サンプルホールド回路3は、順次入力されるRGB映像電圧信号に対処する為、2個のサンプルホールド回路を内蔵して、奇数行用の映像信号入力時は1番目のサンプルホールド回路はサンプル動作して2番目のサンプルホールド回路がホールド動作し、偶数行用の映像信号入力時は2番目のサンプルホールド回路はサンプル動作して1番目のサンプルホールド回路がホールド動作し、常にRGB映像情報を出力できるようにしておく。

【0051】各サンプルホールド回路3のRGB出力映像信号PICは各信号供給回路2に入力される。RGB基準電流設定電圧VR、VG、VBは基準電流発生回路6に入力され、各色用の基準電流IoR、IoG、IoBを発生する為のバイアス電圧VbR、VbG、VbBを発生して各色の各信号供給回路2群に入力して、基準電流IoR、IoG、IoBを各信号供給回路2で発生させる。このように基準電流を各色ごとに設定する理由は、EL素子の電流発光変換特性がRGB各色で異なることが一般的であることに対処するためである。

【0052】各信号供給回路2では各色の電圧で入力された映像信号PICを、内部で発生した基準電流に関係する映像電流信号Idに変換して、各垂直(列)の画素表示回路1群に引き回して接続された信号供給線Vid

eoに供給する。

【0053】垂直(行)走査シフトレジスタ7の出力である行制御パルスは各行の画素表示回路1群に供給される。

【0054】図8において行間において各色の画素表示回路1が1.5画素ずれた配列をしているのは、特にQVGA等の低解像度表示パネルにおける色の縦ビートを削減する為のスクリーン角を形成する為のものである。また図示していないが、入力RGB映像信号は対ノイズ性を考慮して基準信号とともに入力するのが一般的であり、このとき各サンプルホールド回路3では映像信号と同様に基準信号をサンプルホールドして出力し、映像信号PICとともに基準信号REFを各信号供給回路2に入力する。

【0055】また、垂直(行)走査クロックLKはブランキング信号の機能を持っており、信号供給回路2の出力電流信号Idが各列の画素表示回路1群内で使用されない期間の処理を行う為に信号供給回路2に入力されている。

【0056】〔図1の画素表示回路1、信号供給回路2の説明〕図1において、1は画素表示回路、2は信号供給回路、Cはコンデンサ、ELはEL素子、M1は第1トランジスタ、M2は第2トランジスタ、M3は第1スイッチ、M4は第2スイッチ、M5は第3トランジスタ、M6は第3スイッチ、Videoは信号供給線、VCCは電源、GNDは接地、REFは基準信号、PICは映像信号である。

【0057】本発明の第1主電極、第2主電極とは、ソース電極とドレイン電極とのいずれかを夫々示しており、以下においては第1主電極がソース電極、第2主電極がドレイン電極である形態を示す。従って図1の形態はMOSトランジスタの夫々の極性を適切に設計して配線した一例を示したものであり、MOSトランジスタの極性を適宜変更して本発明と同じ機能を有するように構成しても構わない。この事は、後述の実施の形態2においても同様である。

【0058】図1における信号供給回路2は、従来の電流設定方式を使用した図6の画素表示回路1に対して使用されるものと同じものであるが、まず電流変換回路2について説明する。

【0059】サンプルホールド回路3から映像信号PICと基準信号REFとが、ソース電極同士が互いに接続されたM9/G及びM10/Gに各々入力される。バイアス電圧Vbはソース電極が電源VCCに接続されたM8/Gに入力され、M8/Dから基準電流IoをM9/S(M10/S)に供給する。M9/Dは接地GNDに接続され、M10/Dからは基準信号REFに対する映像信号PICのレベル差と基準電流Ioに関連し変換された映像電流信号Idが出力され、図1に示すようにトランジスタM11とM14からなるカレントミラー回路によ

って M14/D より発光設定電流信号 I d を信号供給線 V i d e o に出力する。

【0060】M14/D はゲートが制御パルス P3 によって制御された M13/D に接続され、M13/S はソースが電源 VCC に接続されドレインとゲートが短絡されたトランジスタ M12 に接続される。制御パルス P3 は垂直（行）走査クロック LK であり、信号供給線 V i d e o に出力される発光設定電流信号 I d が接続された画素表示回路 1 群に供給されないブランキング期間において M13 = ON になり、トランジスタ M12 によって 10 画素表示回路 1 により決定される信号供給線 V i d e o の近傍電位に規定する。

【0061】次に、図 1 の画素表示回路 1 と図 6 の従来の画素表示回路 1 との相違点を説明し、本発明の構成の特徴を明確にする。即ち、図 1 の本発明の構成においては、M1/S、M2/S 及びコンデンサ C1 が接続されたノードは、電源 VCC に直接接続されるのではなく、ソース電極が電源 VCC に接続されゲート電極が制御パルス P2 で制御された M6/D に接続されるとともに、ソース電極が電源 VCC に接続されゲート電極と 20 ドレイン電極とが短絡されたトランジスタ M5 に接続される。

【0062】このような構成とすることにより、後述の説明で明らかとなるように、信号供給線 V i d e o から混入するノイズによりコンデンサ C1 に与えられる電位差が所定の値からずれることを防止することができる。

【0063】図 1 の画素表示回路 1 の動作を図 3 のタイムチャートを使用して説明する。図 3 (a) ~ (c) は V i d e o から入力される発光設定電流信号、制御パルス P1、制御パルス P2 のレベルを示しており、図 7 の 30 タイムチャートと同様である。図 3 (d) の #1 及び #2 は M1/G (M2/G) 及び M1/S (M2/G) の信号を示す。

【0064】（時刻 t0 以前において）M3 = OFF、M4 = OFF、M6 = ON である為、M2/S (M1/S) は電源 VCC になり、図 6 の画素表示回路 1 と同様に前回電流設定によって電圧 V d # (n) が M1/G に与えられ、トランジスタ M1 からの出力電流によって E L 素子は設定された発光を行っている。

【0065】（時刻 t0 において）M3 = ON、M4 = 40 ON に変化し、M6 は OFF する為、このとき信号供給線 V i d e o に供給される設定電流 I d (n) がトランジスタ M5 に供給されることにより M2/S は 1) 式を満たす M5 の V g s に向かって電圧降下始めるとともに、トランジスタ M2 に設定電流 I d (n) が供給される為、M2/G は M2/S からさらに 1) 式を満たす M2 の V g s に向かって電圧降下始める。そして時刻 t1 までにトランジスタ M5 と M2 によるコンデンサ C1 への充電動作を終了し、M2/S に対する M2/G の電圧は図 6 の画素表示回路 1 と同様に設定電流を M1 に発 50

生する設定電圧 V d (n) になる。

【0066】（時刻 t1 において）M3 = OFF に変化するが、M2/S (M1/S) 電圧に対して M1/G (M2/G) 電圧は設定電圧 V d (n) のままである。

【0067】（時刻 t2 において）M4 = OFF 及び M6 = ON に変化し、M2/S (M1/S) 電圧は電源 VCC に変化するが、M2/S (M1/S) 電圧に対して M1/G (M2/G) 電圧はコンデンサ C1 により設定電圧 V d (n) のまま保持され、トランジスタ M1 の出力電流が E L 素子に供給され次の発光設定動作が開始されるまで設定した発光動作を行う。次回の画素表示回路 1 の発光設定動作を同様に開始する。

【0068】図 3 (e) は電流設定方式の課題であった信号供給線 V i d e o へのノイズ混入に対する図 1 の画素表示回路 1 の動作を示すものである。該当表示回路 1 はトランジスタ M2 が ON している期間 t0 ~ t1 において信号供給線 V i d e o へのノイズ混入により、図 3 (e) の #1 及び #2 の様に M2/G 及び M2/S がノイズ信号で変動するが、これらは類似した波形となる。なぜならば、前述したように信号供給線 V i d e o に供給される設定電流は微小電流 ~ 極小電流である為、トランジスタ M6 の動抵抗は 1 M ~ 10 M が想定され、このような高抵抗においてコンデンサ C1 は期間 t0 ~ t1 に比べて短い期間で変動するノイズ信号に対して電圧保持動作になることによって M2/G と M2/S のノイズ混入による変動 N1 と N2 はほとんど等しくなるからである。このため信号供給線 V i d e o にノイズ混入があっても M2/S に対する M2/G の電圧は所望電圧 V d (n) にほとんど等しい設定電圧 V d % (n) とすることができる。このため時刻 t1 以降の M1/G に与えられる設定電圧 V d % (n) は所望設定電圧 V d (n) にほとんど等しく、したがってトランジスタ M1 の出力電流による発光する E L 素子はおおよそ所望発光動作を行うことができる。

【0069】なお、図 1 の画素表示回路 1 におけるトランジスタ M3、M4、M5 の P 型 / N 型のタイプを限定しているものではなく、トランジスタ M3、M4 は制御パルス P1、P2 の極性を変えれば容易に構成できることは明確である。

【0070】（実施の形態 2）図 2 は本発明の E L 素子駆動回路の実施形態 2 を示す回路図である。図 2 において、図 1 と同じ符号は同じ要素を示している。また、M7 は第 4 スイッチである。

【0071】まず、図 2 で示される本形態と前記の図 1 の形態との、画素表示回路 1 と信号供給回路 2 との構成の差異について説明する。

【0072】画素表示回路 1 と信号供給回路 2 とは、信号供給線 V i d e o の他にノイズ抑制線 x x x により接続されている。ノイズ抑制線 x x x は信号供給線 V i d e o と同様に該当列の画素表示回路 1 群に引き回され接



続される。

【0073】図2の画素表示回路1においては、M2/S、M1/S及びコンデンサC1が接続されたノードには、ソース電極がノイズ抑制線xxxに接続されゲート電極が制御パルスP2で制御された第4スイッチM7のドレイン電極が接続される。

【0074】また、本形態においては、第3トランジスタM5は信号供給回路2に含まれている。

【0075】次に動作を図3のタイムチャートの(f)を使用して説明する。

【0076】(時刻t0以前において)M3=OFF、M4=OFF、M7=OFFでありM6=ONしている為、M2/S(M1/S)は電源VCCになり、図6の画素表示回路1と同様に前回電流設定によって電圧Vd#(n)がM1/Gに与えられ、トランジスタM1からの出力電流によってEL素子は設定された発光を行っている。

【0077】(時刻t0において)M3=ON、M4=ON及びM6=OFFに変化し、M7=ONとなる為、このとき信号供給線Videに供給される設定電流Id(n)がノイズ抑制線xxxを介して信号供給回路2内のトランジスタM5に供給される。したがってM2/S電圧は1)式を満たすM5のVgsに向かって電圧降下始めるとともに、トランジスタM2に設定電流Id(n)が供給される為M2/GはM2/Sからさらに1)式を満たすM2のVgsに向かって電圧降下始める。そして時刻t1までにトランジスタM5とM2によるコンデンサC1への充電動作を終了し、M2/Sに対するM2/Gの電圧は図6の画素表示回路1と同様に設定電流をM1に発生する設定電圧Vd(n)になる。

【0078】(時刻t1において)M3=OFF、M7=OFFに変化するためノイズ抑制線xxxは該当画素表示回路1から切り離され、信号供給線Videに供給されている設定電流Id(n)によってM2/S電圧は電圧降下を開始する。しかし設定電流Id(n)は微小～極小であるためこの電圧降下は急激なものではなく、M1/S(M2/S)電圧に対してM1/G(M2/G)電圧は設定電圧Vd(n)のままである。

【0079】(時刻t2において)M4=OFF、M6=ONに変化して、M1/S(M2/S)の時刻t1からの電圧降下は停止してM1/S(M2/S)は急速に電源VCCになる。この過程においてM1/G(M2/G)電圧は、コンデンサC1により電源VCCから設定電圧Vd(n)のまま保持され、トランジスタM1の出力電流がEL素子に供給され次の発光設定動作が開始されるまで設定した発光動作を行う。そして次回の画素表示回路1の発光設定動作を同様に開始する。

【0080】このような本形態によれば、M2/G及びM2/Sのノイズ混入による変動N1及びN2は、ノイズ抑制線xxxが信号供給線Videと同様に引き回

されることから実施の形態1の画素表示回路1の動作よりもさらに類似した波形となり、より高いノイズ抑制効果が得られるとともに、期間t0～t1に比べて長周期のノイズ変動に対してもM2/Sに対するM2/Gの電圧を設定電圧にほぼ等しいVd%(n)にできる。このため時刻t2以降のM1/Gに与えられる設定電圧Vd%(n)は所望設定電圧Vd(n)にほとんど等しく、したがってトランジスタM1の出力電流により発光するEL素子はおおよそ所望発光動作を行うことができる。尚、図3(g)は、本形態においても図3(e)に示した実施の形態1の形態の効果と同様な効果が得られることを明示したものである。

【0081】本形態においても、図2の画素表示回路1におけるトランジスタM3、M4、M7のP型/N型のタイプを限定してしているものではなく、各トランジスタのゲート制御パルス信号を適宜入力すれば、容易に構成できることは明確である。

【0082】表示パネルの画素表示回路1において前述したようにスペース的な制約は非常に大きい。図2の画素表示回路1に関してTFTプロセスを想定したレイアウト構成の一例を図4に示す。また、その際に使用したTFTプロセスの構造の概念図を図1に示す。

【0083】ガラス基板aの上に、他の配線にも使用できるゲート配線層bを設け、そのゲート配線層bの上に薄い絶縁層であるゲート酸化膜層cを設け、その上にポリシリコン層dを設け、その上に第1の配線絶縁層eを設け、第1の配線絶縁層eの結線個所にスルーホールを設けておき、その上に第1の配線層fを設け、その上に比較的厚い第2の配線絶縁層gを設けたあと表面を平滑化しておき、EL素子の電流注入端子に接続されるノード個所にスルーホールを設けたのち第2の配線層hを該当EL素子の発光領域に設け、その上にEL発光層iを設けた後に前面に透明導体(ITO)層jを設ける構成である。

【0084】図1に示したポリシリコン層dの領域に形成されるトランジスタは、EL素子を駆動するトランジスタM1を示している。

【0085】以上説明したTFTプロセスを一般にボトムゲート方式といいゲート配線層bの配線使用条件に制約があるがトランジスタ特性に良いとされている。

【0086】図1のTFTプロセスで構成した図4の画素表示回路1のレイアウトにおいては、表示パネルにおける行配線となる電源VCC、制御パルスP1、P2はゲート配線層bを使用し、列配線となる信号供給線Vide及びノイズ抑制線xxxは第1の配線層fを使用している。コンデンサC1はゲート配線層b、ゲート酸化膜層c及びポリシリコン層dで構成している。尚、図4においてELと記したノードM1/DがEL素子の電流注入端子への接続パッドであり図4には第2の配線層h、EL発光層i、透明導体層jは省略してい



る。

【0087】表示パネルにおいて画素表示回路1を前述したように配列することは非常に重要である。図5は図4の画素表示回路1のレイアウトを使用して配列レイアウトを実現したものである。

【0088】配列レイアウトにおいては列配線数の制約が大きい。図2の画素表示回路1におけるノイズ抑制線×××の結線される信号供給回路2は、信号供給線Videoと異なり、何れかの色の信号供給回路2に接続されれば良いので、列配線への制約が減少できる。例えば図5においてR色のノイズ抑制線×××は最も近接した行のB色の画素表示回路1のノイズ抑制線×××を介して接続している。

【0089】図2の画素表示回路1の使用トランジスタ数=6は図6、図9に示す従来の電流設定方式及び電圧設定方式の使用トランジスタ数=4に比べて2つ多い。しかし、電圧設定方式の場合、コンデンサーC2を必要とし、これはトランジスタより大きくなる。また、従来の電流設定方式においても対ノイズ性を向上させるため図6のトランジスタM2を大きくして信号供給線Vid 20 e oに供給される設定電流を増やす為、トランジスタ数=4であるこれら2つのEL素子駆動回路にレイアウト上の優位性はない。

【0090】さらに、図5の配列の画素表示回路1のレイアウトにおいては、実用化されている4μルールのTFTプロセスで列方向が190ppi、行方向は200ppiを実現できる。進化の著しいTFTプロセスの微細化によって列方向も目標である200ppiの実現性は極めて高い。

【0091】

【発明の効果】以上説明した様に本発明のEL素子駆動回路を使用した場合、従来の電圧設定方式に比べて使用する回路素子の特性バラツキの影響を受けずにEL素子の発光動作を行うことができ、従来の電流設定方式に比べて信号供給線へのノイズ混入によるEL素子の発光動作誤差(変動)を著しく減少させるとともに、駆動回路レイアウトの制約を最小限にでき、高画質のEL素子を使用した表示パネルを実現できる効果がある。

【図面の簡単な説明】

【図1】本発明のEL素子駆動回路の一実施形態を示す回路図である。

【図2】本発明のEL素子駆動回路の別の実施形態を示す回路図である。

【図3】図1、図2に示した形態のEL素子駆動回路の動作を説明するためのタイムチャートである。

【図4】図2に示した形態のEL素子駆動回路に含まれる画素表示回路の回路レイアウトの一例である。

【図5】図4の形態の回路レイアウトを有する画素表示回路を複数配置したタイプの表示パネルの回路レイアウトである。

【図6】従来の電流設定方式による画素表示回路の回路図である。

【図7】図6の画素表示回路の動作を説明するためのタイムチャートである。

【図8】電流設定方式による表示パネルの全体ブロック図である。

【図9】従来の電圧設定方式による画素表示回路の回路図である。

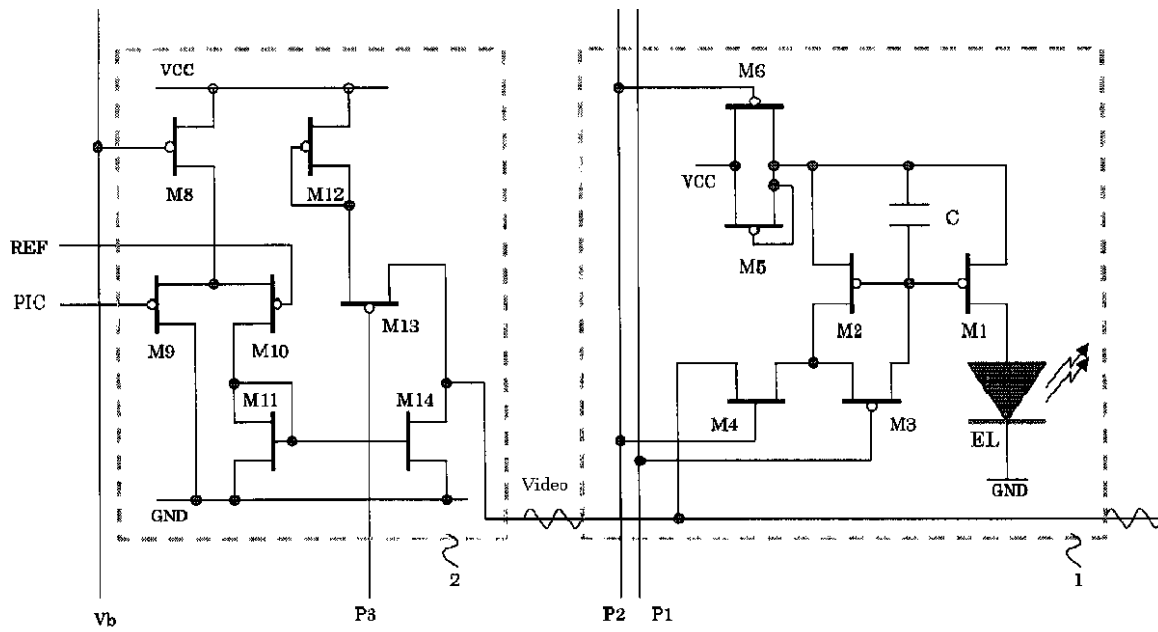
【図10】図9の画素表示回路の動作を説明するためのタイムチャートである。

【図11】TFTプロセスの構成概念図である。

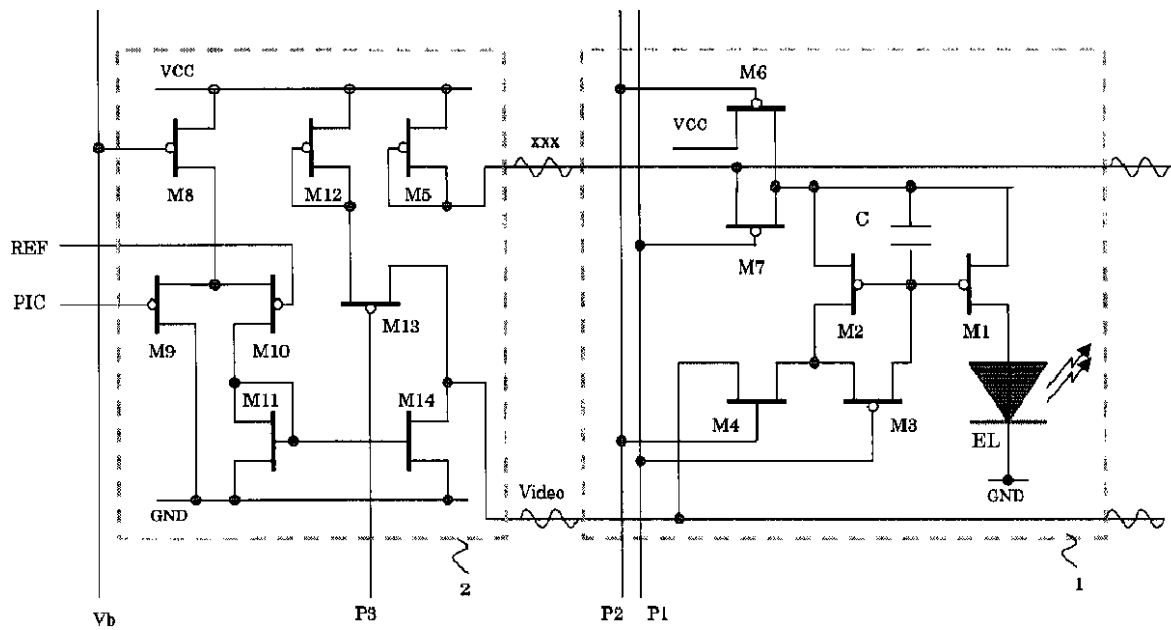
【符号の説明】

- 1 画素表示回路
- 2 信号供給回路
- 3 サンプルホールド回路
- 4 水平(列)走査シフトレジスタ
- 5 パルス発生回路
- 6 基準電流発生回路
- 7 垂直(行)走査シフトレジスタ
- 8 入力回路
- 30 C コンデンサー
- EL EL素子
- M1 第1トランジスタ
- M2 第2トランジスタ
- M3 第1スイッチ
- M4 第2スイッチ
- M5 第3トランジスタ
- M6 第3スイッチ
- M7 第4スイッチ
- ××× ノイズ抑制線
- Video 信号供給線
- VCC 電源

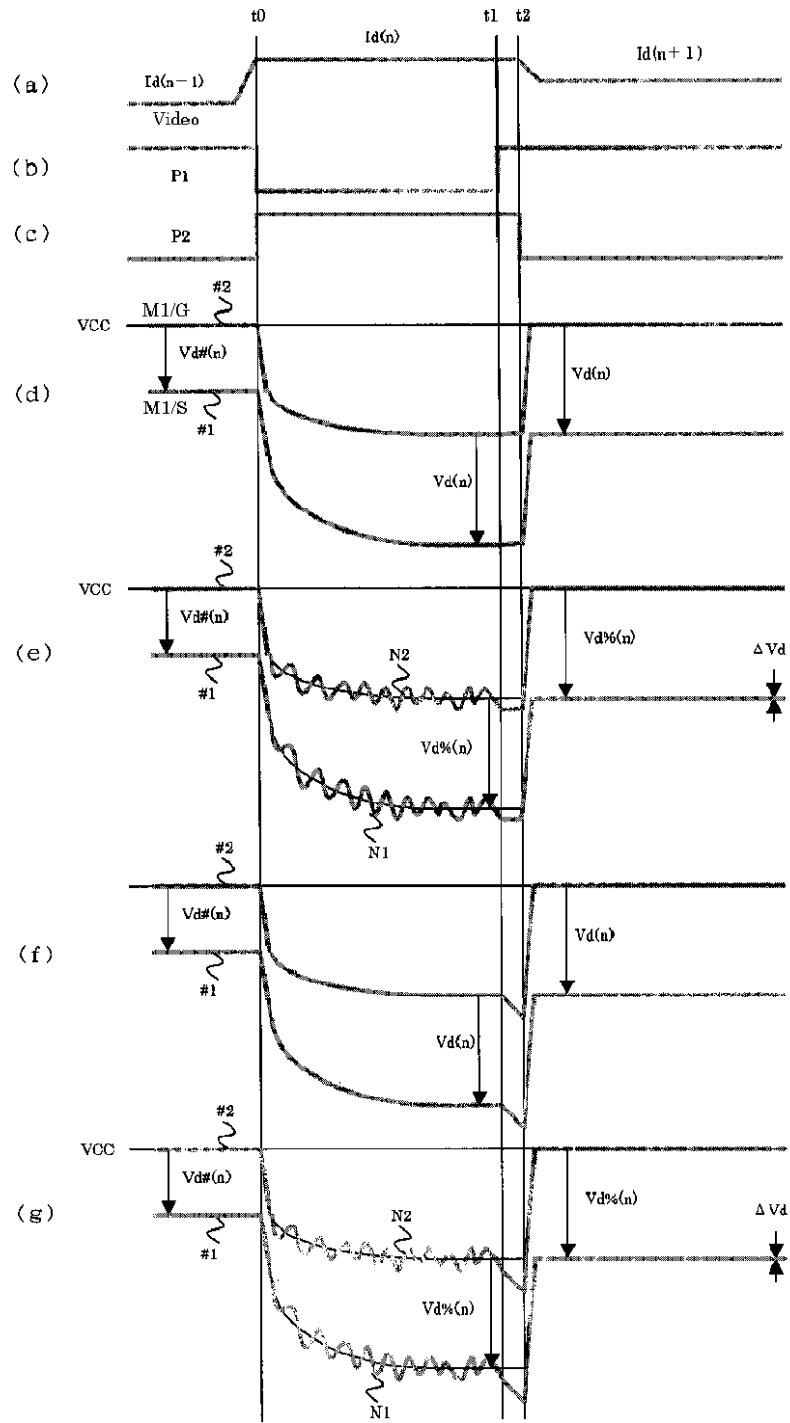
【図 1】



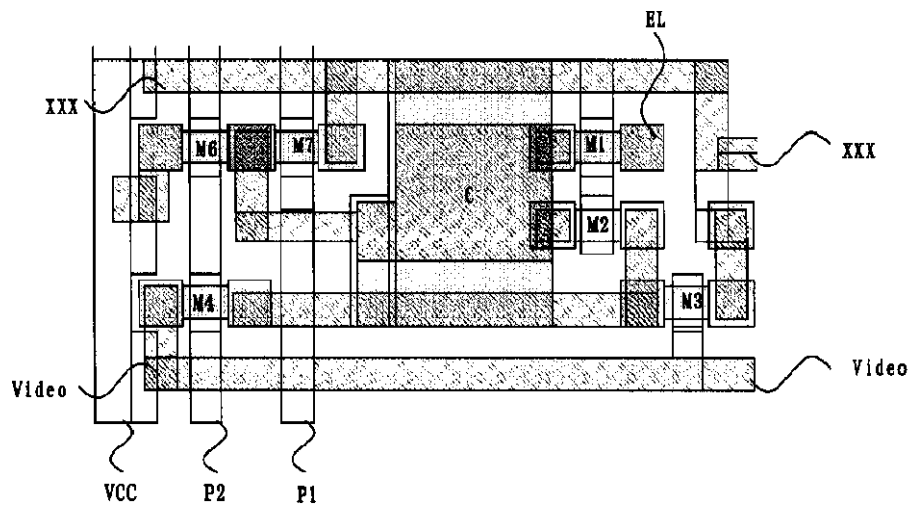
【圖 2】



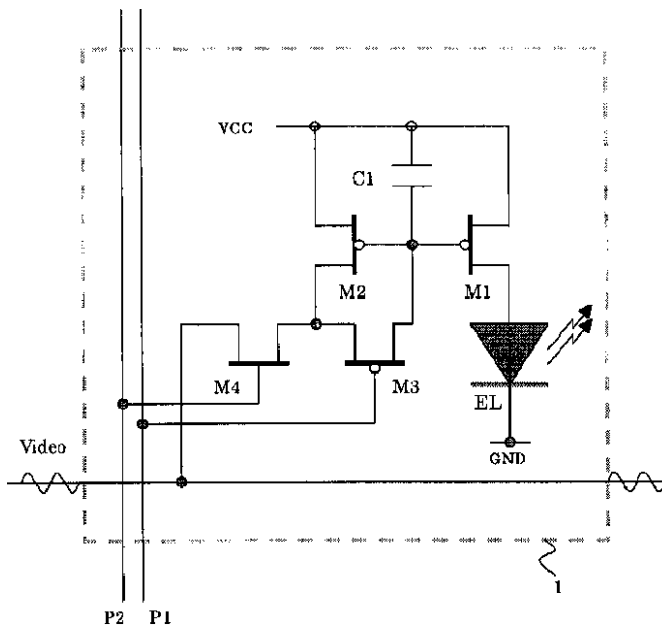
【図3】



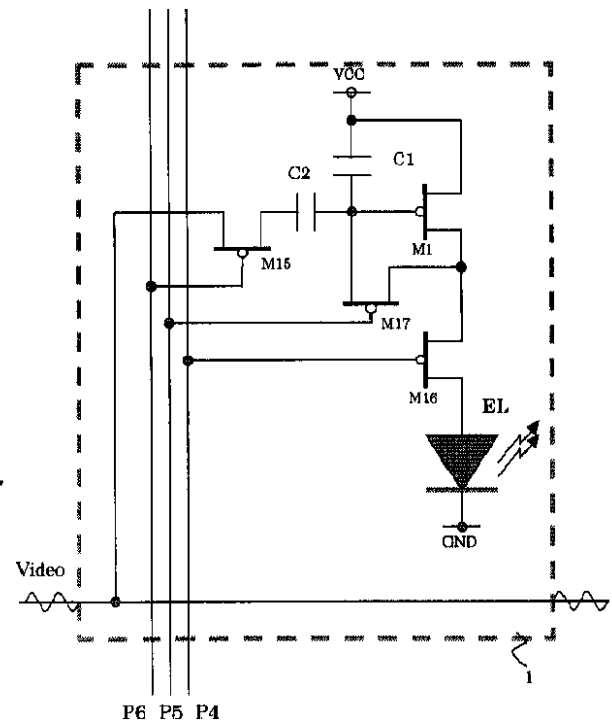
【図4】



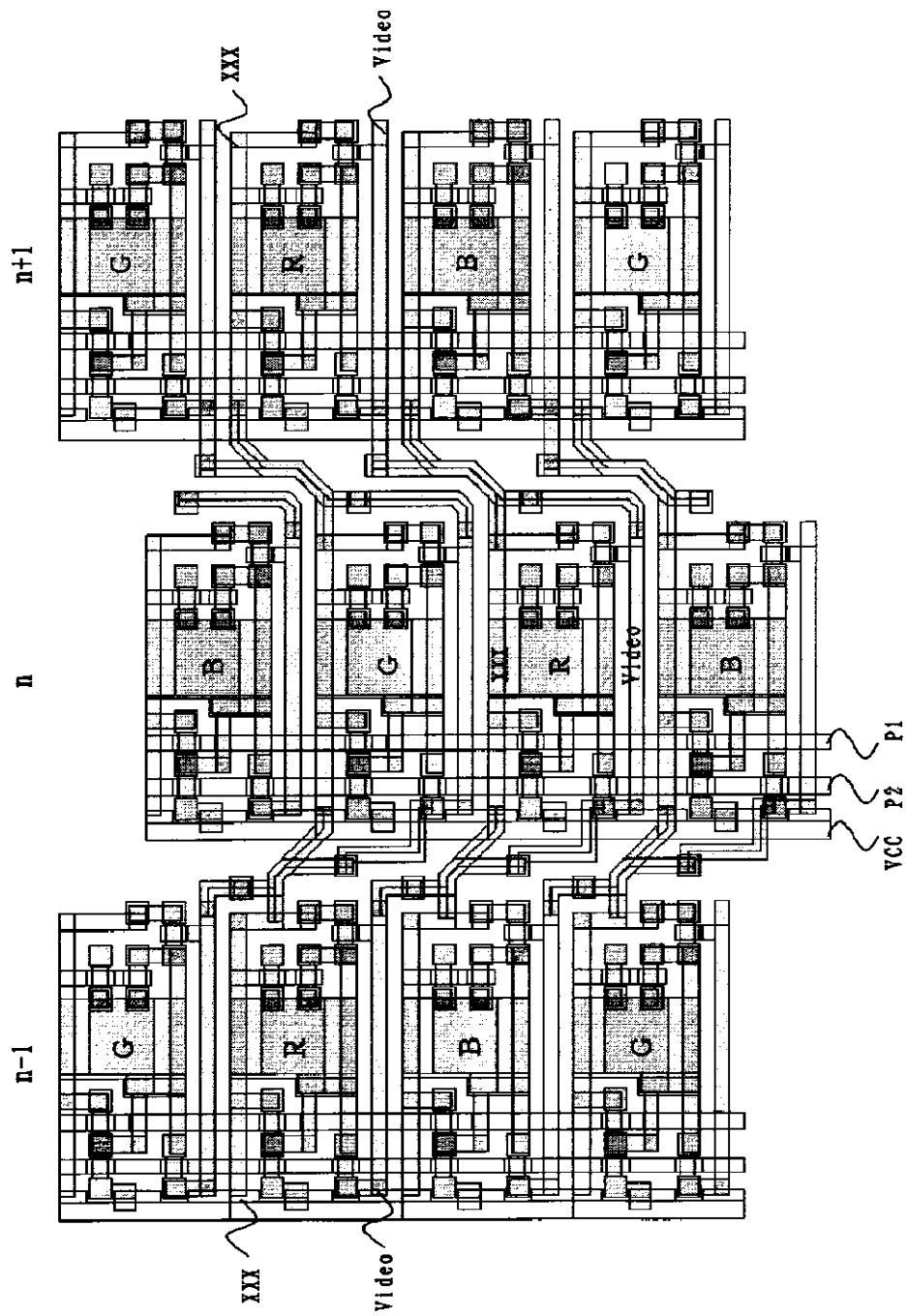
【図6】



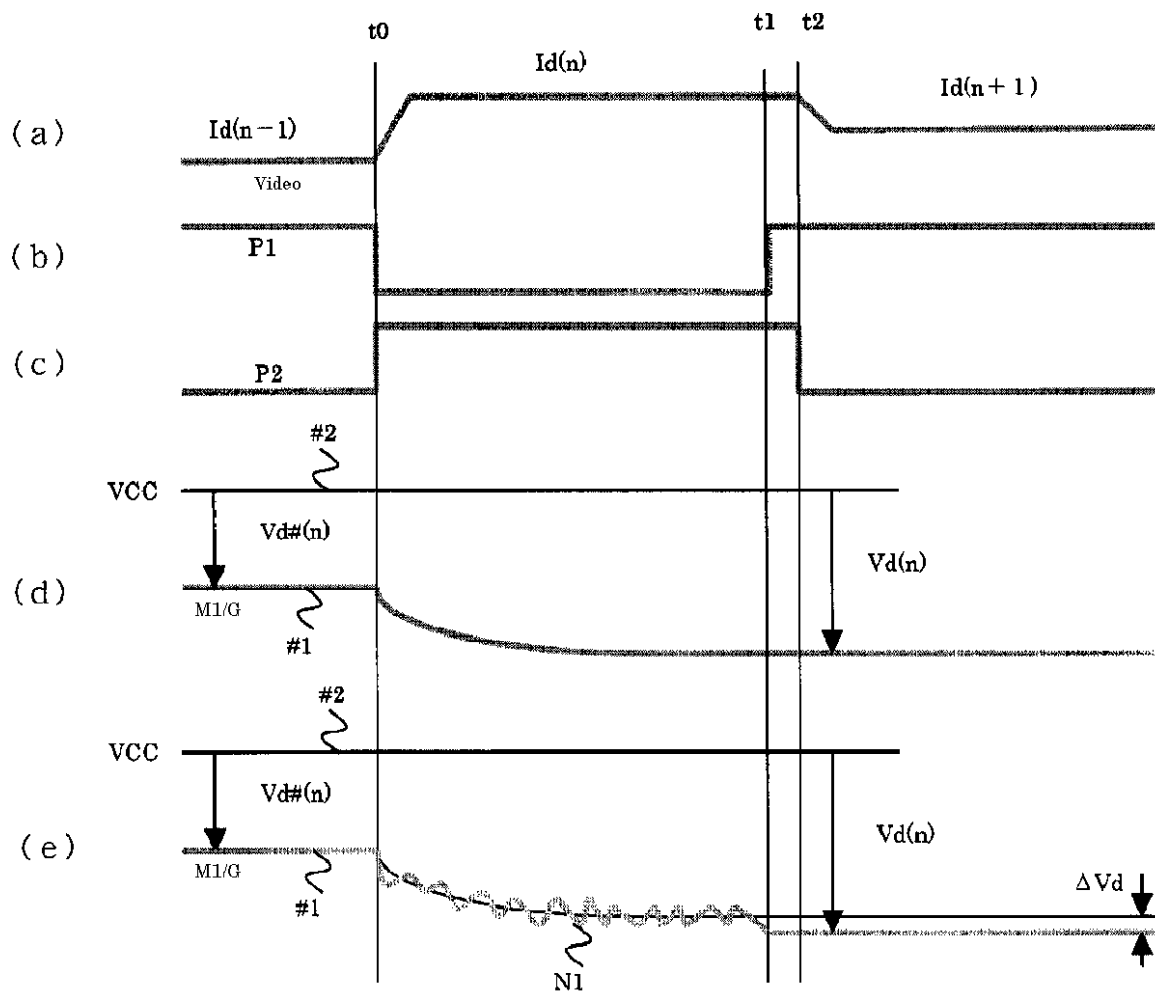
【図9】



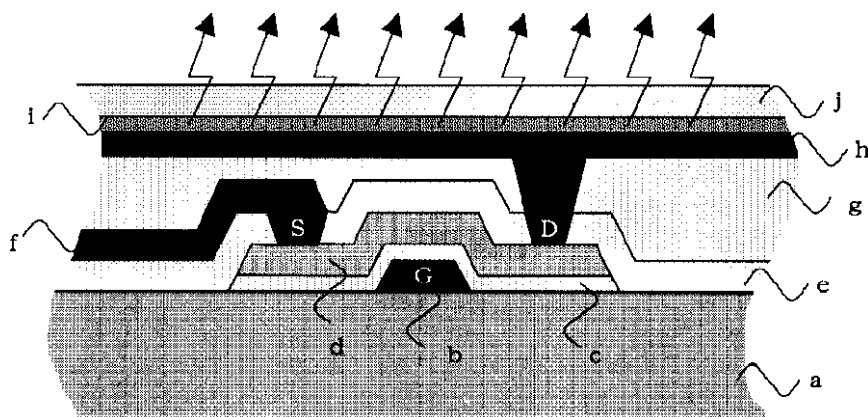
【図5】



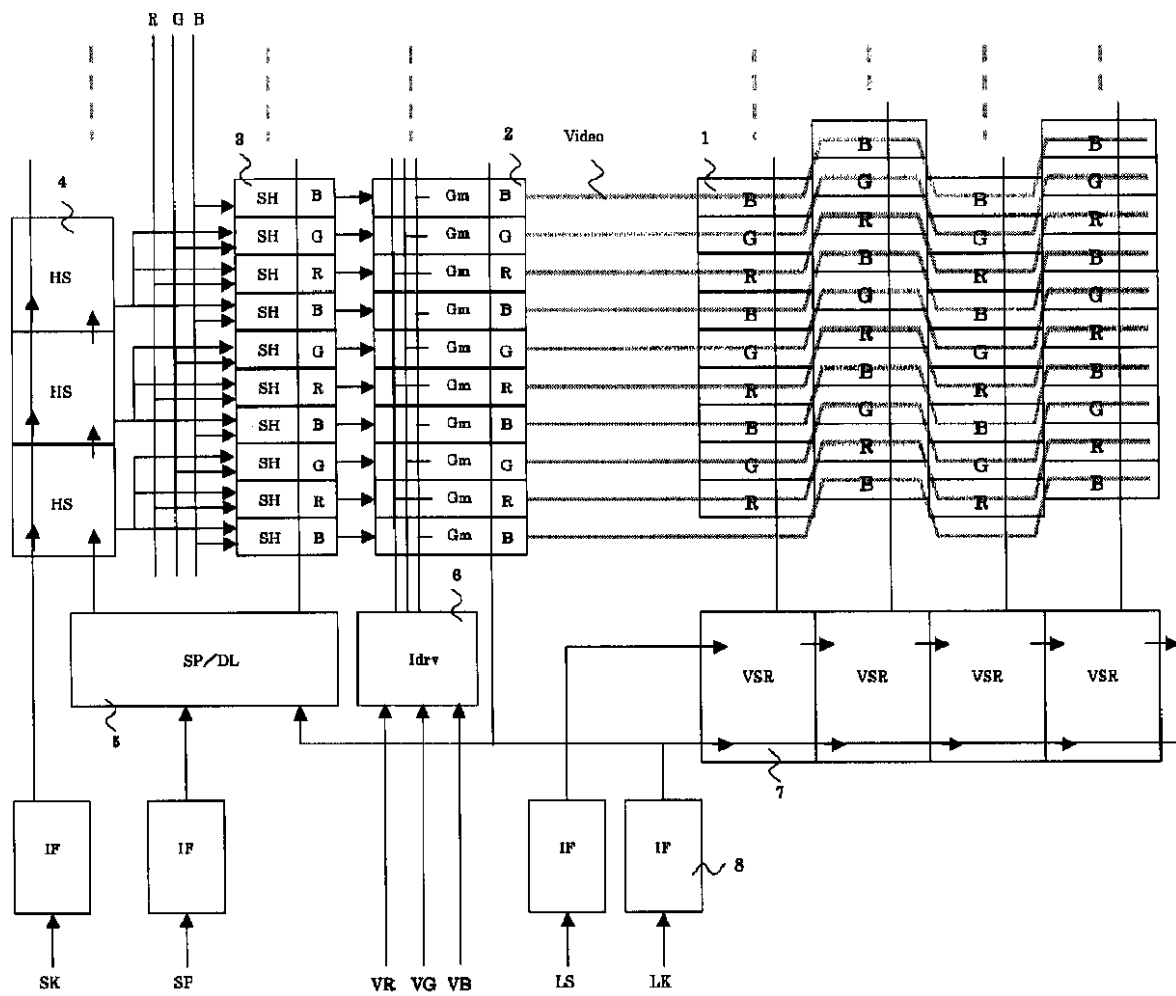
【図7】



【図11】

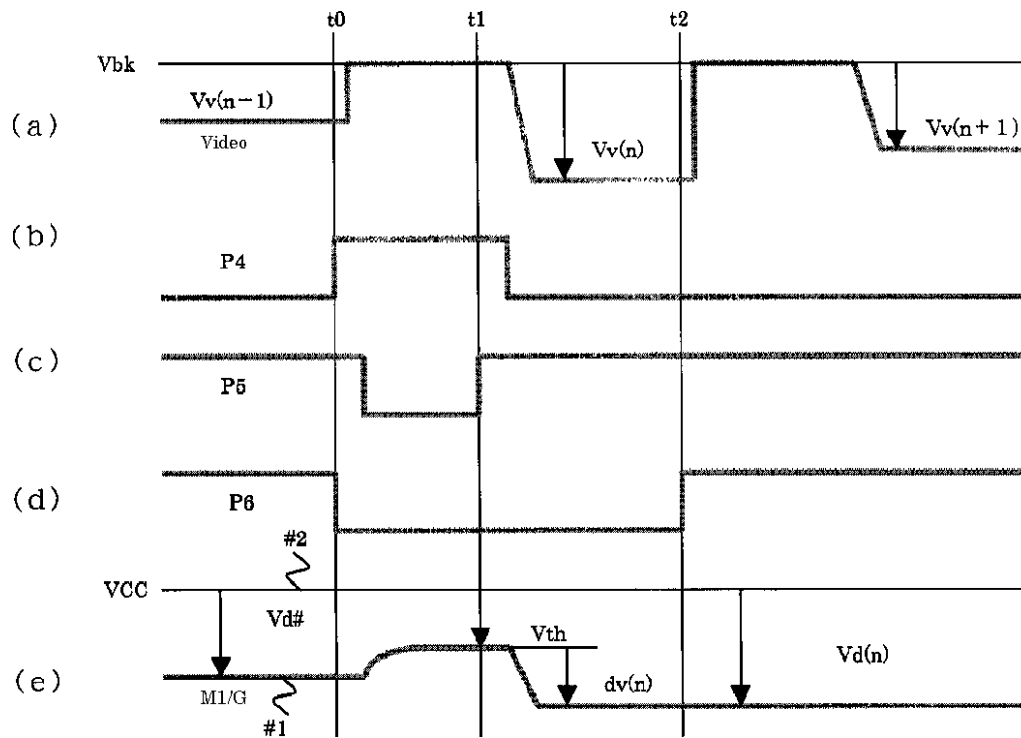


【圖 8】





【図10】



フロントページの続き

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> (参考)
G 0 9 G 3/20	6 4 1 6 8 0	G 0 9 G 3/20	6 4 1 D 6 8 0 H
H 0 1 L 29/786		H 0 5 B 33/14	A
H 0 5 B 33/14		H 0 1 L 29/78	6 1 4

Fターム(参考) 3K007 AB04 AB17 DB03 GA04  
 5C080 AA06 BB05 CC03 DD05 DD30  
 EE30 FF11 JJ02 JJ03 JJ04  
 JJ06  
 5F110 AA30 BB02 CC07 DD02 FF02  
 GG02 GG13 NN72 QQ19

专利名称(译)	EL元件驱动电路和显示板		
公开(公告)号	<a href="#">JP2003323156A</a>	公开(公告)日	2003-11-14
申请号	JP2002132287	申请日	2002-05-08
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明 大村昌伸		
发明人	川崎 素明 大村 昌伸		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H01L29/786 H05B33/14		
CPC分类号	G09G3/3241 G09G3/3233 G09G3/3283 G09G3/3291 G09G2300/0417 G09G2300/0814 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0254 G09G2310/06 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.611.Z G09G3/20.612.E G09G3/20.624.B G09G3/20.641.D G09G3/20.680.H H05B33/14.A H01L29/78.614 G09G3/3225 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB04 3K007/AB17 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD30 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5F110/AA30 5F110/BB02 5F110/CC07 5F110/DD02 5F110/FF02 5F110/GG02 5F110/GG13 5F110/NN72 5F110/QQ19 3K107/AA01 3K107/AA06 3K107/BB01 3K107/CC08 3K107/CC32 3K107/CC33 3K107/CC43 3K107/EE03 3K107/EE57 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB23 5C380/AB34 5C380/AB41 5C380/BA08 5C380/BA38 5C380/BA39 5C380/BB23 5C380/CA02 5C380/CA13 5C380/CA21 5C380/CC01 5C380/CC04 5C380/CC11 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CD024 5C380/CE04 5C380/CF07 5C380/DA49 5C380/HA20		
其他公开文献	JP3997109B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：在减小驱动电路布局的约束的同时，减少要使用的电路元件的特性变化的影响以及由于用于提供视频信号的信号供应线中的噪声混合而引起的EL元件的发光操作误差（波动）的影响。实现使用高图像质量的EL元件的显示面板。采用电流设置方法作为驱动方法，并且相对于弱电流具有大动态电阻特性的晶体管（M5）用作确定注入EL元件的电流的电压设置晶体管（M2）。它被插入电源（VCC）之间，并抑制了电容器（C）端子之间的电压波动，该波动是由于来自信号供应线（Video）的噪声所引起的。

