

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5721736号
(P5721736)

(45) 発行日 平成27年5月20日(2015.5.20)

(24) 登録日 平成27年4月3日(2015.4.3)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611A
H01L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641D
	G09G 3/20 642A

請求項の数 15 (全 33 頁) 最終頁に続く

(21) 出願番号	特願2012-539708 (P2012-539708)	(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(86) (22) 出願日	平成23年10月17日(2011.10.17)	(74) 代理人	100104695 弁理士 島田 明宏
(86) 国際出願番号	PCT/JP2011/073781	(74) 代理人	100121348 弁理士 川原 健児
(87) 国際公開番号	W02012/053462	(74) 代理人	100148459 弁理士 河本 悟
(87) 国際公開日	平成24年4月26日(2012.4.26)	(72) 発明者	岸 宣孝 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
審査請求日	平成25年3月26日(2013.3.26)	審査官	橋本 直明
(31) 優先権主張番号	特願2010-236209 (P2010-236209)		
(32) 優先日	平成22年10月21日(2010.10.21)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス型の表示装置であって、
複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、

前記複数の画素回路の列に対応して設けられた複数の映像信号線と、
前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と

、
前記複数の画素回路に電源電位を供給するために設けられた複数の電源線と、
前記複数の映像信号線を駆動する列駆動回路と、
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動回路と

を備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、
前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、
前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電氣的に接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御

線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電氣的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサとを含み、

前記複数の行を1個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動回路は、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てを一括的にアクティブにし、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線を、 k フレーム期間毎(k は自然数)に選択順序を逆にしつつ、選択的に順次にアクティブにし、

各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に渡り、前記行駆動回路は、前記行グループに属する行に対応して設けられている走査信号線の全てを一括的にアクティブにし、前記列駆動回路は、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位を前記複数の映像信号線に印加し、逆バイアス電位が印加される累積期間はすべての行の画素回路で等しくなっていることを特徴とする、表示装置。

【請求項2】

前記 k は1であることを特徴とする、請求項1に記載の表示装置。

【請求項3】

前記複数の電源線を駆動する電源制御回路を更に備えるととも、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする、請求項1に記載の表示装置。

【請求項4】

前記複数の行は、複数個の行グループにグループ化されていることを特徴とする、請求項3に記載の表示装置。

【請求項5】

同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする、請求項4に記載の表示装置。

【請求項6】

前記複数の行は、3個以上の行グループにグループ化されていることを特徴とする、請求項4に記載の表示装置。

【請求項7】

前記複数の制御線のうちの一群に共通的に接続される共通制御線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記行駆動回路は、前記行グループに属する行の全てについての書き込み期間終了後に、前記行グループに属する全ての行の画素回路内の前記電気光学素子が同じタイミングで発光するよう、前記行グループに対応する共通制御線をアクティブにすることを特徴とする、請求項1に記載の表示装置。

【請求項8】

前記複数の行は、1個の行グループにグループ化されていることを特徴とする、請求項7に記載の表示装置。

【請求項9】

前記複数の行は、複数個の行グループにグループ化されていることを特徴とする、請求

10

20

30

40

50

項 7 に記載の表示装置。

【請求項 1 0】

前記複数の電源線を駆動する電源制御回路を更に備えるとともに、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする、請求項 7 に記載の表示装置。

【請求項 1 1】

前記複数の行は、複数個の行グループにグループ化されていることを特徴とする、請求項 1 0 に記載の表示装置。

10

【請求項 1 2】

同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記複数の行は、3 個以上の行グループにグループ化されていることを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 4】

複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、前記複数の画素回路の列に対応して設けられた複数の映像信号線と、前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と、前記複数の画素回路に電源電位を供給するために設けられた複数の電源線とを備えるアクティブマトリクス型の表示装置の駆動方法であって、

20

前記複数の映像信号線を駆動する列駆動ステップと、

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動ステップとを備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、

30

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電氣的に接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電氣的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサと

を含み、

前記複数の行を 1 個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動ステップでは、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てが一括的にアクティブにされ、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線が、 k フレーム期間毎 (k は自然数) に選択順序を逆にされつつ、選択的に順次にアクティブにされ、

40

各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に渡り、前記行駆動ステップでは、前記行グループに属す

50

る行に対応して設けられている走査信号線の全てが一括的にアクティブにされ、前記列駆動ステップでは、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位が前記複数の映像信号線に印加され、逆バイアス電位が印加される累積期間はすべての行の画素回路で等しくなっていることを特徴とする、駆動方法。

【請求項 15】

前記 k は 1 であることを特徴とする、請求項 14 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より詳しくは、有機 EL ディスプレイなどの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

10

【背景技術】

【0002】

薄型、高画質、低消費電力の表示装置として、従来より有機 EL (Electro Luminescence) ディスプレイが知られている。有機 EL ディスプレイには、電流で駆動される自発光型表示素子である有機 EL 素子およびこれを駆動するための駆動用トランジスタを含む複数の画素回路がマトリクス状に配置されている。

【0003】

このような有機 EL 素子などの電流駆動型表示素子に流される電流量を制御する方式は、データ信号線に流れる電流に基づいて表示素子に流すべき電流を制御する定電流型制御方式（または電流指定型駆動方式）と、データ信号線に印加される電圧に基づいて表示素子に流すべき電流を制御する定電圧型制御方式（または電圧指定型駆動方式）とに大別される。有機 EL ディスプレイを定電圧型制御方式によって動作させる際には、駆動用トランジスタの閾値電圧のばらつきや、有機 EL 素子の経時劣化による高抵抗化から生じる電流減少（輝度低下）を補償する必要がある。これに対して、定電流型制御方式では、上記閾値電圧や有機 EL 素子の内部抵抗とは無関係に有機 EL 素子に一定の電流が流れるようデータ信号の電流値が制御されるため、通常上記補償は必要とはならない。しかし、定電流型制御方式によると、定電圧型制御方式よりも駆動用トランジスタや配線の数が増加するため、開口率が低下する。このため、定電圧型制御方式が広く採用されている。

20

【0004】

定電圧型制御方式を採用する構成において上記補償動作を行う画素回路は、従来より各種の構成が知られている。日本の特開 2006 - 215275 号公報には、図 28 に示す画素回路 80 が記載されている。この画素回路 80 は、TFT (Thin Film Transistor) 81 ~ 85、コンデンサ 86、および有機 EL 素子 87 を含んでいる。画素回路 80 に対して書き込みが行われるときには、まず、TFT 82, 84 をオン状態にすることにより、TFT 85 (駆動用トランジスタ) のゲート - ソース間電圧が初期化される。次に、TFT 84 および TFT 83 を順にオフ状態にすることにより、TFT 85 の閾値電圧がコンデンサ 86 に保持される。次に、データ線 DTL にデータ電位が印加されると共に、TFT 81 がオン状態にされる。このように各 TFT を制御することにより、TFT 85 の閾値電圧のばらつきや、有機 EL 素子 87 の経時劣化による高抵抗化（から生じる電流減少）を補償することができる。

30

【0005】

画素回路 80 は、データ線 DTL, 4 本の制御線 WSL, AZL1, AZL2, DSL、および 3 本の電源線 (Vofs 用配線, Vcc 用配線, および Vss 用配線) に接続されている。一般に、画素回路に接続される配線 (特に、制御線) の本数が多いほど、回路は複雑になり、製造コストは高くなる。そこで日本の特開 2006 - 215275 号公報には、TFT 82 または TFT 84 のソース端子を制御線 WSL に接続した画素回路が記載されている。日本の特開 2007 - 316453 号公報には、TFT 82 のゲート端子を先行する行の制御線に接続した画素回路が記載されている。このように制御線と電源線とを共通化することにより、配線の本数を削減することができる。

40

50

【0006】

日本の特開2007-310311号公報には、図29に示す画素回路90が記載されている。画素回路90は、TFT91, TFT92, コンデンサ93, および有機EL素子94を含んでいる。画素回路90に対して書き込みが行われるときには、まず、TFT91がオン状態にされる。次に、電源線DSLに初期化電位が印加され、有機EL素子94のアノード端子に初期化電位が与えられる。次に、電源線DSLに電源電位を印加することにより、TFT92(駆動用トランジスタ)の閾値電圧がコンデンサ93に保持される。次に、データ線DTLにデータ電位が印加される。このように電源線から初期化電位を与えることにより、少ない素子数でTFT92の閾値電圧のばらつきを補償することができる。

10

【0007】

また、日本の特開2007-148129号公報には、電源線から初期化電位を与え、データ線から基準電位を与える画素回路が記載されている。さらに、日本の特開2008-33193号公報には、書き込みを行う前の複数の水平期間で補償動作(閾値電圧のばらつきを補償するための動作)を行う画素回路が記載されている。さらにまた、日本の特開2009-237041号公報には、閾値電圧のばらつき補正処理を複数ラインずつ行い、かつ、ばらつき補正処理を同時に行う複数ラインについての書き込みのための走査順序を1フィールド(1フレーム)毎に逆にする表示装置が記載されている。

【先行技術文献】

【特許文献】

20

【0008】

【特許文献1】日本の特開2006-215275号公報

【特許文献2】日本の特開2007-316453号公報

【特許文献3】日本の特開2007-310311号公報

【特許文献4】日本の特開2007-148129号公報

【特許文献5】日本の特開2008-33193号公報

【特許文献6】日本の特開2009-237041号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

30

図28に示す画素回路80に対して、日本の特開2006-215275号公報や日本の特開2007-316453号公報に記載された方法を適用すれば、画素回路に接続される配線の本数を削減することができる。しかしながら、この方法で得られた画素回路には、TFTの個数が多いという問題がある。これに対して、図29に示す画素回路90では、TFTの個数は少ない。しかしながら、画素回路90を使用するときには、電源線DSLを制御線WSLと連動して駆動する必要がある。このため、電源制御回路には電源線DSLと同数の出力バッファが必要となる。また、電源線DSLの電位を制御線WSLの選択期間に合わせて短時間で変化させる必要があるため、電源制御回路に設ける出力バッファには大きな電流能力が必要となる。したがって、画素回路90については、電源制御回路の回路規模や消費電力が大きくなるという問題がある。

40

【0010】

また、日本の特開2008-33193号公報や日本の特開2009-237041号公報に記載された方法を適用すれば、補償動作(閾値検出とも呼ばれる)に必要な期間が十分に確保されるものの構成が複雑となる。これに対して、その他の従来例のように補償動作を選択期間内に行うようにすると、構成を簡易にすることができるもののTFTの閾値電圧の検出に必要な期間が充分には確保されない。さらに、補償動作の期間が十分に確保される場合であっても、行ごとの補償動作や書き込みのタイミングによっては画面上に輝度ムラが発生することが懸念される。

【0011】

そこで、本発明は、簡易な構成で閾値検出のための期間を十分に確保することができ、

50

かつ、輝度ムラの発生を抑止することのできる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、

前記複数の画素回路の列に対応して設けられた複数の映像信号線と、

前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と

、
前記複数の画素回路に電源電位を供給するために設けられた複数の電源線と、

10

前記複数の映像信号線を駆動する列駆動回路と、

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動回路と

を備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電気的に接続する書き込み制御トランジスタと、

20

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電気的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサと

を含み、

前記複数の行を1個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動回路は、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てを一括的にアクティブにし、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線を、 k フレーム期間毎(k は自然数)に選択順序を逆にしつつ、選択的に順次にアクティブにし、

30

各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に渡り、前記行駆動回路は、前記行グループに属する行に対応して設けられている走査信号線の全てを一括的にアクティブにし、前記列駆動回路は、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位を前記複数の映像信号線に印加し、逆バイアス電位が印加される累積期間はすべての行の画素回路で等しくなっていることを特徴とする。

40

【0013】

本発明の第2の局面は、本発明の第1の局面において、

前記 k は1であることを特徴とする。

【0014】

本発明の第3の局面は、本発明の第1の局面において、

前記複数の電源線を駆動する電源制御回路を更に備えるととも、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光

50

学素子を初期化するための初期化電位を与えることを特徴とする。

【0015】

本発明の第4の局面は、本発明の第3の局面において、
前記複数の行は、複数の行グループにグループ化されていることを特徴とする。

【0016】

本発明の第5の局面は、本発明の第4の局面において、
同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする。

【0017】

本発明の第6の局面は、本発明の第4の局面において、
前記複数の行は、3個以上の行グループにグループ化されていることを特徴とする。

10

【0018】

本発明の第7の局面は、本発明の第1の局面において、
前記複数の制御線のうちの一群に共通的に接続される共通制御線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記行駆動回路は、前記行グループに属する行の全てについての書き込み期間終了後に、前記行グループに属する全ての行の画素回路内の前記電気光学素子が同じタイミングで発光するよう、前記行グループに対応する共通制御線をアクティブにすることを特徴とする。

【0019】

本発明の第8の局面は、本発明の第7の局面において、
前記複数の行は、1個の行グループにグループ化されていることを特徴とする。

20

【0020】

本発明の第9の局面は、本発明の第7の局面において、
前記複数の行は、複数の行グループにグループ化されていることを特徴とする。

【0021】

本発明の第10の局面は、本発明の第7の局面において、
前記複数の電源線を駆動する電源制御回路を更に備えるとともに、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする。

30

【0022】

本発明の第11の局面は、本発明の第10の局面において、
前記複数の行は、複数の行グループにグループ化されていることを特徴とする。

【0023】

本発明の第12の局面は、本発明の第11の局面において、
同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする。

【0024】

本発明の第13の局面は、本発明の第11の局面において、
前記複数の行は、3個以上の行グループにグループ化されていることを特徴とする。

40

【0026】

本発明の第14の局面は、複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、前記複数の画素回路の列に対応して設けられた複数の映像信号線と、前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と、前記複数の画素回路に電源電位を供給するために設けられた複数の電源線とを備えるアクティブマトリクス型の表示装置の駆動方法であって、

前記複数の映像信号線を駆動する列駆動ステップと、

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動

50

ステップと
を備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電気的に接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電気的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサと

を含み、

前記複数の行を1個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動ステップでは、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てが一括的にアクティブにされ、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線が、 k フレーム期間毎(k は自然数)に選択順序を逆にされつつ、選択的に順次にアクティブにされ、

各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に渡り、前記行駆動ステップでは、前記行グループに属する行に対応して設けられている走査信号線の全てが一括的にアクティブにされ、前記列駆動ステップでは、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位が前記複数の映像信号線に印加され、逆バイアス電位が印加される累積期間はすべての行の画素回路で等しくなっていることを特徴とする。

【0027】

本発明の第15の局面は、本発明の第14の局面において、

前記 k は1であることを特徴とする。

【発明の効果】

【0029】

本発明の第1の局面によれば、各行グループに着目すると、画素回路内のコンデンサへの書き込みのための走査信号線を選択の順序(走査順序)は所定フレーム期間毎に逆にされる。このため、閾値検出終了時点から書き込み開始時点までの期間(待機期間)の合計の長さは、全ての行でほぼ等しくなる。上記待機期間には駆動用トランジスタや電気光学素子でのリーク電流が生じ得るが、リーク電流による電荷の移動量は全ての行でほぼ等しくなる。その結果、リーク電流に起因する輝度ムラの発生が抑制される。また、各フレーム期間において、各行グループに属する全ての行の画素回路の初期化・閾値検出が一括して行われるので、初期化期間および閾値検出期間を十分に長い期間に設定することができる。このため、仮に駆動能力の比較的小さい回路によって電源線が駆動されていても初期化動作を確実に行うことができ、また、閾値検出が確実に行われるので閾値電圧のばらつきの補償(閾値補償)の精度を向上させることができる。さらに、走査信号線を選択期間中に閾値検出が行われる構成と比較して、書き込み期間を十分に確保することができる。

また、各画素回路において、閾値検出の終了時点から書き込みが開始される時点までの期間、駆動用トランジスタの制御端子に逆バイアスが印加される。このため、駆動用トランジスタの閾値特性のシフトが抑制される。ここで、走査信号線は、所定フレーム期間毎

に選択順序が逆にされつつ、選択的に順次にアクティブにされる。このため、駆動用トランジスタの制御端子に逆バイアスが印加される累積時間は、全ての行の画素回路でほぼ等しくなる。その結果、行ごとのばらつきを生ずることなく、駆動用トランジスタの閾値特性のシフトが抑制される。

【 0 0 3 0 】

本発明の第2の局面によれば、各行グループに着目すると、画素回路内のコンデンサへの書き込みのための走査順序は1フレーム期間毎に逆にされる。このため、画素回路内の駆動用トランジスタや電気光学素子でのリーク電流に起因する輝度ムラの発生が効果的に抑制される。

【 0 0 3 1 】

本発明の第3の局面によれば、行グループ毎に共通電源線が設けられ、共通電源線を介して電源制御回路から電源線に電源電位および初期化電位が供給される。このため、電源制御回路に設けられるべき出力バッファの個数が電源線の本数よりも少なくなり、電源線を個別に駆動する構成と比較して、電源制御回路の回路規模を小さくすることができる。また、電源線を用いて初期化電位の供給が行われるので、初期化電位供給用の信号線等が不要となり、画素回路内の素子数を少なくすることができる。

【 0 0 3 2 】

本発明の第4の局面によれば、行グループ毎に好適なタイミングで画素回路の初期化を行うことができる。

【 0 0 3 3 】

本発明の第5の局面によれば、隣接する2本の電源線が同一の行グループに属するようグループ化される場合には画面の上半分と下半分で電源線に流れる電流が大きく異なると画面の中央で輝度差が発生することがあるのに対し、複数の共通電源線に流れる電流の量がほぼ同じになるので画面の中央に発生する輝度差を防止することができる。

【 0 0 3 4 】

本発明の第6の局面によれば、或る1つの行グループに属する行の画素回路で初期化・閾値検出が行われている期間中、他の2以上の行グループに属する行の画素回路では発光が行われる。このため、発光期間を比較的長くすることが可能となる。

【 0 0 3 5 】

本発明の第7の局面によれば、行グループ毎に共通制御線が設けられ、共通制御線を介して行駆動回路と各制御線とが電氣的に接続される。このため、制御線を駆動するための回路に設けられるべきピン(端子)の数を制御線の本数よりも少なくすることができる。また、1つの行グループに属する全ての行の画素回路について同じタイミングで発光させることが可能となる。このため、閾値検出終了時点から発光開始時点までの期間の長さが、各行グループに属する全ての行で等しくなる。これにより、画素回路内の駆動用トランジスタに生じるリーク電流の大きさが、各行グループに属する全ての行でほぼ同じになる。その結果、駆動用トランジスタでのリーク電流に起因する輝度ムラの発生が抑制される。

【 0 0 3 6 】

本発明の第8の局面によれば、制御線を駆動するための回路の規模を効果的に縮小することができる。また、全ての行の画素回路について同じタイミングで発光させることが可能となるので、駆動用トランジスタでのリーク電流に起因する輝度ムラの発生が効果的に抑制される。

【 0 0 3 7 】

本発明の第9の局面によれば、駆動用トランジスタでのリーク電流に起因する輝度ムラの発生を抑制するとともに、行グループ毎に好適なタイミングで画素回路の初期化を行うことができる。

【 0 0 3 8 】

本発明の第10の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第3の局面と同様の効果が得られる。

10

20

30

40

50

【0039】

本発明の第11の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第4の局面と同様の効果が得られる。

【0040】

本発明の第12の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第5の局面と同様の効果が得られる。

【0041】

本発明の第13の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第6の局面と同様の効果が得られる。

【0043】

本発明の第14の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

【0044】

本発明の第15の局面によれば、本発明の第2の局面と同様の効果を表示装置の駆動方法において奏することができる。

【図面の簡単な説明】

【0046】

【図1】本発明の第1の実施形態に係る表示装置における各行の画素回路の動作を示す図である。

【図2】上記第1の実施形態における表示装置の全体構成を示すブロック図である。

【図3】上記第1の実施形態における電源線の接続形態を示す図である。

【図4】上記第1の実施形態における画素回路の構成を示す回路図である。

【図5】上記第1の実施形態における画素回路の駆動方法を示すタイミングチャート（1フレーム目）である。

【図6】上記第1の実施形態における画素回路の駆動方法を示すタイミングチャート（2フレーム目）である。

【図7】上記第1の実施形態の第1の変形例における電源線の接続形態を示す図である。

【図8】上記第1の実施形態の第1の変形例における各行の画素回路の動作を示す図である。

【図9】上記第1の実施形態の第2の変形例における電源線の接続形態を示す図である。

【図10】上記第1の実施形態の第2の変形例における各行の画素回路の動作を示す図である。

【図11】上記第1の実施形態の第3の変形例における電源線の接続形態を示す図である。

【図12】上記第1の実施形態の第3の変形例における各行の画素回路の動作を示す図である。

【図13】本発明の第2の実施形態に係る表示装置の全体構成を示すブロック図である。

【図14】上記第2の実施形態における電源線および制御線の接続形態を示す図である。

【図15】上記第2の実施形態における画素回路の駆動方法を示すタイミングチャート（1フレーム目）である。

【図16】上記第2の実施形態における画素回路の駆動方法を示すタイミングチャート（2フレーム目）である。

【図17】上記第2の実施形態における各行の画素回路の動作を示す図である。

【図18】上記第2の実施形態の第1の変形例における電源線および制御線の接続形態を示す図である。

【図19】上記第2の実施形態の第1の変形例における各行の画素回路の動作を示す図である。

【図20】上記第2の実施形態の第2の変形例における電源線および制御線の接続形態を示す図である。

【図21】上記第2の実施形態の第2の変形例における各行の画素回路の動作を示す図である。

10

20

30

40

50

ある。

【図 2 2】上記第 2 の実施形態の第 3 の変形例における電源線および制御線の接続形態を示す図である。

【図 2 3】上記第 2 の実施形態の第 3 の変形例における各行の画素回路の動作を示す図である。

【図 2 4】本発明の第 3 の実施形態における画素回路の駆動方法を示すタイミングチャート（1 フレーム目）である。

【図 2 5】上記第 3 の実施形態における画素回路の駆動方法を示すタイミングチャート（2 フレーム目）である。

【図 2 6】上記第 3 の実施形態における各行の画素回路の動作を示す図である。

10

【図 2 7】上記第 3 の実施形態の変形例における各行の画素回路の動作を示す図である。

【図 2 8】従来の表示装置に含まれる画素回路の回路図である。

【図 2 9】従来の別の表示装置に含まれる画素回路の回路図である。

【発明を実施するための形態】

【0047】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。

【0048】

< 1 . 第 1 の実施形態 >

< 1 . 1 全体構成 >

図 2 は、本発明の第 1 の実施形態に係る表示装置の全体構成を示すブロック図である。図 2 に示す表示装置 100 は、表示制御回路 1、ゲートドライバ回路 2、ソースドライバ回路 3、電源制御回路 4、および $(m \times n)$ 個の画素回路 10 を備えた有機 EL ディスプレイである。以下、 m および n は 2 以上の整数、 i は 1 以上 n 以下の整数、 j は 1 以上 m 以下の整数であるとする。なお、本実施形態においては、ゲートドライバ回路 2 によって行駆動回路が実現され、ソースドライバ回路 3 によって列駆動回路が実現される。

20

【0049】

表示装置 100 には、互いに並行な n 本の走査信号線 G_i およびこれに直交する互いに並行な m 本のデータ線 S_j が設けられる。 $(m \times n)$ 個の画素回路 10 は、走査信号線 G_i とデータ線 S_j との各交差点に対応してマトリクス状に配置される。また、走査信号線 G_i と並行に、 n 本の制御線 E_i および n 本の電源線 $V P_i$ が設けられる。さらに、電源制御回路 4 と電源線 $V P_i$ とを接続するための電流供給用幹配線である共通電源線 9 が設けられる。走査信号線 G_i および制御線 E_i はゲートドライバ回路 2 に接続され、データ線 S_j はソースドライバ回路 3 に接続される。電源線 $V P_i$ は、共通電源線 9 を介して電源制御回路 4 に接続される。画素回路 10 には、図示しない共通電極により共通電位 V_{com} が供給される。なお、ここでは電源線 $V P_i$ の一端が共通電源線 9 に接続される構成であるが、電源線 $V P_i$ の両端（または 3 つ以上の接続点）が共通電源線 9 に接続される構成であってもよい。

30

【0050】

表示制御回路 1 は、ゲートドライバ回路 2、ソースドライバ回路 3、および電源制御回路 4 に各種制御信号を出力する。より詳細には、表示制御回路 1 は、ゲートドライバ回路 2 にタイミング信号 $O E$ 、スタートパルス $Y I$ 、およびクロック $Y C K$ を出力し、ソースドライバ回路 3 にスタートパルス $S P$ 、クロック $C L K$ 、表示データ $D A$ 、およびラッチパルス $L P$ を出力し、電源制御回路 4 に制御信号 $C S$ を出力する。

40

【0051】

ゲートドライバ回路 2 は、シフトレジスタ回路、論理演算回路、およびバッファを含んでいる。シフトレジスタ回路は、クロック $Y C K$ に同期してスタートパルス $Y I$ を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 $O E$ との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査信号線 G_i および制御線 E_i に与えられる。1 本の走査信号線 G_i には、 m 個の画素回路 10 が接続されている。画素回路 10 は、走査信号線 G_i を用いて m 個ずつ一括し

50

て選択される。上記タイミング信号OEについては、論理演算回路の構成によっては複数の信号で構成される。なお、本実施形態においては、ゲートドライバ回路2には、走査信号線Giを駆動する走査信号線駆動回路として機能する部分と制御線Eiを駆動する制御線駆動回路として機能する部分とが含まれている。

【0052】

ソースドライバ回路3は、mビットのシフトレジスタ5、レジスタ6、ラッチ回路7、およびm個のD/A変換器8を含んでいる。シフトレジスタ5は、縦続接続されたm個のレジスタを有し、初段のレジスタに供給されたスタートパルスSPをクロックCLKに同期して転送し、各段のレジスタからタイミングパルスDLPを出力する。タイミングパルスDLPの出力タイミングに合わせて、レジスタ6には表示データDAが供給される。レジスタ6は、タイミングパルスDLPに従い、表示データDAを記憶する。レジスタ6に1行分の表示データDAが記憶されると、表示制御回路1はラッチ回路7に対してラッチパルスLPを出力する。ラッチ回路7は、ラッチパルスLPを受け取ると、レジスタ6に記憶された表示データを保持する。D/A変換器8は、データ線Sjに対応して設けられる。D/A変換器8は、ラッチ回路7に保持された表示データをアナログ電圧に変換し、得られたアナログ電圧をデータ線Sjに印加する。

10

【0053】

電源制御回路4は、p本の共通電源線9に対応して、p個の出力端子を有する。電源制御回路4は、制御信号CSに基づき、共通電源線9に電源電位および初期化電位を切り替えて印加する。p=1のとき、全ての電源線VPiは1本の共通電源線9に接続される。この場合、電源制御回路4は、1本の共通電源線9に所定のタイミングで初期化電位を印加する。p=2のとき、電源線VPiはp個のグループに分類され、各グループに含まれる電源線は同じ共通電源線9に接続される。この場合、電源制御回路4は、p本の共通電源線9に互いに異なるタイミングで初期化電位を印加する。以下、電源電位はハイレベル電位であって初期化電位はローレベル電位であることを前提に説明する。

20

【0054】

なお、ここではまずp=1の場合を例に挙げて説明し、p=2の場合については変形例として後述する(p=2の場合：第1の変形例および第2の変形例、p=3の場合：第3の変形例)。図3は、本実施形態における電源線VPiの接続形態を示す図である。図3に示すように、表示装置100には、電源制御回路4aと電源線VPiとを接続するために、1本の共通電源線111が設けられている。共通電源線111の一端は電源制御回路4aが有する1個の出力端子に接続され、全ての電源線VPiは共通電源線111に接続されている。すなわち、本実施形態においては、1～n行目によって1つの行グループが構成されている。なお、この共通電源線111は電流供給用幹配線であることを前提に説明しているが、全ての電源線VPiを電源制御回路4aに共通的に接続することができる配線であれば幹配線でなくてもよい。また、共通電源線の本数、共通電源線と電源線VPiとの接続位置については周知のあらゆる構成を適用することができる。

30

【0055】

< 1.2 画素回路の構成 >

図4は、画素回路10の構成を示す回路図である。図4に示すように、画素回路10は、TFT11～13、コンデンサ15、および有機EL素子16を含んでいる。TFT11～13は、いずれもNチャンネル型トランジスタである。TFT11は、書き込み制御トランジスタとして機能する。TFT12は、駆動用トランジスタとして機能する。TFT13は、発光制御トランジスタとして機能する。有機EL素子16は、電気光学素子として機能する。

40

【0056】

なお、本明細書において、電気光学素子とは、有機EL素子の他、FED(Field Emission Display)、LED、電荷駆動素子、液晶、Eインク(Electronic Ink)など、電気を与えることにより光学的な特性が変化する全ての素子をいうものとする。また、以下では電気光学素子として有機EL素子を例示するが、電流量に応じて発光量が制御される発

50

光素子であれば同様の説明が可能である。

【 0 0 5 7 】

図 4 に示すように、画素回路 1 0 は、走査信号線 G_i , 制御線 E_i , データ線 S_j , 電源線 V_{P_i} , および共通電位 V_{com} を有する電極に接続される。T F T 1 1 については、一方の導通端子はデータ線 S_j に接続され、他方の導通端子は T F T 1 2 のゲート端子に接続される。T F T 1 3 については、ドレイン端子は電源線 V_{P_i} に接続され、ソース端子は T F T 1 2 のドレイン端子に接続される。T F T 1 2 のソース端子は、有機 E L 素子 1 6 のアノード端子に接続される。有機 E L 素子 1 6 のカソード端子には、共通電位 V_{com} が印加される。コンデンサ 1 5 は、T F T 1 2 のゲート端子とソース端子の間に設けられる。T F T 1 1 のゲート端子は走査信号線 G_i に接続され、T F T 1 3 のゲート端子は制御線 E_i に接続される。

10

【 0 0 5 8 】

< 1 . 3 駆動方法 >

図 5 および図 6 は、本実施形態における画素回路 1 0 の駆動方法を示すタイミングチャートである。なお、図 5 は、連続する 2 フレーム期間のうちの先行するフレーム（「1 フレーム目」とする。）におけるタイミングチャートであり、図 6 は、当該 2 フレーム期間のうちの後続のフレーム（「2 フレーム目」とする。）におけるタイミングチャートである。図 5 および図 6 において、 V_{G_i} は i 行目の画素回路 1 0 に含まれる T F T 1 2 のゲート電位を表し、 V_{S_i} は当該 T F T 1 2 のソース電位（有機 E L 素子 1 6 のアノード電位）を表している。画素回路 1 0 は、1 フレーム期間に 1 回ずつ、初期化、閾値検出（T F T 1 2 の閾値検出）、書き込み、および発光を行い、発光期間以外の期間では消灯する。なお、発光（および消灯）するのは有機 E L 素子 1 6 であるが、画素回路 1 0 にはこの有機 E L 素子 1 6 が含まれるため、以下では「画素回路 1 0 が発光する」、「画素回路 1 0 が消灯する」と表現する。また、フレーム期間とは、1 つの画像を表示するための単位期間であって、黒挿入期間等が含まれていてもよく、種々の長さに設定可能である。

20

【 0 0 5 9 】

図 5 を参照しつつ、1 フレーム目における 1 行目の画素回路 1 0 の動作を説明する。時刻 t_{11} より前では、走査信号線 G_1 および制御線 E_1 の電位はローレベルであり、電源線 V_{P_1} の電位はハイレベルである。時刻 t_{11} において、走査信号線 G_1 および制御線 E_1 の電位はハイレベルに変化する（アクティブとなる）。これにより、T F T 1 1 および T F T 1 3 はオン状態になる。また、時刻 t_{11} には、電源線 V_{P_1} の電位はローレベルに変化する。なお、以下、電源線 V_{P_i} のローレベル電位を V_{P_L} という。電位 V_{P_L} には、十分に低い電位、具体的には、時刻 t_{11} 直前の T F T 1 2 のゲート電位よりも低い電位が使用される。また、時刻 t_{11} にはデータ線 S_j には基準電位 V_{ref} が印加されており、上述したように T F T 1 1 がオン状態になることから、基準電位 V_{ref} が T F T 1 2 のゲートに与えられる。その基準電位 V_{ref} は比較的高いレベルに設定されており、T F T 1 2 はオン状態になる。上述したように T F T 1 3 もオン状態になっていることから、T F T 1 2 のソース電位 V_{S_1} は V_{P_L} にほぼ等しくなる。

30

【 0 0 6 0 】

時刻 t_{12} において、電源線 V_{P_1} の電位はハイレベルに変化する。このときデータ線 S_j には基準電位 V_{ref} が印加されている。この基準電位 V_{ref} は、上述した時刻 t_{11} の直後に T F T 1 2 がオン状態になり、かつ、時刻 t_{12} 以降に有機 E L 素子 1 6 に対する印加電圧が発光閾値電圧を超えないように決定される。このため、時刻 t_{12} 以降、T F T 1 2 はオン状態で維持されるが、有機 E L 素子 1 6 に電流は流れない。したがって、電源線 V_{P_1} から T F T 1 3 と T F T 1 2 を経由して T F T 1 2 のソース端子に電流が流れ込み、T F T 1 2 のソース電位 V_{S_1} は上昇する。T F T 1 2 のソース電位 V_{S_1} は、ゲート - ソース間電圧 V_{gs} が閾値電圧 V_{th} に等しくなるまで上昇し、 $(V_{ref} - V_{th})$ に到達する。

40

【 0 0 6 1 】

時刻 t_{13} において、走査信号線 G_1 の電位はローレベルに変化する。これにより、T

50

F T 1 1 はオフ状態になる。また、制御線 E 1 の電位もローレベルに変化するので、時刻 t 1 3 以降、T F T 1 3 はオフ状態になる。このため、T F T 1 2 のソース電位 V S 1 は、ほぼ (V r e f - V t h) のまま維持される。

【 0 0 6 2 】

時刻 t 1 4 において、走査信号線 G 1 の電位はハイレベルに変化し、データ線 S j の電位は表示データに応じたレベルになる。なお、以下、このときのデータ線 S j の電位をデータ電位 V d a 1 という。時刻 t 1 4 以降、T F T 1 1 はオン状態になり、T F T 1 2 のゲート電位 V G 1 は V r e f から V d a 1 に変化する。時刻 t 1 4 以降における T F T 1 2 のゲート - ソース間電圧 V g s は、次式 (1) で与えられる。

$$V g s = \{ C_{OLED} / (C_{OLED} + C_{st}) \} \times (V d a 1 - V r e f) + V t h \quad \dots (1)$$

10

ただし、上式 (1) において、C_{OLED} は有機 E L 素子 1 6 の容量値であり、C_{st} はコンデンサ 1 5 の容量値である。

【 0 0 6 3 】

有機 E L 素子 1 6 の容量値は十分に大きく、C_{OLED} > C_{st} が成立する。このため、上式 (1) を次式 (2) に変形する (近似させる) ことができる。

$$V g s = V d a 1 - V r e f + V t h \quad \dots (2)$$

このように、T F T 1 2 のゲート電位 V G 1 が V r e f から V d a 1 に変化したときに、T F T 1 2 のソース電位 V S 1 はほとんど変化せず、T F T 1 2 のゲート - ソース間電圧 V g s はほぼ (V d a 1 - V r e f + V t h) になる。

20

【 0 0 6 4 】

時刻 t 1 5 において、走査信号線 G 1 の電位はローレベルに変化する。時刻 t 1 5 以降、T F T 1 1 はオフ状態になる。このため、T F T 1 2 のゲート - ソース間電圧 V g s は、データ線 S j の電位が変化しても、ほぼ (V d a 1 - V r e f + V t h) のまま維持される。

【 0 0 6 5 】

時刻 t 1 6 において、制御線 E 1 の電位はハイレベルに変化する。時刻 t 1 6 以降、T F T 1 3 はオン状態になり、T F T 1 2 のドレイン端子は T F T 1 3 を介して電源線 V P 1 に接続される。このとき電源線 V P 1 の電位はハイレベルであるので、電源線 V P 1 から T F T 1 3 と T F T 1 2 とを経由して T F T 1 2 のソース端子に電流が流れ、T F T 1 2 のソース電位 V S 1 は上昇する。この時点で T F T 1 2 のゲート端子はフローティング状態にある。したがって、T F T 1 2 のソース電位 V S 1 が上昇すると、T F T 1 2 のゲート電位 V G 1 も上昇する。このとき、T F T 1 2 のゲート - ソース間電圧 V g s はほぼ一定に保たれる。

30

【 0 0 6 6 】

電源線 V P 1 に印加されるハイレベル電位は、発光期間 (時刻 t 1 6 ~ t 1 7) において T F T 1 2 が飽和領域で動作するように決定される。このため、発光期間において T F T 1 2 を流れる電流 I は、チャンネル長変調効果を見れば、次式 (3) で与えられる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C_{ox} (V g s - V t h) ^ 2 \quad \dots (3)$$

ただし、上式 (3) において、W はゲート幅、L はゲート長、μ はキャリア移動度、C_{ox} はゲート酸化膜容量である。

40

【 0 0 6 7 】

そして、上式 (2) と上式 (3) から、次式 (4) が導かれる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C_{ox} (V d a 1 - V r e f) ^ 2 \quad \dots (4)$$

【 0 0 6 8 】

上式 (4) に示す電流 I は、データ電位 V d a 1 に応じて変化するが、T F T 1 2 の閾値電圧 V t h には依存しない。したがって、閾値電圧 V t h がばらつく場合や、閾値電圧 V t h が経時的に変化する場合でも、有機 E L 素子 1 6 にデータ電位 V d a 1 に応じた電流を流し、有機 E L 素子 1 6 を所望の輝度で発光させることができる。

【 0 0 6 9 】

50

時刻 t_{17} において、制御線 E_1 の電位はローレベルに変化する。時刻 t_{17} 以降、 FT_{13} はオフ状態になる。このため、有機 EL 素子 16 に電流は流れず、画素回路 10 は消灯する。

【0070】

以上のように、1行目の画素回路 10 は、時刻 t_{11} から時刻 t_{12} までの期間に初期化を行い、時刻 t_{12} から時刻 t_{13} までの期間に閾値検出を行い、時刻 t_{14} から時刻 t_{15} までの期間に書き込みを行い、時刻 t_{16} から時刻 t_{17} までの期間に発光し、時刻 t_{16} から時刻 t_{17} までの期間以外の期間には消灯する。

【0071】

2行目の画素回路 10 は、1行目の画素回路 10 と同様に時刻 t_{11} から時刻 t_{12} までの期間に初期化を行って時刻 t_{12} から時刻 t_{13} までの期間に閾値検出を行い、1行目の画素回路 10 から所定時間 T_a だけ遅れて、書き込みおよび発光を行う。一般に、 i 行目の画素回路 10 は、他の行の画素回路 10 と同じ期間に初期化および閾値検出を行い、 $(i-1)$ 行目の画素回路 10 から時間 T_a だけ遅れて、書き込みおよび発光を行う。このように、1フレーム目においては、行ごとの画素回路 10 の書き込みおよび発光は昇順で行われる。

【0072】

次に、2フレーム目における画素回路 10 の動作について説明する。図6から把握されるように、2フレーム目においても、まず全ての行の画素回路 10 で初期化と閾値検出が行われる。その後、1フレーム目とは逆の順序で（降順で）、書き込みおよび発光が行われる。すなわち、全ての行の画素回路 10 は、時刻 t_{21} から時刻 t_{22} までの期間に初期化を行い、時刻 t_{22} から時刻 t_{23} までの期間に閾値検出を行う。その後、 n 行目から1行目までの画素回路 10 が、降順で所定時間 T_a ずつ遅れて、書き込みおよび発光を行う。一般に、 i 行目の画素回路 10 は、他の行の画素回路 10 と同じ期間に初期化および閾値検出を行い、 $(i+1)$ 行目の画素回路 10 から時間 T_a だけ遅れて、書き込みおよび発光を行う。このように、2フレーム目においては、行ごとの画素回路 10 の書き込みおよび発光は降順で行われる。

【0073】

以上のように、本実施形態においては、全てのフレームで、まず全ての行の画素回路 10 で初期化と閾値検出が行われる。その後、1フレーム毎に走査順序が逆になるように、1行ずつ画素回路 10 での書き込みおよび発光が行われる。

【0074】

図1は、本実施形態における各行の画素回路 10 の動作を示す図である。電源制御回路 $4a$ は、1フレーム目においても2フレーム目においても、1フレーム期間の先頭で所定時間だけ共通電源線 111 にローレベル電位（初期化電位）を印加する。このため、全ての行の画素回路 10 は、1フレーム期間の先頭で初期化を行う。次に、1フレーム目においても2フレーム目においても、初期化直後に全ての行の画素回路 10 は、閾値検出を行う。続いて、1フレーム目においては、1行目の画素回路 10 が選択され、1行目の画素回路 10 が書き込みを行う。次に2行目の画素回路 10 が選択され、2行目の画素回路 10 が書き込みを行う。以下、同様に、3～ n 行目の画素回路 10 が行ごとに順に選択され、選択された画素回路 10 が書き込みを行う。一方、2フレーム目においては、閾値検出後、 n 行目の画素回路 10 が選択され、 n 行目の画素回路 10 が書き込みを行う。次に $(n-1)$ 行目の画素回路 10 が選択され、 $(n-1)$ 行目の画素回路 10 が書き込みを行う。以下、同様に、 $(n-2)$ ～1行目の画素回路 10 が行ごとに1フレーム目とは逆の順に選択され、選択された画素回路 10 が書き込みを行う。

【0075】

各行の画素回路 10 は、閾値検出から書き込み直前までの期間では消灯する。ところで、各行の画素回路 10 は同じ時間だけ発光する必要がある。また、1フレーム目には n 行目の画素回路 10 の発光が当該フレーム期間の最後までに完了する必要がある。さらに、2フレーム目には1行目の画素回路 10 の発光が当該フレーム期間の最後までに完了する

10

20

30

40

50

必要がある。このため、各行の画素回路 10 は、書き込み後に一定時間 T_1 だけ発光し、それ以外の期間には消灯する。

【0076】

一般的な表示装置では、(全ての行の)画素回路 10 に対する書き込みは、1 フレーム期間かけて行われる。これに対して、本実施形態では、図 1 に示すように、(約 1/2 フレームの発光期間を確保するために)画素回路 10 に対する書き込みは約 1/2 フレーム期間かけて行われる。このため、画素回路 10 の走査速度は、通常の約 2 倍になる。なお、この例では、画素回路 10 の発光期間の長さ T_1 は約 1/2 フレーム期間となっているが、画素回路 10 の走査速度を通常の約 2 倍にしたまま発光期間の長さを 1/2 フレーム期間よりも短くしてもよい。あるいは、画素回路 10 の走査速度を通常の約 2 倍より速くして、発光期間の長さを 1/2 フレーム期間より長くしてもよい。

10

【0077】

< 1.4 効果 >

本実施形態に係る表示装置は、マトリクス状に配置された複数の画素回路 10 と、画素回路 10 の行に対応して設けられた複数の走査信号線 G_i および複数の制御線 E_i と、画素回路 10 の列に対応して設けられた複数のデータ線 S_j と、画素回路 10 に電源電位を供給するために設けられた複数の電源線 V_{P_i} と、 n 本の電源線 V_{P_i} に接続された共通電源線 9 (111) と、走査信号線 G_i および制御線 E_i を駆動するゲートドライバ回路 2 と、データ線 S_j を駆動するソースドライバ回路 3 と、電源線 V_{P_i} を駆動する電源制御回路 4 (4a) とを備えている。画素回路 10 は、有機 EL 素子 16 (電気光学素子) と、有機 EL 素子 16 を流れる電流の経路上に設けられた TFT 12 (駆動用トランジスタ) と、TFT 12 のゲート端子とデータ線 S_j との間に設けられた TFT 11 (書き込み制御トランジスタ) と、TFT 12 のドレイン端子と電源線 V_{P_i} との間に設けられた TFT 13 (発光制御トランジスタ) と、TFT 12 のソース端子とゲート端子との間に設けられたコンデンサ 15 とを含んでいる。本実施形態によれば、以上のような構成において、全てのフレームで、全ての行の画素回路 10 が初期化および閾値検出を行った後、画素回路 10 が行ごとに順に選択される。選択された画素回路 10 は、駆動用トランジスタとして機能する TFT 12 のソース端子とゲート端子との間に設けられたコンデンサ 15 への書き込みおよび当該書き込みに基づく発光を行う。ところで、上述したように、閾値検出の際には有機 EL 素子 16 に対する印加電圧が発光閾値電圧を超えないようにされ、閾値検出後、書き込みが開始されるまでの期間、TFT 12 のゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} に等しくなった状態で維持される。このため、図 5 および図 6 に示すように、閾値検出終了時点から書き込み開始時点までの期間(以下、「待機期間」という。)には、TFT 12 のソース電位 V_{Si} すなわち有機 EL 素子 16 のアノード電位は理想的には維持される。しかしながら、TFT 12 や有機 EL 素子 16 でのリーク電流による電荷の移動は必ずしも零ではない。従って、待機期間の長さによって、書き込みが行われる際の有機 EL 素子 16 のアノード電位が行ごとに異なることがある。例えば、有機 EL 素子 16 でのリーク電流に起因して、待機期間の短い行では相対的にアノード電位が高くなり、待機期間の長い行では相対的にアノード電位が低くなるということが考えられる。このようなことが生じると、或る一定の輝度値のデータ信号に基づく書き込みが行われても、走査順序(行ごとの画素回路 10 の選択順序)によって実際に画面上に現れる輝度が異なることとなる。その結果、輝度ムラが発生する。この点、本実施形態によれば、1 フレーム毎に走査順序が逆にされる。このため、2 フレーム期間を 1 単位期間とすると、1 単位期間中の待機期間の合計の長さは全ての行で等しくなる。これにより、TFT 12 や有機 EL 素子 16 でのリーク電流による電荷の移動量は、全ての行で等しくなる。その結果、書き込みが行われる際の有機 EL 素子 16 のアノード電位の変動量が全ての画素回路 10 においてほぼ等しくなり、輝度ムラの発生が抑制される。

20

30

40

【0078】

また、各フレーム期間の先頭で全ての行の画素回路 10 の初期化が一括して行われるので、初期化期間を適宜の期間、典型的には選択期間よりも長い期間に設定することができ

50

る。このため、電源制御回路4に含まれる出力バッファの電流能力が小さい場合であっても十分に駆動することができる。さらに、電源制御回路4は、全ての電源線V P iに電氣的に接続された1つの共通電源線9を駆動する。したがって、電源線V P iを個別に駆動する構成よりも、電源制御回路4に設けられるべき出力バッファを大幅に削減し、電源制御回路4の回路規模を小さくすることができる。また、電源線V P iを用いて初期化電位の供給が行われるので、初期化電位供給用の信号線等が不要となり、画素回路10内の素子数を少なくすることができる。さらに、電源の駆動回数を1フレームで1回とすることができるので、例えば画素回路10の行数に相当する回数を駆動する場合よりも消費電力を低減することができる。また、共通電源線9が1つ(または少ない数)であることにより、電源供給用の配線領域の面積を小さくすることができる。

10

【0079】

さらにまた、全ての行の画素回路10で閾値検出が一括して行われるので、閾値検出期間を適宜の期間、典型的には選択期間よりも長い期間に設定することができる。このため、閾値検出を確実に行うことができ、閾値補償の精度を向上させることができる。また、選択期間中に閾値検出が行われる構成に比べて、画素データの書き込み期間を十分に確保することができる。そのため、例えば3次元画像表示装置(3Dテレビ)などのように書き込み期間が短い構成すなわち高速で駆動が行われる構成においても、本発明を容易に適用することができる。

【0080】

また、上述したように、各行の画素回路10は、書き込み後に一定時間T1だけ発光し、それ以外の期間には消灯する。これにより、全ての行の画素回路10の発光期間の長さが等しくなり、輝度のばらつきが抑えられる。さらに、画素回路10は発光期間以外の期間には消灯するので、黒挿入を行う場合と同様に、動画性能を向上させることができる。

20

【0081】

さらにまた、画素回路10に含まれる全てのトランジスタは、Nチャネル型である。このように画素回路10に含まれるトランジスタを同じ導電型で構成することにより、表示装置のコストを削減することができる。

【0082】

なお、本実施形態においては、1フレーム毎に走査順序が逆になる構成としているが、本発明はこれに限定されず、2フレーム毎、3フレーム毎など複数フレーム毎に走査順序が逆になる構成にしても良い。これについては、後述する変形例や他の実施形態においても同様である。

30

【0083】

< 1.5 変形例 >

< 1.5.1 第1の変形例 >

図7は、上記第1の実施形態の第1の変形例における電源線V P iの接続形態を示す図である。本変形例においては、表示装置100には、電源制御回路4bと電源線V P iとを接続するために、2本の共通電源線121, 122が設けられる。共通電源線121, 122の一端は、電源制御回路4bが有する2個の出力端子にそれぞれ接続される。電源線V P 1 ~ V P (n/2)は共通電源線121に接続され、電源線V P (n/2 + 1) ~ V P nは共通電源線122に接続される。すなわち、本変形例においては、1 ~ (n/2)行目によって1つの行グループが構成され、(n/2 + 1) ~ n行目によって別の1つの行グループが構成されている。

40

【0084】

図8は、本変形例における各行の画素回路10の動作を示す図である。電源制御回路4bは、1フレーム目においても2フレーム目においても、1フレーム期間の先頭で所定時間だけ共通電源線121にローレベル電位を印加し、1/2フレーム期間経過後に所定時間だけ共通電源線122にローレベル電位を印加する。このため、1 ~ (n/2)行目の画素回路10は1フレーム期間の先頭で初期化を行い、(n/2 + 1) ~ n行目の画素回路10は1/2フレーム期間だけ遅れて初期化を行う。

50

【0085】

1フレーム目においても2フレーム目においても、1回目の初期化後に1～(n/2)行目の全ての画素回路10が同時に選択され、2回目の初期化後に(n/2+1)～n行目の全ての画素回路10が同時に選択される。選択された画素回路10が閾値検出を行う。

【0086】

1フレーム目においては、1回目の閾値検出後に1～(n/2)行目の画素回路10が昇順で選択され、2回目の閾値検出後に(n/2+1)～n行目の画素回路10が昇順で選択される。選択された画素回路10が書き込みを行う。各行の画素回路10は、書き込み後に一定時間T2だけ発光し、それ以外の期間には消灯する。2フレーム目においては、1回目の閾値検出後に1～(n/2)行目の画素回路10が降順で選択され、2回目の閾値検出後に(n/2+1)～n行目の画素回路10が降順で選択される。選択された画素回路10が書き込みを行う。各行の画素回路10は、書き込み後に一定時間T2だけ発光し、それ以外の期間には消灯する。図8に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さT2は約1/2フレーム期間となる。

【0087】

なお、(n/2+1)～n行目によって構成される行グループに着目すると、「時刻t01に或るフレーム期間が開始して、時刻t02に当該フレーム期間が終了する」と考えることもできる。第2の変形例以下についても、同様に考えることができる。

【0088】

本変形例によれば、電源制御回路4(4b)に設けられるべき出力バッファの個数が電源線VPiの本数よりも少なくなり、電源線VPiを個別に駆動する構成と比較して、電源制御回路4(4b)の回路規模を小さくすることができる。また、共通電源線121と共通電源線122とに互いに異なるタイミングで初期化電位を印加することにより、画素回路10の選択期間に合わせて好適なタイミングで画素回路10の初期化を行うことができる。

【0089】

<1.5.2 第2の変形例>

図9は、上記第1の実施形態の第2の変形例における電源線VPiの接続形態を示す図である。本変形例においては、表示装置100には、電源制御回路4cと電源線VPiとを接続するために、2本の共通電源線131, 132が設けられる。共通電源線131, 132の一端は、電源制御回路4cが有する2個の出力端子にそれぞれ接続される。奇数行目の電源線VP1, VP3, ..., VP(n-1)は共通電源線131に接続され、偶数行目の電源線VP2, VP4, ..., VPnは共通電源線132に接続される(ここでは、nは偶数とする)。すなわち、本変形例においては、奇数行目によって1つの行グループが構成され、偶数行目によって別の1つの行グループが構成されている。

【0090】

図10は、本変形例における各行の画素回路10の動作を示す図である。電源制御回路4cは、1フレーム目においても2フレーム目においても、1フレーム期間の先頭で所定時間だけ共通電源線131にローレベル電位を印加し、1/2フレーム期間経過後に所定時間だけ共通電源線132にローレベル電位を印加する。このため、奇数行目の画素回路10は1フレーム期間の先頭で初期化を行い、偶数行目の画素回路10は1/2フレーム期間だけ遅れて初期化を行う。

【0091】

1フレーム目においても2フレーム目においても、1回目の初期化後に奇数行目の全ての画素回路10が同時に選択され、2回目の初期化後に偶数行目の全ての画素回路10が同時に選択される。選択された画素回路10が閾値検出を行う。

【0092】

1フレーム目においては、1回目の閾値検出後に奇数行目の画素回路10が昇順で選択され、2回目の閾値検出後に偶数行目の画素回路10が昇順で選択される。選択された画

10

20

30

40

50

素回路 10 が書き込みを行う。各行の画素回路 10 は、書き込み後に一定時間 T_3 だけ発光し、それ以外の期間には消灯する。2 フレーム目においては、1 回目の閾値検出後に奇数行目の画素回路 10 が降順で選択され、2 回目の閾値検出後に偶数行目の画素回路 10 が降順で選択される。選択された画素回路 10 が書き込みを行う。各行の画素回路 10 は、書き込み後に一定時間 T_3 だけ発光し、それ以外の期間には消灯する。図 10 に示す例では、画素回路 10 の走査速度は通常と同じであり、画素回路 10 の発光期間の長さ T_3 は約 $1/2$ フレーム期間となる。

【0093】

上述した第 1 の変形例によれば、画素回路 10 に対して表示画面内の順序に従って書き込みを行うことができる。しかしながら、画面の上半分と下半分で輝度が大きく異なる場合など、共通電源線 121, 122 (図 7 参照) を流れる電流の量が大きく異なる場合には、画面の中央で輝度差が発生することがある。この点、第 2 の変形例によれば、共通電源線 131, 132 を流れる電流の量は多くの場合ほぼ同じになるので、画面の中央に発生する輝度差を防止することができる。

【0094】

< 1.5.3 第 3 の変形例 >

図 11 は、上記第 1 の実施形態の第 3 の変形例における電源線 VP_i の接続形態を示す図である。本変形例においては、表示装置 100 には、電源制御回路 4d と電源線 VP_i とを接続するために、3 本の共通電源線 141 ~ 143 が設けられる。共通電源線 141 ~ 143 の一端は、電源制御回路 4d が有する 3 個の出力端子にそれぞれ接続される。電源線 $VP_1 \sim VP(n/3)$ は共通電源線 141 に接続され、電源線 $VP(n/3+1) \sim VP(2n/3)$ は共通電源線 142 に接続され、電源線 $VP(2n/3+1) \sim VPn$ は共通電源線 143 に接続される。すなわち、本変形例においては、1 ~ $(n/3)$ 行目によって第 1 の行グループが構成され、 $(n/3+1) \sim (2n/3)$ 行目によって第 2 の行グループが構成され、 $(2n/3+1) \sim n$ 行目によって第 3 の行グループが構成されている。

【0095】

図 12 は、本変形例における各行の画素回路 10 の動作を示す図である。電源制御回路 4d は、1 フレーム目においても 2 フレーム目においても、1 フレーム期間の先頭で所定時間だけ共通電源線 141 にローレベル電位を印加し、 $1/3$ フレーム期間経過後に所定時間だけ共通電源線 142 にローレベル電位を印加し、さらに $1/3$ フレーム期間経過後に所定時間だけ共通電源線 143 にローレベル電位を印加する。このため、1 ~ $(n/3)$ 行目の画素回路 10 は 1 フレーム期間の先頭で初期化を行い、 $(n/3+1) \sim (2n/3)$ 行目の画素回路 10 は $1/3$ フレーム期間だけ遅れて初期化を行い、 $(2n/3+1) \sim n$ 行目の画素回路 10 はさらに $1/3$ フレーム期間だけ遅れて初期化を行う。

【0096】

1 フレーム目においても 2 フレーム目においても、1 回目の初期化後に 1 ~ $(n/3)$ 行目の全ての画素回路 10 が同時に選択され、2 回目の初期化後に $(n/3+1) \sim (2n/3)$ 行目の全ての画素回路 10 が同時に選択され、3 回目の初期化後に $(2n/3+1) \sim n$ 行目の全ての画素回路 10 が同時に選択される。選択された画素回路 10 が閾値検出を行う。

【0097】

1 フレーム目においては、1 回目の閾値検出後に 1 ~ $(n/3)$ 行目の画素回路 10 が昇順で選択され、2 回目の閾値検出後に $(n/3+1) \sim (2n/3)$ 行目の画素回路 10 が昇順で選択され、3 回目の閾値検出後に $(2n/3+1) \sim n$ 行目の画素回路 10 が昇順で選択される。選択された画素回路 10 が書き込みを行う。各行の画素回路 10 は、書き込み後に一定時間 T_4 だけ発光し、それ以外の期間には消灯する。2 フレーム目においては、1 回目の閾値検出後に 1 ~ $(n/3)$ 行目の画素回路 10 が降順で選択され、2 回目の閾値検出後に $(n/3+1) \sim (2n/3)$ 行目の画素回路 10 が降順で選択され、3 回目の閾値検出後に $(2n/3+1) \sim n$ 行目の画素回路 10 が降順で選択される。

10

20

30

40

50

選択された画素回路 10 が書き込みを行う。各行の画素回路 10 は、書き込み後に一定時間 T_4 だけ発光し、それ以外の期間には消灯する。図 12 に示す例では、画素回路 10 の走査速度は通常と同じであり、画素回路 10 の発光期間の長さ T_4 は約 $2/3$ フレーム期間となる。

【0098】

本変形例によれば、或る 1 つの行グループに属する行の画素回路 10 が初期化・閾値検出を行っている期間中、他の 2 つの行グループに属する行の画素回路 10 は発光している。このように、各画素回路 10 の発光期間の長さは約 $2/3$ フレーム期間となる。すなわち、1 本または 2 本の共通電源線が設けられている構成と比較して、発光期間を長くすることができる。

10

【0099】

< 1.5.4 その他の変形例 >

共通電源線 9 の本数 p については、4 以上でもよい。 $p = 4$ の場合、電源線 VP_i の接続形態および各行の画素回路 10 の動作は、上記と同様である。また、 $p = 3$ の場合には、隣接配置された (n/p) 本の電源線を同じ共通電源線に接続してもよく、 $(p-1)$ 本飛ばしの (n/p) 本の電源線を同じ共通電源線に接続してもよい。例えば、 $p = 3$ の場合に、電源線 VP_i を 2 本飛ばしに選択し、電源線 VP_1, VP_4, \dots を第 1 の共通電源線に、電源線 VP_2, VP_5, \dots を第 2 の共通電源線に、電源線 VP_3, VP_6, \dots を第 3 の共通電源線にそれぞれ接続してもよい。また、 $p = 1$ の場合には、画素回路 10 の行に対応して n 本の電源線 VP_i を設ける代わりに、画素回路 10 の列に対応して m 本の電源線を設けてもよい。

20

【0100】

このように共通電源線 9 の本数 p 、画素回路 10 の走査速度、および画素回路 10 の発光期間の長さは、トレードオフの関係にある。例えば、共通電源線 9 の本数 p を増やせば、画素回路 10 の走査速度を遅くしたり、画素回路 10 の発光期間を長くしたりすることができる。ただし、この場合、電源制御回路 4 に設けられるべき出力バッファの個数が増加し、電源制御回路 4 の回路規模が増大する。したがって、表示装置の仕様やコストなどを考慮して、これらのパラメータを決定すればよい。

【0101】

< 2. 第 2 の実施形態 >

30

< 2.1 構成 >

図 13 は、本発明の第 2 の実施形態に係る表示装置の全体構成を示すブロック図である。図 13 に示す表示装置 200 は、上記第 1 の実施形態（図 2 参照）における構成要素に加えて、制御線駆動回路 20 と、該制御線駆動回路 20 と制御線 E_i とを接続するための共通制御線 21 とを備えている。本実施形態においては、走査信号線 G_i はゲートドライバ回路 2 に接続され、制御線 E_i は共通制御線 21 を介して制御線駆動回路 20 に接続されている。ゲートドライバ回路 2 と制御線駆動回路 20 とによって、行駆動回路が実現されている。なお、ゲートドライバ回路 2 とは別に制御線駆動回路 20 が設けられている理由は、本実施形態では後述するように制御線 E_i が複数本ずつ駆動されることから、ここではゲートドライバ回路 2 は 1 行ずつ順にアクティブとなる信号を出力する回路であるとして説明しているからである。従って、例えばゲートドライバ回路 2 と制御線駆動回路 20 とが 1 つの IC チップで構成されていても良い。画素回路 10 については、上記第 1 の実施形態と同様、図 4 に示す構成となっている。

40

【0102】

制御線駆動回路 20 は、 q 本の共通制御線 21 に対応して、 q 個の出力端子を有する。制御線駆動回路 20 は、制御信号 TS に基づき、共通制御線 21 にハイレベルの電位およびローレベルの電位を切り替えて印加する。 $q = 1$ のとき、全ての制御線 E_i は 1 本の共通制御線 21 に接続される。 $q = 2$ のとき、制御線 E_i は q 個のグループに分類され、各グループに含まれる制御線は同じ共通制御線 21 に接続される。電源線 VP_i および共通電源線 9 については上記第 1 の実施形態と同様である。但し、本実施形態においては、 p

50

= q、すなわち、共通電源線 9 の本数と共通制御線 2 1 の本数とは等しくされる。

【 0 1 0 3 】

なお、ここではまず $q = 1$ の場合を例に挙げて説明し、 $q = 2$ の場合については変形例として後述する ($q = 2$ の場合：第 1 の変形例および第 2 の変形例、 $q = 3$ の場合：第 3 の変形例)。図 1 4 は、本実施形態における電源線 $V P i$ および制御線 $E i$ の接続形態を示す図である。図 1 4 に示すように、表示装置 2 0 0 には、電源制御回路 4 a と電源線 $V P i$ とを接続するために 1 本の共通電源線 1 1 1 が設けられ、制御線駆動回路 2 0 a と制御線 $E i$ とを接続するために 1 本の共通制御線 2 1 1 が設けられている。共通電源線 1 1 1 の一端は電源制御回路 4 a が有する 1 個の出力端子に接続され、全ての電源線 $V P i$ は共通電源線 1 1 1 に接続されている。共通制御線 2 1 1 の一端は制御線駆動回路 2 0 a が有する 1 個の出力端子に接続され、全ての制御線 $E i$ は共通制御線 2 1 1 に接続されている。

10

【 0 1 0 4 】

< 2 . 2 駆動方法 >

図 1 5 および図 1 6 は、本実施形態における画素回路 1 0 の駆動方法を示すタイミングチャートである。なお、図 1 5 は、連続する 2 フレーム期間のうちの 1 フレーム目におけるタイミングチャートであり、図 1 6 は、当該 2 フレーム期間のうちの 2 フレーム目におけるタイミングチャートである。上記第 1 の実施形態においては、書き込み終了時点から発光開始時点までの期間の長さは全ての行で等しかったが (図 5 および図 6 を参照)、本実施形態においては、1 フレーム期間内において書き込み開始時点が相対的に早い行ほど書き込み終了時点から発光開始時点までの期間が長くなっている。これにより、全ての行の画素回路 1 0 は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。なお、本実施形態においても、行ごとの画素回路 1 0 の書き込みは、1 フレーム目には昇順で行われ、2 フレーム目には降順で行われる。

20

【 0 1 0 5 】

図 1 7 は、本実施形態における各行の画素回路 1 0 の動作を示す図である。上記第 1 の実施形態と同様、画素回路 1 0 は、1 フレーム期間に 1 回ずつ、初期化、閾値検出 ($T F T 1 2$ の閾値検出)、書き込み、および発光を行い、発光期間以外の期間では消灯する。しかしながら、上記第 1 の実施形態とは異なり、各行の画素回路 1 0 が書き込み終了時点から各行毎に異なる所定の期間消灯した後、全ての行の画素回路 1 0 が同時に (一括的に) 一定時間 $T 5$ だけ発光し、1 フレーム期間の最後 (言い換えれば次のフレームの初期化直前) で同時に消灯する。

30

【 0 1 0 6 】

< 2 . 3 効果 >

本実施形態によれば、 n 本の制御線 $E i$ は 1 本の共通制御線 2 1 を介して制御線駆動回路 2 0 に接続されている。このため、上記第 1 の実施形態と比較して、制御線駆動用の回路 (上記第 1 の実施形態におけるゲートドライバ回路 2、本実施形態における制御線駆動回路 2 0) に設けられるべきピン (端子) の数を大幅に少なくすることが可能となる。また、上記第 1 の実施形態と比較して、制御線駆動用の回路の規模を大幅に縮小することが可能となる。

40

【 0 1 0 7 】

ところで、各行において走査信号線 $G i$ の電位および制御線 $E i$ の電位がローレベルになっている期間には、データ線 $S j$ の電位が変化しても、理想的には $T F T 1 2$ のゲート - ソース間電圧 $V g s$ は変化しない。しかしながら、 $T F T 1 2$ にはわずかなリーク電流が存在するため、ゲート - ソース間電圧 $V g s$ は、実際には少しずつ低下していく。このため、上記第 1 の実施形態のように閾値検出終了時点から発光開始時点までの期間の長さが行ごとに異なる場合には、 $T F T 1 2$ におけるリーク電流の大きさが行ごとに異なって輝度ムラが発生することが考えられる。この点、本実施形態によれば、閾値検出終了時点から発光開始時点までの期間の長さが全ての行で等しくなるので、 $T F T 1 2$ におけるリーク電流の大きさが全ての画素回路 1 0 で等しくなる。これにより、 $T F T 1 2$ に生じる

50

リーク電流に起因する輝度ムラの発生が抑制される。

【0108】

< 2.4 変形例 >

< 2.4.1 第1の変形例 >

図18は、上記第2の実施形態の第1の変形例における電源線 $V P i$ および制御線 $E i$ の接続形態を示す図である。本変形例においては、表示装置200には、電源制御回路4bと電源線 $V P i$ とを接続するために2本の共通電源線121, 122が設けられ、制御線駆動回路20bと制御線 $E i$ とを接続するために2本の共通制御線221, 222が設けられている。共通電源線121, 122の一端は、電源制御回路4bが有する2個の出力端子にそれぞれ接続される。電源線 $V P 1 \sim V P (n/2)$ は共通電源線121に接続され、電源線 $V P (n/2 + 1) \sim V P n$ は共通電源線122に接続される。共通制御線221, 222の一端は、制御線駆動回路20bが有する2個の出力端子にそれぞれ接続される。制御線 $E 1 \sim E (n/2)$ は共通制御線221に接続され、制御線 $E (n/2 + 1) \sim E n$ は共通制御線222に接続される。

10

【0109】

図19は、本変形例における各行の画素回路10の動作を示す図である。1フレーム目においても2フレーム目においても、 $1 \sim (n/2)$ 行目の画素回路10は1フレーム期間の先頭で初期化・閾値検出を行い、 $(n/2 + 1) \sim n$ 行目の画素回路10は1/2フレーム期間だけ遅れて初期化・閾値検出を行う。 $1 \sim (n/2)$ 行目の画素回路10についても、 $(n/2 + 1) \sim n$ 行目の画素回路10についても、行ごとの画素回路10の書き込みは、1フレーム目には昇順で行われ、2フレーム目には降順で行われる。

20

【0110】

本変形例においては、図19に示すように、1フレーム目においても2フレーム目においても、 $1 \sim (n/2)$ 行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。また、 $(n/2 + 1) \sim n$ 行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。発光期間の長さ $T 6$ は、全行の画素回路10で等しくなっている。なお、図19に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さ $T 6$ は約1/2フレーム期間となる。

【0111】

本変形例によれば、電源線 $V P i$ や制御線 $E i$ を個別に駆動する構成と比較して、電源制御回路4(4b)および制御線駆動回路20(20b)の回路規模を小さくすることができる。また、閾値検出終了時点から発光開始時点までの期間の長さが全ての行で等しくなるので、画素回路10内の $T F T 1 2$ に生じるリーク電流に起因する輝度ムラの発生が抑制される。

30

【0112】

< 2.4.2 第2の変形例 >

図20は、上記第2の実施形態の第2の変形例における電源線 $V P i$ および制御線 $E i$ の接続形態を示す図である。本変形例においては、表示装置200には、電源制御回路4cと電源線 $V P i$ とを接続するために2本の共通電源線131, 132が設けられ、制御線駆動回路20cと制御線 $E i$ とを接続するために2本の共通制御線231, 232が設けられている。共通電源線131, 132の一端は、電源制御回路4cが有する2個の出力端子にそれぞれ接続される。奇数行目の電源線 $V P 1, V P 3, \dots, V P (n - 1)$ は共通電源線131に接続され、偶数行目の電源線 $V P 2, V P 4, \dots, V P n$ は共通電源線132に接続される(ここでは、 n は偶数とする)。共通制御線231, 232の一端は、制御線駆動回路20cが有する2個の出力端子にそれぞれ接続される。奇数行目の制御線 $E 1, E 3, \dots, E (n - 1)$ は共通制御線231に接続され、偶数行目の制御線 $E 2, E 4, \dots, E n$ は共通制御線232に接続される。

40

【0113】

図21は、本変形例における各行の画素回路10の動作を示す図である。1フレーム目

50

においても2フレーム目においても、奇数行目の画素回路10は1フレーム期間の先頭で初期化・閾値検出を行い、偶数行目の画素回路10は1/2フレーム期間だけ遅れて初期化・閾値検出を行う。奇数行目の画素回路10についても、偶数行目の画素回路10についても、行ごとの画素回路10の書き込みは、1フレーム目には昇順で行われ、2フレーム目には降順で行われる。

【0114】

本変形例においては、図21に示すように、1フレーム目においても2フレーム目においても、奇数行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。また、偶数行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。発光期間の長さT7は、全行の画素回路10で等しくなっている。なお、図21に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さT7は約1/2フレーム期間となる。

10

【0115】

本変形例によれば、上記第1の変形例と同様の効果が得られるほか、画面の中央に発生する輝度差を防止することができる(第1の実施形態の第2の変形例を参照)。

【0116】

<2.4.3 第3の変形例>

図22は、上記第2の実施形態の第3の変形例における電源線VPiおよび制御線Eiの接続形態を示す図である。本変形例においては、表示装置200には、電源制御回路4dと電源線VPiとを接続するために3本の共通電源線141~143が設けられ、制御線駆動回路20dと制御線Eiとを接続するために3本の共通制御線241~243が設けられている。共通電源線141~143の一端は、電源制御回路4dが有する3個の出力端子にそれぞれ接続される。電源線VP1~VP(n/3)は共通電源線141に接続され、電源線VP(n/3+1)~VP(2n/3)は共通電源線142に接続され、電源線VP(2n/3+1)~VPnは共通電源線143に接続される。共通制御線241~243の一端は、制御線駆動回路20dが有する3個の出力端子にそれぞれ接続される。制御線E1~E(n/3)は共通制御線241に接続され、制御線E(n/3+1)~E(2n/3)は共通制御線242に接続され、制御線E(2n/3+1)~Enは共通制御線243に接続される。

20

【0117】

図23は、本変形例における各行の画素回路10の動作を示す図である。1フレーム目においても2フレーム目においても、1~(n/3)行目の画素回路10は1フレーム期間の先頭で初期化・閾値検出を行い、(n/3+1)~(2n/3)行目の画素回路10は1/3フレーム期間だけ遅れて初期化・閾値検出を行い、(2n/3+1)~n行目の画素回路10はさらに1/3フレーム期間だけ遅れて初期化・閾値検出を行う。1~(n/3)行目についての行ごとの画素回路10の書き込みは、1フレーム目には昇順で行われ、2フレーム目には降順で行われる。これについては、(n/3+1)~(2n/3)行目についても、(2n/3+1)~n行目についても同様である。

30

【0118】

本変形例においては、図23に示すように、1フレーム目においても2フレーム目においても、1~(n/3)行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。また、(n/3+1)~(2n/3)行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。さらに、(2n/3+1)~n行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。発光期間の長さT8は、全行の画素回路10で等しくなっている。なお、図23に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さT8は約2/3フレーム期間となる。

40

【0119】

本変形例によれば、或る1つの行グループに属する行の画素回路10が初期化・閾値検出を行っている期間中、他の2つの行グループに属する行の画素回路10は発光している

50

。このように、各画素回路10の発光期間の長さは約2/3フレーム期間となる。すなわち、1本または2本の共通電源線および1本または2本の共通制御線が設けられている構成と比較して、発光期間を長くすることができる。

【0120】

< 2.5.4 その他の変形例 >

共通制御線21の本数qについては、4以上でもよい。q=4の場合、制御線E_iの接続形態および各行の画素回路10の動作は、上記と同様である。また、q=3の場合には、隣接配置された(n/q)本の制御線を同じ共通制御線に接続してもよく、(q-1)本飛ばしの(n/q)本の制御線を同じ共通制御線に接続してもよい。例えば、q=3の場合に、制御線E_iを2本飛ばしに選択し、制御線E₁, E₄, ...を第1の共通制御線に、制御線E₂, E₅, ...を第2の共通制御線に、制御線E₃, E₆, ...を第3の共通制御線にそれぞれ接続してもよい。

10

【0121】

< 3.第3の実施形態 >

< 3.1 構成 >

表示装置の全体構成、電源線V_{Pi}の接続形態、および画素回路10の構成については、上記第1の実施形態と同様であるので説明を省略する(図2, 図3, および図4を参照)。

【0122】

< 3.2 駆動方法 >

図24および図25は、本実施形態における画素回路10の駆動方法を示すタイミングチャートである。図24および図25に示すように、本実施形態においては、1フレーム目においても2フレーム目においても、全ての行の画素回路10での閾値検出の終了時点から各行の画素回路10での書き込みが開始される時点までの期間に、全ての行の画素回路10において一斉にTF_{T12}のゲートに逆バイアス(負バイアス)が印加される(図24の時刻t₁₄~t₁₅, 図25の時刻t₂₄~t₂₅を参照)。TF_{T12}のゲートへの逆バイアスの印加は、具体的には、全ての走査信号線G_iの電位をハイレベルにした状態でデータ線S_jに十分に低い電位V_{neg}を印加することによって行われる。なお、各行の画素回路10では、書き込みが開始されるまでの期間を通じて、TF_{T12}のゲートに逆バイアスが印加され続ける。TF_{T12}のゲートに逆バイアスが印加される以外の動作については、上記第1の実施形態と同様であるので、説明を省略する。

20

30

【0123】

図26は、本実施形態における各行の画素回路10の動作を示す図である。1フレーム目においても2フレーム目においても、全ての行の画素回路10は、1フレーム期間の先頭で初期化を行い、次に閾値検出を行い、次にTF_{T12}のゲートへの逆バイアス印加を行う。この逆バイアス印加は、各行の画素回路10において書き込みが開始されるまでの期間継続される。1フレーム目においては、逆バイアス印加後、行ごとの画素回路10の書き込みおよび発光が昇順で行われる。2フレーム目においては、逆バイアス印加後、行ごとの画素回路10の書き込みおよび発光が降順で行われる。なお、1フレーム目においても2フレーム目においても、各行の画素回路10は一定時間T₉だけ発光し、それ以外の期間には消灯する。

40

【0124】

< 3.3 効果 >

一般にTF_T(薄膜トランジスタ)に関しては、「ゲートに正バイアスが印加されると閾値特性が正方向にシフトし、ゲートに逆バイアス(負バイアス)が印加されると閾値特性が負方向にシフトする」ということが知られている。なお、「閾値特性が正方向にシフトする」とは「I_d(ドレイン電流)-V_g(ゲート電圧)特性が右方向にシフトする」ということである。自発光型表示素子を備えた表示装置においては、通常、発光している期間中、駆動用トランジスタ(TF_{T12})のゲート-ソース間には正の電圧が印加される。このため、発光時間が累積されるに従って、駆動用トランジスタの閾値特性は徐々に

50

正方向にシフトする。この点、本実施形態によれば、各画素回路 10 において、閾値検出の終了時点から書き込みが開始される時点までの期間、TF T 1 2 のゲートに逆バイアスが印加される。このため、駆動用トランジスタとして機能する TF T 1 2 の閾値特性の（正方向への）シフトが抑制される。また、1 フレーム毎に走査順序が逆にされているので、TF T 1 2 のゲートに逆バイアスが印加される累積時間は、全ての行の画素回路 10 でほぼ等しくなる。これにより、行ごとのばらつきを生ずることなく、TF T 1 2 の閾値特性のシフトが抑制される。なお、TF T 1 2 のゲートに逆バイアスが印加されている期間には、TF T 1 2 はオフ状態で維持され、TF T 1 2 のソースからの電荷の移動は生じない。従って、TF T 1 2 においてゲートに逆バイアスを印加しつつソースに閾値を保持し続けることができる。

10

【 0 1 2 5 】

< 3 . 4 変形例 >

図 2 7 は、上記第 3 の実施形態の変形例における各行の画素回路 10 の動作を示す図である。上記第 2 の実施形態のように n 本の制御線 E i を一括的に駆動する構成とすることによって、図 2 7 に示すように全ての行の画素回路 10 が同時に一定時間 T 1 0 だけ発光するようにしても良い。また、上記第 1 および第 2 の実施形態の第 1 ~ 第 3 の変形例と同様に、電源線 V P i や制御線 E i を複数のグループに分類して、電源線 V P i や制御線 E i をグループ毎に駆動する構成にしても良い。

【 0 1 2 6 】

< 4 . その他 >

20

上記各実施形態においては有機 E L ディスプレイを例に挙げて説明したが、本発明はこれに限定されない。電流で駆動される自発光型表示素子を備えた表示装置であれば、有機 E L ディスプレイ以外の表示装置にも本発明を適用することができる。

【 符号の説明 】

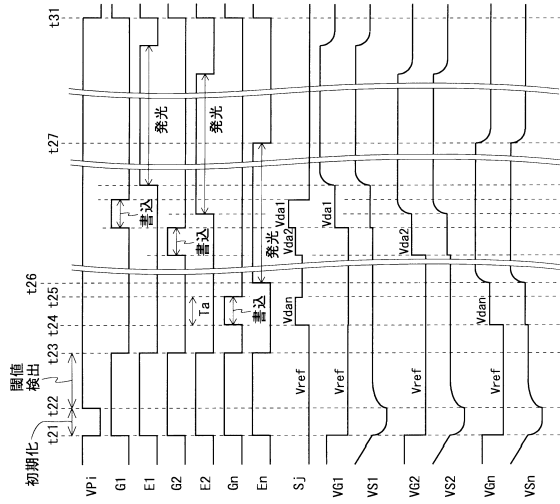
【 0 1 2 7 】

- 1 ... 表示制御回路
- 2 ... ゲートドライバ回路
- 3 ... ソースドライバ回路
- 4 , 4 a , 4 b , 4 c , 4 d ... 電源制御回路
- 5 ... シフトレジスタ
- 6 ... レジスタ
- 7 ... ラッチ回路
- 8 ... D / A 変換器
- 9 ... 共通電源線
- 10 ... 画素回路
- 11 ... TF T (書き込み制御トランジスタ)
- 12 ... TF T (駆動用トランジスタ)
- 13 ... TF T (発光制御トランジスタ)
- 15 ... コンデンサ
- 16 ... 有機 E L 素子 (電気光学素子)
- 20 , 20 a , 20 b , 20 c , 20 d ... 制御線駆動回路
- 21 ... 共通制御線
- 100 , 200 ... 表示装置
- G i ... 走査信号線
- E i ... 制御線
- S j ... データ線
- V P i ... 電源線

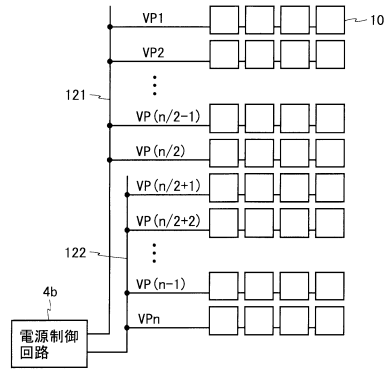
30

40

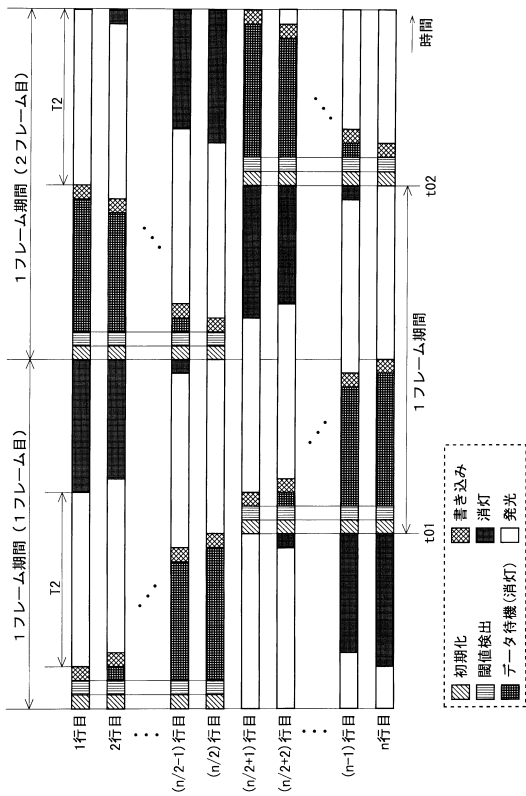
【図6】



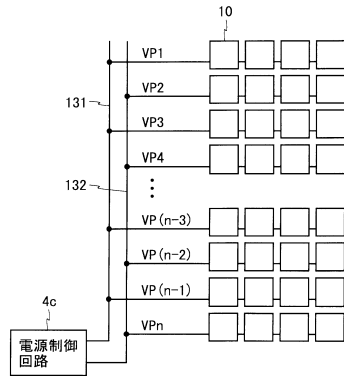
【図7】



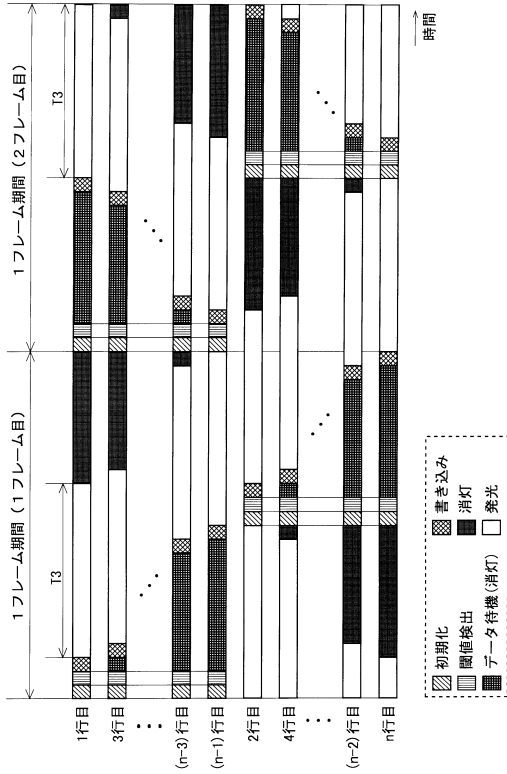
【図8】



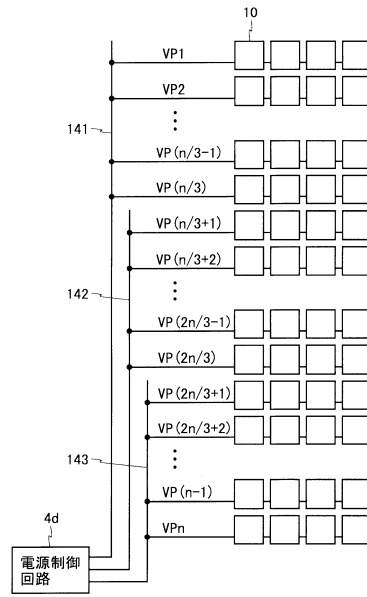
【図9】



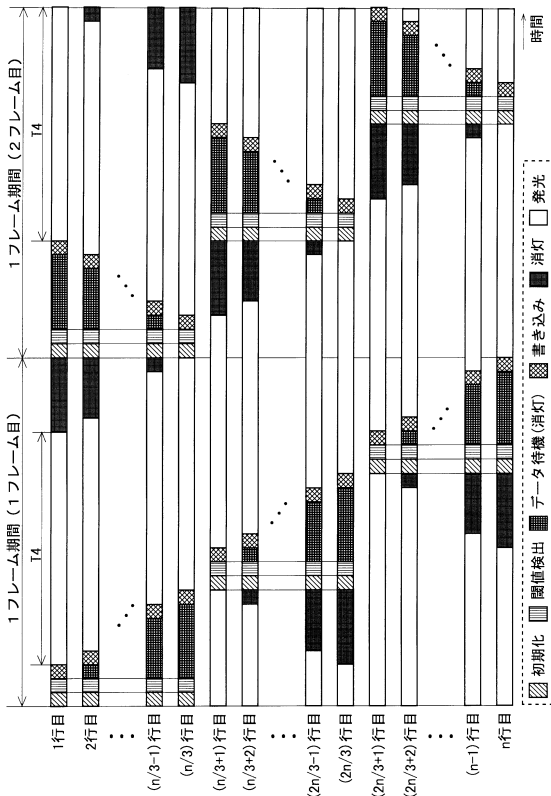
【図10】



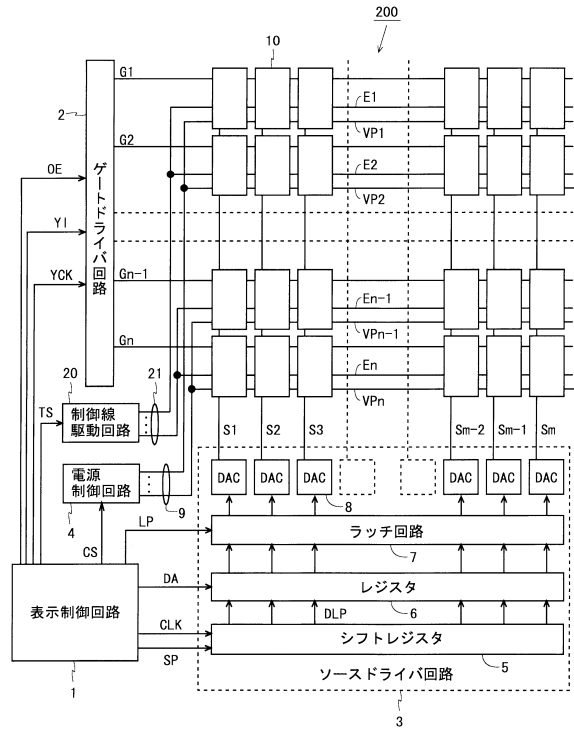
【図11】



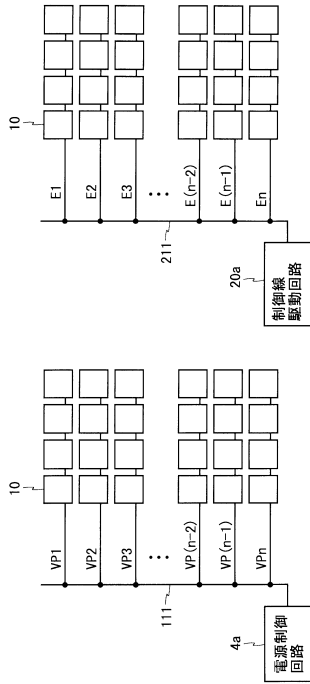
【図12】



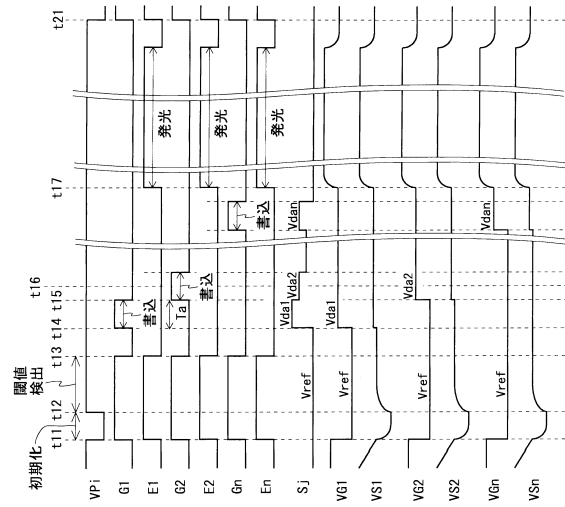
【図13】



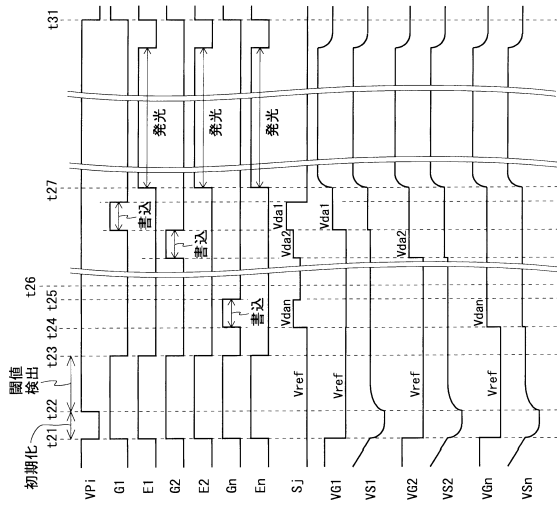
【図14】



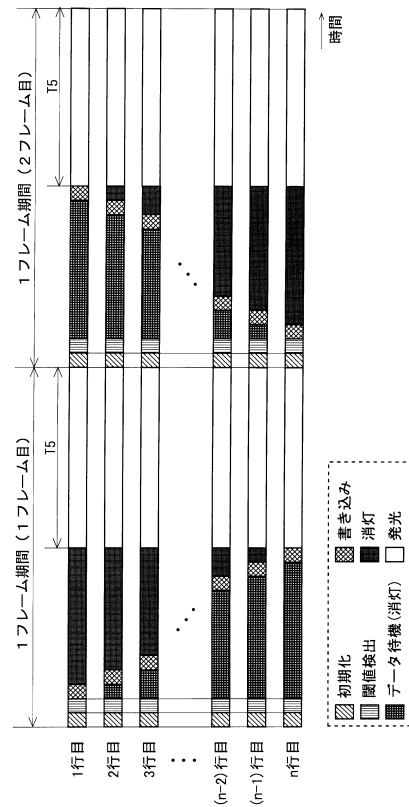
【図15】



【図16】

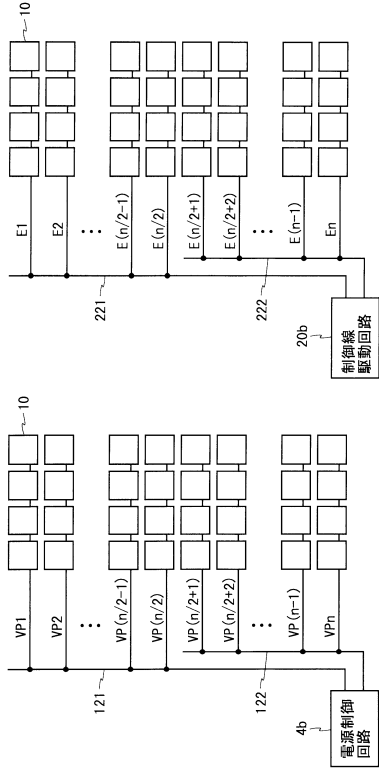


【図17】

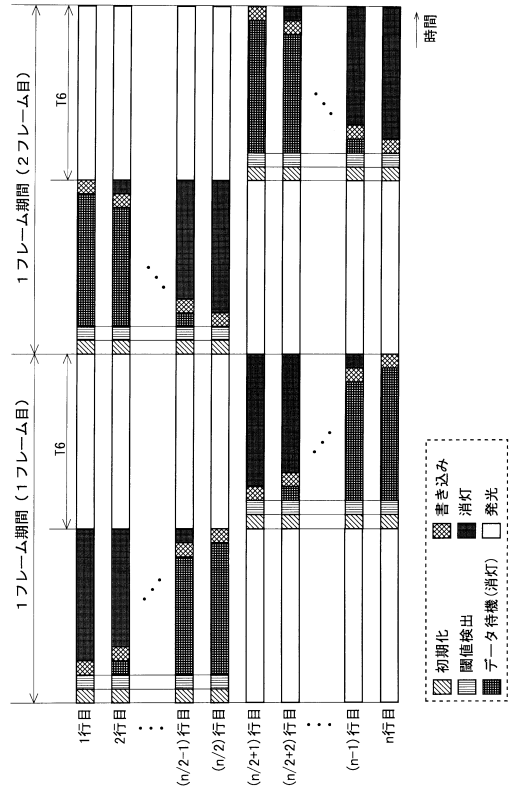


- 初期化
- 閾値検出
- 書き込み
- 消灯
- 一行ごとの待機(消灯)
- 発光

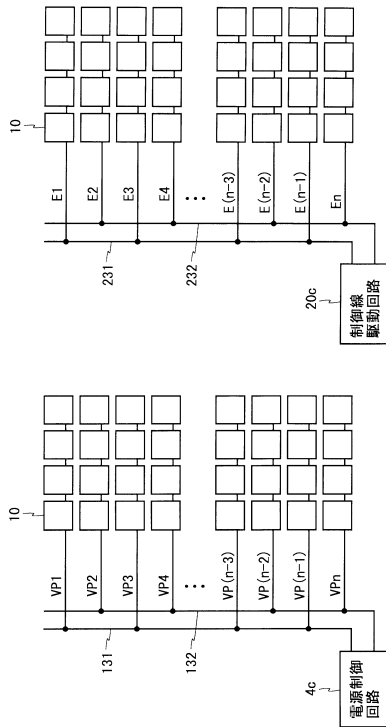
【図18】



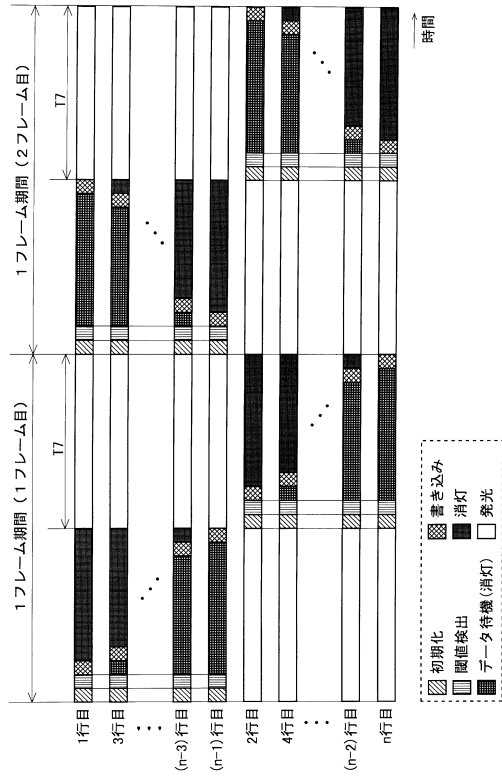
【図19】



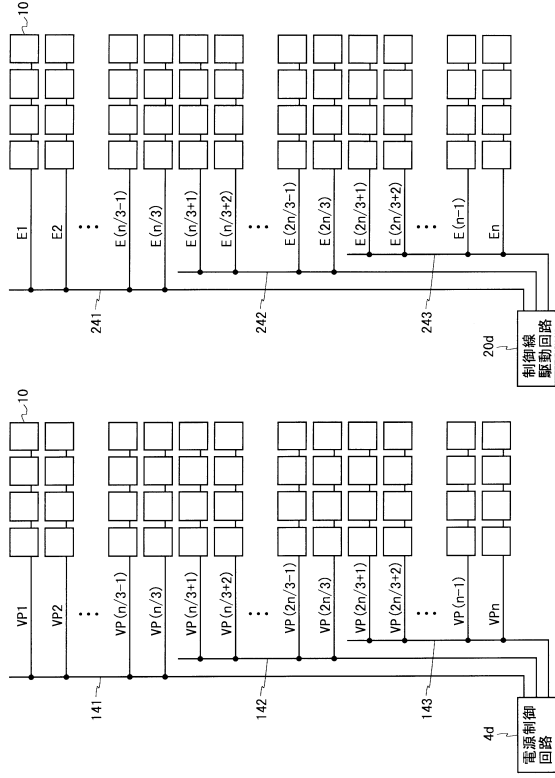
【図20】



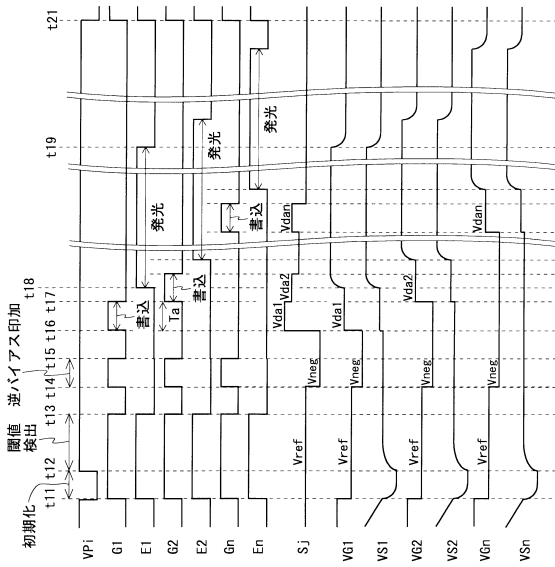
【図21】



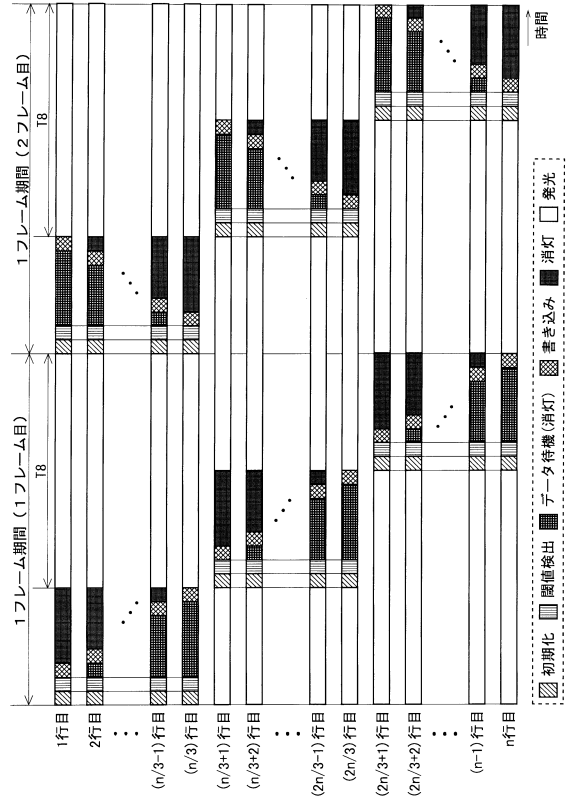
【図 2 2】



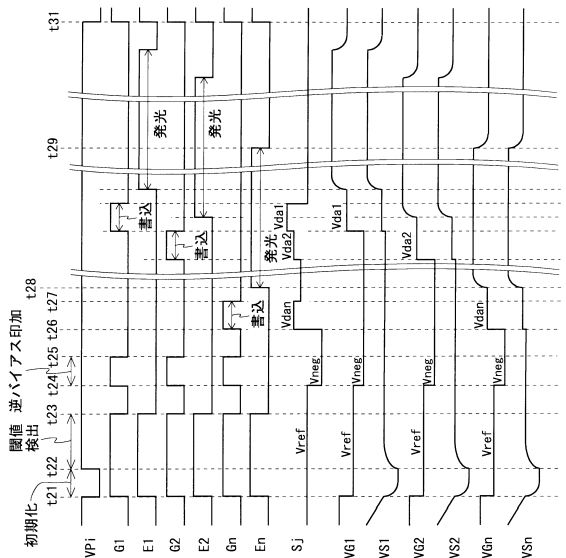
【図 2 4】



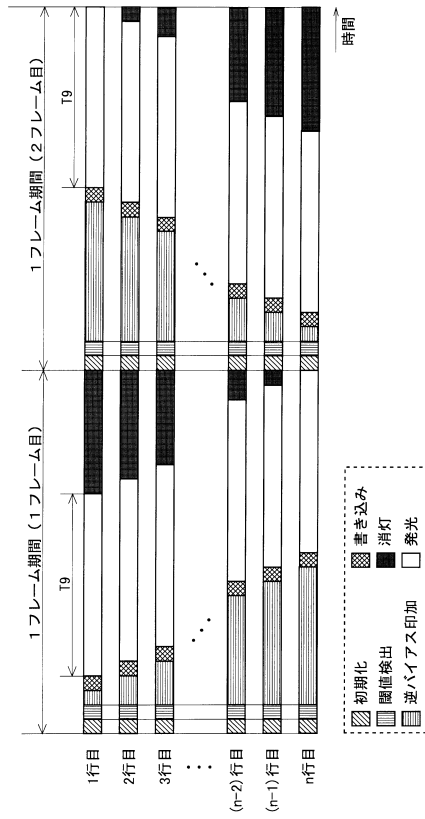
【図 2 3】



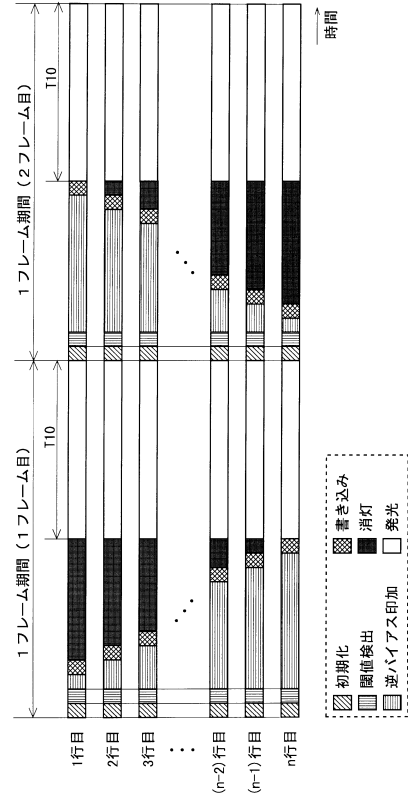
【図 2 5】



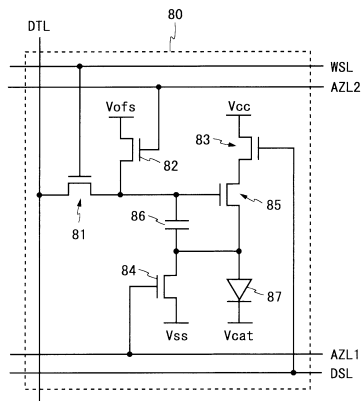
【図 26】



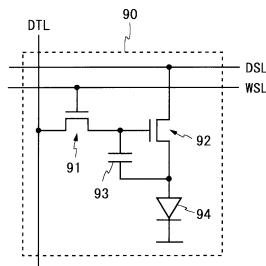
【図 27】



【図 28】



【図 29】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 7 0 J
G 0 9 G 3/20 6 2 2 R
H 0 5 B 33/14 A

(56) 参考文献 特開 2 0 0 6 - 1 3 3 7 3 1 (J P , A)
特開 2 0 0 7 - 1 4 8 1 2 9 (J P , A)
国際公開第 2 0 0 8 / 1 5 2 8 1 7 (W O , A 1)
特開 2 0 0 9 - 2 3 7 0 4 1 (J P , A)
特開 2 0 0 9 - 1 9 2 8 5 4 (J P , A)
特開 2 0 0 2 - 0 9 1 3 7 6 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5721736B2	公开(公告)日	2015-05-20
申请号	JP2012539708	申请日	2011-10-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3275 G09G3/3233 G09G2310/0283		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H G09G3/20.670.J G09G3/20.622.R H05B33/14.A		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	Naoaki 桥本		
优先权	2010236209 2010-10-21 JP		
其他公开文献	JPWO2012053462A1		
外部链接	Espacenet		

摘要(译)

本发明提供一种显示装置，其能够以简单的结构充分确保阈值检测的期间，并且能够抑制亮度不均匀的发生。显示装置包括多个像素电路，连接到多条扫描信号线和多条控制线的栅极驱动电路，以及通过公共电源线连接到多条电源线的电源控制电路。像素电路包括有机EL元件，多个TFT和电容器。在每个帧周期中，对多行共同执行初始化和阈值检测，然后逐行顺序执行写入和发光。这里，在两个连续帧周期的前一帧（第一帧）中，以从第一行到第n行（升序）的顺序执行写入，并且写入两个帧周期的后续帧。在（第二帧）中，按照从第n行到第一行（降序）的顺序执行写入。

