

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5554411号  
(P5554411)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月6日(2014.6.6)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)  
G09G 3/20 (2006.01)

G09G 3/30 J  
G09G 3/20 624B  
G09G 3/20 611H  
G09G 3/20 642A  
G09G 3/20 622D

請求項の数 9 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2012-524488 (P2012-524488)  
(86) (22) 出願日 平成23年6月1日(2011.6.1)  
(86) 国際出願番号 PCT/JP2011/062581  
(87) 国際公開番号 W02012/008232  
(87) 国際公開日 平成24年1月19日(2012.1.19)  
審査請求日 平成24年12月25日(2012.12.25)  
(31) 優先権主張番号 特願2010-202702 (P2010-202702)  
(32) 優先日 平成22年9月10日(2010.9.10)  
(33) 優先権主張国 日本国(JP)  
(31) 優先権主張番号 特願2010-157625 (P2010-157625)  
(32) 優先日 平成22年7月12日(2010.7.12)  
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町2番2号  
(74) 代理人 100104695  
弁理士 島田 明宏  
(74) 代理人 100121348  
弁理士 川原 健児  
(72) 発明者 岸 宣孝  
大阪府大阪市阿倍野区長池町2番2号  
シャープ株式会社内  
(72) 発明者 野口 登  
大阪府大阪市阿倍野区長池町2番2号  
シャープ株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス型の表示装置であって、  
表示すべき画像を表す信号を伝達するための複数の映像信号線と、  
前記複数の映像信号線と交差する複数の走査信号線および複数の制御線と、  
前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成する複数の画素回路と、  
前記複数の画素回路に電源電位を供給する複数の電源線と、  
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する走査信号線駆動回路と、  
前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、  
前記複数の電源線を駆動する電源制御回路と  
を備え、  
前記画素回路は、  
前記電源線から与えられる電流により駆動される電気光学素子と、  
前記電気光学素子を通る電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線駆動回路により前記走査信号線がアクティブとなるよう駆動されるときに前記駆動用

トランジスタの前記制御端子と前記映像信号線とを接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記走査信号線駆動回路により前記制御線がアクティブとなるよう駆動されるときに前記一方の導通端子と前記電源線とを接続する発光制御トランジスタと、

前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含み、

前記走査信号線駆動回路は、

前記画像が表示される前におけるフレーム期間開始時点後に設定される前記電気光学素子を初期化するための初期化期間、および当該初期化期間後に設定される前記駆動用トランジスタの閾値電圧を補償するための閾値検出期間に、前記複数の走査信号線のうちの二つ以上を一括的にアクティブとなるよう駆動するとともに、前記初期化期間および前記の閾値検出期間に、前記複数の制御線のうちの二つ以上を一括的にアクティブとなるよう駆動した後、前記画像を表示するために前記複数の走査信号線を選択的に駆動し、

かつ、前記発光制御トランジスタを導通状態にする期間が全て略同一の長さとなるよう、前記閾値検出期間後の時点から前記複数の走査信号線のうちの二つ以上が選択され終わる時点までの少なくとも一部の期間、前記二つ以上の走査信号線に対応する二つ以上の制御線を非アクティブとなるよう駆動した後、当該時点から次の初期化期間の開始時点までの少なくとも一部の期間、前記二つ以上の制御線を一括的にアクティブとなるよう駆動し、

前記電源制御回路は、前記初期化期間に、前記電気光学素子を初期化するための初期化電位を前記複数の電源線に与え、前記初期化期間以外の期間に、前記電源電位を前記複数の電源線に与えることを特徴とする、表示装置。

#### 【請求項 2】

前記走査信号線駆動回路は、前記初期化期間および前記閾値検出期間に、前記複数の走査信号線および前記複数の制御線を複数群にグループ化したときの一群の走査信号線および制御線をそれぞれ一括的にアクティブとなるよう駆動するとともに、前記初期化期間および前記閾値検出期間とは異なる期間に設定される 1 以上の異なる初期化期間および異なる閾値検出期間に、前記一群とは異なる一群毎に前記走査信号線および前記制御線をそれぞれ一括的にアクティブとなるよう駆動することを特徴とする、請求項 1に記載の表示装置。

#### 【請求項 3】

前記走査信号線駆動回路は、前記発光制御トランジスタを導通状態にする期間が全て略同一の長さとなるよう、前記画像を表示するために選択的にアクティブとなるよう駆動される走査信号線が選択され終わる毎に、当該走査信号線に対応する制御線をアクティブとなるよう駆動することを特徴とする、請求項 2に記載の表示装置。

#### 【請求項 4】

前記複数の電源線は、複数群にグループ化したときの同一群の 2 つの電源線が隣接しないよう、異なる群毎に 1 つずつ順に設けられることを特徴とする、請求項 2に記載の表示装置。

#### 【請求項 5】

前記複数の電源線のうちの一群に共通的に接続される 1 つの共通電源線を前記群毎にさらに備え、

前記電源制御回路は、前記初期化期間または前記異なる初期化期間に、前記群毎に対応する 1 つの共通電源線を介して前記初期化電位を前記複数の電源線に与えることを特徴とする、請求項 2に記載の表示装置。

#### 【請求項 6】

前記走査信号線駆動回路は、前記初期化期間および前記閾値検出期間に、前記複数の走査信号線および前記複数の制御線を複数群にグループ化したときの一群の走査信号線および制御線をそれぞれ一括的にアクティブとなるよう駆動するとともに、前記初期化期間お

10

20

30

40

50

よび前記閾値検出期間とは異なる期間に設定される1以上の異なる初期化期間および異なる閾値検出期間に、前記一群とは異なる一群毎に前記走査信号線および前記制御線をそれぞれ一括的にアクティブとなるよう駆動し、前記異なる閾値検出期間後の時点から前記一群の走査信号線が選択され終わる時点までの少なくとも一部の期間、当該一群の走査信号線に対応する一群の制御線を非アクティブとなるよう駆動した後、当該時点から次の異なる初期化期間の開始時点までの少なくとも一部の期間、前記一群の制御線を一括的にアクティブとなるよう駆動することを特徴とする、請求項1に記載の表示装置。

【請求項7】

前記複数の制御線のうちの二つ以上に共通的に接続される少なくとも1つの共通制御線をさらに備え、

10

前記走査信号線駆動回路は、前記少なくとも1つの共通制御線を駆動することにより、前記制御線を一括的に駆動することを特徴とする、請求項1に記載の表示装置。

【請求項8】

前記電気光学素子と並列に接続される補助コンデンサをさらに備えることを特徴とする、請求項1に記載の表示装置。

【請求項9】

前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線および複数の制御線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成する複数の画素回路と、前記複数の画素回路に電源電位を供給する複数の電源線とを備えるアクティブマトリクス型の表示装置を駆動する方法であって、

20

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する走査信号線駆動ステップと、

前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動ステップと、

前記複数の電源線を駆動する電源制御ステップとを備え、

前記画素回路は、

前記電源線から与えられる電流により駆動される電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、

30

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線駆動ステップにより前記走査信号線がアクティブとなるよう駆動されるときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記走査信号線駆動ステップにより前記制御線がアクティブとなるよう駆動されるときに前記一方の導通端子と前記電源線とを接続する発光制御トランジスタと、

前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含み、

40

前記走査信号線駆動ステップでは、

前記画像が表示される前におけるフレーム期間開始時点後に設定される前記電気光学素子を初期化するための初期化期間、および当該初期化期間後に設定される前記駆動用トランジスタの閾値電圧を補償するための閾値検出期間に、前記複数の走査信号線のうちの二つ以上を一括的にアクティブとなるよう駆動するとともに、前記閾値検出期間に、前記複数の制御線のうちの二つ以上を一括的にアクティブとなるよう駆動した後、前記画像を表示するために前記複数の走査信号線を選択的に駆動し、

かつ、前記発光制御トランジスタを導通状態にする期間が全て略同一の長さとなるよう、前記閾値検出期間後の時点から前記複数の走査信号線のうちの二つ以上が選択され終わる時点までの少なくとも一部の期間、前記二つ以上の走査信号線に対応する二つ以上の

50

制御線を非アクティブとなるよう駆動した後、当該時点から次の初期化期間の開始時点までの少なくとも一部の期間、前記二つ以上の制御線を一括的にアクティブとなるよう駆動し、

前記電源制御ステップでは、前記初期化期間に、前記電気光学素子を初期化するための初期化電位を前記複数の電源線に与え、前記初期化期間以外の期間に、前記電源電位を前記複数の電源線に与えることを特徴とする、表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より詳細的には有機ELディスプレイなどの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

10

【背景技術】

【0002】

薄型、高画質、低消費電力の表示装置として、従来より有機EL (Electro Luminescence) ディ스플레이が知られている。この有機ELディスプレイには、電流で駆動される自発光型表示素子である有機EL素子およびこれを駆動するための駆動用トランジスタを含む画素回路がマトリクス状に複数配置されている。

【0003】

このような有機EL素子などの電流駆動型表示素子に流される電流量を制御する方式は、表示素子のデータ信号線電極に流れるデータ信号電流により、表示素子に流すべき電流を制御する定電流型制御方式（または電流指定型駆動方式）と、データ信号電圧に応じた電圧により表示素子に流すべき電流を制御する定電圧型制御方式（または電圧指定型駆動方式）とに大別される。これらの方式のうち、定電圧型制御方式によって有機ELディスプレイで表示を行うときには、駆動用トランジスタの閾値電圧のばらつきや、有機EL素子の経時劣化による高抵抗化から生じる電流減少（輝度低下）を補償する必要がある。これに対して、定電流型制御方式では、上記閾値電圧や有機EL素子の内部抵抗とは無関係に、有機EL素子に一定の電流が流れるようデータ信号の電流値が制御されるため、通常上記補償は必要とはならない。しかし、この定電流型制御方式では、定電圧型制御方式よりも駆動用トランジスタ数や配線数が増加するため、開口率が低下することが知られており、そのために定電圧型制御方式が広く採用されている。

20

30

【0004】

ここで、定電圧型制御方式を採用する構成において上記補償動作を行う画素回路は、従来より各種の構成が知られている。日本特開2006-215275号公報には、図21に示す画素回路80が記載されている。この画素回路80は、TFT (Thin Film Transistor) 81～85、コンデンサ86、および有機EL素子87を含んでいる。画素回路80に対して書き込みを行うときには、まず、TFT 82およびTFT 84をオン状態にし、TFT 85（駆動用トランジスタ）のゲート-ソース間電圧を初期化する。次に、TFT 84およびTFT 83を順にオフ状態にし、TFT 85の閾値電圧をコンデンサ86に保持させる。次に、データ線DTLにデータ電位を印加すると共に、TFT 81をオン状態にする。このように各TFTを制御することにより、TFT 85の閾値電圧のばらつきや、有機EL素子87の経時劣化による高抵抗化（から生じる電流減少）を補償することができる。

40

【0005】

画素回路80は、データ線DTL、4本の制御線WSL、AZL1、AZL2、DSL、および3本の電源線（Vofs用配線、Vcc用配線、およびVss用配線）に接続されている。一般に、画素回路に接続される配線（特に、制御線）の本数が多いほど、回路は複雑になり、製造コストは高くなる。そこで日本特開2006-215275号公報には、TFT 82またはTFT 84のソース端子を制御線WSLに接続した画素回路が記載されている。また日本特開2007-316453号公報には、TFT 82のゲート端子を1行上の制御線WSLに接続した画素回路が記載されている。このように制御線と電源

50

線を共通化することにより、配線の本数を削減することができる。

【0006】

日本特開2007-310311号公報には、図22に示す画素回路90が記載されている。画素回路90は、TFT91、TFT92、コンデンサ93、および有機EL素子94を含んでいる。画素回路90に対して書き込みを行うときには、まず、TFT91をオン状態に制御する。次に、電源線DSLに初期化電位を印加して、有機EL素子94のアノード端子に初期化電位を与える。次に、電源線DSLに電源電位を印加して、TFT92(駆動用トランジスタ)の閾値電圧をコンデンサ93に保持させる。次に、データ線DTLにデータ電位を印加する。このように電源線から初期化電位を与えることにより、少ない素子数でTFT92の閾値電圧のばらつきを補償することができる。日本特開2007-148129号公報には、電源線から初期化電位を与え、データ線から基準電位を与える画素回路が記載されている。日本特開2008-33193号公報には、書き込みを行う前の複数の水平期間で補償動作を行う画素回路が記載されている。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】日本特開2006-215275号公報

【特許文献2】日本特開2007-316453号公報

【特許文献3】日本特開2007-310311号公報

【特許文献4】日本特開2007-148129号公報

20

【特許文献5】日本特開2008-33193号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

図21に示す画素回路80に対して、日本特開2006-215275号公報または日本特開2007-316453号公報に記載された方法を適用すれば、画素回路に接続される配線の本数を削減することができる。しかしながら、この方法で得られた画素回路には、TFTの個数が多いという問題がある。これに対して、図22に示す画素回路90では、TFTの個数は少ない。しかしながら、画素回路90を使用するときには、電源線DSLを制御線WSLと連動して駆動する必要がある。このため、電源制御回路には電源線WSLと同数の出力バッファが必要となる。また、電源線DSLの電位は制御線WSLの選択期間に合わせて短時間で変化するため、電源制御回路に設ける出力バッファには大きな電流駆動能力が必要となる。したがって、画素回路90には、電源制御回路の回路規模や消費電力が大きくなるという問題がある。

30

【0009】

また、日本特開2008-33193号公報に記載された方法を適用すれば、補償動作に必要な期間を十分に確保できる反面で構成が複雑となり、その他の従来例のように閾値電圧の補償動作(閾値検出とも呼ばれる)を選択期間内に行えば、構成を簡易にすることができる反面で、補償動作に必要な期間を十分に確保できないという問題点がある。

【0010】

それ故に、本発明は、画素回路の開口率を大きく保ちつつ、電源制御回路の回路規模や消費電力を小さくし、簡易な構成で閾値検出のための期間を十分に確保することができる表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0011】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線および複数の制御線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき画像を形成する複数の画素回路と、

50

前記複数の画素回路に電源電位を供給する複数の電源線と、  
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する走査信号線駆動回路と、

前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、

前記複数の電源線を駆動する電源制御回路と  
を備え、

前記画素回路は、

前記電源線から与えられる電流により駆動される電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線駆動回路により前記走査信号線がアクティブとなるよう駆動されるときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを接続する書き込み制御トランジスタと

、  
前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記走査信号線駆動回路により前記制御線がアクティブとなるよう駆動されるときに前記一方の導通端子と前記電源線とを接続する発光制御トランジスタと、

前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含み、

前記走査信号線駆動回路は、

前記画像が表示される前におけるフレーム期間開始時点後に設定される前記電気光学素子を初期化するための初期化期間、および当該初期化期間後に設定される前記駆動用トランジスタの閾値電圧を補償するための閾値検出期間に、前記複数の走査信号線のうちの二つ以上を一括的にアクティブとなるよう駆動するとともに、前記初期化期間および前記の閾値検出期間に、前記複数の制御線のうちの二つ以上を一括的にアクティブとなるよう駆動した後、前記画像を表示するために前記複数の走査信号線を選択的に駆動し、

かつ、前記発光制御トランジスタを導通状態にする期間が全て略同一の長さとなるよう、前記閾値検出期間後の時点から前記複数の走査信号線のうちの二つ以上が選択され終わる時点までの少なくとも一部の期間、前記二つ以上の走査信号線に対応する二つ以上の制御線を非アクティブとなるよう駆動した後、当該時点から次の初期化期間の開始時点までの少なくとも一部の期間、前記二つ以上の制御線を一括的にアクティブとなるよう駆動し、

前記電源制御回路は、前記初期化期間に、前記電気光学素子を初期化するための初期化電位を前記複数の電源線に与え、前記初期化期間以外の期間に、前記電源電位を前記複数の電源線に与えることを特徴とする。

#### 【0013】

本発明の第2の局面は、本発明の第1の局面において、

前記走査信号線駆動回路は、前記初期化期間および前記閾値検出期間に、前記複数の走査信号線および前記複数の制御線を複数群にグループ化したときの一群の走査信号線および制御線をそれぞれ一括的にアクティブとなるよう駆動するとともに、前記初期化期間および前記閾値検出期間とは異なる期間に設定される1以上の異なる初期化期間および異なる閾値検出期間に、前記一群とは異なる一群毎に前記走査信号線および前記制御線をそれぞれ一括的にアクティブとなるよう駆動することを特徴とする。

#### 【0014】

本発明の第3の局面は、本発明の第2の局面において、

前記走査信号線駆動回路は、前記発光制御トランジスタを導通状態にする期間が全て略同一の長さとなるよう、前記画像を表示するために選択的にアクティブとなるよう駆動される走査信号線が選択され終わる毎に、当該走査信号線に対応する制御線をアクティブとなるよう駆動することを特徴とする。

## 【 0 0 1 5 】

本発明の第4の局面は、本発明の第2の局面において、  
前記複数の電源線は、複数群にグループ化したときの同一群の2つの電源線が隣接しないよう、異なる群毎に1つずつ順に設けられることを特徴とする。

## 【 0 0 1 6 】

本発明の第5の局面は、本発明の第2の局面において、  
前記複数の電源線のうちの一群に共通的に接続される1つの共通電源線を前記群毎にさらに備え、

前記電源制御回路は、前記初期化期間または前記異なる初期化期間に、前記群毎に対応する1つの共通電源線を介して前記初期化電位を前記複数の電源線に与えることを特徴とする。

10

## 【 0 0 1 8 】

本発明の第6の局面は、本発明の第1の局面において、  
前記走査信号線駆動回路は、前記初期化期間および前記閾値検出期間に、前記複数の走査信号線および前記複数の制御線を複数群にグループ化したときの一群の走査信号線および制御線をそれぞれ一括的にアクティブとなるよう駆動するとともに、前記初期化期間および前記閾値検出期間とは異なる期間に設定される1以上の異なる初期化期間および異なる閾値検出期間に、前記一群とは異なる一群毎に前記走査信号線および前記制御線をそれぞれ一括的にアクティブとなるよう駆動し、前記異なる閾値検出期間後の時点から前記一群の走査信号線が選択され終わる時点までの少なくとも一部の期間、当該一群の走査信号線に対応する一群の制御線を非アクティブとなるよう駆動した後、当該時点から次の異なる初期化期間の開始時点までの少なくとも一部の期間、前記一群の制御線を一括的にアクティブとなるよう駆動することを特徴とする。

20

## 【 0 0 1 9 】

本発明の第7の局面は、本発明の第1の局面において、  
前記複数の制御線のうちの二つ以上に共通的に接続される少なくとも1つの共通制御線をさらに備え、

前記走査信号線駆動回路は、前記少なくとも1つの共通制御線を駆動することにより、前記制御線を一括的に駆動することを特徴とする。

30

## 【 0 0 2 1 】

本発明の第8の局面は、本発明の第1の局面において、  
前記電気光学素子と並列に接続される補助コンデンサをさらに備えることを特徴とする。

## 【 0 0 2 2 】

本発明の第9の局面は、前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線および複数の制御線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された、表示すべき

画像を形成する複数の画素回路と、前記複数の画素回路に電源電位を供給する複数の電源線とを備えるアクティブマトリクス型の表示装置を駆動する方法であって、

40

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する走査信号線駆動ステップと、

前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動ステップと、

前記複数の電源線を駆動する電源制御ステップとを備え、

前記画素回路は、

前記電源線から与えられる電流により駆動される電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、

50

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線駆動ステップにより前記走査信号線がアクティブとなるよう駆動されるときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記走査信号線駆動ステップにより前記制御線がアクティブとなるよう駆動されるときに前記一方の導通端子と前記電源線とを接続する発光制御トランジスタと、

前記駆動用トランジスタの他方の導通端子と制御端子との間に設けられたコンデンサとを含み、

前記走査信号線駆動ステップでは、

前記画像が表示される前におけるフレーム期間開始時点後に設定される前記電気光学素子を初期化するための初期化期間、および当該初期化期間後に設定される前記駆動用トランジスタの閾値電圧を補償するための閾値検出期間に、前記複数の走査信号線のうちの二つ以上を一括的にアクティブとなるよう駆動するとともに、前記閾値検出期間に、前記複数の制御線のうちの二つ以上を一括的にアクティブとなるよう駆動した後、前記画像を表示するために前記複数の走査信号線を選択的に駆動し、

かつ、前記発光制御トランジスタを導通状態にする期間が全て略同一の長さとなるよう、前記閾値検出期間後の時点から前記複数の走査信号線のうちの二つ以上が選択され終わる時点までの少なくとも一部の期間、前記二つ以上の走査信号線に対応する二つ以上の制御線を非アクティブとなるよう駆動した後、当該時点から次の初期化期間の開始時点までの少なくとも一部の期間、前記二つ以上の制御線を一括的にアクティブとなるよう駆動し、

前記電源制御ステップでは、前記初期化期間に、前記電気光学素子を初期化するための初期化電位を前記複数の電源線に与え、前記初期化期間以外の期間に、前記電源電位を前記複数の電源線に与えることを特徴とする。

#### 【発明の効果】

##### 【0023】

上記本発明の第1の局面によれば、初期化電位を与えるための信号線等が不要となって画素回路内の素子数を削減することができるので開口率を下げる必要がなく、また、電源制御回路を例えば走査信号線が選択される毎に駆動する必要がないので、消費電力を低減することができるとともに、電源制御回路に設けられる出力バッファなどを削減して、電源制御回路の回路規模を小さくすることができる。また、閾値検出期間を適宜の期間、典型的には選択期間よりも長い期間を設定することができるため、閾値検出を確実に行うことができ、閾値補償の精度を向上させることができる。また、選択期間中に閾値検出を行う構成に比べて、画素データの書き込み期間を十分に取ることができる。そのため、書き込み期間が短い、すなわち通常高速で駆動が行われる構成、例えば3次元画像表示装置（典型的には3Dテレビ）などにおいて特に好適である。

また、上記本発明の第1の局面によれば、電源制御回路の回路規模を小さくでき、消費電力を低減できるほか、初期化期間を適宜の期間、典型的には選択期間よりも長い期間を設定することができるため、駆動能力が比較的小さい電源制御回路においても初期化動作を確実に行うことができる。

さらに上記本発明の第1の局面によれば、閾値検出の終了時点から発光の開始時点までの期間を全行で同一に設定することにより、閾値検出の終了時点から生じるリーク電流を全行の画素回路においてほぼ等しくすることができる。その結果、リーク電流による輝度低下量が全行の画素回路においてほぼ同一となり、結果的に表示ムラを抑制することができる。なお、黒挿入による動画性能の向上効果も上記本発明の第3の局面の場合と同様に得られる。

##### 【0025】

上記本発明の第2の局面によれば、典型的にはフレーム期間開始時点後（典型的には直

10

20

30

40

50

後)に設定される初期化期間および閾値検出期間とは異なる初期化期間および閾値検出期間に初期化および閾値検出される画素回路はフレーム期間の終了時点で発光を停止する必要がないので、当該終了時点まで画像表示のための選択動作を行うことができる。その結果、データの書き込み期間(選択期間)を十分に長くとることができる。

【0026】

上記本発明の第3の局面によれば、全ての画素回路における発光期間の長さが揃うため、輝度のばらつきを抑えることができる。また、各画素回路は発光期間以外では消灯するので、黒挿入を行う場合と同様に、動画性能を向上させることができる。

【0027】

上記本発明の第4の局面によれば、同一群の2つの電源線が隣接するよう異なる群毎にまとめて設けられる構成であって、例えば画面の上半分と下半分で電源線に流れる電流が大きく異なる場合には、画面の中央で輝度差が発生することがある。しかし、同一群の2つの電源線が隣接しないよう設けられる構成によれば、各電源線に流れる電流の量が複数行でほぼ同じに平均化されるので、画面の中央に発生する可能性のある輝度差を予め防止することができる。

【0028】

上記本発明の第5の局面によれば、共通電源線数と電源制御回路の出力数とが等しくなるので、電源制御回路に設けられる出力バッファなどを削減して、電源制御回路の回路規模を小さくすることができる。

【0030】

上記本発明の第6の局面によれば、上記本発明の第7の局面における表示ムラの抑制効果を得られるとともに、上記本発明の第2の局面におけるデータの書き込み期間(選択期間)を十分に長くとることができる効果も得られる。

【0031】

上記本発明の第7の局面によれば、共通制御線数と走査信号線駆動回路の制御信号出力数とが等しくなるので、走査信号線駆動回路の回路規模を小さくことができ、また走査信号線駆動回路から各制御線までの配線領域面積を小さくすることができる。

【0033】

上記本発明の第8の局面によれば、電気光学素子と並列に補助コンデンサを付加することにより、電気光学素子の容量値を画素回路に含まれる上記コンデンサの容量値よりも確実に大きく(典型的には非常に大きく)することができるので、閾値補償に使用される近似式の近似精度を高め、閾値検出の精度を向上させることができる。

【0034】

上記本発明の第9の局面によれば、上記本発明の第1の局面における効果と同様の効果を表示装置の駆動方法において奏することができる。

【図面の簡単な説明】

【0035】

【図1】本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

【図2】上記実施形態における画素回路の回路図である。

【図3】上記実施形態における画素回路の駆動方法を表すタイミングチャートを示す図である。

【図4】上記実施形態における電源線の接続形態を示す図である。

【図5】上記実施形態における各行の画素回路の動作を示す図である。

【図6】上記実施形態における各行の画素回路の動作の別例を示す図である。

【図7】上記実施形態における制御線の接続形態の別例を示す図である。

【図8】上記実施形態に係る表示装置の構成の別例を示すブロック図である。

【図9】本発明の第2の実施形態に係る表示装置における電源線の接続形態を示す図である。

【図10】上記実施形態における各行の画素回路の動作を示す図である。

10

20

30

40

50

【図 1 1】本発明の第 3 の実施形態に係る表示装置における電源線の接続形態を示す図である。

【図 1 2】上記実施形態における各行の画素回路の動作を示す図である。

【図 1 3】本発明の第 4 の実施形態に係る表示装置の構成を示すブロック図である。

【図 1 4】上記実施形態における各行の画素回路の動作を示す図である。

【図 1 5】本発明の第 5 の実施形態に係る表示装置における画素回路の駆動方法を表すタイミングチャートを示す図である。

【図 1 6】上記第 2 の実施形態の変形例における制御線  $E_i$  の接続形態を示す図である。

【図 1 7】上記第 2 の実施形態の変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。

10

【図 1 8】上記第 3 の実施形態の変形例における制御線  $E_i$  の接続形態を示す図である。

【図 1 9】上記第 3 の実施形態の変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。

【図 2 0】上記第 1 から第 4 までの実施形態の変形例における画素回路の回路図である。

【図 2 1】従来の表示装置に含まれる画素回路の回路図である。

【図 2 2】従来の別の表示装置に含まれる画素回路の回路図である。

【発明を実施するための形態】

【0036】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。図 1 に示す表示装置 100 は、表示制御回路 1、ゲートドライバ回路 2、ソースドライバ回路 3、電源制御回路 4、および  $(m \times n)$  個の画素回路 10 を備えた有機 EL ディスプレイである。以下、 $m$  および  $n$  は 2 以上の整数、 $i$  は 1 以上  $n$  以下の整数、 $j$  は 1 以上  $m$  以下の整数であるとする。

20

【0037】

表示装置 100 には、互いに並行な  $n$  本の走査信号線  $G_i$  およびこれに直交する互いに並行な  $m$  本のデータ線  $S_j$  が設けられる。 $(m \times n)$  個の画素回路 10 は、走査信号線  $G_i$  とデータ線  $S_j$  の各交差点に対応してマトリクス状に配置される。また、走査信号線  $G_i$  と並行に、 $n$  本の制御線  $E_i$ 、および  $n$  本の電源線  $V_{P_i}$  が設けられる。さらに、電源制御回路 4 と電源線  $V_{P_i}$  とを接続するための電流供給用幹配線である共通電源線 9 が設けられる。走査信号線  $G_i$  および制御線  $E_i$  はゲートドライバ回路 2 に接続され、データ線  $S_j$  はソースドライバ回路 3 に接続される。電源線  $V_{P_i}$  は、共通電源線 9 を介して電源制御回路 4 に接続される。画素回路 10 には、図示しない共通電極により共通電位  $V_{com}$  が供給される。なお、ここでは電源線  $V_{P_i}$  の一端が共通電源線 9 に接続される構成であるが、その両端（または 3 つ以上の接続点）で接続される構成であってもよい。

30

【0038】

表示制御回路 1 は、ゲートドライバ回路 2、ソースドライバ回路 3、および電源制御回路 4 に対して制御信号を出力する。より詳細には、表示制御回路 1 は、ゲートドライバ回路 2 に対してタイミング信号  $OE$ 、スタートパルス  $YI$ 、およびクロック  $YCK$  を出力し、ソースドライバ回路 3 に対してスタートパルス  $SP$ 、クロック  $CLK$ 、表示データ  $DA$ 、およびラッチパルス  $LP$  を出力し、電源制御回路 4 に対して制御信号  $CS$  を出力する。

40

【0039】

ゲートドライバ回路 2 は、シフトレジスタ回路、論理演算回路、およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック  $YCK$  に同期してスタートパルス  $YI$  を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号  $OE$  との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査信号線  $G_i$  および制御線  $E_i$  に与えられる。走査信号線  $G_i$  には  $m$  個の画素回路 10 が接続されており、画素回路 10 は走査信号線  $G_i$  を用いて  $m$  個ずつ一括して選択される。

【0040】

50

ソースドライバ回路 3 は、 $m$ ビットのシフトレジスタ 5、レジスタ 6、ラッチ回路 7、および  $m$ 個の  $D/A$ 変換器 8 を含んでいる。シフトレジスタ 5 は、縦続接続された  $m$ 個のレジスタを有し、初段のレジスタに供給されたスタートパルス  $SP$  をクロック  $CLK$  に同期して転送し、各段のレジスタからタイミングパルス  $DLP$  を出力する。タイミングパルス  $DLP$  の出力タイミングに合わせて、レジスタ 6 には表示データ  $DA$  が供給される。レジスタ 6 は、タイミングパルス  $DLP$  に従い、表示データ  $DA$  を記憶する。レジスタ 6 に 1 行分の表示データ  $DA$  が記憶されると、表示制御回路 1 はラッチ回路 7 に対してラッチパルス  $LP$  を出力する。ラッチ回路 7 は、ラッチパルス  $LP$  を受け取ると、レジスタ 6 に記憶された表示データを保持する。 $D/A$ 変換器 8 は、データ線  $S_j$  に対応して設けられる。 $D/A$ 変換器 8 は、ラッチ回路 7 に保持された表示データをアナログ電圧に変換し、得られたアナログ電圧をデータ線  $S_j$  に印加する。

10

#### 【0041】

電源制御回路 4 は、制御信号  $CS$  に基づき、共通電源線 9 に電源電位および初期化電位を切り替えて印加する。図 1 に示すように、すべての電源線  $V_{Pi}$  は 1 本の共通電源線 9 に接続されるので、すべての電源線  $V_{Pi}$  の電位は、同一のタイミングで電源電位または初期化電位に切り替わる。以下、電源電位はハイレベル電位であり、初期化電位はローレベル電位であるものとする。

#### 【0042】

図 2 は、画素回路 10 の回路図である。図 2 に示すように、画素回路 10 は、 $TFT_{11} \sim 13$ 、コンデンサ 15、および有機  $EL$  素子 16 を含んでいる。 $TFT_{11} \sim 13$  は、いずれも、 $N$ チャンネル型トランジスタである。 $TFT_{11} \sim 13$  は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、および発光制御トランジスタとして機能する。有機  $EL$  素子 16 は、電気光学素子として機能する。

20

#### 【0043】

なお、本明細書において、電気光学素子とは、有機  $EL$  素子の他、 $FED$  (Field Emission Display)、 $LED$ 、電荷駆動素子、液晶、 $E$ インク (Electronic Ink) など、電気を与えることにより光学的な特性が変化する全ての素子をいうものとする。また、以下では電気光学素子として有機  $EL$  素子を例示するが、電流量に応じて発光量が制御される発光素子であれば同様の説明が可能である。

#### 【0044】

図 2 に示すように、画素回路 10 は、走査信号線  $G_i$ 、制御線  $E_i$ 、データ線  $S_j$ 、電源線  $V_{Pi}$ 、および共通電位  $V_{com}$  を有する電極に接続される。 $TFT_{11}$  の一方の導通端子はデータ線  $S_j$  に接続され、他方の導通端子は  $TFT_{12}$  のゲート端子に接続される。 $TFT_{13}$  のドレイン端子は電源線  $V_{Pi}$  に接続され、ソース端子は  $TFT_{12}$  のドレイン端子に接続される。 $TFT_{12}$  のソース端子は、有機  $EL$  素子 16 のアノード端子に接続される。有機  $EL$  素子 16 のカソード端子には、共通電位  $V_{com}$  が印加される。コンデンサ 15 は、 $TFT_{12}$  のゲート端子とソース端子の間に設けられる。 $TFT_{11}$  のゲート端子は走査信号線  $G_i$  に接続され、 $TFT_{13}$  のゲート端子は制御線  $E_i$  に接続される。

30

#### 【0045】

図 3 は、画素回路 10 の駆動方法を表すタイミングチャートを示す図である。図 3 において、 $V_{Gi}$  は  $i$  行目の画素回路に含まれる  $TFT_{12}$  のゲート電位を表し、 $V_{Si}$  は当該  $TFT_{12}$  のソース電位 (有機  $EL$  素子 16 のアノード電位) を表す。画素回路 10 は、1 フレーム期間に 1 回ずつ、初期化、閾値検出 ( $TFT_{12}$  の閾値検出)、書き込み、および発光を行い、発光期間以外では消灯する。なお、発光 (および消灯) するのは有機  $EL$  素子 16 であるが、画素回路 10 にはこの有機  $EL$  素子 16 が含まれるため、以下では画素回路 10 が発光または消灯すると表現する。また、フレーム期間とは、1 つの画像を表示するための単位期間であって、黒挿入期間等を含んでいてもよく、種々の長さに設定可能である。

40

#### 【0046】

50

以下、図3を参照して、1行目の画素回路の動作を説明する。時刻 $t_{11}$ より前では、走査信号線 $G_1$ および制御線 $E_1$ の電位はローレベルであり、電源線 $VP_1$ の電位はハイレベルである。時刻 $t_{11}$ において、制御線 $E_1$ の電位はハイレベルに変化し（アクティブとなり）、電源線 $VP_1$ の電位はローレベルに変化する（以下、電源線 $VP_i$ のローレベル電位を $VP\_L$ という）。電位 $VP\_L$ には、十分に低い電位、具体的には、時刻 $t_{11}$ 直前の $TFT_{12}$ のゲート電位よりも低い電位が使用される。また、このときデータ線 $S_j$ には基準電位 $V_{ref}$ が印加されており、この電位が $TFT_{12}$ のゲートに与えられるため、 $TFT_{12}$ はオン状態になる。さらに、 $TFT_{13}$ もオン状態になるので、 $TFT_{12}$ のソース電位 $VS_1$ は電位 $VP\_L$ にほぼ等しくなる。

【0047】

10

時刻 $t_{12}$ において、電源線 $VP_1$ の電位はハイレベルに変化する。また、このときデータ線 $S_j$ には基準電位 $V_{ref}$ が印加されている。この基準電位 $V_{ref}$ は、時刻 $t_{12}$ の直後に $TFT_{12}$ がオン状態になり、かつ、時刻 $t_{12}$ 以降に有機EL素子16に対する印加電圧が発光閾値電圧を超えないように決定される。このため、時刻 $t_{12}$ 以降、 $TFT_{12}$ はオン状態になるが、有機EL素子16（の閾値を超えないため）に電流は流れない。したがって、電源線 $VP_1$ から $TFT_{13}$ と $TFT_{12}$ を経由して $TFT_{12}$ のソース端子に電流が流れ込み、 $TFT_{12}$ のソース電位 $VS_1$ は上昇する。 $TFT_{12}$ のソース電位 $VS_1$ は、ゲート-ソース間電圧 $V_{gs}$ が閾値電圧 $V_{th}$ に等しくなるまで上昇し、 $(V_{ref} - V_{th})$ に到達する。

【0048】

20

時刻 $t_{13}$ において、走査信号線 $G_1$ の電位はローレベルに変化する。また、制御線 $E_1$ の電位はローレベルに変化するので、時刻 $t_{13}$ 以降、 $TFT_{13}$ はオフ状態になる。このため、 $TFT_{12}$ のソース電位 $VS_1$ は、ほぼ $(V_{ref} - V_{th})$ のまま維持される。

【0049】

時刻 $t_{14}$ において、走査信号線 $G_1$ の電位はハイレベルに変化し、データ線 $S_j$ の電位（図示せず）は表示データに応じたレベルになる（以下、このときのデータ線 $S_j$ の電位をデータ電位 $V_{dat1}$ という）。時刻 $t_{14}$ 以降、 $TFT_{11}$ はオン状態になり、 $TFT_{12}$ のゲート電位 $VG_1$ は $V_{ref}$ から $V_{dat1}$ に変化する。時刻 $t_{14}$ 以降における $TFT_{12}$ のゲート-ソース間電圧 $V_{gs}$ は、次式(1)で与えられる。

30

$$V_{gs} = \left\{ C_{OLED} / (C_{OLED} + C_{st}) \right\} \times (V_{dat1} - V_{ref}) + V_{th} \quad \dots (1)$$

ただし、上式(1)において、 $C_{OLED}$ は有機EL素子16の容量値であり、 $C_{st}$ はコンデンサ15の容量値である。

【0050】

有機EL素子16の容量値は十分に大きく、 $C_{OLED} \gg C_{st}$ が成立する。このため、上式(1)は次式(2)に変形する（近似させる）ことができる。

$$V_{gs} = V_{dat1} - V_{ref} + V_{th} \quad \dots (2)$$

このように、 $TFT_{12}$ のゲート電位 $VG_1$ が $V_{ref}$ から $V_{dat1}$ に変化したときに、 $TFT_{12}$ のソース電位 $VS_1$ はほとんど変化せず、 $TFT_{12}$ のゲート-ソース間電圧 $V_{gs}$ はほぼ $(V_{dat1} - V_{ref} + V_{th})$ になる。

40

【0051】

時刻 $t_{15}$ において、走査信号線 $G_1$ の電位はローレベルに変化する。時刻 $t_{15}$ 以降、 $TFT_{11}$ はオフ状態になる。このため、 $TFT_{12}$ のゲート-ソース間電圧 $V_{gs}$ は、データ線 $S_j$ の電位が変化しても、ほぼ $(V_{dat1} - V_{ref} + V_{th})$ のままである。

【0052】

時刻 $t_{16}$ において、制御線 $E_1$ の電位はハイレベルに変化する。時刻 $t_{16}$ 以降、 $TFT_{13}$ はオン状態になり、 $TFT_{12}$ のドレイン端子は $TFT_{13}$ を介して電源線 $VP_1$ に接続される。このとき電源線 $VP_1$ の電位はハイレベルであるので、電源線 $VP_i$ が

50

ら T F T 1 3 と T F T 1 2 とを經由して、T F T 1 2 のソース端子に電流が流れ、T F T 1 2 のソース電位 V S 1 は上昇する。この時点で T F T 1 2 のゲート端子はフローティング状態にある。したがって、T F T 1 2 のソース電位 V S 1 が上昇すると、T F T 1 2 のゲート電位 V G 1 も上昇する。このとき、T F T 1 2 のゲート - ソース間電圧 V g s はほぼ一定に保たれる。

【 0 0 5 3 】

電源線 V P i に印加されるハイレベル電位は、発光期間（時刻 t 1 6 ~ t 1 7）において T F T 1 2 が飽和領域で動作するように決定される。このため、発光期間において T F T 1 2 を流れる電流 I は、チャンネル長変調効果を見れば、次式（3）で与えられる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C o x ( V g s - V t h ) ^ 2 \dots ( 3 )$$

ただし、上式（3）において、W はゲート幅、L はゲート長、 $\mu$  はキャリア移動度、C o x はゲート酸化膜容量である。

【 0 0 5 4 】

そして、上式（2）と上式（3）から、次式（4）が導かれる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C o x ( V d a t 1 - V r e f ) ^ 2 \dots ( 4 )$$

【 0 0 5 5 】

上式（4）に示す電流 I は、データ電位 V d a t 1 に応じて変化するが、T F T 1 2 の閾値電圧 V t h には依存しない。したがって、閾値電圧 V t h がばらつく場合や、閾値電圧 V t h が経時的に変化する場合でも、有機 E L 素子 1 6 にデータ電位 V d a t 1 に応じた電流を流し、有機 E L 素子 1 6 を所望の輝度で発光させることができる。

【 0 0 5 6 】

時刻 t 1 7 において、制御線 E 1 の電位はローレベルに変化する。時刻 t 1 7 以降、T F T 1 3 はオフ状態になる。このため、有機 E L 素子 1 6 に電流は流れず、画素回路 1 0 は消灯する。

【 0 0 5 7 】

このように 1 行目の画素回路は、時刻 t 1 1 から時刻 t 1 2 までの期間で初期化を行い、時刻 t 1 2 から時刻 t 1 3 までの期間で閾値検出を行い、時刻 t 1 4 から時刻 t 1 5 までの期間で書き込みを行い、時刻 t 1 6 から時刻 t 1 7 までの期間で発光し、この時刻 t 1 6 から時刻 t 1 7 までの期間以外の期間では消灯する。2 行目の画素回路は、1 行目の画素回路と同じく時刻 t 1 1 から時刻 t 1 2 までの期間で初期化を行うとともに、時刻 t 1 2 から時刻 t 1 3 までの期間で閾値検出を行い、1 行目の画素回路から所定時間 T a だけ遅れて、書き込みおよび発光を行う。一般に、i 行目の画素回路は、他の行の画素回路と同じ期間で初期化および閾値検出を行い、( i - 1 ) 行目の画素回路から時間 T a だけ遅れて、書き込みおよび発光を行う。

【 0 0 5 8 】

したがって初期化期間を適宜の期間、典型的には選択期間よりも長い期間を設定することができるため、電源制御回路 4 a に含まれる出力バッファの電流能力が小さい場合であっても十分に駆動することができる。また、閾値検出期間も適宜の期間、典型的には選択期間よりも長い期間を設定することができるため、閾値検出を確実に行うことができ、閾値補償の精度を向上させることができる。また、選択期間中に閾値検出を行う構成に比べて、画素データの書き込み期間を十分に取ることができる。そのため、書き込み期間が短い、すなわち高速で駆動が行われる構成、例えば 3 次元画像表示装置（典型的には 3 D テレビ）などにおいても、本発明の構成を容易に適用することができる。

【 0 0 5 9 】

次に、本実施形態における電源線の接続状態と、当該電源線により電流を与えられることにより駆動される画素回路 1 0 の動作を図 4 および図 5 を参照して説明する。図 4 は、本実施形態に係る表示装置における電源線 V P i の接続状態を示す図である。図 4 に示す表示装置には、電源制御回路 4 a と電源線 V P i とを接続するために、1 本の共通電源線 1 1 1 が設けられる。共通電源線 1 1 1 の一端は、電源制御回路 4 a が有する 1 個の出力端子に接続され、すべての電源線 V P i は共通電源線 1 1 1 に接続される。

## 【 0 0 6 0 】

なお前述したように、この共通電源線 1 1 1 は、電流供給用幹配線であるが、本実施形態ではすべての電源線  $V P i$  を電源制御回路 4 a に共通的に接続することができる配線であれば幹配線でなくてもよく、またその数や電源線  $V P i$  との接続位置は周知のあらゆる構成を適用可能である。

## 【 0 0 6 1 】

図 5 は、本実施形態に係る表示装置における各行の画素回路 1 0 の動作を示す図である。電源制御回路 4 a は、1 フレーム期間の先頭で所定時間だけ共通電源線 1 1 1 にローレベル電位を印加する。このため、すべての行の画素回路は、1 フレーム期間の先頭で初期化を行う。次に、この初期化直後にすべての行の画素回路は、閾値検出を行う。続いて、1 行目の画素回路が選択され、1 行目の画素回路が書き込みを行う。次に 2 行目の画素回路が選択され、2 行目の画素回路が書き込みを行う。以下、同様に、3 ~ n 行目の画素回路が行ごとに順に選択され、選択された画素回路が書き込みを行う。

10

## 【 0 0 6 2 】

各行の画素回路は、閾値検出から書き込み直前までの期間では消灯する。ここで各行の画素回路は同じ時間だけ発光する必要があり、また n 行目の画素回路の発光は 1 フレーム期間の最後までに完了する必要がある。このため、各行の画素回路は、書き込み後に一定時間  $T 1$  だけ発光し、それ以外では消灯する。

## 【 0 0 6 3 】

一般的な表示装置では、画素回路に対する書き込みは、1 フレーム期間かけて行われる。これに対して、図 5 に示す本実施形態の構成では、(約 1 / 2 フレームの発光期間を確保するために) 画素回路に対する書き込みは約 1 / 2 フレーム期間かけて行われる。このため、画素回路の走査速度は、通常の約 2 倍になる。なおこの例では、画素回路の発光期間の長さ  $T 1$  は、約 1 / 2 フレーム期間となるが、画素回路の走査速度を通常の約 2 倍にしたまま、発光期間の長さを 1 / 2 フレーム期間よりも短くしてもよい。あるいは、画素回路の走査速度を通常の約 2 倍より速くして、発光期間の長さを 1 / 2 フレーム期間より長くしてもよい。

20

## 【 0 0 6 4 】

また、図 5 に示す動作例では、データ書き込み後の近い時点(例えば時刻  $t 1 6$ )で発光期間が開始されるが、この発光期間の開始時点はそれより遅くてもよい。さらに図 6 に示すように、発光期間の開始時点を全行で揃うように定めてもよい。

30

## 【 0 0 6 5 】

図 6 は、各行の画素回路 1 0 の動作の別例を示すである。図 5 と比較すれば分かるように、図 6 においても画素回路 1 0 は、1 フレーム期間に 1 回ずつ、初期化、閾値検出 ( $T F T 1 2$  の閾値検出)、書き込み、および発光を行い、発光期間以外では消灯するが、各行の画素回路は、書き込みから各行毎に異なる所定の期間消灯した後、全行の画素回路が同時に(一括的に)一定時間  $T 1$  だけ発光し、1 フレーム期間の最後(言い換えれば次のフレームの初期化直前)で同時に消灯する。このように、閾値検出の終了時点から発光の開始時点までの期間を全行で同一に設定すると、表示ムラを抑制することができる。

40

## 【 0 0 6 6 】

すなわち、図 4 を示して前述したように、 $T F T 1 1$  がオフ状態となるとき、 $T F T 1 2$  のゲート - ソース間電圧  $V g s$  は、データ線  $S j$  の電位が変化しても、ほぼ ( $V d a t 1 - V r e f + V t h$ ) のまま変化しない。しかし、 $T F T 1 2$  にはわずかなリーク電流が存在するため、ゲート - ソース間電圧  $V g s$  は、実際には少しずつ低下していく。そこで、(全行で同一の) 閾値検出の終了時点から発光の開始時点までの期間を全行で同一に設定すれば、 $T F T 1 2$  に生じるリーク電流を全行の画素回路 1 0 においてほぼ同一にすることができるので、リーク電流による輝度低下量が全行の画素回路 1 0 においてほぼ同一となり、結果的に表示ムラを抑制することができる。

## 【 0 0 6 7 】

ここで、上記のように初期化、閾値検出、および発光を行う場合、そのタイミングは全

50

ての行で同一となるので、各制御線  $E_i$  をアクティブ（および非アクティブ）にする信号は全て同一となる。したがって、図 7 に示すように、全ての制御線を接続する共通制御線を設ける構成であってもよい。

#### 【0068】

図 7 は、上記構成における制御線  $E_i$  の接続形態を示す図である。図 7 に示す表示装置には、走査信号線駆動回路 102 a と制御線  $E_i$  とを接続するために、1本の共通制御線 211 が設けられる。共通制御線 211 の一端は、走査信号線駆動回路 102 a が有する 1 個の制御信号の出力端子に接続され、すべての制御線  $E_i$  は共通制御線 211 に接続される。なお、この共通制御線 211 は、すべての制御線  $E_i$  を走査信号線駆動回路 102 a に共通的に接続することができる配線であれば幹配線でなくてもよく、また制御線  $E_i$  を複数のグループに分けるときの 1 つのグループに含まれる全ての制御線  $E_i$  に共通的に接続される構成（すなわちグループ数だけ設ける）など、その数や制御線  $E_i$  との接続位置は周知のあらゆる配線構成を適用可能である。このように構成すれば走査信号線駆動回路 102 a の制御信号出力端子を 1 つにすることができるため構成を簡単にすることができ、また制御線  $E_i$  までの配線領域面積を小さくすることができる。

10

#### 【0069】

以上に示すように、本実施形態に係る表示装置 100 に備えられる電源制御回路 4 から共通電源線 9 に初期化電位を印加することにより、電源線  $V_{Pi}$  から画素回路 10 に簡単に初期化電位を与えることができる。これにより、初期化電位を与えるための新たな構成が不要となって画素回路 10 内の素子数を削減することができる。また、電源制御回路 4 は、全ての電源線  $V_{Pi}$  に電氣的に接続された 1 つの共通電源線 9 を駆動する。したがって、電源線  $V_{Pi}$  を個別に駆動するよりも、電源制御回路 4 に設ける出力バッファを大幅に削減し、電源制御回路 4 の回路規模を小さくすることができる。さらに、電源の駆動回数を 1 フレームで 1 回とすることができるので、例えば各行数に相当する回数を駆動する場合よりも消費電力を低減することができる。また共通電源線 9 が 1 つ（または比較的少ない数）であることにより、電源を与えるための配線領域面積を小さくすることができる。

20

#### 【0070】

なお、このように 1 つの共通電源線 9 が全ての電源線  $V_{Pi}$  に電氣的に接続される構成であれば、共通電源線 9 および電源線  $V_{Pi}$  の配置構成や接続態様には周知のあらゆる構成を適用可能であり、例えば図 8 に示す構成であってもよい。

30

#### 【0071】

図 8 は、本実施形態に係る表示装置の構成の別例を示すブロック図である。図 1 に示す構成とは異なり、図 8 に示す表示装置 100 に設けられる  $m$  本の電源線  $V_{Pi}$  は、 $n$  本の制御線  $E_i$  および走査信号線  $G_i$  と並行ではなく、 $m$  本のデータ線  $S_j$  と並行に設けられる。このように電源線  $V_{Pi}$  を配置すれば、電源線  $V_{Pi}$  一本あたりに接続される画素回路 10 の数を減少させることができ、各画素回路 10 に与えられるべき電流量の差を小さくすることができる。もっとも、十分に大きい電極幅を確保するためには図 1 に示す構成がより好適である。

#### 【0072】

また、本実施形態におけるゲートドライバ回路 2 は、初期化された画素回路 10 を全て選択し、選択した全画素回路 10 が T F T 1 2 の閾値検出を行うように制御する。さらに、ゲートドライバ回路 2 は、初期化された画素回路 10 を行単位で選択し、選択した画素回路 10 が T F T 1 2 の書き込みおよび発光を順に行うように制御する。これにより、T F T 1 2 の閾値電圧を補償して、画面を表示することができる。

40

#### 【0073】

さらに、T F T 1 3 は初期化時にオン状態に制御され、初期化時に電源線  $V_{Pi}$  に初期化電位を印加したときに T F T 1 2 のゲート電圧が基準電位  $V_{ref}$  となるのでオン状態になり、T F T 1 2 のソース端子に初期化電位を印加することができる。また、T F T 1 3 は、発光時に一定時間だけオン状態になるよう制御される。これにより、画素回路 10

50

の発光期間の長さを揃え、輝度のばらつきを抑えることができる。また、画素回路 10 は発光期間以外では消灯するので、黒挿入を行う場合と同様に、動画性能を向上させることができる。

【0074】

さらにまた、画素回路 10 に含まれるすべてのトランジスタは、Nチャネル型である。このように画素回路 10 に含まれるトランジスタを同じ導電型で構成することにより、表示装置のコストを削減することができる。

【0075】

(第2の実施形態)

本発明の第2の実施形態に係る表示装置の構成および動作は、電源線の接続状態および画素回路の動作を除くほか、図1に示す第1の実施形態とほぼ同様であるので、同一の構成要素には同一の符号を付してその説明を省略する。以下、この第2の実施形態における特徴的な構成および動作について説明する。

【0076】

図9は、本発明の第2の実施形態に係る表示装置における電源線  $V P i$  の接続形態を示す図である。この表示装置には、電源制御回路 4b と電源線  $V P i$  とを接続するために、2本の共通電源線 121、122 が設けられる。共通電源線 121、122 の一端は、電源制御回路 4b が有する2個の出力端子にそれぞれ接続される。電源線  $V P 1 \sim V P n / 2$  は、共通電源線 121 に接続され、電源線  $V P (n / 2 + 1) \sim V P n$  は、共通電源線 122 に接続される。

【0077】

図10は、本発明の第2の実施形態に係る表示装置における各行の画素回路 10 の動作を示す図である。電源制御回路 4b は、1フレーム期間の先頭で所定時間だけ共通電源線 121 にローレベル電位を印加し、1/2フレーム期間経過後に所定時間だけ共通電源線 122 にローレベル電位を印加する。このため、1 ~ (n/2) 行目の画素回路は1フレーム期間の先頭で初期化を行い、(n/2 + 1) ~ n 行目の画素回路は1/2フレーム期間だけ遅れて初期化を行う。1回目の初期化の直後、所定時間だけ1 ~ (n/2) 行目の全ての画素回路が同時に選択され、2回目の初期化の直後、所定時間だけ(n/2 + 1) ~ n 行目の全ての画素回路が同時に選択され、選択された画素回路が閾値検出を行う。1回目の閾値検出後に1 ~ (n/2) 行目の画素回路が行ごとに順に選択され、2回目の閾値検出後に(n/2 + 1) ~ n 行目の画素回路が行ごとに順に選択される。選択された画素回路が書き込みを行う。各行の画素回路は、書き込み後に一定時間  $T 2$  だけ発光し、それ以外では消灯する。

【0078】

この表示装置では、第1の実施形態と同様に、各行の画素回路は同じ時間だけ発光する必要があるが、フレームの先頭で必ず初期化される第1の実施形態の場合とは異なり、n 行目の画素回路の発光が1フレーム期間の最後までに完了する必要はない。このことから図10に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さ  $T 2$  は約1/2フレーム期間となる。

【0079】

以上のように、本実施形態の表示装置によれば、第1の実施形態とは異なって画素回路の走査速度を通常と同じにすることができるので、通常の場合と同様の十分な長さの書き込み時間を確保することができる。なお、画素回路の走査速度を通常の数にしたまま、発光期間の長さを1/2フレーム期間よりも短くしてもよい。あるいは、画素回路の走査速度を通常より速くして、発光期間の長さを1/2フレーム期間より長くしてもよい。

【0080】

また本実施形態の表示装置では、第1の実施形態とは異なって電源制御回路4に設ける出力バッファの個数が2個に増加するので、第1の実施形態の場合よりも電源制御回路4の回路規模は大きくなるが、電源制御回路4に設ける出力バッファの個数は電源線  $V P i$  の本数よりも少なくすることができるので、電源制御回路4の回路規模を小さくすること

10

20

30

40

50

ができるといえる。その他、本実施形態の構成によれば、第1の実施形態と同様の効果を奏することができるのみならず、共通電源線121、122に互いに異なるタイミングで初期化電位を印加することにより、画素回路10の選択期間に合わせて好適なタイミングで画素回路10の初期化を行うことができる。さらに共通電源線121、122に対して隣接配置された複数の電源線VPiを接続することにより、画素回路10に対して表示画面内の順序に従って書き込みを行うことができる。

#### 【0081】

##### (第3の実施形態)

本発明の第3の実施形態に係る表示装置の構成および動作は、電源線の接続状態および画素回路の動作を除くほか、図1に示す第1の実施形態とほぼ同様であるので、同一の構成要素には同一の符号を付してその説明を省略する。以下、この第3の実施形態における特徴的な構成および動作について説明する。

10

#### 【0082】

図11は、本発明の第3の実施形態に係る表示装置における電源線VPiの接続形態を示す図である。この表示装置には、電源制御回路4cと電源線VPiとを接続するために、2本の共通電源線131、132が設けられる。共通電源線131、132の一端は、電源制御回路4cが有する2個の出力端子にそれぞれ接続される。奇数行目の電源線VP1、VP3、...は共通電源線131に接続され、偶数行目の電源線VP2、VP4、...は共通電源線132に接続される。

#### 【0083】

図12は、この第3の実施形態に係る表示装置における各行の画素回路10の動作を示す図である。電源制御回路4cは、1フレーム期間の先頭で所定時間だけ共通電源線131にローレベル電位を印加し、1/2フレーム期間経過後に所定時間だけ共通電源線132にローレベル電位を印加する。このため、奇数行目の画素回路は1フレーム期間の先頭で初期化を行い、偶数行目の画素回路は1/2フレーム期間だけ遅れて初期化を行う。1回目の初期化の直後、所定時間だけ奇数行目の全ての画素回路が同時に選択され、2回目の初期化の直後、所定時間だけ偶数行目の全ての画素回路が同時に選択され、選択された画素回路が閾値検出を行う。1回目の閾値検出後に奇数行目の画素回路が行ごとに順に選択され、2回目の閾値検出後に偶数行目の画素回路が行ごとに順に選択される。選択された画素回路が書き込みを行う。各行の画素回路は、書き込み後に一定時間T3だけ発光し、それ以外では消灯する。図12に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さT3は約1/2フレーム期間となる。

20

30

#### 【0084】

以上のように、本実施形態の表示装置によれば、第2の実施形態と同様、電源制御回路4の回路規模を小さくすることができるといえる。その他、本実施形態の構成によれば、第1の実施形態と同様の効果を奏することができ、また画素回路10に対して表示画面内の順序に従って書き込みを行うことができる。しかしながら、画面の上半分と下半分で輝度が大きく異なる場合など、共通電源線121、122を流れる電流の量が大きく異なる場合には、画面の中央で輝度差が発生することがある。本実施形態に係る表示装置によれば、第2の実施形態の場合とは異なって、共通電源線131、132を流れる電流の量は多くの場合ほぼ同じになるので、画面の中央に発生する可能性のある輝度差を予め防止することができる。

40

#### 【0085】

##### (第4の実施形態)

本発明の第4の実施形態に係る表示装置の構成および動作は、電源線の接続状態および画素回路の動作を除くほか、図1に示す第1の実施形態とほぼ同様であるので、同一の構成要素には同一の符号を付してその説明を省略する。以下、この第4の実施形態における特徴的な構成および動作について説明する。

#### 【0086】

図13は、第4の実施形態に係る表示装置における電源線VPiの接続形態を示す図で

50

ある。この表示装置には、電源制御回路4dと電源線VPiとを接続するために、3本の共通電源線141~143が設けられる。共通電源線141~143の一端は、電源制御回路4dが有する3個の出力端子にそれぞれ接続される。電源線VP1~VPn/3は共通電源線141に接続され、電源線VP(n/3+1)~VP(2n/3)は共通電源線142に接続され、電源線VP(2n/3+1)~VPnは共通電源線143に接続される。

【0087】

図14は、第4の実施形態に係る表示装置における各行の画素回路10の動作を示す図である。電源制御回路4dは、1フレーム期間の先頭で所定時間だけ共通電源線141にローレベル電位を印加し、1/3フレーム期間経過後に所定時間だけ共通電源線142にローレベル電位を印加し、さらに1/3フレーム期間経過後に所定時間だけ共通電源線143にローレベル電位を印加する。このため、1~(n/3)行目の画素回路は1フレーム期間の先頭で初期化を行い、(n/3+1)~(2n/3)行目の画素回路は1/3フレーム期間だけ遅れて初期化を行い、(2n/3+1)~n行目の画素回路はさらに1/3フレーム期間だけ遅れて初期化を行う。

10

【0088】

1回目の初期化後に1~(n/3)行目の全ての画素回路が同時に選択され、2回目の初期化後に(n/3+1)~(2n/3)行目の全ての画素回路が同時に選択され、3回目の初期化後に(2n/3+1)~n行目の全ての画素回路が同時に選択される。選択された画素回路が閾値検出を行う。

20

【0089】

1回目の閾値検出後に1~(n/3)行目の画素回路が順に選択され、2回目の閾値検出後に(n/3+1)~(2n/3)行目の画素回路が順に選択され、3回目の閾値検出後に(2n/3+1)~n行目の画素回路が順に選択される。選択された画素回路が書き込みを行う。各行の画素回路は、書き込み後に一定時間T4だけ発光し、それ以外では消灯する。図14に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さT4は約2/3フレーム期間となる。

【0090】

なお、共通電源線9の本数pは4以上でもよい。本数pが4以上の場合、電源線VPiの接続形態、および各行の画素回路10の動作は、上記と同様である。また、本数pが3以上の場合には、隣接配置された(n/p)本の電源線と同じ共通電源線に接続してもよく、(p-1)本飛ばしの(n/p)本の電源線と同じ共通電源線に接続してもよい。例えば、p=3の場合に、電源線VPiを2本飛ばしに選択し、電源線VP1、VP4、...を第1の共通電源線に接続し、電源線VP2、VP5、...を第2の共通電源線に接続し、電源線VP3、VP6、...を第3の共通電源線に接続してもよい。また、p=1の場合には、画素回路10の行に対応してn本の電源線VPiを設ける代わりに、前述した図8に示すように画素回路10の列に対応してm本の電源線を設けてもよい。さらに、p=nの場合には、共通電源線9は実質的に電源線VPiと同一となる。

30

【0091】

このように共通電源線9の本数p、画素回路10の走査速度、および画素回路10の発光期間の長さは、トレードオフの関係にある。例えば、共通電源線9の本数pを増やせば、画素回路10の走査速度を遅くしたり、画素回路10の発光期間を長くしたりすることができる。ただし、このとき、電源制御回路4に設ける出力バッファの個数が増加し、電源制御回路4の回路規模が増大する。したがって、表示装置の仕様やコストなどを考慮して、これらのパラメータを決定すればよい。

40

【0092】

以上のように、本実施形態の表示装置によれば、第2の実施形態と同様、電源制御回路4の回路規模を小さくすることができ、その他、第2の実施形態と同様の効果を奏することができる。

【0093】

50

また第1から第4までの各実施形態において示すように、表示装置100は、マトリクス状に配置された複数の画素回路10と、画素回路10の行に対応して設けられた複数の走査信号線 $G_i$ および制御線 $E_i$ と、画素回路10の列に対応して設けられた複数のデータ線 $S_j$ と、画素回路10に電源電位を供給するために設けられた複数の電源線 $V_{P_i}$ と、2本以上の電源線 $V_{P_i}$ に接続された $p$  ( $p > 1$ )本の共通電源線9と、走査信号線 $G_i$ および制御線 $E_i$ を駆動するゲートドライバ回路2と、データ線 $S_j$ を駆動するソースドライバ回路3と、電源線 $V_{P_i}$ を駆動する電源制御回路4とを備えている。画素回路10は、有機EL素子16（電気光学素子）と、有機EL素子16を流れる電流の経路上に設けられたTFT12（駆動用トランジスタ）と、TFT12のゲート端子とデータ線 $S_j$ との間に設けられたTFT11（書き込み制御トランジスタ）と、TFT12のドレイン端子と電源線 $V_{P_i}$ との間に設けられたTFT13（発光制御トランジスタ）と、TFT12のソース端子とゲート端子との間に設けられたコンデンサ15とを含んでいる。電源制御回路4は、 $p$ 本の共通電源線9に電源電位および初期化電位を切り替えて印加する。このような構成により上記各効果を奏することができる。

10

## 【0094】

（第5の実施形態）

本発明の第5の実施形態に係る表示装置の構成および動作は、映像信号線の電位変化に応じた初期化動作を除くほか、図1に示す第1の実施形態とほぼ同様であるので、同一の構成要素には同一の符号を付してその説明を省略する。以下、この第5の実施形態における特徴的な構成および動作について説明する。

20

## 【0095】

図15は、本実施形態における画素回路20の駆動方法を表すタイミングチャートを示す図である。以下、図15を参照して、1行目の画素回路の動作を説明する。なお、図15に示す各記号は図3に示す各記号と同一である。

## 【0096】

以下、図15を参照して、1行目の画素回路の動作を説明する。本実施形態における電源線 $V_{P_1}$ の電位は電源電位から変動せず一定である。そのため、この電位は図15には示されていない。時刻 $t_{21}$ より前では、走査信号線 $G_1$ および制御線 $E_1$ の電位はローレベルである。このため、画素回路10は消灯しており、TFT12のソース電位 $V_{S_1}$ は、電源線 $V_{P_1}$ からの電流が流れないことから、有機EL素子16のカットオフ電圧 $V_{th\_EL}$ まで引き下げられている。

30

## 【0097】

時刻 $t_{21}$ において、データ線 $S_j$ には所定の初期化用電圧 $V_H$ が印加される。この初期化用電圧 $V_H$ は、リセットのための信号電圧であって、後述する電位変化量を生じさせるための予め定められたハイレベルの電圧である。

## 【0098】

時刻 $t_{22}$ において、走査信号線 $G_1$ の電位はハイレベルとなるため、TFT11がオンすることにより、初期化用電圧 $V_H$ は、TFT12のゲート電位 $V_{G_1}$ として書き込まれる。このとき、コンデンサ15により容量結合されたTFT12のソース電位 $V_{S_1}$ は、一時的に上昇するが、有機EL素子16を介して放電が行われる結果、TFT12のソース電位 $V_{S_1}$ は、直ちにカットオフ電圧 $V_{th\_EL}$ まで引き下げられる。

40

## 【0099】

時刻 $t_{23}$ において、TFT11をオンしたままで、データ線 $S_j$ の電位を初期化用電圧 $V_H$ から基準電位 $V_{ref}$ まで低下させる。この電位変化は、コンデンサ15を介して容量結合されたTFT12のソース電位を低下させる。すなわち時刻 $t_{23}$ 以降におけるTFT12のゲート-ソース間電圧 $V_{gs}$ は、次式(5)で与えられる。

$$V_{gs} = V_{th\_EL} - C_{st} / (C_{OLED} + C_{st}) \times (V_H - V_{ref}) \dots (5)$$

ただし、上式(5)において、 $C_{OLED}$ は有機EL素子16の容量値であり、 $C_{st}$ はコンデンサ15の容量値である。

## 【0100】

50

続く時刻  $t_{24}$  以降では、第 1 から第 4 までの実施形態と同様に、閾値検出、書き込み、および発光がなされるため、以降の説明は省略する。

【0101】

以上のように、本実施形態の表示装置によれば、第 1 から第 4 までの実施形態とは異なって電源制御回路 4 に設ける 1 つの出力バッファは一定の電源電位を出力するだけで一切駆動されない。したがって、電位を変化させる駆動を行う能力が必要ないので、電源制御回路 4 の回路規模を小さくすることができる。その他、本実施形態の構成によれば、第 1 の実施形態と同様の効果を奏することができる。

【0102】

(主たる変形例)

上記第 2 の実施形態では、上記第 1 の実施形態と同様に、データ書き込み後の近い時点で発光期間が開始される構成としたが、第 1 の実施形態において図 6 を示して別例として説明したように、発光期間の開始時点が  $1 \sim (n/2)$  行目と、 $(n/2 + 1) \sim n$  行目とでそれぞれ揃うように定めてもよい。

【0103】

図 16 は、上記変形例の構成における制御線  $E_i$  の接続形態を示す図である。図 16 に示す表示装置には、走査信号線駆動回路 102b と制御線  $E_i$  を接続するために、2 本の共通制御線 221、222 が設けられる。共通制御線 221、222 の一端は、走査信号線駆動回路 102b が有する 2 個の出力端子にそれぞれ接続される。制御線  $E_1 \sim E_{n/2}$  は共通制御線 221 に接続され、制御線  $E_{(n/2 + 1)} \sim E_n$  は共通制御線 222 に接続される。

【0104】

図 17 は、この第 2 の実施形態の変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。この図 17 に示す例を図 10 に示す例と比較すれば分かるように、各行における初期化、閾値検出、および選択については同様であるが、発光期間の開始時点は、図 6 に示す例のように全行で揃うのではなく、 $1 \sim (n/2)$  行目と、 $(n/2 + 1) \sim n$  行目とでそれぞれ揃う。

【0105】

以上のように、この変形例では、第 1 の実施形態とは異なって第 2 の実施形態と同様に画素回路の走査速度を通常と同じにすることができるので、通常の場合と同様の十分な長さの書き込み時間を確保することができる。また、 $1 \sim (n/2)$  行目と、 $(n/2 + 1) \sim n$  行目とにおける各画素回路 10 における TFT12 に生じるリーク電流をそれぞれでほぼ同一にすることができるので、リーク電流による輝度低下量が  $1 \sim (n/2)$  行目と、 $(n/2 + 1) \sim n$  行目との画素回路 10 においてほぼ同一となり、結果的に表示ムラを抑制することができる。さらに、走査信号線駆動回路 102b の制御信号用出力端子を 2 つにすることができるため構成を簡単にすることができ、また共通制御線を 2 本にすることができるため制御線  $E_i$  までの配線領域面積を小さくすることができる。

【0106】

また上記第 3 の実施形態においても、上記第 1 の実施形態と同様に、データ書き込み後の近い時点で発光期間が開始される構成としたが、発光期間の開始時点が偶数行と奇数行とでそれぞれ揃うように定めてもよい。

【0107】

図 18 は、上記変形例の構成における制御線  $E_i$  の接続形態を示す図である。図 18 に示す表示装置には、走査信号線駆動回路 102c と制御線  $E_i$  を接続するために、2 本の共通制御線 231、232 が設けられる。共通制御線 231、232 の一端は、走査信号線駆動回路 102c が有する 2 個の出力端子にそれぞれ接続される。奇数行目の制御線  $E_1$ 、 $E_3$ 、... は共通制御線 231 に接続され、偶数行目の制御線  $E_2$ 、 $E_4$ 、... は共通制御線 232 に接続される。

【0108】

図 19 は、この第 3 の実施形態の変形例に係る表示装置における各行の画素回路 10 の

10

20

30

40

50

動作を示す図である。この図 19 に示す例を図 12 に示す例と比較すれば分かるように、各行における初期化、閾値検出、および選択については同様であるが、発光期間の開始時点は、図 6 に示す例のように全行で揃うのではなく、偶数行目と、奇数行目とでそれぞれ揃う。

#### 【0109】

以上のように、この変形例でも同様に画素回路の走査速度を通常と同じにすることができるので、通常の場合と同様の十分な長さの書き込み時間を確保することができる。また、偶数行目と、奇数行目とにおける各画素回路 10 における T F T 12 に生じるリーク電流をそれぞれでほぼ同一にすることができるので、リーク電流による輝度低下量がほぼ同一となり、結果的に表示ムラを抑制することができる。さらに、走査信号線駆動回路 10 2 c の制御信号用出力端子を 2 つにすることができるため構成を簡単にすることができ、また共通制御線を 2 本にすることができるため制御線 E i までの配線領域面積を小さくすることができる。

10

#### 【0110】

なお、図 13 および図 14 に示す第 4 の実施形態についても、ここでは詳しい説明を省略するが、上記と同様に発光期間の開始時点を揃えるように制御することができるので、同様の構成により上記と同様の効果を得ることができる。

#### 【0111】

(その他の変形例)

上記第 1 から第 4 までの各実施形態において、有機 E L 素子 16 の容量値は、コンデンサ 15 の容量値よりも非常に大きいのが通常であるが、この容量値の差が非常に大きいとは言えない構成例も考えられる。その場合には、前述したように上式(1)から上式(2)への変形を行う(少なくとも精度よく行う)ことができないので、T F T 12 のゲート-ソース間電圧  $V_{gs}$  はほぼ  $(V_{dat1} - V_{ref} + V_{th})$  になるとは言えなくなる。そこで、図 20 に示す補助コンデンサ 25 を介挿する構成が考えられる。

20

#### 【0112】

図 20 は、図 2 に示す画素回路 10 の回路図の変形例である。図 20 に示すように、この画素回路 20 は、図 2 に示す画素回路 10 とほぼ同様の構成であるが、有機 E L 素子 16 と並行に接続される補助コンデンサ 25 が新たに設けられている。この補助コンデンサ 25 の容量値は、有機 E L 素子 16 の容量値と、コンデンサ 15 の容量値とに基づき適宜に定められるが、 $C_{OLED} = C_{st}$  の関係が成立することが望ましい。そうすれば、上式(1)を上式(2)に変形することができるので、簡易な計算式で補償精度を向上させることができる。

30

#### 【産業上の利用可能性】

#### 【0113】

本発明は、表示装置に関するものであり、有機 E L 素子などの電流で駆動される自発光型表示素子を備えた有機 E L ディスプレイなどの表示装置に適している。

#### 【符号の説明】

#### 【0114】

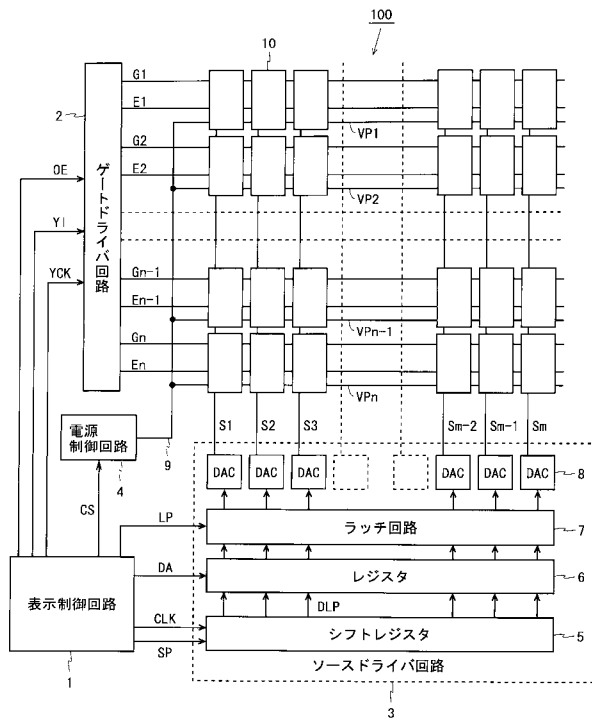
- 1 ... 表示制御回路
- 2 ... ゲートドライバ回路
- 3 ... ソースドライバ回路
- 4 ... 電源制御回路
- 5 ... シフトレジスタ
- 6 ... レジスタ
- 7 ... ラッチ回路
- 8 ... D / A 変換器
- 9 ... 共通電源線
- 10、20、30 ... 画素回路
- 11 ... T F T (書き込み制御トランジスタ)

40

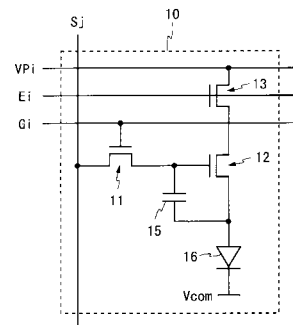
50

- 1 2 ... T F T ( 駆動用トランジスタ )
- 1 3 ... T F T ( 発光制御トランジスタ )
- 1 5 ... コンデンサ
- 1 6 ... 有機 E L 素子 ( 電気光学素子 )
- 2 5 ... 補助コンデンサ
- 1 0 0 ... 表示装置
- G i ... 走査信号線
- E i ... 制御線
- S j ... データ線
- V P i ... 電源線

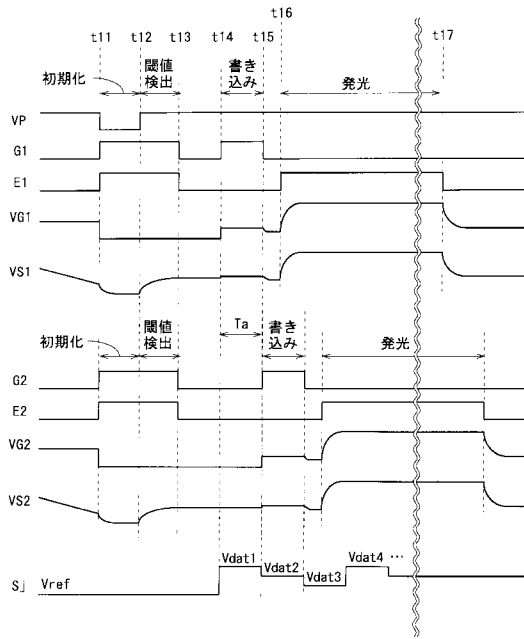
【 図 1 】



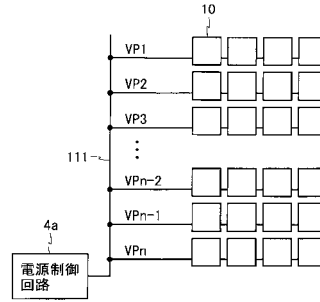
【 図 2 】



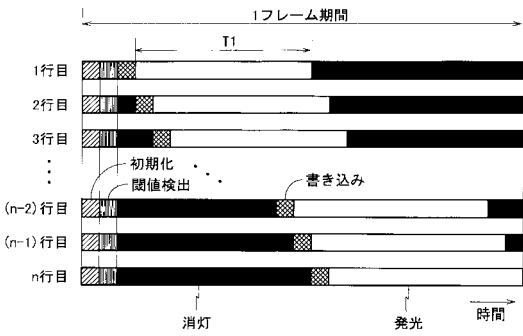
【図3】



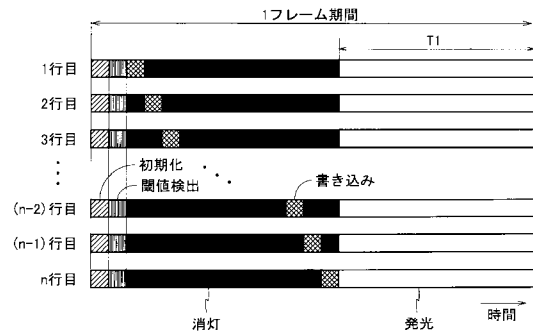
【図4】



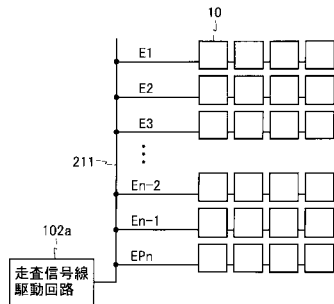
【図5】



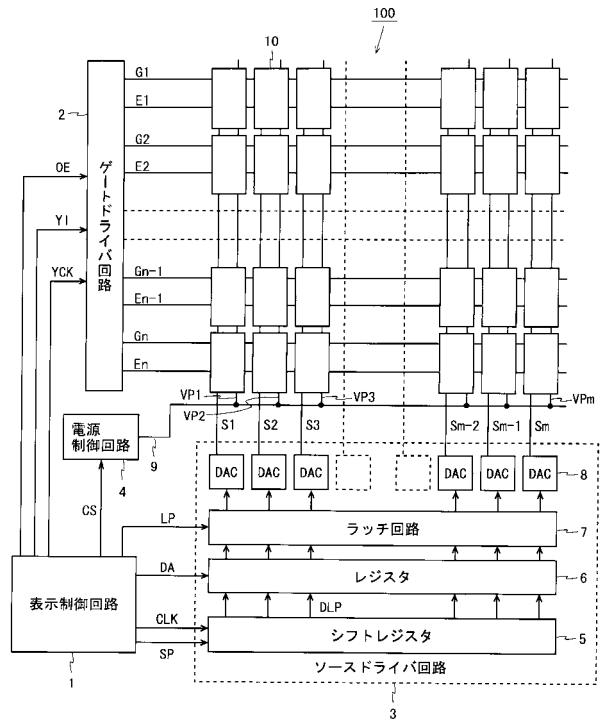
【図6】



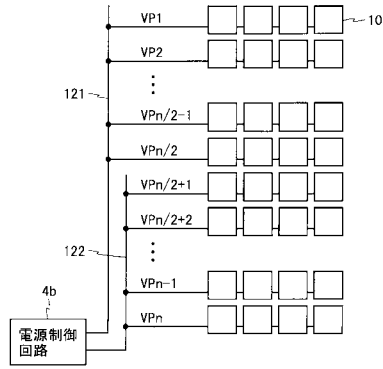
【図7】



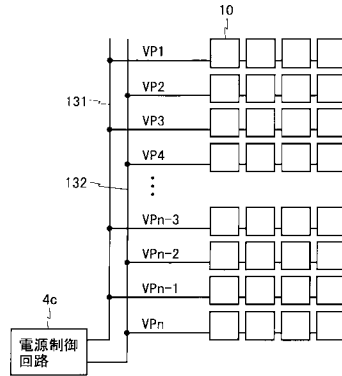
【図8】



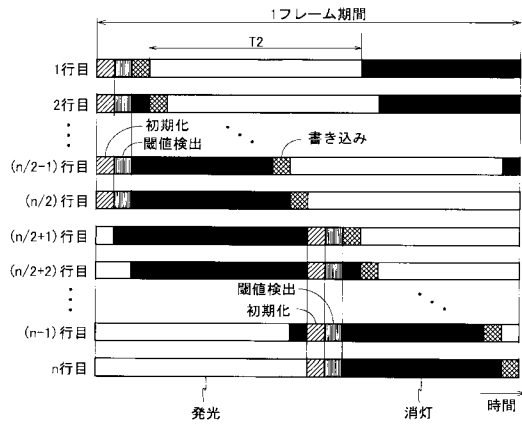
【図9】



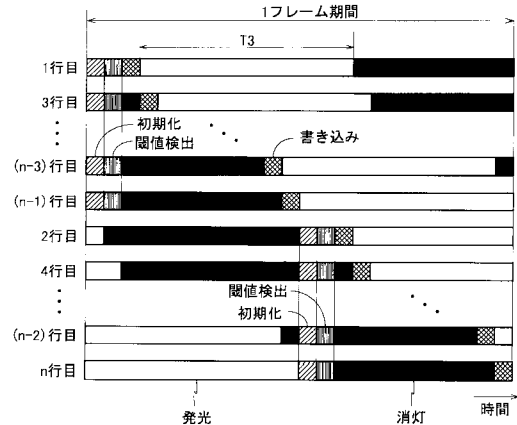
【図11】



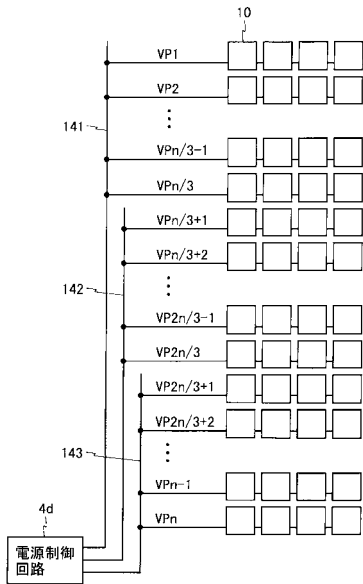
【図10】



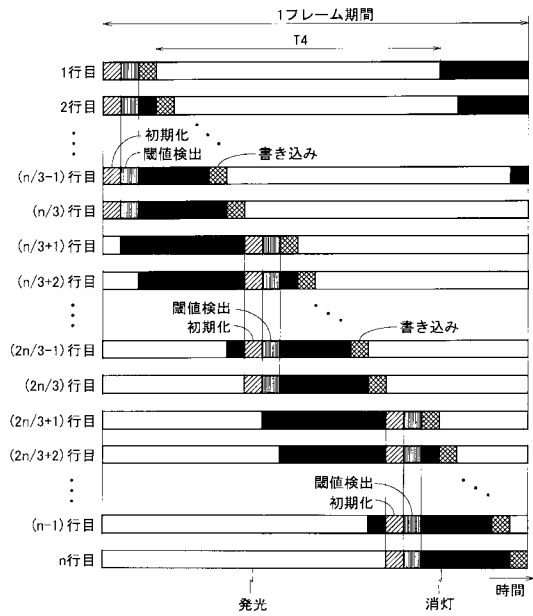
【図12】



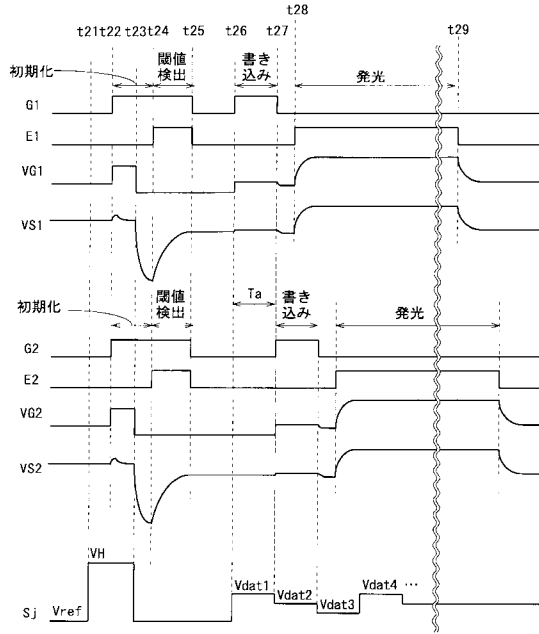
【図13】



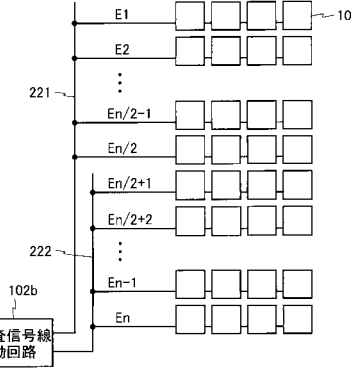
【図14】



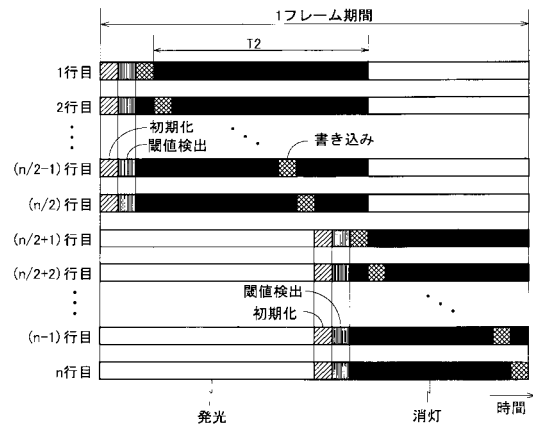
【図15】



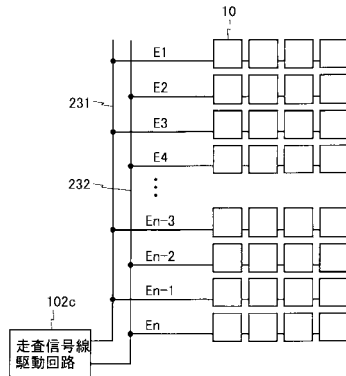
【図16】



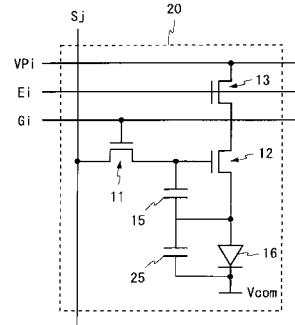
【図17】



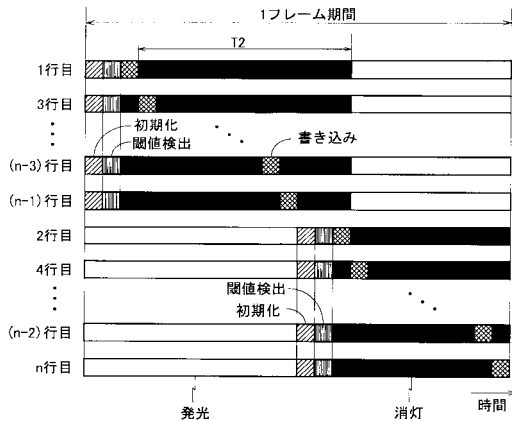
【図18】



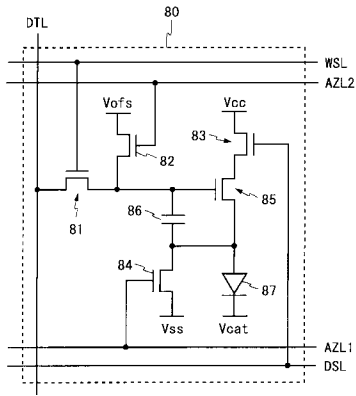
【図20】



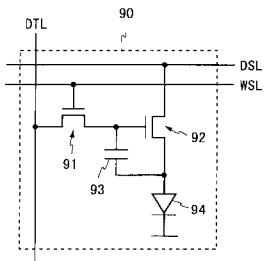
【図19】



【 2 1 】



【 2 2 】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 6 0 V

(56)参考文献 特開2010-054564(JP,A)  
特開2009-133914(JP,A)  
特開2010-145578(JP,A)  
特開2007-156460(JP,A)  
特開2009-237041(JP,A)  
特開2008-051990(JP,A)  
特開2009-244666(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 3 0
G 0 9 G	3 / 2 0

