

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4982663号
(P4982663)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 612E
HO1L 51/50 (2006.01)	G09G 3/20 621M
	G09G 3/20 622A
	G09G 3/20 623A
	請求項の数 10 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-188835 (P2004-188835)
 (22) 出願日 平成16年6月25日(2004.6.25)
 (65) 公開番号 特開2006-11095 (P2006-11095A)
 (43) 公開日 平成18年1月12日(2006.1.12)
 審査請求日 平成19年5月15日(2007.5.15)

(73) 特許権者 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (73) 特許権者 510134581
 奇美電子股▲ふん▼有限公司
 Chimei Innolux Corporation
 台湾苗栗縣竹南鎮科學路160號 新竹
 科學工業園區
 No. 160 Kesyue Rd., C
 hu-Nan Site, Hsinchu
 Science Park, Chu-N
 an 350, Miao-Li Coun
 ty, Taiwan,

最終頁に続く

(54) 【発明の名称】 表示パネル用ドライバ手段および画像表示装置

(57) 【特許請求の範囲】

【請求項1】

電流注入により発光する発光素子と、該発光素子への前記電流注入を制御する制御回路とをそれぞれ有する複数の画素回路がマトリクス状に配設された表示パネル用ドライバ手段において、

前記複数の画素回路にそれぞれ接続され、前記制御回路への制御信号が伝送される制御線に電氣的に、該制御線の1つに1つが接続するように接続される制御用パッドと、

前記複数の画素回路にそれぞれ接続され、前記発光素子への前記電流注入のための電源電圧を供給する電源制御信号が伝送される電源線に電氣的に、該電源線の1つに1つが接続するように接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、

前記制御用パッドと前記電源用パッドとが一行に配列されてパッド列を形成しており、該パッド列は、前記制御用パッドと前記電源用パッドとが、複数の前記制御用パッドおよび少なくとも1つの前記電源用パッドを1組として、該組が順に複数並ぶように配列された部分を含み、前記組のそれぞれに含まれる前記制御用パッドと前記電源用パッドとの配列順序は、全ての前記組で同一であり、且つ、全ての前記制御用パッドと前記電源用パッドとの配列順序が配列方向において、前記制御用パッドと前記電源用パッドとの全ての中心に対して対称であること、

を特徴とする表示パネル用ドライバ手段。

【請求項2】

全ての前記制御用パッドと前記電源用パッドとの配列位置が配列方向において、前記制

御用パッドと前記電源用パッドとの全ての中心に対して対称であることを特徴とする請求項 1 に記載の表示パネル用ドライバ手段。

【請求項 3】

電流注入により発光する発光素子と、該発光素子への前記電流注入を制御する制御回路とをそれぞれ有する複数の画素回路がマトリクス状に配設された表示パネルを駆動するための表示パネル用ドライバ手段において、

前記複数の画素回路にそれぞれ接続され、前記制御回路への制御信号が伝送される制御線に電氣的に、該制御線の 1 つに 1 つが接続するように接続される制御用パッドと、

該制御用パッドと同一形状を有する予備制御用パッドと、

前記複数の画素回路にそれぞれ接続され、前記発光素子への前記電流注入のための電源電圧を供給する電源制御信号が伝送される電源線に電氣的に、該電源線の 1 つに 1 つが接続するように接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、

前記制御用パッドと前記予備制御用パッドと同種のパッドとみなして第 1 種のパッドとし、前記電源用パッドを第 2 種のパッドとしたときに、前記第 1 種のパッドと前記第 2 種のパッドとが一列に配列されてパッド列を形成しており、該パッド列は、前記第 1 種のパッドと前記第 2 種のパッドとが、複数の前記第 1 種のパッドおよび少なくとも 1 つの前記前記第 2 種のパッドを 1 組として、該組が順に複数並ぶように配列された部分を含み、前記組のそれぞれに含まれる前記制御用パッドと前記電源用パッドとの配列順序は、全ての前記組で同一であり、且つ、全ての前記第 1 種のパッドと前記第 2 種のパッドとの配列順序が配列方向において、前記第 1 種のパッドと前記第 2 種のパッドとの全ての中心に対して対称であることを特徴とする表示パネル用ドライバ手段。

【請求項 4】

全ての前記第 1 種のパッドと前記第 2 種のパッドとの配列位置が配列方向において、前記第 1 種のパッドと前記第 2 種のパッドとの全ての中心に対して対称であることを特徴とする請求項 3 に記載の表示パネル用ドライバ手段。

【請求項 5】

前記制御用パッドの数は、前記電源用パッドの数以上であることを特徴とする請求項 1 乃至請求項 4 のいずれか一つに記載の表示パネル用ドライバ手段。

【請求項 6】

前記制御用パッド及び前記予備制御用パッドには、フリップフロップ回路がそれぞれ接続されており、該フリップフロップ回路が直列的に接続されていることを特徴とする請求項 3 乃至請求項 5 のいずれか一つに記載の表示パネル用ドライバ手段。

【請求項 7】

電流注入により発光する発光素子と、該発光素子への前記電流注入を制御する制御回路とをそれぞれ有する複数の画素回路がマトリクス状に配設された表示パネルと、

前記複数の画素回路にそれぞれ接続され、前記発光素子への前記電流注入のための電源電圧を供給する電源制御信号が伝送される複数の電源線と、

前記複数の画素回路にそれぞれ接続され、前記制御回路への制御信号が伝送される複数の制御線と、

前記表示パネルを挟んで両側に設けられ、前記電源線および前記制御線に接続され、前記電源電圧および前記制御信号を供給することにより前記複数の画素回路を駆動する一対のドライバ手段と、

を備え、

前記一対のドライバ手段は、請求項 1 乃至請求項 6 のいずれかに記載の表示パネル用ドライバ手段であり、

前記電源線のそれぞれが、両側の前記ドライバ手段に接続されており、

前記画素回路のそれぞれの前記制御回路には、複数の前記制御線が接続され、当該複数の制御線は、一部が一方の前記ドライバ手段に接続され、残りが他方の前記ドライバ手段に接続されていること、

を特徴とする画像表示装置。

10

20

30

40

50

【請求項 8】

前記画素回路のそれぞれに複数の前記電源線が接続されていることを特徴とする請求項 7 に記載の画像表示装置。

【請求項 9】

前記一対のドライバ手段は、回路デザインが同一であることを特徴とする請求項 7 または請求項 8 に記載の画像表示装置。

【請求項 10】

前記発光素子は、有機 EL 素子であることを特徴とする請求項 7 乃至請求項 9 のいずれか一つに記載の画像表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、例えば、有機 EL (Electronic Luminescent) 素子を用いた表示パネル用ドライバ手段および画像表示装置に関するものであり、特に、輝度ムラの発生を防ぎ、省スペース化を図ることができる表示パネル用ドライバ手段および画像表示装置に関するものである。

【背景技術】

【0002】

モバイルコンピューティングが盛んになるにつれて、平面型の表示装置に対する需要が増してきている。平面型の表示装置としては、従来、液晶表示装置が一般に用いられている。しかしながら、液晶表示装置には、視野角が狭い、応答特性が悪いといった問題がある。

20

【0003】

これに対して、視野角が広く、しかも応答特性がよい平面型の画像表示装置として、近年、有機 EL 素子を用いた画像表示装置が注目されている。この有機 EL 素子は、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有している。

【0004】

かかる画像表示装置は、例えば、行列状に配置された複数の画素回路と、複数の画素回路に対して、複数の信号線を介して後述する輝度信号を供給する信号線駆動回路と、画素回路に対して、複数の走査線を介して輝度信号を供給する画素回路を選択するための走査信号を供給する走査線駆動回路とを備える。

30

【0005】

図 8 は、従来の画像表示装置の構成を示すブロック図である。同図に示した画像表示装置は、有機 EL パネル 1、コントローラ 2、ゲートドライバ 3、ドレインドライバ 4 およびコモンドライバ 5 から構成されている。有機 EL パネル 1 における画素回路は、図中の等価回路図に示したように、有機 EL 素子 6 と、駆動用トランジスタ 7 と、選択用トランジスタ 8 と、キャパシタ C p とから構成されており、マトリクス状に配設されている。

【0006】

有機 EL 素子 6 は、閾値以上の電圧がアノード - カソード間に印加されることによって発光する発光素子である。有機 EL 素子 6 のアノード - カソード間に閾値以上の電圧が印加されると、有機 EL 層に電流が流れ、有機 EL 素子 6 は、発光する。有機 EL 素子 6 のアノードは、有機 EL パネル 1 の行 (図の横方向) 毎に設けられた共通線 C L に接続されている。

40

【0007】

駆動用トランジスタ 7 は、n チャネルの TFT (薄膜トランジスタ) から構成される。駆動用トランジスタ 7 のゲートは、選択用トランジスタ 8 のソースに接続されている。また、駆動用トランジスタ 7 のドレインは、有機 EL 素子 6 のカソード電極に接続されている。また、駆動用トランジスタ 7 のソースは、接地 (0 V) されている。

【0008】

この駆動用トランジスタ 7 は、有機 EL 素子 6 に供給する電力をオン・オフするスイッ

50

チとして使用される。駆動用トランジスタ7のゲートは、後述するドレインドライバ4から供給された駆動信号を保持する。

【0009】

駆動用トランジスタ7は、後述するコモンドライバ5から有機EL素子6にコモン信号が印加されたとき、オン抵抗が有機EL素子6の抵抗より十分小さくなり（例えば、10分の1以下）、オフ抵抗が有機EL素子6の抵抗より十分に大きくなる（例えば、10倍以上）特性を有している。このため、駆動用トランジスタ7がオンしているときは、コモンドライバ5から出力された電圧のほとんどが有機EL素子6に分圧され、駆動用トランジスタ7の特性のばらつきに関わらず、有機EL素子6はほぼ同じ光量の光を発する。

【0010】

一方、駆動用トランジスタ7がオフしているときは、コモンドライバ5から出力された電圧のほとんどが駆動用トランジスタ7のソースドレイン間に分圧され、有機EL素子6に閾値以上の電圧が印加されず、有機EL素子6は発光しない。

【0011】

選択用トランジスタ8は、nチャネルのTFTから構成される。選択用トランジスタ8のゲートは有機ELパネル1の行（図の横方向）毎に設けられたゲート線GLに、ドレインは有機ELパネル1の列（図の縦方向）毎に設けられたドレイン線DLに接続されている。また、ソースは駆動用トランジスタ7のゲートに接続されている。選択用トランジスタ8は、後述するドレインドライバ4からの駆動信号の駆動用トランジスタ7のゲートへの供給をオン・オフするスイッチとして用いられる。

【0012】

キャパシタCpは、後述するドレインドライバ4から供給された駆動信号を少なくとも1サブフィールド期間保持する。キャパシタCpが保持する駆動信号は、駆動用トランジスタ7をオン・オフするために用いられ、キャパシタCpと駆動用トランジスタ7とで有機EL素子6を発光させるためのスイッチを形成する。

【0013】

ゲートドライバ3は、コントローラ2から供給されるゲート制御信号GCONTに従って、選択信号X1~Xnを出力する。選択信号X1~Xnは、同一タイミングではいずれか1つのみがアクティブとなり、有機ELパネル1のいずれかのゲート線GLを選択する。これにより、選択されたゲート線GLに接続された選択用トランジスタ8のゲートに選択信号X1~Xnが印加され、選択用トランジスタ8がオンする。

【0014】

ドレインドライバ4は、シフトレジスタ、ラッチ回路およびレベル変換回路から構成されている。シフトレジスタは、コントローラ2から供給されるドレイン制御信号DCONT中のスタート信号によって最初のビットに1（ハイレベルの信号）がセットされ、ドレイン制御信号DCONT中のシフト信号が供給される毎にビットシフトしていく。

【0015】

ラッチ回路は、シフトレジスタのビット数と対応する個数のラッチ回路から構成され、シフトレジスタの1となっているビットに対応するラッチ回路に、コントローラ2から供給された発光信号IMGをラッチする。ラッチ回路に1サブフィールド中の1行分の発光信号IMGがラッチされると、ドレイン制御信号DCONT中の切替信号に従って、次段のラッチ回路にその発光信号IMGがラッチされる。そして、ラッチ回路は、次の行の発光信号IMGをラッチする。

【0016】

レベル変換回路は、ドレイン制御信号DCONT中のアウトプットイネーブル信号に基づいてラッチ回路にラッチされた発光信号IMGに応じて所定の電圧レベルの駆動信号Y1~Ynを有機ELパネル1のドレイン線DLに出力する。レベル変換回路から出力される駆動信号Y1~Ynは、駆動用トランジスタ7のゲートに蓄積され、駆動用トランジスタ7をオンさせる。

【0017】

10

20

30

40

50

コモンドライバ5は、コントローラ2から供給されたコモン制御信号CONTに基づいて、有機EL素子6のアノード電極に印加されるコモン信号Z1~Znを発生する。これらのコモン信号Z1~Znは、オン・オフの2値であり、コモン線CLを介して行毎の有機EL素子6のアノード電極に印加される。この印加されるオン電圧は有機EL素子6の閾値電圧より十分に大きい。

【0018】

ここで、コモン信号Z1~Znは、有機EL素子6へ供給する電源電圧であり、上述した選択信号X1~Xnや駆動信号Y1~Ynよりも電圧レベルが高い。従って、電圧レベルで線を判別した場合、コモン線CLが電源線であるのに対して、ゲート線GLおよびドレイン線DLは、制御線であるといえることができる。

10

【0019】

そして、駆動用トランジスタ7がオンされているときは有機EL素子6のアノード電極とカソード電極の間に有機EL素子6の発光輝度が飽和する電圧が印加される。一方、駆動用トランジスタ7がオフされているときに有機EL素子6のアノード電極とカソード電極の間に印加される電圧は、コモン信号Z1~Znの電圧のほとんどが駆動用トランジスタ7に分圧されるので、有機EL素子6の閾値電圧よりも小さいものとなる。

【0020】

ここで、ゲートドライバ3、ドレインドライバ4およびコモンドライバ5のそれぞれには、ゲート線GL、ドレイン線DL、コモン線CLに対応させて複数のパッド(端子に相当)が設けられている。各パッドは、対応するゲート線GL、ドレイン線DL、コモン線CLに電氣的に接続されている。

20

【0021】

また、電源線としてのコモン線CLには、制御線としてのゲート線GLやドレイン線DLに比して大電流が流れる。このことより、コモンドライバ5のパッド(電源線が接続される)は、大電流の影響を低減するために、ゲートドライバ3やドレインドライバ4のパッド(制御線が接続される)よりも面積を大きくする必要がある。

【0022】

【特許文献1】特開平10-333641号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0023】

ところで、従来の画像表示装置では、有機ELパネル1が大型化するにしたがって、コモン線CL、ゲート線GL、ドレイン線DL等の各配線が長くなり、配線抵抗が大きくなる。特に、電源線としてのコモン線CLの場合には、コモン信号Z1~Znの電圧レベルが高いため、制御線としてのゲート線GLやドレイン線DLに比して、電圧降下も大きくなる。従って、従来の画像表示装置では、コモンドライバ5からのコモン線CLの長さ(電圧降下)の相違により、各有機EL素子6へ供給される電圧(コモン信号の電圧レベル)のバラツキが大きくなり、輝度ムラが生じるという問題があった。

【0024】

すなわち、コモンドライバ5に近い有機EL素子6の場合には、コモンドライバ5から有機EL素子6までのコモン線CLが短いため、電圧降下が小さく、所定の電圧が供給され、発光時に所定の輝度が得られる。これに対して、コモンドライバ5から遠い有機EL素子6の場合には、コモンドライバ5から有機EL素子6までのコモン線CLが長いため、電圧降下が大きく、低い電圧しか供給されず、発光時に輝度の低下が生じる。

40

【0025】

また、従来の画像表示装置では、制御線(ゲート線GL、ドレイン線DL)に関連するゲートドライバ3およびドレインドライバ4と、電源線(コモン線CL)に関連するコモンドライバ5という3つものドライバを独立的に配置しているため、省スペース化のニーズに応えることができないという問題もあった。

【0026】

50

本発明は、上記に鑑みてなされたものであって、輝度ムラの発生を防ぎ、省スペース化を図ることができる表示パネル用ドライバ手段および画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0027】

上述した課題を解決し、目的を達成するために、本発明は、電流注入により発光する発光素子と、該発光素子への前記電流注入を制御する制御回路とをそれぞれ有する複数の画素回路がマトリクス状に配設された表示パネル用ドライバ手段において、前記複数の画素回路にそれぞれ接続され、前記制御回路への制御信号が伝送される制御線に電氣的に、該制御線の1つに1つが接続するように接続される制御用パッドと、前記複数の画素回路にそれぞれ接続され、前記発光素子への前記電流注入のための電源電圧を供給する電源制御信号が伝送される電源線に電氣的に、該電源線の1つに1つが接続するように接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、前記制御用パッドと前記電源用パッドとが一行に配列されてパッド列を形成しており、該パッド列は、前記制御用パッドと前記電源用パッドとが、複数の前記制御用パッドおよび少なくとも1つの前記電源用パッドを1組として、該組が順に複数並ぶように配列された部分を含み、前記組のそれぞれに含まれる前記制御用パッドと前記電源用パッドとの配列順序は、全ての前記組で同一であり、且つ、全ての前記制御用パッドと前記電源用パッドとの配列順序が配列方向において、前記制御用パッドと前記電源用パッドとの全ての中心に対して対称であること、を特徴とする。

【0028】

また、本発明は、電流注入により発光する発光素子と、該発光素子への前記電流注入を制御する制御回路とをそれぞれ有する複数の画素回路がマトリクス状に配設された表示パネルを駆動するための表示パネル用ドライバ手段において、前記複数の画素回路にそれぞれ接続され、前記制御回路への制御信号が伝送される制御線に電氣的に、該制御線の1つに1つが接続するように接続される制御用パッドと、該制御用パッドと同一形状を有する予備制御用パッドと、前記複数の画素回路にそれぞれ接続され、前記発光素子への前記電流注入のための電源電圧を供給する電源制御信号が伝送される電源線に電氣的に、該電源線の1つに1つが接続するように接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、前記制御用パッドと前記予備制御用パッドとを同種のパッドとみなして第1種のパッドとし、前記電源用パッドを第2種のパッドとしたときに、前記第1種のパッドと前記第2種のパッドとが一行に配列されてパッド列を形成しており、該パッド列は、前記第1種のパッドと前記第2種のパッドとが、複数の前記第1種のパッドおよび少なくとも1つの前記前記第2種のパッドを1組として、該組が順に複数並ぶように配列された部分を含み、前記組のそれぞれに含まれる前記制御用パッドと前記電源用パッドとの配列順序は、全ての前記組で同一であり、且つ、全ての前記第1種のパッドと前記第2種のパッドとの配列順序が配列方向において、前記第1種のパッドと前記第2種のパッドとの全ての中心に対して対称であることを特徴とする。

【0029】

また、本発明は、電流注入により発光する発光素子と、該発光素子への前記電流注入を制御する制御回路とをそれぞれ有する複数の画素回路がマトリクス状に配設された表示パネルと、前記複数の画素回路にそれぞれ接続され、前記発光素子への前記電流注入のための電源電圧を供給する電源制御信号が伝送される複数の電源線と、前記複数の画素回路にそれぞれ接続され、前記制御回路への制御信号が伝送される複数の制御線と、前記表示パネルを挟んで両側に設けられ、前記電源線および前記制御線に接続され、前記電源電圧および前記制御信号を供給することにより前記複数の画素回路を駆動する一対のドライバ手段と、を備え、前記一対のドライバ手段は、上記のような表示パネル用ドライバ手段であり、前記電源線のそれぞれが、両側の前記ドライバ手段に接続されており、前記画素回路のそれぞれの前記制御回路には、複数の前記制御線が接続され、当該複数の制御線は、一部が一方の前記ドライバ手段に接続され、残りが他方の前記ドライバ手段に接続されてい

ること、を特徴とする。

【発明の効果】

【0030】

本発明によれば、制御用パッドと電源用パッドとが混在して列状に配列されており、且つ、制御用パッドと電源用パッドとの配列順序がパッドの配列方向に対称であることとしたので、一对の表示用ドライバ手段を表示パネルの両側に配置し、電源線を両側の電源用パッドに接続できるため、電源線における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができるという効果を奏する。

【0031】

また、本発明によれば、制御用パッド、予備制御用パッド、電源用パッドが混在して列状に配列されており、且つ、制御用パッドと予備制御用パッドとを同種のパッドとみなしたときに、これらの制御用パッドと電源用パッドとの配列順序がパッドの配列方向に関して対称であることとしたので、一对の表示用ドライバ手段を表示パネルの両側に配置し、電源線を両側の電源用パッドに接続できるため、電源線における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができるという効果を奏する。

10

【0032】

また、本発明によれば、表示パネルを挟んで両側に一对のドライバ手段を設け、一对のドライバ手段を電源線に双方接続しかつ複数の制御線に分担して接続し、電源制御信号および制御信号により複数の画素回路を駆動することとしたので、電源線における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができるという効果を奏する。

20

【発明を実施するための最良の形態】

【0033】

以下に、本発明にかかる表示パネル用ドライバ手段および画像表示装置の実施例を図面に基づいて詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。

【実施例1】

【0034】

図1は、本発明にかかる実施例1による画像表示装置の構成を示すブロック図である。同図に示した画像表示装置は、表示パネル10、コントローラ20、ゲートドライバ30R1、ゲートドライバ30R2、・・・、ゲートドライバ30L1、ゲートドライバ30L2、・・・、およびデータドライバ40から構成されている。

30

【0035】

表示パネル10は、マトリクス状に配設された画素回路10G1(1)、・・・、画素回路10G1(s)、画素回路10G2(1)、・・・、画素回路10G2(s)、画素回路10Gk(1)、・・・、画素回路10Gk(s)、・・・から構成されている。

【0036】

ここで、表示パネル10においては、行(図の横方向)毎に4本の線(例えば、第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)、電源線p(1))を1組として、複数組の4本線が設けられている。

40

【0037】

具体的には、表示パネル10の画素回路10G1(1)、・・・、画素回路10G1(s)に対応する第1行目には、第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)および電源線p(1)という4本線が設けられている。

【0038】

また、表示パネル10の画素回路10G2(1)、・・・、画素回路10G2(s)に対応する第2行目には、第1制御線x1(2)、第2制御線x2(2)、第3制御線x3(2)および電源線p(2)という4本線が設けられている。

【0039】

以下同様にして、表示パネル10の画素回路10Gk(1)、・・・、画素回路10G

50

$k(s)$ に対応する第 k 行目には、第 1 制御線 $x_1(k)$ 、第 2 制御線 $x_2(k)$ 、第 3 制御線 $x_3(k)$ および電源線 $p(k)$ という 4 本線が設けられている。

【0040】

また、表示パネル 10 においては、列（図の縦方向）毎に s 本のデータ線 $y(1)$ 、 \dots 、データ線 $y(s)$ が設けられている。

【0041】

画素回路 10G1(1) は、図 2 に示したように、有機 EL 素子 11 および制御回路 12 から構成されている。有機 EL 素子 11 は、閾値以上の電圧がアノード - カソード間に印加されることによって発光する発光素子である。有機 EL 素子 11 のカソードは、電源線 $p(1)$ に接続されている。なお、回路構成によっては、有機 EL 素子 11 のアノードとカソードの接続状態が逆の場合もある。

10

【0042】

制御回路 12 は、前述した駆動用トランジスタ 7 や選択用トランジスタ 8 やキャパシタ C_p 等（図 8 参照）と同様の駆動用トランジスタ、選択用トランジスタやキャパシタ等を備えており、有機 EL 素子 11 の発光を制御する。

【0043】

この制御回路 12 には、第 1 制御線 $x_1(1)$ 、第 2 制御線 $x_2(1)$ 、第 3 制御線 $x_3(1)$ およびデータ線 $y(1)$ が接続されている。ここで、第 1 制御線 $x_1(1)$ 、第 2 制御線 $x_2(1)$ および第 3 制御線 $x_3(1)$ は、前述したゲート線 GL 、ドレイン線 DL （図 8 参照）等や、行選択用のセレクト信号が伝送される走査線、静電容量や発光素子に蓄積した電荷をリセットするためのリセット信号が伝送される制御線等に対応している。

20

【0044】

なお、図 1 に示した他の第 1 制御線 $x_1(2)$ 、第 2 制御線 $x_2(2)$ 、第 3 制御線 $x_3(2)$ やデータ線 $y(2)$ 等も同様にして、ゲート線 GL やドレイン線 DL （図 8 参照）等に対応している。

【0045】

また、図 1 に示した表示パネル 10 において、他の画素回路も、上述した画素回路 10G1(1) と同一の構成とされている。

【0046】

コントローラ 20 は、ゲートドライバ 30R1、ゲートドライバ 30R2、 \dots 、ゲートドライバ 30L1、ゲートドライバ 30L2、 \dots や、データドライバ 40 に接続されており、表示パネル 10 における画像表示を制御する。

30

【0047】

また、表示パネル 10 の両側には、同じ回路デザインのゲートドライバ 30R1、ゲートドライバ 30R2、 \dots と、ゲートドライバ 30L1、ゲートドライバ 30L2、 \dots とがそれぞれ設けられている。すなわち、表示パネル 10 の左側には、ゲートドライバ 30R1、ゲートドライバ 30R2、 \dots が設けられている。一方、表示パネル 10 の右側には、ゲートドライバ 30L1、ゲートドライバ 30L2、 \dots が設けられている。

40

【0048】

なお、実際には、ゲートドライバ 30R1、ゲートドライバ 30R2、 \dots は、ゲートドライバ 30L1、ゲートドライバ 30L2、 \dots と同様にして、表示パネル 10 の近傍に設けられている。

【0049】

これらのゲートドライバ 30R1、ゲートドライバ 30R2、 \dots と、ゲートドライバ 30L1、ゲートドライバ 30L2、 \dots とは、表示パネル 10 における複数の制御線を半分（制御線の本数が偶数の場合）または略半分（制御線の本数が奇数の場合）ずつそれぞれ担当する。

【0050】

50

× 3 (1) および電源線 p (1) において、電源線 p (1) は、伝送する信号の電圧レベルが高く電圧降下を低減すべく、左端がゲートドライバ 3 0 R 1 の電源用パッド P (1) に接続されているとともに、右端がゲートドライバ 3 0 L 1 の電源用パッド P (k) に接続されている。

【 0 0 5 9 】

これに対して、第 1 制御線 x 1 (1) および第 2 制御線 x 2 (1) の左端は、ゲートドライバ 3 0 R 1 の制御用パッド C 1 (1) および制御用パッド C 2 (1) に接続されている。なお、第 1 制御線 x 1 (1) および第 2 制御線 x 2 (1) の右端は、伝送する信号の電圧レベルが低く電圧降下の影響を無視できるため、ゲートドライバ 3 0 L 1 のいずれの制御用パッドにも接続されていない。

10

【 0 0 6 0 】

また、第 3 制御線 x 3 (1) の右端は、ゲートドライバ 3 0 L 1 の制御用パッド C 1 (k + 1) に接続されている。なお、第 3 制御線 x 3 (1) の左端は、伝送する信号の電圧レベルが低く電圧降下の影響を無視できるため、ゲートドライバ 3 0 R 1 のいずれの制御用パッドにも接続されていない。

【 0 0 6 1 】

このように、第 1 組においては、電源線 p (1) は、電圧降下を低減させるべく、ゲートドライバ 3 0 R 1 およびゲートドライバ 3 0 L 1 の双方に担当される。これに対して、第 1 制御線 x 1 (1) および第 2 制御線 x 2 (1) は、ゲートドライバ 3 0 R 1 に担当される。第 3 制御線 x 3 (1) は、ゲートドライバ 3 0 L 1 に担当される。以下、他の組についても同様である。

20

【 0 0 6 2 】

ゲートドライバ 3 0 R 1、ゲートドライバ 3 0 R 2、・・・は、直列に接続されている。同様にして、ゲートドライバ 3 0 L 1、ゲートドライバ 3 0 L 2、・・・も、直列に接続されている。

【 0 0 6 3 】

データドライバ 4 0 は、コントローラ 2 0 から供給されるゲート制御信号に従って、データ線 y (1) ~ y (s) に選択信号をそれぞれ出力する。各選択信号は、同一タイミングではいずれか 1 つのみがアクティブとなり、表示パネル 1 0 におけるいずれか一つの列を選択するための信号である。

30

【 0 0 6 4 】

図 4 は、図 1 に示したゲートドライバ 3 0 R 1 の構成を示す図である。同図において、図 1 の各部に対応する部分には同一の符号を付ける。ゲートドライバ 3 0 R 1 は、シフトレジスタ 3 1 と、シフトレジスタ 3 2 とを備えている。

【 0 0 6 5 】

シフトレジスタ 3 1 は、複数のフリップフロップ回路および論理回路から構成されており、図 5 に示したように、コントローラ 2 0 から供給される信号に基づいて、クロック信号 C L K の立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、制御用パッド C 1 (1)、C 1 (2)、・・・(制御用パッド C 2 (1)、C 2 (2)、・・・)に出力する。

40

【 0 0 6 6 】

一方、図 4 に示したシフトレジスタ 3 2 も、複数のフリップフロップ回路、論理回路およびセクタ回路から構成されており、図 5 に示したように、コントローラ 2 0 から供給される信号に基づいて、クロック信号 C L K の立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、電源用パッド P (1)、電源用パッド P (2)、・・・に出力する。

【 0 0 6 7 】

ここで、図 1 に示したゲートドライバ 3 0 L 1 の電源用パッド P (k)、電源用パッド P (k - 1)、・・・からも、ゲートドライバ 3 0 R 1 と同一のタイミングで信号が出力される。これらの信号は、各有機 E L 素子 1 1 (図 2 参照) に供給され、制御信号 (オン

50

/オフ)とともに、有機EL素子11を発光させるための電源電圧として機能している。

【0068】

従って、実施例1においては、両側のゲートドライバ30L1およびゲートドライバ30R1から電源線p(1)に信号を供給しているため、従来の片側のゲートドライバの場合に比して、信号の伝送経路長が大幅に短くなり、電圧降下が低減する。

【0069】

このように、コントローラ20の制御に基づいて、ゲートドライバ30R1およびゲートドライバ30L1等と、データドライバ40とから信号が表示パネル10に供給されることにより、有機EL素子11の発光が制御され、表示パネル10に画像が表示される。

【0070】

以上説明したように、実施例1によれば、表示パネル10を挟んで両側に一对のドライバ30R1およびゲートドライバ30L1を設け、これらのドライバ30R1およびゲートドライバ30L1を電源線p(1)、電源線p(2)、・・・に双方接続しかつ複数の第1制御線x1(1)、第1制御線x1(2)、・・・に分担して接続し、信号により画素回路10G1(1)~10Gk(s)を駆動することとしたので、電源線p(1)、電源線p(2)、・・・における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができる。

【0071】

なお、実施例1においては、ドライバ手段(ゲートドライバ30R1、ゲートドライバ30L1等)に配列される各パッド(制御用パッドC1(1)、電源用パッドP(1)等)の面積が異なるために、パッドの配列を工夫しなければ、同じドライバ手段を表示パネル10の両側に配置したときに、表示パネル10での電源線や制御線の配線構造が複雑化する。

【0072】

そこで、実施例1では、ドライバ手段のパッドの配列を工夫(前述した予備制御用パッドの配置や対称配置等)することにより、表示パネル10の両側にドライバ手段を配置した場合であっても、表示パネル10の配線構造を複雑化することを良好に抑制できる。なお、各パッドは配列順序が対称であれば良い(順序は対称であるが、パッド間の間隔は上下対称ではなく、上下で異なっている場合を想定)が、配列位置が対称である方がより表示パネルの配線構造を単純化できる。

【実施例2】

【0073】

さて、前述した実施例1においては、図3に示したように、1組あたり電源線p(1)が1本の場合の構成例について説明したが、1組あたり電源線を2本(複数)とする構成例としてもよい。以下では、この構成例を実施例2として説明する。

【0074】

図6は、本発明にかかる実施例2に適用されるゲートドライバ50R1、画素回路10G1(1)'等の構成を示す図である。この図において、図3の各部に対応する部分には同一の符号を付ける。

【0075】

同図に示した画素回路10G1(1)'においては、j本の第1制御線x1(1)、・・・、第j制御線xj(1)と、2本の第1電源線p1(1)および第2電源線p2(1)とが行方向に設けられている。

【0076】

ゲートドライバ50R1には、第1組~第k組の複数のパッドが設けられている。すなわち、第1組は、制御用パッドC1(1)、制御用パッドCq(1)、制御用パッドCq+1(1)、制御用パッドC1(1)、制御用パッドC1+1(1)、制御用パッドCm(1)、電源用パッドP1(1)および電源用パッドP2(1)である。

【0077】

第2組は、制御用パッドC1(2)、制御用パッドCq(2)、制御用パッドCq+1

10

20

30

40

50

(2)、制御用パッドC1(2)、制御用パッドC1+1(2)、制御用パッドCm(2)、電源用パッドP1(2)および電源用パッドP2(2)である。

【0078】

以下同様にして、第k組は、制御用パッドC1(k)、制御用パッドCq(k)、制御用パッドCq+1(k)、制御用パッドC1(k)、制御用パッドC1+1(k)、制御用パッドCm(k)、電源用パッドP1(k)および電源用パッドP2(k)である。

【0079】

また、画素回路10G1(1)'の制御線は、j本であり、第1制御線x1(1)~第j制御線xj(1)で図示されている。さらに、画素回路10G1(1)'の電源線は、第1電源線p1(1)および第2電源線p2(1)で図示されている。

10

【0080】

jが奇数である場合、実施例1と同様にして、制御用パッドCm(1)、制御用パッドCm(2)、・・・、制御用パッドCm(k)における「m」は、 $[j/2]+1$ で表される。一方、jが偶数である場合、制御用パッドCm(1)、制御用パッドCm(2)、・・・、制御用パッドCm(k)における「m」は、 $(j/2)$ で表される。

【0081】

また、実施例2においては、図1に示したゲートドライバ30L1に対応する位置には、図6に示したゲートドライバ50R1と同様の回路デザインのゲートドライバ(図示略)が設けられている。

【0082】

20

ここで、第1組に対応する第1制御線x1(1)、第2制御線x2(1)、・・・、第j制御線xj(1)、第1電源線p1(1)および第2電源線p2(1)において、第1電源線p1(1)および第2電源線p2(1)は、伝送する信号の電圧レベルが高く電圧降下を低減すべく、左端がゲートドライバ50R1の電源用パッドP1(1)および電源用パッドP2(1)に接続されているとともに、右端も、ゲートドライバ50R1と同一の回路デザインのゲートドライバ(図示略)の2つの電源用パッド(図示略)に接続されている。

【0083】

これに対して、第1制御線x1(1)、第2制御線x2(1)、・・・、第j制御線xj(1)は、左側のゲートドライバ50R1の第1組の制御用パッドと、右側のゲートドライバ(図示略)の制御用パッドとに分担して接続されている。

30

【0084】

このように、第1組においては、第1電源線p1(1)および第2電源線p2(1)は、電圧降下を低減させるべく、左側のゲートドライバ50R1および右側のゲートドライバ(図示略)の双方に担当される。以下、他の組についても同様である。

【0085】

図7は、図6に示したゲートドライバ50R1の構成を示す図である。同図において、図6の各部に対応する部分には同一の符号を付ける。ゲートドライバ50R1は、シフトレジスタ51と、シフトレジスタ52とを備えている。

【0086】

40

シフトレジスタ51は、複数のフリップフロップ回路および論理回路から構成されており、コントローラ(図示略)から供給される信号に基づいて、クロック信号CLKの立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、制御用パッドC1(1)、C1(2)、・・・(制御用パッドC2(1)、C2(2)・・・)に出力する。

【0087】

一方、シフトレジスタ52も、複数のフリップフロップ回路、論理回路およびセクタ回路から構成されており、コントローラ(図示略)から供給される信号に基づいて、クロック信号CLKの立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、電源用パッドP1(1)(電源用パッドP2(1))、電源用パッドP1

50

(2) (電源用パッド P2(2))、・・・に出力する。

【0088】

ここで、左側のゲートドライバ50R1に対応する右側のゲートドライバ(図示略)の各電源用パッド(図示略)からも、ゲートドライバ50R1と同一のタイミングで信号が出力される。これらの信号は、各有機EL素子11(図6参照)に供給され、制御信号(オン/オフ)とともに、有機EL素子11を発光させるための電源電圧として機能している。

【0089】

従って、実施例2においては、実施例1と同様にして、両側のゲートドライバ50R1およびゲートドライバ(図示略)から第1電源線p1(1)および第2電源線p2(1)に信号を供給しているため、従来の片側のゲートドライバの場合に比して、信号の伝送経路長が大幅に短くなり、電圧降下が低減する。

【0090】

以上説明したように、実施例2によれば、実施例1と同様の効果を奏する。

【産業上の利用可能性】

【0091】

以上のように、本発明にかかる表示パネル用ドライバ手段および画像表示装置は、輝度ムラの改善や省スペース化に対して有用である。

【図面の簡単な説明】

【0092】

【図1】本発明にかかる実施例1による画像表示装置の構成を示すブロック図である。

【図2】図1に示したゲートドライバ30R1および画素回路10G1(1)の構成を示す図である。

【図3】図2に示したゲートドライバ30R1および画素回路10G1(1)を一般化した構成を示す図である。

【図4】図1に示したゲートドライバ30R1の構成を示す図である。

【図5】図1に示したゲートドライバ30R1の動作を説明するタイミングチャートである。

【図6】本発明にかかる実施例2に適用されるゲートドライバ50R1、画素回路10G1(1)'等の構成を示す図である。

【図7】図6に示したゲートドライバ50R1の構成を示す図である。

【図8】従来の画像表示装置の構成を示す図である。

【符号の説明】

【0093】

10 表示パネル

10G1(1) ~ 10Gk(s) 画素回路

20 コントローラ

30R1、30R2、30L1、30L2 ゲートドライバ

x1(1) 第1制御線

x2(1) 第2制御線

x3(1) 第3制御線

p(1) 電源線

40 データドライバ

50R1 ゲートドライバ

p1(1) 第1電源線

p2(1) 第2電源線

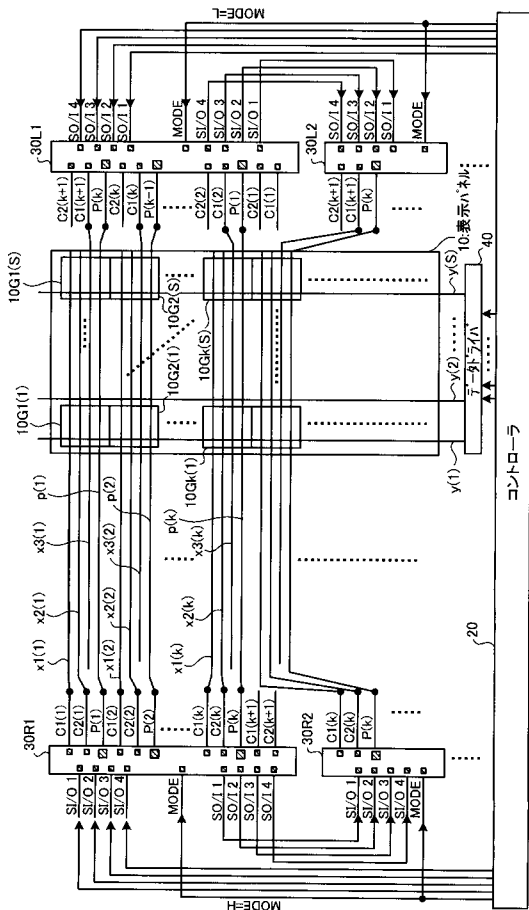
10

20

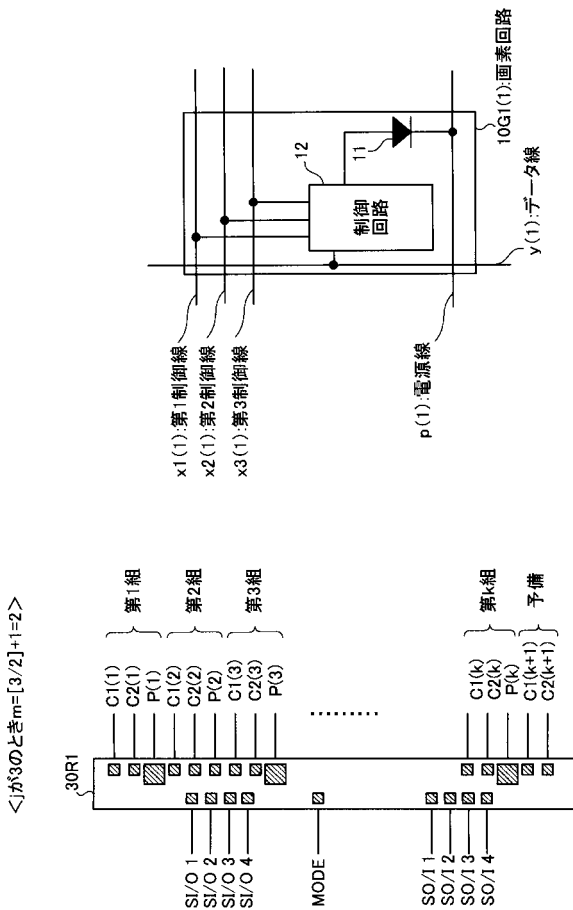
30

40

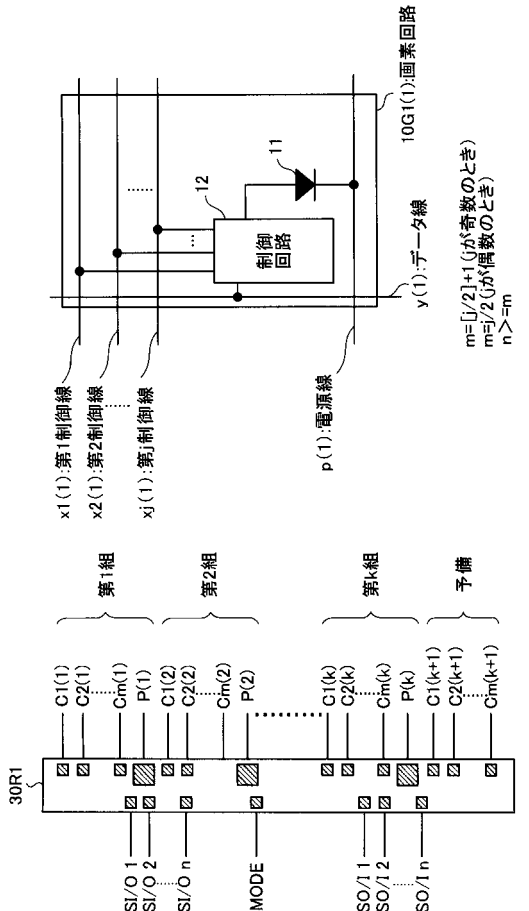
【 図 1 】



【 図 2 】

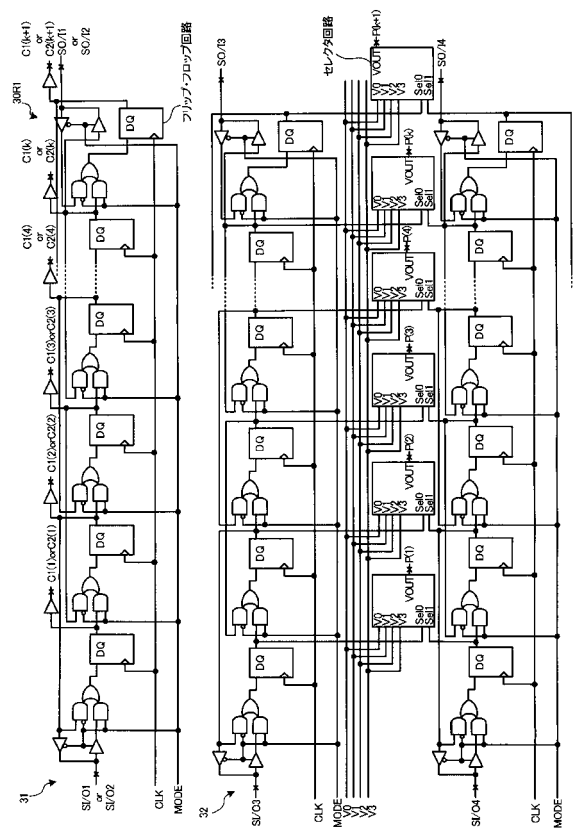


【 図 3 】



$m = \lfloor j/2 \rfloor + 1$ (jが奇数のとき)
 $m = j/2$ (jが偶数のとき)
 $n > m$

【 図 4 】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 8 0 G
 H 0 5 B 33/14 A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 小野 晋也

神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内

(72)発明者 三和 宏一

神奈川県横浜市港北区新横浜3-20-12

審査官 佐野 潤一

(56)参考文献 特開2003-216064(JP,A)
 特開2004-177796(JP,A)
 特開2001-056477(JP,A)
 特開2000-103111(JP,A)
 特開2003-347693(JP,A)
 特開2005-92185(JP,A)
 特開平4-322299(JP,A)
 特開昭62-227195(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0

专利名称(译)	显示面板驱动装置和图像显示装置		
公开(公告)号	JP4982663B2	公开(公告)日	2012-07-25
申请号	JP2004188835	申请日	2004-06-25
[标]申请(专利权)人(译)	京瓷株式会社 群创光电股份有限公司		
申请(专利权)人(译)	京瓷株式会社 奇美电子股▲ふん▼有限公司		
当前申请(专利权)人(译)	京瓷株式会社 奇美电子股▲ふん▼有限公司		
[标]发明人	小野晋也 小林芳直 三和宏一		
发明人	小野 晋也 小林 芳直 三和 宏一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/3275 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2320/0223 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.612.E G09G3/20.621.M G09G3/20.622.A G09G3/20.623.A G09G3/20.642.A G09G3/20.680.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107 /BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/CC42 3K107/CC43 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080 /JJ03 5C380/AA01 5C380/AB06 5C380/AB46 5C380/BA11 5C380/BA19 5C380/BB05 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA26 5C380/CB01 5C380/CC02 5C380/CC27 5C380 /CC29 5C380/CC33 5C380/CC62 5C380/CC64 5C380/CC66 5C380/CD012 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF33 5C380/DA02		
代理人(译)	酒井宏明		
审查员(译)	佐野纯一		
其他公开文献	JP2006011095A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止亮度不均匀并节省图像显示装置的空间。ŽSOLUTION：该设备包括；显示面板10，其中具有有机EL元件的像素电路10G1(1)至10Gk以矩阵形式排列；电源线p(1)和p(2)分别连接到像素电路10G1(1)到10Gk，并且其中发送用于供电和发光控制的信号；第一控制线x1(1)，第二控制线x2(1)和第三控制线x3(1)分别连接到像素电路10G1(1)到10Gk(s)，并且其中用于控制信号发光；一对栅极驱动器30R1和30L1设置在显示面板10的两侧，并且连接到电源线p(1)和p(2)，并且还连接到第一控制线x1(1)，分配第二控制线x2(1)和第三控制线x3(1)。Ž

