

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4640449号
(P4640449)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	624B
HO1L 51/50 (2006.01)	G09G 3/20	622A
	G09G 3/20	622D
	G09G 3/20	623A
請求項の数 13 (全 34 頁) 最終頁に続く		

(21) 出願番号	特願2008-144359 (P2008-144359)	(73) 特許権者	000002185
(22) 出願日	平成20年6月2日(2008.6.2)		ソニー株式会社
(65) 公開番号	特開2009-288749 (P2009-288749A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年12月10日(2009.12.10)	(74) 代理人	100118290
審査請求日	平成21年6月1日(2009.6.1)		弁理士 吉井 正明
		(74) 代理人	100094363
			弁理士 山本 孝久
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置及びその駆動方法と電子機器

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部と駆動部とを有し、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に行列状に配された画素と、該走査線と平行に配された給電線とを備え、

前記駆動部は、列状の信号線に階調に応じた信号電位と所定の基準電位を有する駆動信号を供給する信号セクタと、行状の走査線に順次制御信号を供給するライトスキャナと、各給電線に高電位と低電位で切り換わる電源を供給するドライブスキャナとを有し、

前記画素は、一方の電流端が信号線に接続し制御端が走査線に接続したサンプリング用トランジスタと、ドレイン側となる電流端が給電線に接続しゲートとなる制御端が該サンプリング用トランジスタの他方の電流端に接続した駆動用トランジスタと、該駆動用トランジスタのソース側となる電流端に接続した発光素子と、該駆動用トランジスタのソースとゲートとの間に接続した保持容量とを有し、

前記給電線が高電位であり且つ前記信号線が基準電位の時に、前記サンプリング用トランジスタが該制御信号に応じてオンすることで前記発光素子を点灯状態から消灯状態に切り換える消灯動作を行い、

前記給電線を高電位から低電位に切り換えると共に、該給電線が低電位にある間は前記サンプリング用トランジスタをオンせずに、該駆動用トランジスタのソース電圧を下げる準備動作を行い、

10

20

前記給電線を低電位から高電位に戻し且つ前記信号線が基準電位の時、前記サンプリング用トランジスタが制御信号に応じてオンして該駆動用トランジスタのソース電圧を上げ、駆動用トランジスタのゲートとソース間の電圧がその閾電圧に向うように該保持容量を放電する補正動作を行う表示装置。

【請求項 2】

前記ドライブスキャナは、行状の給電線を所定の本数づつまとめてグループ化し、グループ単位で順に位相をずらして高電位と低電位の切換を行い、且つグループ内では同じ位相で所定本数の給電線の電位を切り換える請求項 1 記載の表示装置。

【請求項 3】

前記発光素子を点灯状態から消灯状態に切り換える消灯動作を行った後、前記給電線が高電位であり且つ前記信号線が基準電位の時、再度前記サンプリング用トランジスタが該制御信号に応じてオンすることで少なくとも一回追加の消灯動作を行う請求項 1 又は 2 記載の表示装置。

10

【請求項 4】

前記ライトスキャナは、水平周期ごとに順次各走査線に制御信号を供給し、

前記サンプリング用トランジスタは、一水平周期以上離れた間隔で供給される制御信号に応じて、該消灯動作及び追加消灯動作を行う請求項 3 記載の表示装置。

【請求項 5】

前記消灯動作が終了した後で前記準備動作の前に、前記ドライブスキャナは該給電線を高電位から低電位と高電位の間の中間電位に切り換える請求項 1 記載の表示装置。

20

【請求項 6】

前記消灯動作が終了した後で前記準備動作の前に、前記ドライブスキャナは、前記グループ単位で順に位相をずらして高電位から中間電位への切換を行い、且つ前記グループ内では同じ位相で所定本数の給電線を中間電位に切り換える請求項 2 記載の表示装置。

【請求項 7】

前記給電線が中間電位であり且つ前記信号線が基準電位の時、前記サンプリング用トランジスタが制御信号に応じてオンする請求項 6 記載の表示装置。

【請求項 8】

前記信号セレクトは、該消灯動作の時第 1 の基準電位を信号線に印加し、該補正動作の時第 1 の基準電位と異なる第 2 の基準電位を信号線に印加する請求項 1 記載の表示装置。

30

【請求項 9】

前記信号セレクトが信号線に印加する第 1 の基準電位は第 2 の基準電位よりも大きく、尚且つ発光素子のカソード電位と発光素子の閾電圧と駆動用トランジスタの閾電圧との和よりも小さい請求項 8 記載の表示装置。

【請求項 10】

該補正動作の後、該信号線が信号電位で該給電線が高電位の時、前記サンプリング用トランジスタは制御信号に応じてオンし該信号電位を該保持容量に保持する書込動作を行う請求項 1 記載の表示装置。

【請求項 11】

前記信号セレクトは、階調に応じた第 1 の信号電位及び第 2 の信号電位を順次該信号線に印加し、

40

前記サンプリング用トランジスタは制御信号に応じてオンし第 1 の信号電位を該保持容量に保持する第 1 の書込動作を行い、続いて別の制御信号に応じてオンし第 2 の信号電位を該保持容量に保持する第 2 の書込動作を行う請求項 10 記載の表示装置。

【請求項 12】

所定の動作を行う本体部と、該本体部の動作に応じて出力された情報を表示する表示部とを有し、

前記表示部は、画素アレイ部と駆動部とを有し、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と

50

各信号線とが交差する部分に行列状に配された画素と、該走査線と平行に配された給電線とを備え、

前記駆動部は、列状の信号線に階調に応じた信号電位と所定の基準電位を有する駆動信号を供給する信号セクタと、行状の走査線に順次制御信号を供給するライトスキャナと、各給電線に高電位と低電位で切り換わる電源を供給するドライブスキャナとを有し、

前記画素は、一方の電流端が信号線に接続し制御端が走査線に接続したサンプリング用トランジスタと、ドレイン側となる電流端が給電線に接続しゲートとなる制御端が該サンプリング用トランジスタの他方の電流端に接続した駆動用トランジスタと、該駆動用トランジスタのソース側となる電流端に接続した発光素子と、該駆動用トランジスタのソースとゲートとの間に接続した保持容量とを有し、

10

前記給電線が高電位であり且つ前記信号線が基準電位の時に、前記サンプリング用トランジスタが該制御信号に応じてオンすることで前記発光素子を点灯状態から消灯状態に切り換える消灯動作を行い、

前記給電線を高電位から低電位に切り換えると共に、該給電線が低電位にある間は前記サンプリング用トランジスタをオンせずに、該駆動用トランジスタのソース電圧を下げる準備動作を行い、

前記給電線を低電位から高電位に戻し且つ前記信号線が基準電位の時、前記サンプリング用トランジスタが制御信号に応じてオンして該駆動用トランジスタのソース電圧を上げ、駆動用トランジスタのゲートとソース間の電圧がその閾電圧に向うように該保持容量を放電する補正動作を行う電子機器。

20

【請求項 13】

画素アレイ部と駆動部とを有し、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に行列状に配された画素と、該走査線と平行に配された給電線とを備え、前記駆動部は、列状の信号線に階調に応じた信号電位と所定の基準電位を有する駆動信号を供給する信号セクタと、行状の走査線に順次制御信号を供給するライトスキャナと、各給電線に高電位と低電位で切り換わる電源を供給するドライブスキャナとを有し、前記画素は、一方の電流端が信号線に接続し制御端が走査線に接続したサンプリング用トランジスタと、ドレイン側となる電流端が給電線に接続しゲートとなる制御端が該サンプリング用トランジスタの他方の電流端に接続した駆動用トランジスタと、該駆動用トランジスタのソース側となる電流端に接続した発光素子と、該駆動用トランジスタのソースとゲートとの間に接続した保持容量とを有する表示装置を駆動する為、

30

前記給電線が高電位であり且つ前記信号線が基準電位の時に、前記サンプリング用トランジスタが該制御信号に応じてオンすることで前記発光素子を点灯状態から消灯状態に切り換える消灯動作を行い、

前記給電線を高電位から低電位に切り換えると共に、該給電線が低電位にある間は前記サンプリング用トランジスタをオンせずに、該駆動用トランジスタのソース電圧を下げる準備動作を行い、

前記給電線を低電位から高電位に戻し且つ前記信号線が基準電位の時、前記サンプリング用トランジスタが制御信号に応じてオンして該駆動用トランジスタのソース電圧を上げ、駆動用トランジスタのゲートとソース間の電圧がその閾電圧に向うように該保持容量を放電する補正動作を行う表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。またこのような表示装置を備えた電子機器に関する。

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んに

50

なっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1ないし7に記載されている。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【特許文献6】特開2006-251322

【特許文献7】特開2007-310311

【0004】

図35は従来のアクティブマトリクス型表示装置の一例を示す模式的な回路図である。表示装置は画素アレイ部1と周辺の駆動部とで構成されている。駆動部は水平セクタ3とライトスキャナ4を備えている。画素アレイ部1は列状の信号線SLと行状の走査線WSを備えている。各信号線SLと走査線WSの交差する部分に画素2が配されている。図では理解を容易にするため、1個の画素2のみを表してある。ライトスキャナ4はシフトレジスタを備えており、外部から供給されるクロック信号ckに応じて動作し同じく外部から供給されるスタートパルスspを順次転送することで、走査線WSに順次制御信号を出力する。水平セクタ3はライトスキャナ4側の線順次走査に合わせて映像信号を信号線SLに供給する。

【0005】

画素2はサンプリング用トランジスタT1と駆動用トランジスタT2と保持容量C1と発光素子ELとで構成されている。駆動用トランジスタT2はPチャネル型であり、その一方の電流端であるソースは電源ラインに接続し、他方の電流端であるドレインは発光素子ELに接続している。駆動用トランジスタT2の制御端であるゲートはサンプリング用トランジスタT1を介して信号線SLに接続している。サンプリング用トランジスタT1はライトスキャナ4から供給される制御信号に応じて導通し、信号線SLから供給される映像信号をサンプリングして保持容量C1に書き込む。駆動用トランジスタT2は保持容量C1に書き込まれた映像信号をゲート電圧Vgsとしてそのゲートに受け、ドレイン電流Idsを発光素子ELに流す。これにより発光素子ELは映像信号に応じた輝度で発光する。ゲート電圧Vgsは、ソースを基準にしたゲートの電位を表している。

【0006】

駆動用トランジスタT2は飽和領域で動作し、ゲート電圧Vgsとドレイン電流Idsの関係は以下の式1で表される。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

ここで μ は駆動用トランジスタの移動度、Wは駆動用トランジスタのチャネル幅、Lは同じくチャネル長、 C_{ox} は同じく単位面積あたりのゲート絶縁膜容量、 V_{th} は同じく閾電圧である。この特性式から明らかなように駆動用トランジスタT2は飽和領域で動作するとき、ゲート電圧Vgsに応じてドレイン電流Idsを供給する定電流源として機能する。

【0007】

図36は、発光素子ELの電圧/電流特性を示すグラフである。横軸にアノード電圧Vを示し、縦軸に駆動電流Idsをとってある。なお発光素子ELのアノード電圧は駆動用

10

20

30

40

50

トランジスタT2のドレイン電圧となっている。発光素子ELは電流/電圧特性が経時変化し、特性カーブが時間の経過と共に寝ていく傾向にある。このため駆動電流 I_{ds} が一定であってもアノード電圧(ドレイン電圧) V が変化してくる。その点、図35に示した画素回路2は駆動用トランジスタT2が飽和領域で動作し、ドレイン電圧の変動に関わらずゲートで電圧 V_{gs} に応じた駆動電流 I_{ds} を流すことができるので、発光素子ELの特性経時変化に関わらず発光輝度を一定に保つことが可能である。

【0008】

図37は、従来の画素回路の他の例を示す回路図である。先に示した図35の画素回路と異なる点は、駆動用トランジスタT2がPチャンネル型からNチャンネル型に変わっていることである。回路の製造プロセス上は、画素を構成する全てのトランジスタをNチャンネル型にすることが有利である場合が多い。

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

図35や図37に示した従来の画素回路は、駆動用トランジスタT2を飽和領域で動作させて、発光素子ELに供給する駆動電流を制御している。しかしながら、駆動用トランジスタとして用いられる薄膜トランジスタは、その閾電圧 V_{th} にばらつきがある。上述のトランジスタ特性式から明らかなように、閾電圧 V_{th} にばらつきがあると、出力電流 I_{ds} がばらつくため、画面のユニフォーミティを損なう。このため従来から各画素内に駆動用トランジスタの閾電圧補正機能を組み込んだ構成が提案されている。図35や図37に示した画素回路は、基本的に2個のトランジスタと1個の容量と1個の発光素子とで構成されている。この様に比較的単純な回路構成で閾電圧補正機能を組み込む場合、走査線の線順次走査に合わせて信号線や電源の電位を走査する必要があり、複雑な動作シーケンスにならざるを得ない。

20

【0010】

特許文献7などに記載された従来の画素回路では、画素に映像信号を書き込む前に、複雑な動作シーケンスを実行して、駆動用トランジスタの閾電圧を補正している。しかしながら、補正動作のシーケンスが複雑であるため、誤動作が生じる可能性があり、必ずしも確実に閾電圧の補正を行うことができないことがあった。複雑な動作シーケンスにより閾電圧補正機能が不安定化すると、画面のユニフォーミティに悪影響が出るため、解決すべき課題となっている。

30

【課題を解決するための手段】

【0011】

上述した従来の技術の課題に鑑み、本発明は画素単位で確実にかつ安定的に閾電圧補正動作を行うことが可能な表示装置及びその駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、画素アレイ部と駆動部とを有する。前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線とが交差する部分に行列状に配された画素と、該走査線と平行に配された給電線とを備えている。前記駆動部は、列状の信号線に階調に応じた信号電位と所定の基準電位を有する駆動信号を供給する信号セレクタと、行状の走査線に順次制御信号を供給するライトスキャナと、各給電線に高電位と低電位で切り換わる電源を供給するドライブスキャナとを有する。前記画素は、一方の電流端が信号線に接続し制御端が走査線に接続したサンプリング用トランジスタと、ドレイン側となる電流端が給電線に接続しゲートとなる制御端が該サンプリング用トランジスタの他方の電流端に接続した駆動用トランジスタと、該駆動用トランジスタのソース側となる電流端に接続した発光素子と、該駆動用トランジスタのソースとゲートとの間に接続した保持容量とを有する。前記給電線が高電位でありかつ前記信号線が基準電位の時に、前記サンプリング用トランジスタが該制御信号に応じてオンすることで前記発光素子を点灯状態から消灯状態に切り換える消灯動作を行い、前記給電線を高電位から低電位に切り換えると共に、該給電線が低電位にある間は前記サンプリング用トランジスタをオンせずに、該駆動用トランジスタのソー

40

50

ス電圧を下げる準備動作を行い、前記給電線を低電位から高電位に戻し且つ前記信号線が基準電位の時、前記サンプリング用トランジスタが制御信号に応じてオンして該駆動用トランジスタのソース電圧を上げ、駆動用トランジスタのゲートとソース間の電圧がその閾電圧に向うように該保持容量を放電する補正動作を行う。好ましくは、前記ドライブスキャナは、行状の給電線を所定の本数づつまとめてグループ化し、グループ単位で順に位相をずらして高電位と低電位の切換を行い、且つグループ内では同じ位相で所定本数の給電線の電位を切り換える。

【0012】

一態様では、前記発光素子を点灯状態から消灯状態に切り換える消灯動作を行った後、前記給電線が高電位であり且つ前記信号線が基準電位の時に、再度前記サンプリング用トランジスタが該制御信号に応じてオンすることで少なくとも一回追加の消灯動作を行う。又前記ライトスキャナは、水平周期ごとに順次各走査線に制御信号を供給し、前記サンプリング用トランジスタは、一水平周期以上離れた間隔で供給される制御信号に応じて、該消灯動作及び追加消灯動作を行う。又前記ライトスキャナは、行状の走査線を所定の本数づつまとめてグループ化し、グループ単位で順に位相をずらして制御信号を供給し、且つグループ内では同じ位相で所定本数の走査線に制御信号を供給して、該追加消灯動作をグループ内で共通に行う。

10

【0013】

他の態様では、前記消灯動作が終了した後で前記準備動作の前に、前記ドライブスキャナは該給電線を高電位から低電位と高電位の間の中間電位に切り換える。又前記ドライブスキャナは、グループ単位で順に位相をずらして高電位から中間電位への切換を行い、且つグループ内では同じ位相で所定本数の給電線を中間電位に切り換える。又前記給電線が中間電位であり且つ前記信号線が基準電位の時に、前記サンプリング用トランジスタが制御信号に応じてオンする。又前記ドライブスキャナは、行状の給電線を所定の本数づつまとめてグループ化し、グループ単位で順に位相をずらして給電線を駆動し、且つグループ内では同じ位相で所定本数の給電線を駆動する。

20

【0014】

別の態様では、前記信号セレクトは、該消灯動作の時に第1の基準電位を信号線に印加し、該補正動作の時に第1の基準電位と異なる第2の基準電位を信号線に印加する。又前記信号セレクトが信号線に印加する第1の基準電位は第2の基準電位よりも大きく、尚且つ発光素子のカソード電位と発光素子の閾電圧と駆動用トランジスタの閾電圧との和よりも小さい。又該補正動作の後、該信号線が信号電位で該給電線が高電位の時、前記サンプリング用トランジスタは制御信号に応じてオンし該信号電位を該保持容量に保持する書込動作を行う。又前記信号セレクトは、階調に応じた第1の信号電位及び第2の信号電位を順次該信号線に印加し、前記サンプリング用トランジスタは制御信号に応じてオンし第1の信号電位を該保持容量に保持する第1の書込動作を行い、続いて別の制御信号に応じてオンし第2の信号電位を該保持容量に保持する第2の書込動作を行う。

30

【発明の効果】

【0015】

本発明によれば、まず始めに、給電線が高電位で且つ信号線が基準電位のと看に、発光素子を点灯状態から消灯状態に切換える消灯動作を行っている。続いて給電線を低電位に切換えると共に、給電線が低電位にある間サンプリング用トランジスタをオンさせることなく、駆動用トランジスタのソース電圧を下げて、ゲート・ソース間電圧を閾電圧より大きな電圧に設定するための準備動作を行っている。この後給電線を低電位から高電位に戻し且つ信号線が基準電位のと看に、サンプリング用トランジスタをオンして駆動用トランジスタのソース電圧を上げ、ゲート・ソース間電圧が閾電圧に向かうように保持容量を放電する補正動作を行っている。この様に、消灯動作、準備動作及び補正動作を順番に行うことにより、誤動作を防止して确实且つ安定的に駆動用トランジスタの閾電圧補正を行うことができる。特に準備動作ではサンプリング用トランジスタをオンすることなく、駆動用トランジスタのソース電圧を下げることで、誤動作を抑制すると共に補正動作の安定化

40

50

を図っている。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明の全体構成を示すブロック図である。図示するように、本表示装置は、画素アレイ部1とこれを駆動する駆動部(3, 4, 5)とからなる。画素アレイ部1は、行状の走査線WSと、列状の信号線SLと、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された電源ラインである給電線DSとを備えている。駆動部(3, 4, 5)は、各走査線WSに順次制御信号を供給して画素2を行単位で線順次走査する制御用スキャナ(ライトスキャナ)4と、この線順次走査に合わせて各給電線DSに高電位と低電位で切換

10

【0017】

図2は、図1に示した表示装置に含まれる画素2の具体的な構成を示す回路図である。図示するように本画素回路2は、有機ELデバイスなどで代表される2端子型(ダイオード型)の発光素子ELと、Nチャンネル型のサンプリング用トランジスタT1と、同じくNチャンネル型の駆動用トランジスタT2と、薄膜タイプの保持容量C1とで構成されている。サンプリング用トランジスタT1はその制御端であるゲートが走査線WSに接続し、その一对の電流端であるソース及びドレインの一方が信号線SLに接続し、他方が駆動用トランジスタT2のゲートGに接続している。駆動用トランジスタT2は、そのソース及びドレインの一方が発光素子ELに接続し、他方が給電線DSに接続している。本形態は駆動用トランジスタT2がNチャンネル型であり、その片方の電流端であるドレイン側が給電線DSに接続し、もう片方の電流端であるソースS側が発光素子ELのアノード側に接続している。発光素子ELのカソードは所定のカソード電位Vcatに固定されている。保持容量C1は駆動用トランジスタT2の電流端であるソースSと制御端であるゲートGとの間に接続している。かかる構成を有する画素2に対して、制御用スキャナ(ライトスキャナ)4は、走査線WSを低電位と高電位の間で切り換えることで順次制御信号を出力し、画素2を行単位で線順次走査する。電源スキャナ(ドライブスキャナ)5は、線順次走査に合わせて各給電線DSに高電位Vccと低電位Vssで切換

20

30

【0018】

かかる構成において、給電線DSが高電位Vccであり且つ信号線SLがVofsのときに、サンプリング用トランジスタT1が制御信号に応じてオンすることで発光素子ELを点灯状態から消灯状態に切換える消灯動作を行う。続いて給電線DSを高電位Vccから低電位Vssに切換えると共に、給電線DSが低電位Vssにある間はサンプリング用トランジスタT1をオンせずに、駆動用トランジスタT2のソース電圧を下げ、ゲートG・ソースS間電圧Vgsを駆動用トランジスタT2の閾電圧Vthを超える電圧にセットするための準備動作を行う。この後給電線DSを低電位Vssから高電位Vccに戻し且つ信号線SLが基準電位Vofsのとき、サンプリング用トランジスタT1が制御信号に応じてオンして駆動用トランジスタT2のソース電圧を上げ、ゲートG・ソースS間電圧Vgsがその閾電圧Vthに向かうように保持容量C1を放電する補正動作を行う。

40

【0019】

本発明によれば、まず始めに、給電線DSが高電位Vccで且つ信号線SLが基準電位Vofsのときに、発光素子ELを点灯状態から消灯状態に切換える消灯動作を行って

50

る。続いて給電線 D S を低電位 V_{ss} に切換えると共に、給電線 D S が低電位 V_{ss} にある間サンプリング用トランジスタ T 1 をオンさせることなく、駆動用トランジスタ T 2 のゲート・ソース間電圧 V_{gs} をその閾電圧 V_{th} より大きな電圧に設定するための準備動作を行っている。この後給電線 D S を低電位 V_{ss} から高電位 V_{cc} に戻し且つ信号線 S L が基準電位 V_{ofs} のときに、サンプリング用トランジスタ T 1 をオンして駆動用トランジスタ T 2 のゲート・ソース間電圧 V_{gs} がその閾電圧 V_{th} に向かうように保持容量 C 1 を放電する補正動作を行っている。この様に、消灯動作、準備動作及び補正動作を順番に行うことにより、誤動作を防止して確實且つ安定的に駆動用トランジスタ T 2 の閾電圧補正を行うことができる。特に準備動作ではサンプリング用トランジスタ T 1 をオンすることなく、駆動用トランジスタ T 2 のソース電圧を下げることで、画素 2 の誤動作を防ぐと共に補正動作の安定化を図っている。

10

【 0 0 2 0 】

図 3 は、図 2 に示した画素の動作説明に供するタイミングチャートである。このタイミングチャートは時間軸を共通にして、走査線 W S の電位変化、給電線（電源ライン）D S の電位変化、信号線 S L の電位変化を表してある。走査線 W S の電位変化は制御信号を表し、サンプリング用トランジスタ T 1 の開閉制御を行っている。給電線 D S の電位変化は、電源電圧 V_{cc} 、 V_{ss} の切換えを表している。また信号線 S L の電位変化は入力信号の信号電位 V_{sig} と基準電位 V_{ofs} の切換えを表している。またこれらの電位変化と並行に、駆動用トランジスタ T 2 のゲート G 及びソース S の電位変化も表している。前述したようにゲート G とソース S の電位差が V_{gs} である。

20

【 0 0 2 1 】

このタイミングチャートは画素の動作シーケンスに合わせて期間を (1) ~ (1 1) のように便宜的に区切ってある。点灯期間 (1) では、画素が発光状態にある。消灯期間 (2) になると、画素は発光状態から非発光状態に切換る。続いて準備期間 (3) ~ (5) では、画素は駆動用トランジスタの閾電圧補正のための準備動作を行う。この後補正期間 (6) で実際の閾電圧補正動作を行う。この補正期間 (6) は待機期間 (8) を間にして 3 回繰り返されて、閾電圧補正動作が完了する。その後書込期間 (9) で信号電位が保持容量 C 1 に書き込まれると共に、駆動用トランジスタ T 1 の移動度補正が行われる。最後に発光期間 (1 1) に進み、画素は非発光状態から発光状態に切換る。

30

【 0 0 2 2 】

本実施形態では、閾値補正期間 (6) は 3 回に分けており、時分割的に閾電圧補正動作を行っている。各閾電圧補正期間 (6) の間には待機期間 (8) が挿入されている。この様に閾電圧補正期間 (6) を分割して閾電圧補正動作を複数回繰り返すことにより、 V_{th} に相当する電圧を保持容量 C 1 に書き込むようにしている。但し本発明はこれに限られるものではなく、1 回の閾電圧補正期間 (6) で補正動作を行うことも可能である。

【 0 0 2 3 】

この後、書込期間 / 移動度補正期間 (9) に進む。ここで映像信号の信号電位 V_{sig} が V_{th} に足し込まれる形で保持容量 C 1 に書き込まれると共に、移動度補正用の電圧 V が保持容量 C 1 に保持された電圧から差し引かれる。この書込期間 / 移動度補正期間 (9) では、信号線 S L が信号電位 V_{sig} にある時間帯にサンプリング用トランジスタ T 1 を導通状態にする必要がある。この後発光期間 (1 1) に進み、信号電位 V_{sig} に応じた輝度で発光素子が発光する。その際信号電位 V_{sig} は閾電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、発光素子 E L の発光輝度は駆動用トランジスタ T 2 の閾電圧 V_{th} や移動度 μ のばらつきの影響を受けることはない。なお発光期間 (1 1) の最初でブートストラップ動作が行われ、駆動用トランジスタ T 2 のゲート G / ソース S 間電圧 V_{gs} を一定に維持したまま、駆動用トランジスタ T 2 のゲート電位及びソース電位が上昇する。

40

【 0 0 2 4 】

引き続き図 4 - 1 ~ 図 4 - 1 1 を参照して、図 2 に示した画素回路の動作を詳細に説明する。まず、発光素子 E L の発光期間 (1) は図 4 - 1 のように電源が V_{cc} であり、サ

50

ンプリング用トランジスタT1がオフした状態である。この時駆動用トランジスタT2は飽和領域で動作するように設定されているため、発光素子ELに流れる電流 I_{ds} は駆動用トランジスタT2のゲートソース間電圧 V_{gs} に応じて式1に示される値をとる。

【0025】

次に消灯期間(2)において、信号線電位が V_{ofs} の時にサンプリング用トランジスタT1をオンして駆動用トランジスタT2のゲートに V_{ofs} を入力する(図4-2)。これにより駆動用トランジスタT2のゲートソース間電圧は閾電圧以下となり、発光素子ELに電流が流れなくなるため発光素子ELは消灯する。その時発光素子ELにかかる電圧は発光素子ELの閾電圧となるため、発光素子ELのアノード電圧は発光素子ELの閾電圧とカソード電圧の和、つまり $V_{cat} + V_{thel}$ となる。

10

【0026】

さらに一定時間経過後、準備期間(3)で、電源電圧を V_{cc} から V_{ss} へと変化させる。この時、電源側が駆動用トランジスタT2のソースとなり、図4-3のように発光素子ELのアノードから電源へ電流が流れる。これにより発光素子ELのアノードの電圧は時間とともに低下してゆく。この時、サンプリング用トランジスタT1はオフしているため駆動用トランジスタT2のゲートも発光素子ELのアノード電圧とともに低下する。つまり時間とともに駆動用トランジスタT2のゲートソース間電圧(駆動用トランジスタT2のゲートと電源間電位)が小さくなってゆく。

【0027】

この時、駆動用トランジスタT2が飽和領域で動作するならば、つまり、 $V_{gs} - V_{thd} > V_{ds}$ であるならば、期間(4)で図4-4に示すように駆動用トランジスタT2のゲートは $V_{ss} + V_{thd}$ となる。ここで V_{thd} は駆動用トランジスタT2のゲート電源間の閾電圧である。

20

【0028】

期間(5)で電源電圧を再び V_{cc} とする(図4-5)。この時駆動用トランジスタT2のゲートに入力されるカップリング量を V 、発光素子ELのアノード電圧を V_x としている。電源を V_{cc} とすることで駆動用トランジスタT2のソースは発光素子ELのアノードとなり、駆動用トランジスタT2のゲートソース間電圧 V_{gs} によって電源から発光素子ELのアノードへ電流が流れるが、駆動用トランジスタT2のゲートソース間電圧が閾電圧よりも小さければ電流によるゲート、ソースはほとんど上昇しない。

30

【0029】

そして閾値補正期間(6)において信号電圧が V_{ofs} の時にサンプリング用トランジスタT1をオンする(図4-6)。これにより駆動用トランジスタT2のゲート電圧は V_{ofs} となり、ゲート電圧の変化量が保持容量 C_1 、ゲートソース間の寄生容量 C_{gs} 、発光素子ELの寄生容量 C_{el} による一定比でソースに入力される。この時の入力比を g とする。 g は以下の式2で示される値である。

【数1】

$$g = \frac{C_1 + C_{gs}}{C_1 + C_{gs} + C_{el}} \quad \text{式2}$$

40

【0030】

この状態で駆動用トランジスタT2のゲートソース間電圧 V_{gs} がその閾電圧 V_{th} よりも大きければ図4-6に示すように電源から電流が流れる。換言すればこの時の V_{gs} が駆動用トランジスタT2の閾電圧よりも大きくなるように V_{ofs} 、 V_{ss} の値を設定する必要がある。前述の通り発光素子ELの等価回路はダイオードと容量で表されるため

50

、 $V_{e1} = V_{cat} + V_{th e1}$ （発光素子ELのリーク電流が駆動用トランジスタT2に流れる電流よりもかなり小さい）である限り、駆動用トランジスタT2の電流はC1とC_{e1}を充電するために使われる。この時、 V_{e1} は時間と共に図4-7のように上昇してゆく。

【0031】

次の待機期間(8)では、信号電圧がV_{ofs}からV_{sig}に変わる前にサンプリング用トランジスタT1をオフする。この時、駆動用トランジスタT2のゲートソース間電圧はV_{th}よりも大きいため、図4-8のように電流が流れ、駆動用トランジスタT2のゲート、ソース電圧は上昇してゆく。この時、発光素子ELには逆バイアスがかかっているため発光素子ELが発光することはない。

10

【0032】

再び信号線の電位がV_{ofs}となった時にサンプリング用トランジスタT1をオンして再度閾値補正動作を開始する。この動作を繰り返すことで最終的に駆動用トランジスタT2のゲートソース間電圧はV_{th}という値をとる。この時、 $V_{e1} = V_{ofs} - V_{th} - V_{cat} + V_{th e1}$ となっている。

【0033】

閾値キャンセル動作終了後サンプリング用トランジスタT1をオフする。続いて書込期間(9)で信号線電位がV_{sig}となった時、サンプリング用トランジスタT1を再度オンする(図4-9)。V_{sig}は階調に応じた電圧である。駆動用トランジスタT2のゲート電位はサンプリング用トランジスタT1をオンしているためにV_{sig}となるが、電源から電流が流れるためソース電位は時間とともに上昇してゆく。この時駆動用トランジスタT2のソース電圧が発光素子ELの閾電圧V_{th e1}とカソード電圧V_{cat}の和を越えなければ(発光素子ELのリーク電流が駆動用トランジスタT2に流れる電流よりもかなり小さければ)駆動用トランジスタT2の電流はC1とC_{e1}を充電するのに使用される。この時駆動用トランジスタT2の閾値補正動作は完了しているため、駆動用トランジスタT2が流す電流は移動度 μ を反映したものとなる。具体的にいうと移動度が大きいものはこの時の電流量が大きく、ソースの上昇も早い。逆に移動度が小さいものは電流量が小さく、ソースの上昇は遅くなる(図4-10)。これによって駆動用トランジスタT2のゲートソース間電圧は移動度を反映して小さくなり一定時間経過後に完全に移動度を補正するV_{gs}となる。

20

30

【0034】

最後にサンプリング用トランジスタT1をオフして書き込みが終了し発光期間(11)になると、発光素子ELを発光させる。駆動用トランジスタT2のゲートソース間電圧は一定であるので駆動用トランジスタT2は一定電流I_{ds'}を発光素子ELに流し、 V_{e1} は発光素子ELにI_{ds'}という電流が流れる電圧まで上昇し、発光素子ELは発光する(図4-11)

【0035】

本回路においても発光素子ELは発光時間が長くなるとそのI-V特性は変化してしまう。そのため図中B点の電位も変化する。しかしながら、駆動用トランジスタT2のゲートソース間電圧は一定値に保たれているので発光素子ELに流れる電流は変化しない。よって発光素子ELのI-V特性が劣化しても、一定電流I_{ds}が常に流れ続け、発光素子ELの輝度が変化することはない。

40

【0036】

図5は、図2に示した画素の動作説明に供するタイミングチャートである。但しこのタイミングチャートは本発明に従った画素の動作シーケンスを表すものではなく、参考例である。理解を容易にするため、図3に示した本発明のタイミングチャートと同様の表記を採用している。このタイミングチャートは画素の動作の遷移に合わせて期間を(1)~(7)のように便宜的に区切ってある。これらの期間は、発光期間(1)、消灯期間(2)、準備期間(3)~(4)、補正期間(5)、待機期間(5a)、書込期間(6)及び発光期間(7)を含んでいる。

50

【 0 0 3 7 】

引き続き図 6 ~ 図 1 2 を参照して、図 5 に示した参考例の動作を簡潔に説明する。まず図 6 に示したように発光期間 (1) では、電源電位が V_{cc} にセットされ、サンプリング用トランジスタ $T 1$ はオフしている。このとき駆動用トランジスタ $T 2$ は飽和領域で動作するようにセットされているため、発光素子 $E L$ に流れる駆動電流 I_{ds} は駆動用トランジスタ $T 2$ のゲート G / ソース S 間に印加される電圧 V_{gs} に応じて、前述したトランジスタ特性式で示される値を取る。

【 0 0 3 8 】

続いて図 7 に示すように準備期間 (2) , (3) に入ると給電線 (電源ライン) の電位を V_{ss} にする。このとき V_{ss} は発光素子 $E L$ の閾電圧 V_{thel} とカソード電圧 V_{cat} の和よりも小さくなるように設定している。即ち $V_{ss} < V_{thel} + V_{cat}$ であるので、発光素子 $E L$ は消灯し、電源ライン側が駆動用トランジスタ $T 2$ のソースとなる。このとき発光素子 $E L$ のアノードは V_{ss} に充電される。

10

【 0 0 3 9 】

さらに図 8 に示すように次の準備期間 (4) に入ると、信号線 $S L$ の電位が V_{ofs} になる一方サンプリング用トランジスタ $T 1$ がオンして、駆動用トランジスタ $T 2$ のゲート電位を V_{ofs} とする。この様にして発光時における駆動用トランジスタ $T 2$ のソース S 及びゲート G が初期化され、このときのゲートソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ の値となる。 $V_{gs} = V_{ofs} - V_{ss}$ は駆動用トランジスタ $T 2$ の閾電圧 V_{th} よりも大きな値となるように設定されている。この様に $V_{gs} > V_{th}$ になるように駆動用トランジスタ $T 2$ を初期化することで、次に来る閾電圧補正動作の準備が完了する。

20

【 0 0 4 0 】

続いて図 9 に示すように閾電圧補正期間 (5) に進むと、給電線 $D S$ (電源ライン) の電位が V_{cc} に戻る。電源電圧を V_{cc} とすることで発光素子 $E L$ のアノードが駆動用トランジスタ $T 2$ のソース S となり、図示のように電流が流れる。このとき発光素子 $E L$ の等価回路は図示のようにダイオード $T e 1$ と容量 $C e 1$ の並列接続で表される。アノード電位 (即ちソース電位 V_{ss}) が $V_{cat} + V_{thel}$ よりも低いので、ダイオード $T e 1$ はオフ状態にあり、そこに流れるリーク電流は駆動用トランジスタ $T 2$ に流れる電流よりもかなり小さい。よって駆動用トランジスタ $T 2$ に流れる電流はほとんどが保持容量 $C 1$ と等価容量 $C e 1$ を充電するために使われる。

30

【 0 0 4 1 】

駆動用トランジスタ $T 2$ のソース電圧は時間と共に上昇していく。しかしながら本例では駆動用トランジスタ $T 2$ のソース電圧が $V_{ofs} - V_{th}$ に達する前に、1 回目の閾電圧補正期間 (5) が終わるため、サンプリング用トランジスタ $T 1$ がオフし、待機期間 (5 a) に入る。図 1 0 はこの待機期間 (5 a) における画素回路の状態を表している。この 1 回目の待機期間 (5 a) では駆動用トランジスタ $T 2$ のゲート G / ソース S 間電圧 V_{gs} は依然として V_{th} よりも大きいため、図示のように電源 V_{cc} から駆動用トランジスタ $T 2$ を通って保持容量 $C 1$ に電流が流れる。これにより駆動用トランジスタ $T 2$ のソース電圧が上昇するが、サンプリング用トランジスタ $T 1$ がオフでゲート G がハイインピーダンスにあるため、ゲート G の電位もソース S の電位上昇に合わせて上昇していく。即ちこの 1 回目の待機期間 (5 a) ではブートストラップ動作で駆動用トランジスタ $T 2$ のソース電位及びゲート電位が共に上昇していく。このとき発光素子 $E L$ には引き続き逆バイアスがかかっているため、発光素子 $E L$ が発光することはない。

40

【 0 0 4 2 】

この後 1 H 経過して再び信号線 $S L$ の電位が V_{ofs} となったときサンプリング用トランジスタ $T 1$ をオンして 2 回目の閾電圧補正動作を開始する。この後 2 回目の閾電圧補正期間 (5) が経過したら 2 回目の待機期間 (5 a) に移る。この様に閾電圧補正期間 (5) と待機期間 (5 a) を繰り返すことで、最終的に駆動用トランジスタ $T 2$ のゲート G / ソース S 間電圧は V_{th} に相当する電圧に達する。このとき駆動用トランジスタ $T 2$ のソース電位は $V_{ofs} - V_{th}$ で、 $V_{cat} + V_{thel}$ よりも小さくなっている。

50

【 0 0 4 3 】

次に図 1 1 に示すように信号書込期間 / 移動度補正期間 (6) に入ると、信号線 S L の電位を V_{ofs} から V_{sig} に切り換えた後、サンプリング用トランジスタ T 1 をオンする。このとき信号電位 V_{sig} は階調に応じた電圧となっている。駆動用トランジスタ T 2 のゲート電位はサンプリング用トランジスタ T 1 をオンしているため V_{sig} となる。一方ソース電位は電源 V_{cc} から電流が流れるため時間と共に上昇していく。この時点でも駆動用トランジスタ T 2 のソース電位が発光素子 E L の閾電圧 V_{thel} とカソード電圧 V_{cat} の和を超えていなければ、駆動用トランジスタ T 2 から流れる電流はもっぱら等価容量 C_{el} と保持容量 C_1 の充電に使われる。このとき既に駆動用トランジスタ T 2 の閾電圧補正動作は完了しているため、駆動用トランジスタ T 2 が流す電流は移動度 μ を反映したものとなる。具体的に言うと移動度 μ が大きい駆動用トランジスタ T 2 はこのときの電流量が大きく、ソースの電位上昇分 ΔV も大きい。逆に移動度 μ が小さい場合駆動用トランジスタ T 2 の電流量が小さく、ソースの上昇分 ΔV は小さくなる。かかる動作により駆動用トランジスタ T 2 のゲート電圧 V_{gs} は移動度 μ を反映して ΔV だけ圧縮され、移動度補正期間 (6) が完了した時点で完全に移動度 μ を補正した V_{gs} が得られる。

10

【 0 0 4 4 】

図 1 2 は発光期間 (7) の動作状態を表している。この発光期間 (7) ではサンプリング用トランジスタ T 1 をオフして発光素子 E L を発光させる。駆動用トランジスタ T 2 のゲート電圧 V_{gs} は一定に保たれており、駆動用トランジスタ T 2 は前述した特性式に従って一定の電流 I_{ds} を発光素子 E L に流す。発光素子 E L のアノード電圧 (即ち駆動用トランジスタ T 2 のソース電圧) は発光素子 E L に I_{ds} という電流が流れるため、 V_x まで上昇しこれが $V_{cat} + V_{thel}$ を超えた時点で発光素子 E L が発光する。発光素子 E L は発光時間が長くなるとその電流 / 電圧特性は変化してしまう。そのため図 1 1 に示したソース S の電位が変化する。しかしながら駆動用トランジスタ T 2 のゲート電圧 V_{gs} はブートストラップ動作により一定値に保たれているので、発光素子 E L に流れる電流 I_{ds} は変化しない。よって発光素子 E L の電流 / 電圧特性が劣化しても、一定の駆動電流 I_{ds} が常に流れていて、発光素子 E L の輝度が変化することはない。

20

【 0 0 4 5 】

ここで図 1 3 を参照して、上述した参考例で行われる 1 回目の閾電圧補正動作の問題点を説明する。1 回目における閾値補正動作期間は電源ラインのオン (V_{ss} から V_{cc} となることをオンとよぶ) とサンプリング用トランジスタ T 1 のオフで規定される。閾値補正期間は一水平期間 (1 H) よりも短いためにパネルの大型化、高精細化が進むとそれに応じて配線のトランジェントも大きくなり、パネルの制御ライン入力側と入力側から遠い部分 (図では入力逆側と表記) で閾値補正時間に差が生じてしまう。

30

【 0 0 4 6 】

一般的に閾値補正時間が短くなると各々の閾値補正動作終了時に駆動用トランジスタ T 2 の V_{gs} が大きくなってしまいうため、待機期間での電流量が大きくなってしまいう。その結果、次の閾値補正動作開始時 (V_{ofs} 入力時) に駆動用トランジスタ T 2 の V_{gs} が V_{th} よりも小さくなってしまいう、正常に閾値補正動作を行うことができず、画面にはムラやシェーディングといった不良が発生する。

40

【 0 0 4 7 】

この対策としてそれぞれの閾値補正終了前に信号線の電位を V_{ofs} から V_{ofs} よりも低い電位である V_{ini} として駆動用トランジスタ T 2 の V_{gs} をあらかじめ V_{th} 以下とする方法がある。このようにすることで分割閾値補正間において電流が流れないようにすることができる。

【 0 0 4 8 】

しかしながらこの方法では信号線電位のピークは白信号と V_{ini} で決定されることとなり、信号セレクトアが高耐圧となってしまいう。その結果コストが上がってしまいう低コスト化という点では難しくなる。

【 0 0 4 9 】

50

前述した図 3 に示した本発明の駆動方式は、上述した参考例の問題点に対処したものである。本回路では全ての分割閾値補正動作がサンプリング用トランジスタ T 1 のオン/オフで決定されるため、参考例のように電源ラインやサンプリング用トランジスタ T 1 ラインのトランジェントの影響を受けて 1 回目の閾値補正動作の時間が短くなったりすることがなく、正常に閾値補正動作を行うことができる。その結果ムラやシェーディングのない画質を得ることが可能となる。

【 0 0 5 0 】

さらに本発明では信号線のピークは白の信号電圧と V_{ofs} で決定されるため、信号セクタを高耐圧とする必要がなく、低コスト化が可能となる。

【 0 0 5 1 】

また、本発明では電源電圧が V_{cc} 、信号線が V_{ofs} の時にサンプリング用トランジスタ T 1 をオンすることで発光素子 E L の消灯を行っているため、電源ラインが V_{ss} となる時間は発光期間によらず、発光素子 E L に逆バイアスを掛ける時間が短くなる。これにより滅点等の点欠陥の発生を軽減することができる。

【 0 0 5 2 】

図 1 4 は、本発明にかかる表示装置の第 2 実施形態を示す全体的なブロック図である。理解を容易にするため、図 1 に示した本発明の第 1 実施形態と対応する部分には対応する参照番号を付してある。第 1 実施形態と異なる点はドライブスキマナの構成にある。本第 2 実施形態では、ドライブスキマナ 5 は、行状の給電線 D S を所定の本数ずつまとめてグループ化し、グループ単位で順に位相をずらして高電位 V_{cc} と低電位 V_{ss} の切換を行い、且つグループ内では同じ位相で所定本数の給電線 D S の電位を切換えている。図示の例では、ドライブスキマナ 5 は、行状の給電線 D S を 2 本ずつまとめてグループ化し、グループ単位で順に位相をずらして高電位と低電位の切換を行い、且つグループ内では同じ位相で 2 本の給電線 D S の電位を切換えている。但し本発明はグループ化する本数が 2 本に限られるものではなく、一般的に複数行（複数段）で給電線（電源ライン）D S の駆動タイミングを共通化している。

【 0 0 5 3 】

ドライブスキマナ 5 は基本的にシフトレジスタとその各段ごとに接続した出力バッファとで構成されている。シフトレジスタは外部から供給されたクロック信号 D S c k に応じて動作し、同じく外部から供給されるスタート信号 D S s p を順次転送することで、各段ごとに電源切換えの元になる制御信号を出力している。出力バッファは、この制御信号に応じて電源ラインを高電位と低電位で切換え、給電線 D S に供給している。本発明では、複数の電源ラインの制御タイミングを共通化することで、出力バッファを複数の電源ライン間で共用している。これにより、出力バッファの数を削減することができる。出力バッファは給電線 D S に電源供給するため、大きな電流駆動能力が必要であり、そのデバイスサイズが大きい。このデバイスサイズの大きい出力バッファの個数を削減することで、周辺駆動部の回路サイズの縮小化、コストダウン、高歩留り化を図ることができる。例えば図 1 4 の例のように、1 個の出力バッファを 2 個の給電線 D S で共用すれば、全体として出力バッファの個数を第 1 実施形態に比べ半減できる。また 1 0 本の給電線 D S の制御タイミングを共通化すれば、出力バッファの個数を第 1 実施形態の 1 0 分の 1 にすることが可能である。

【 0 0 5 4 】

図 1 5 は、図 1 4 に示した第 2 実施形態の動作説明に供するタイミングチャートである。なお本タイミングチャートは、3 段分の電源ラインを共通のタイミングで制御している。

【 0 0 5 5 】

図 1 5 のタイミングチャートは、信号線に供給される駆動信号（入力信号）、3 本ずつグループ化された給電線（電源ライン）の電位変化、及び各行（各段）の走査線に印加される制御信号（制御パルス）を表している。まず入力信号は、1 水平期間（1 H）内で、信号電位 V_{sig} と基準電位 V_{ofs} が交互に切換っている。電源ラインは、1 ~ 3 段目

10

20

30

40

50

の電位変化が共通化されており、1～3段同時に、高電位から低電位に切り換え、その後高電位に復帰している。一方1段目の走査線は、入力信号がVofsで電源ラインが高電位Vccのとき、1発目の制御パルスが出力され、対応する行の画素は点灯状態から消灯状態に切り換る。その後2～4発目の制御パルスが連続で発生し、閾電圧補正動作が3回繰り返される。最後に5発目の制御パルスが発生し、信号電位Vsigの書き込み及び移動度補正が行われる。

【0056】

2段目の走査線に対しては、1段目と位相が1Hだけシフトして、1番目～5番目の制御パルスが順次出力され、1段目と同様に消灯動作、閾電圧補正動作及び信号電位書き込み動作が行われる。3段目も同様に、2段目から1H位相がシフトして5個の制御パルスが順次出力され、消灯動作、時分割補正動作及び信号書き込み動作が行われる。

10

【0057】

動作シーケンスが4段目～6段目に進むと、ドライブスキマは4段目～6段目で共通化した電源ラインを、一旦高電位Vccから低電位Vssに切り換え、その後Vccに戻す。この様にドライブスキマは、1～3段目とは位相をずらして4～6段目の電源ラインの電位切り換えを行っている。これに対応して4段目～6段目の各走査線に順次5連の制御パルスが印加され、1～3段目と同様の動作が繰り返される。

【0058】

以上の説明から明らかな通り、本実施形態では3段分の電源ラインを共通のタイミングで電位制御している。この様にすることでドライブスキマの出力数を減らすことができ（本実施例では1/3とできる）、低コスト化が可能である。

20

【0059】

なお本実施形態では、電源ラインをVssからVccに戻した後、1回目の閾電圧補正動作を開始するまでの時間が、1段目、2段目及び3段目では異なる構成になっている。前述したように、電源ラインをVccからVssに戻したとき、駆動用トランジスタに流れる電流が小さければ（駆動用トランジスタのVgsが小さければ）、ゲート電圧及びソース電圧がほとんど上昇せず、いずれの段でも正常に閾電圧補正動作を行うことができる。

【0060】

次に本発明にかかる表示装置の第3実施形態を説明する。この第3実施形態は、前述した第1実施形態や第2実施形態の改良を目的としている。理解を容易にするため、第3実施形態の説明に入る前に、まず第1実施形態または第2実施形態の改良すべき部分を説明する。図16は、第1実施形態の理想的な動作状態を示すタイミングチャートである。このタイミングチャートを参照して、画素回路における消灯動作について考える。本画素回路では発光素子ELの消灯動作は電源がVccであり、信号線電圧がVofsの時にサンプリング用トランジスタT1をオンすることで行っている。サンプリング用トランジスタT1をオンすることで駆動用トランジスタT2のゲートは発光電位からVofsへと変化する。この電圧の変化が容量C1、Cgsを通じてCelに入力される。この時発光素子ELのアノード電圧がカソード電圧と発光素子ELの閾電圧以上、つまりVcat+Vthel以上であれば発光素子ELのアノード電圧は自己放電によって低下して行く。

30

40

【0061】

図17は、第1実施形態の実際の動作状態を示すタイミングチャートである。一定時間経過後に信号線はVofsからVsigへと変化するためにサンプリング用トランジスタT1はオフしなければならない。一般に発光素子ELの寄生容量Celは大きいため、自己放電の時間は長くなる。この時、サンプリング用トランジスタT1がオフしても発光素子ELのアノード電圧がカソード電圧と発光素子ELの閾電圧以上であればアノード電圧は低下し続け、一定時間経過後にVcat+Vthelとなる。サンプリング用トランジスタT1をオフすることで駆動用トランジスタT2のゲートはフローティングとなるため駆動用トランジスタT2のゲートもアノード電圧とともに低下する。

【0062】

50

ここでさらに閾値補正準備期間について考える。本回路では閾値補正準備期間はサンプリング用トランジスタT1をオフした状態で電源電圧をVccからVssとすることで発光素子ELのアノードから電源へ電流を流すことで行う。この時前述のように駆動用トランジスタT2のゲート電圧、発光素子ELのアノード電圧は低下してゆく。そして一定時間経過後のアノード電圧をVaとすると、Vaは電源電圧をVccからVssへ変化させる直前の駆動用トランジスタT2のゲート電圧によって決定される。つまり電源電圧が変化する直前の駆動用トランジスタT2のゲート電圧が大きければVaは小さく(絶対値は大きく)なる。

【0063】

ここでサンプリング用トランジスタT1のオフ時も発光素子ELのアノード電圧がカソード電圧と発光素子ELの閾電圧以上であれば前述のように駆動用トランジスタT2のゲートもアノード電圧とともに低下する。つまりVaが大きくなってしまい閾値補正動作時に駆動用トランジスタT2のゲートソース間電圧Vgsが閾電圧以上とならず正常に閾値補正動作が行われぬ恐れがある。この対策としてVssを下げてVaを小さく(絶対値を大きく)するという方法があるが、電源電圧の振幅が大きくなってしまい高耐圧ドライバが必要となるため、低コスト化という点では難しくなる。

【0064】

図18は、図17を参照して説明した第1実施形態の欠点に対処した第3実施形態を示すタイミングチャートである。図示するように、本実施形態は消灯動作を複数回繰り返すことを特徴とする。即ち、発光素子ELを点灯状態から消灯状態に切り替える消灯動作を行った後、給電線DS(電源ライン)が高電位Vccであり且つ信号線SLが基準電位Vofsのときに、再度サンプリング用トランジスタT1が2発目の制御パルスに応じてオンすることで、少なくとも1回追加の消灯動作を行う。図18の例では、3連発で制御パルスがサンプリング用トランジスタT1のゲートに印加されている。これにより、本例では3回にわたって消灯動作が行われる。最初の消灯動作が本来の消灯動作であり、これにより発光素子は基本的に点灯状態から消灯状態に切り替える。2回目及び3回目の消灯動作は追加的に行われるもので、後続の閾電圧補正動作の安定化のために行われる。

【0065】

本例では、ライトスキャナ4は、水平周期(1H)ごとに順次各走査線WSに制御信号を供給する。サンプリング用トランジスタT1は、1水平周期(1H)以上離れた間隔で供給される制御信号パルスに応じて、上述した本来の消灯動作及び追加の消灯動作を行う。本例では丁度1Hだけ離れて本来の消灯動作と追加の消灯動作を行っているが、本発明はこれに限られるものではなく数H離れて消灯動作を行ってもよい。

【0066】

また本実施形態も、第2実施形態と同様に給電線(電源ライン)を3本ずつまとめてグループ化し、グループ単位で順に位相をずらして高電位Vccと低電位Vssの切り替えを行い、且つグループ内では同じ位相で3本の給電線の電位を切り替えている。

【0067】

図19は、図18に示した第3実施形態の動作シーケンスにおいて、特に1ライン分(1行分)の画素の動作を表している。理解を容易にするため、入力信号や電源ラインの電位変化に合わせて、駆動用トランジスタT2のゲート電位及びソース電位の変化も表している。なお駆動用トランジスタT2のソース電位は、同時に発光素子ELのアノード電位でもある。

【0068】

最初の消灯動作においてサンプリング用トランジスタT1をオフとしても発光素子ELのアノード電圧がカソード電圧と発光素子ELの閾電圧以上であれば、アノード電圧、駆動用トランジスタT2のゲート電圧は低下し続ける。この状態で信号線が再びVofsとなった時にサンプリング用トランジスタT1をオンする。この動作によって駆動用トランジスタT2のゲートは再びVofsとなる。またこの時の駆動用トランジスタT2のゲートの電位変化量の一定比が発光素子ELのアノードに入力される。

10

20

30

40

50

【 0 0 6 9 】

ここでサンプリング用トランジスタ T_1 がオンしている間は 1 回目の消灯動作と同じく駆動用トランジスタ T_2 のゲートは V_{ofs} となり、発光素子 EL のアノードはその自己放電によって徐々に低下してゆく。一定時間経過後、再びサンプリング用トランジスタ T_1 をオフする際にはアノード電圧は消灯 1 回目にサンプリング用トランジスタ T_1 をオフする時の電圧よりもより低くなり、カソード電圧と発光素子 EL の閾電圧の和に近づいている。この動作を複数回繰り返すことで発光素子 EL のアノード電圧は徐々に低下してゆき、最終的にはカソード電圧と発光素子 EL の閾電圧の和 $V_{cat} + V_{thel}$ となる。

【 0 0 7 0 】

これにより、閾値補正準備期間において電源電圧を V_{cc} から V_{ss} へと変化させる時の駆動用トランジスタ T_2 のゲート電位を V_{ofs} とすることができ、閾値補正準備期間における発光素子 EL のアノード電圧 V_a を小さく（絶対値は大きく）することが可能となる。

10

【 0 0 7 1 】

閾値補正準備期間において V_a を小さくすることができるため正常に閾値補正動作を行うことができ、ムラやスジのない均一な画質を得ることができる。また、正常に閾値補正動作を行うために V_{ss} を下げる必要がないために高耐圧ドライバが必要なく、電源ラインも数ラインで共通化できるため低コスト化も実現可能である。

【 0 0 7 2 】

図 20 は、本発明にかかる表示装置の第 4 実施形態を示すタイミングチャートである。理解を容易にするため、図 18 に示した第 3 実施形態と対応する部分には対応する表記を採用している。図示するようにライトスキャナ 4 は、行状の走査線 WS を所定の本数ずつまとめてグループ化し、グループ単位で順に位相をずらして制御信号を供給し、且つグループ内では同じ位相で所定本数の走査線 WS に制御信号を供給して、追加消灯動作をグループ内で共通に行っている。

20

【 0 0 7 3 】

図示の例では 1 段目 ~ 3 段目の走査線 WS を共通化し、その中で 2 回目及び 3 回目に行われる追加消灯動作を、同じタイミングで行うようにしている。

【 0 0 7 4 】

次に本発明にかかる表示装置の第 5 実施形態を説明する。この第 5 実施形態も、先に説明した第 1 実施形態を改良するものである。第 5 実施形態の説明に入る前に、理解を容易にするため、図 21 - 1 を参照して、第 1 実施形態の改良すべき点につき、簡潔に説明する。なお図 21 - 1 は、説明を簡略化するため、閾電圧の補正動作は 1 回のみとしている。図 21 - 1 を参照して閾電圧補正のための準備期間について考察を加える。本回路では閾値補正準備期間はサンプリング用トランジスタ T_1 をオフした状態で電源電圧を V_{cc} から V_{ss} とすることで発光素子 EL のアノードから電源へ電流を流す。ここで前述のように閾値補正準備期間において駆動用トランジスタ T_2 のゲート電源間には寄生容量 C_p が存在する。電源側が駆動用トランジスタ T_2 のソースとなり、飽和領域動作を行う時はソース側にチャンネルができるためにこの寄生容量は大きくなり、逆に駆動用トランジスタ T_2 が電源側をドレインとした飽和領域のときはチャンネルがないため C_p は小さくなる。

30

40

【 0 0 7 5 】

電源電圧を V_{cc} から V_{ss} へと遷移させる際に電源ラインの電圧によって駆動用トランジスタ T_2 の動作領域はアノードをソースとしたオフ領域から電源をソースとしたオフ領域を経て電源をソースとした飽和領域へと遷移する。この時 C_p を介して駆動用トランジスタ T_2 のゲートには負側のカップリングが入力される。このカップリングが大きいと閾値補正準備動作時における発光素子 EL のアノード電圧 V_a は大きくなって（絶対値は小さくなって）しまう。なぜならば、 V_a は電源電圧を V_{cc} から V_{ss} へ変化させる直前の駆動用トランジスタ T_2 のゲート電圧によって決定されるため、駆動用トランジスタ T_2 のゲートへのカップリングが大きいと擬似的に V_{cc} から V_{ss} へ変化させる直前のゲート電圧が小さくなるからである。

50

【 0 0 7 6 】

駆動用トランジスタ T 2 駆動用トランジスタこの V a が大きくなってしまい閾値補正動作時に駆動用トランジスタ T 2 のゲートソース間電圧 V g s が閾電圧以上とならず正常に閾値補正動作が行われぬ恐れがある。この対策として V s s を下げて V a を小さく（絶対値を大きく）するという方法があるが、電源電圧の振幅が大きくなってしまい高耐圧ドライバが必要となるため、低コスト化という点では難しくなる。

【 0 0 7 7 】

図 2 1 - 2 は、第 5 実施形態を示すタイミングチャートである。この第 5 実施形態は、上述した第 1 実施形態の欠点に対処したものである。図示するように本実施形態では、消灯動作が終了した後で、且つ閾電圧補正のための準備動作の前に、ドライブスキャナ 5 は給電線 D S（電源ライン）を高電位 V c c から低電位 V s s と高電位 V c c の間の中間電位 V i n i に切替える。ドライブスキャナ 5 は、グループ単位で順に位相をずらして高電位 V c c から中間電位 V i n i への切替を行い、且つグループ内では同じ位相で所定本数の給電線 D S（電源ライン）を中間電位 V i n i に切替える。本実施形態では、給電線 D S（電源ライン）が中間電位 V i n i であり且つ信号線 S L が基準電位 V o f s のときに、サンプリング用トランジスタ T 1 が制御信号に応じてオンする。

【 0 0 7 8 】

図 2 2 を参照して、第 5 実施形態の動作を詳細に説明する。図 2 2 は、第 5 実施形態において 1 ライン分の画素に着目した動作を表している。説明の簡単のため、閾電圧補正動作は 1 回のみ行っている。

【 0 0 7 9 】

本実施形態ではサンプリング用トランジスタ T 1 をオンして発光素子 E L を消灯した後電源電圧を V i n i とする。そして信号線が V o f s の時に再びサンプリング用トランジスタ T 1 をオンするというタイミングとなっている。ここで V i n i は V c c と V s s の中間電位であり、電源電圧が V i n i であり信号線が V o f s の時サンプリング用トランジスタ T 1 をオンすることで駆動用トランジスタ T 2 が飽和領域で動作しない電圧となっている。つまりは $V o f s - V i n i < V t h d m i n$ である。ここで $V t h d m i n$ は駆動用トランジスタ T 2 のゲート電源間の閾電圧の最小値となる。

【 0 0 8 0 】

まず、消灯動作において駆動用トランジスタ T 2 のゲート電圧は V o f s であり、ソース電圧（アノード電圧）は $V c a t + V t h e l$ である。消灯動作終了時にサンプリング用トランジスタ T 1 をオフして駆動用トランジスタ T 2 のゲートをフローティングとする。その後電源ラインを V c c から V i n i へと変化させる。V i n i が前述の電圧であれば、駆動用トランジスタ T 2 はカットオフしているため、殆ど電流は流れない。また電源ラインの電圧変化が駆動用トランジスタ T 2 のゲート電源間容量 C p を介して駆動用トランジスタ T 2 のゲートに入力される。この時ゲートに入力される電圧 ΔV は以下の式 3 で示すように C p と C 0 によって表される。ここで C 0 は駆動用トランジスタ T 2 のゲートから見える合成容量である。具体的には C 0 は保持容量 C 1、ゲートソース間容量 C g s、発光素子 E L の寄生容量 C e l で表される。

【 数 2 】

$$\Delta V = \frac{C_p}{C_p + C_0} (V_{cc} - V_{ini}) \quad \text{式 3}$$

【 0 0 8 1 】

カップリングが入力されることで駆動用トランジスタ T 2 のゲート電圧は ΔV だけ低下

する。そして一定期間経過後信号線がV o f sとなった時に再びサンプリング用トランジスタT 1をオンして駆動用トランジスタT 2のゲートにV o f sを入力する。V o f sを入力することで駆動用トランジスタT 2のゲートはV o f sとなり、ソースはV t h e l + V c a tとなる。またこの時の電源電圧はV i n iであり、前述の通り駆動用トランジスタT 2はカットオフしているため電流は殆ど流れず、アノード電圧は一定となる。

【0082】

さらに一定時間経過後電源ラインをV i n iからV s sとして閾値補正準備動作を開始する。この時、電源ラインの変化によって駆動用トランジスタT 2のゲートに入力されるカップリング量 $\Delta V 2$ は式4で表される値となる。

【数3】

$$\Delta V 2 = \frac{C_p}{C_p + C_0} (V_{ini} - V_{ss}) \quad \text{式4}$$

【0083】

ここで本実施形態について考える。第1実施形態では閾値補正準備動作において電源ラインをV c cからV s sへと変化させる際の駆動用トランジスタT 2のゲートへのカップリング電圧 $\Delta V 0$ は以下の式5で表される値となり、本実施形態を用いることでこのカップリング量の値が式4で示される値となる。つまり本実施形態を用いることで電源ラインから駆動用トランジスタT 2のゲートへのカップリング量を軽減することができ、閾値補正準備期間における発光素子E Lのアノード電圧V aを小さく（絶対値は大きく）することが可能となる。

【数4】

$$\Delta V 0 = \frac{C_p}{C_p + C_0} (V_{cc} - V_{ss}) \quad \text{式5}$$

【0084】

閾値補正準備期間においてV aを小さくすることができるため正常に閾値補正動作を行うことができ、ムラやスジのない均一な画質を得ることができる。また、正常に閾値補正動作を行うためにV s sを下げる必要がないために高耐圧ドライバが必要なく、電源ラインも数ラインで共通化できるため低コスト化も実現可能である。

【0085】

また、本実施形態においてV i n iをV o f s - V i n i < V t h d m i nを満たす電圧とする理由は、サンプリング用トランジスタT 1をオンとして駆動用トランジスタT 2のゲートにV o f sを入力する際、駆動用トランジスタT 2のゲート電源間電圧がその閾電圧よりも大きければアノード電圧は低下し、一定時間経過後には電源電圧と一致してしまう。その後、閾値補正準備期間を経て電源ラインの電圧をV c cとすると、駆動用トランジスタT 2のゲートソース間電圧はある程度の大きさを持っているためブートストラップしてしまう。その結果、正常に閾値補正動作を行うことができない。このため、電源電圧を駆動用トランジスタT 2が飽和領域で動作しない電圧とする必要がある。

【0086】

10

20

30

40

50

本実施形態によって、正常に閾値補正動作を行うために V_{ss} を下げる必要がないために高耐圧ドライバが必要なく、電源ラインも数ラインで共通化できるため低コスト化も実現可能である。

【0087】

図23は、本発明にかかる表示装置の第6実施形態を示すタイミングチャートである。理解を容易にするため、図21-2に示した第5実施形態と対応する部分には対応する表記を採用している。本実施形態では電源ラインが V_{ini} の時にサンプリング用トランジスタ T_1 を共通化したラインで共通にオンしている。本実施形態においても電源を閾値補正準備期間において電源電圧を V_{cc} から V_{ss} へと変化させる時の駆動用トランジスタ T_2 のゲートに入力されるカップリング量を軽減することができ、閾値補正準備期間における発光素子 EL のアノード電圧 V_a を小さく（絶対値は大きく）することが可能であり、低コスト化も実現可能である。また本実施形態を用いることで電源ラインが V_{ini} となっている時間を短くすることができ、発光期間を長く取ることができる。

10

【0088】

次に本発明にかかる表示装置の第7実施形態を説明する。この第7実施形態も、先に説明した第1実施形態の改良を目的としている。第1実施形態における閾電圧補正準備期間について考察すると、閾値補正準備期間はサンプリング用トランジスタ T_1 をオフした状態で電源電圧を V_{cc} から V_{ss} とすることで発光素子 EL のアノードから電源へ電流を流すことで行う。ここで、閾値補正準備動作における発光素子 EL のアノード電圧を V_a とすると、 V_a は電源電圧を V_{cc} から V_{ss} へ変化させる直前の駆動用トランジスタ T_2 のゲート電圧によって決定される値である。この V_a が小さければ（絶対値が大きければ）その分だけ V_{ss} を上げることができ電源ラインの低振幅化が実現でき、低コスト化につながる。

20

【0089】

ここで V_a を小さくするために V_{ofs} を上げることが考えられる。前述のように V_a は電源電圧を V_{cc} から V_{ss} へ変化させる直前の駆動用トランジスタ T_2 のゲート電圧によって決定されるため、 V_{ofs} を上げることで V_a の値は小さくなる。しかしながら V_{ofs} を上げると信号書込みにおいて、発光素子 EL のアノード電圧も上がり、その分信号書込み時に発光素子 EL にかかる電圧がその閾電圧を超えてしまう。発光素子 EL にかかる電圧が閾電圧を超えてしまうと信号書込みにおいて発光素子 EL に電流が流れ、正常に移動度補正動作が行えないという問題が発生してしまう。

30

【0090】

図24は第7実施形態を示すタイミングチャートである。本実施形態の特徴事項として、信号セクタ3は、消灯動作のときに第1の基準電位 V_{ers} を信号線 SL に印加し、補正動作のときに第1の基準電位 V_{ers} と異なる第2の基準電位 V_{ofs} を信号線 SL に印加する。信号セクタ3が信号線 SL に印加する第1の基準電位 V_{ers} は第2の基準電位 V_{ofs} よりも大きく、且つ V_{ers} は発光素子 EL のカソード電位 V_{cat} と発光素子 EL の閾電圧 V_{thel} と駆動用トランジスタ T_2 の閾電圧 V_{th} との和よりも小さい。

40

【0091】

本実施形態では信号線の電位を、第1実施形態の閾値補正基準電圧 V_{ofs} 、階調による階調電圧 V_{sig} に加え、消灯電圧 V_{ers} を追加していることを特徴とする。また、図24では V_{ers} 、 V_{ofs} 、 V_{sig} の順に信号線の電位が変化しており、閾値補正動作終了から信号書き込みまでの時間の観点からこの順番が望ましいが、この順番に限定するものではない。

【0092】

また、 V_{ers} は発光素子 EL を消灯するためにカソード電圧 V_{cat} と発光素子 EL の閾電圧 V_{thel} と駆動用トランジスタ T_2 の閾電圧 V_{th} の和よりも小さくする必要がある。つまり $V_{ers} < V_{cat} + V_{thel} + V_{th}$ である。さらに、本実施形態において V_{ers} は V_{ofs} よりも高く設定する必要があるため、総合的に考えて、 V_{er}

50

sは $V_{ofs} < V_{ers} - V_{cat} + V_{thel} + V_{th}$ を満たさねばならない。

【0093】

図25を参照して、第7実施形態の動作を詳細に説明する。図25は、1行分の画素に着目したタイミングチャートである。信号線SL、給電線DS（電源ライン）及び走査線WSの電位（サンプリング用トランジスタT1のゲートに印加される電圧）の変化と共に、駆動用トランジスタT2のゲート電位及びソース電位の変化も表してある。まず、消灯動作においてサンプリング用トランジスタT1をオンすることで駆動用トランジスタT2のゲートに消灯電圧 V_{ers} を入力する。 V_{ers} は前述の通りカソード電圧と発光素子ELの閾電圧と駆動用トランジスタT2の閾電圧の和よりも小さいため、 V_{ers} が入力されると駆動用トランジスタT2はカットオフし、発光素子ELに電流は流れなくなる。消灯動作終了においてサンプリング用トランジスタT1をオフする。

10

【0094】

一定期間経過後、閾値補正準備期間において電源電圧を V_{cc} から V_{ss} へ変化させる。ここで $V_{ers} > V_{ofs}$ であるため、前述の通り閾値補正準備期間における発光素子ELのアノード電圧 V_a を小さく（絶対値は大きく）することができる。そして電源電圧を V_{ss} から V_{cc} と遷移させ一定期間経過後、信号線の電位が V_{ofs} の時にサンプリング用トランジスタT1をオンして駆動用トランジスタT2のゲートに V_{ofs} を入力する。この時、駆動用トランジスタT2のゲートソース間電圧 V_{gs} がその閾電圧 V_{th} 以上であれば以降の閾値補正動作は正常に行われ、以降信号書込みと移動度補正動作を行い、発光素子ELは発光する。

20

【0095】

ここで本実施形態について考える。本実施形態では消灯電位を V_{ofs} よりも大きい電圧である V_{ers} とすることで閾値補正準備期間における発光素子ELのアノード電圧を小さく（絶対値は大きく）することが可能となる。閾値補正準備期間において V_a を小さくすることができるため正常に閾値補正動作を行うことができ、ムラやスジのない均一な画質を得ることができる。また、正常に閾値補正動作を行うために V_{ss} を下げる必要がないために高耐圧ドライバが必要なく、電源ラインも数ラインで共通化できるため低コスト化も実現可能である。本実施形態によって、正常に閾値補正動作を行うために V_{ss} を下げる必要がないために高耐圧ドライバが必要なく、電源ラインも数ラインで共通化できるため低コスト化も実現可能である。

30

【0096】

図26は、本発明にかかる表示装置の第8実施形態を示すタイミングチャートである。本実施形態は、信号電位の書き込み動作の改良を目的としている。図示するように、表示装置は、閾電圧補正動作の後、信号線SLが信号電位 V_{sig} で給電線DSが高電位 V_{cc} のとき、サンプリング用トランジスタT1が制御信号に応じてオンし、信号電位 V_{sig} を保持容量C1に保持する書き込み動作を行う。この書き込み動作と同時に、駆動用トランジスタT2の移動度に対する補正も行われている。

【0097】

本実施形態の特徴事項として、信号セレクタ3は、階調に応じた第1の信号電位 V_{ofs2} 及び第2の信号電位 V_{sig} を順次信号線SLに印加している。これに対応してサンプリング用トランジスタT1は制御信号に応じてオンし第1の信号電位 V_{ofs2} を保持容量C1に保持する第1の書き込み動作（及び第1の移動度補正動作）を行い、続いて別の制御信号に応じてオンし第2の信号電位 V_{sig} を保持容量C1に保持する第2の書き込み動作（第2の移動度補正動作）を行う。

40

【0098】

図27を参照して、第8実施形態の移動度補正動作を詳細に説明する。図27は、1段分の画素行に対応したタイミングチャートで、入力信号、電源ライン及び制御信号の電位変化と合わせて、駆動用トランジスタT2のゲート電位及びソース電位の変化も表してある。信号線の電位は V_{ers} 、 V_{ofs} 、 V_{sig} に加え、新たに V_{ofs2} という値をとる。この V_{ofs2} は階調によって可変する値である。本来、移動度補正を全階調で正

50

常に掛けるためには信号書込みにおけるサンプリング用トランジスタ T 1 の制御波形を外部から入力する必要があり、これが高コストの原因であった。本実施形態ではその点に鑑みて移動度補正を 2 段階で行うことで全階調における移動度補正を行いつつサンプリング用トランジスタ T 1 の制御波形を外部入力とすることがないようにしている。

【 0 0 9 9 】

本実施形態によって信号書込みを行う前にあらかじめ所望の階調を反映した電圧 V_{ofs2} を駆動用トランジスタ T 2 のゲートに入力して移動度補正を行う。ここで完全に移動度補正を行うのではなく、実際の信号書込みによって移動度補正が完全に行われるように V_{ofs2} の電圧、 V_{ofs2} を入力する時間を決定しておく必要がある。このように移動度補正を 2 段階で行うことで全階調で移動度補正を行うことができ、尚且つ更なる低コスト化が実現可能となっている。

10

【 0 1 0 0 】

本発明にかかる表示装置は、図 28 に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスター部（図では 1 個の T F T を例示）、保持容量などの容量部及び有機 E L 素子などの発光部とを含む。基板の上に T F T プロセスでトランジスター部や容量部が形成され、その上に有機 E L 素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【 0 1 0 1 】

本発明にかかる表示装置は、図 29 に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機 E L 素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えば F P C（フレキシブルプリントサーキット）を設けてもよい。

20

【 0 1 0 2 】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器の本体部に入力された、若しくは、電子機器本体内の動作に伴って生成した情報を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイ（表示部）に適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

30

【 0 1 0 3 】

図 30 は本発明が適用されたテレビであり、フロントパネル 12、フィルターガラス 13 等から構成される映像表示画面 11 を含み、本発明の表示装置をその映像表示画面 11 に用いることにより作製される。

【 0 1 0 4 】

図 31 は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部 15、表示部 16、コントロールスイッチ、メニュースイッチ、シャッター 19 等を含み、本発明の表示装置をその表示部 16 に用いることにより作製される。

40

【 0 1 0 5 】

図 32 は本発明が適用されたノート型パーソナルコンピューターであり、本体 20 には文字等を入力するとき操作されるキーボード 21 を含み、本体カバーには画像を表示する表示部 22 を含み、本発明の表示装置をその表示部 22 に用いることにより作製される。

【 0 1 0 6 】

図 33 は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体 23、下側筐体 24、連結部（ここで

50

はヒンジ部) 25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0107】

図34は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

【図面の簡単な説明】

【0108】

- 【図1】本発明にかかる表示装置の第1実施形態を示す全体的なブロック図である。 10
- 【図2】第1実施形態の回路構成を示す回路図である。
- 【図3】第1実施形態の動作説明に供するタイミングチャートである。
- 【図4-1】第1実施形態の動作説明に供する模式図である。
- 【図4-2】同じく第1実施形態の動作説明に供する模式図である。
- 【図4-3】第1実施形態の動作説明に供する模式図である。
- 【図4-4】第1実施形態の動作説明に供する模式図である。
- 【図4-5】第1実施形態の動作説明に供する模式図である。
- 【図4-6】第1実施形態の動作説明に供する模式図である。
- 【図4-7】第1実施形態の動作説明に供するグラフである。
- 【図4-8】第1実施形態の動作説明に供する模式図である。 20
- 【図4-9】第1実施形態の動作説明に供する模式図である。
- 【図4-10】第1実施形態の動作説明に供するグラフである。
- 【図4-11】第1実施形態の動作説明に供する模式図である。
- 【図5】表示装置の参考例を示すタイミングチャートである。
- 【図6】参考例の動作説明に供する模式図である。
- 【図7】参考例の動作説明に供する模式図である。
- 【図8】参考例の動作説明に供する模式図である。
- 【図9】参考例の動作説明に供する模式図である。
- 【図10】参考例の動作説明に供する模式図である。
- 【図11】参考例の動作説明に供する模式図である。 30
- 【図12】参考例の動作説明に供する模式図である。
- 【図13】参考例の説明に供するタイミングチャートである。
- 【図14】本発明にかかる表示装置の第2実施形態の全体構成を示すブロック図である。
- 【図15】第2実施形態の動作説明に供するタイミングチャートである。
- 【図16】第1実施形態の問題点を示すタイミングチャートである。
- 【図17】同じく第1実施形態の問題点を示すタイミングチャートである。
- 【図18】本発明にかかる表示装置の第3実施形態を示すタイミングチャートである。
- 【図19】同じく第3実施形態を示すタイミングチャートである。
- 【図20】本発明にかかる表示装置の第4実施形態を示すタイミングチャートである。
- 【図21-1】第1実施形態の問題点を示すタイミングチャートである。 40
- 【図21-2】本発明にかかる表示装置の第5実施形態を示すタイミングチャートである。
- 【図22】同じく第5実施形態を示すタイミングチャートである。
- 【図23】本発明にかかる表示装置の第6実施形態を示すタイミングチャートである。
- 【図24】本発明にかかる表示装置の第7実施形態を示すタイミングチャートである。
- 【図25】同じく第7実施形態を示すタイミングチャートである。
- 【図26】本発明にかかる表示装置の第8実施形態を示すタイミングチャートである。
- 【図27】同じく第8実施形態の動作説明に供するタイミングチャートである。
- 【図28】本発明にかかる表示装置のデバイス構成を示す断面図である。
- 【図29】本発明にかかる表示装置のモジュール構成を示す平面図である。 50

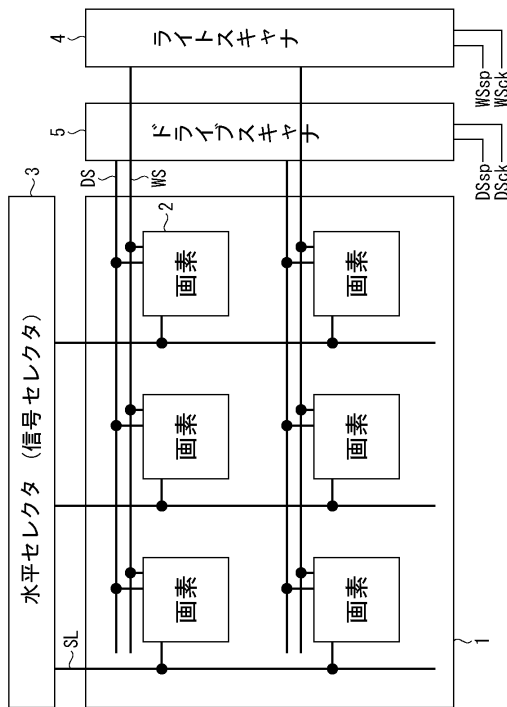
- 【図30】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。
- 【図31】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。
- 【図32】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。
- 【図33】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。
- 【図34】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。
- 【図35】従来の表示装置の一例を示す回路図である。
- 【図36】従来の表示装置の問題点を表すグラフである。
- 【図37】従来の表示装置の別の例を示す回路図である。

【符号の説明】

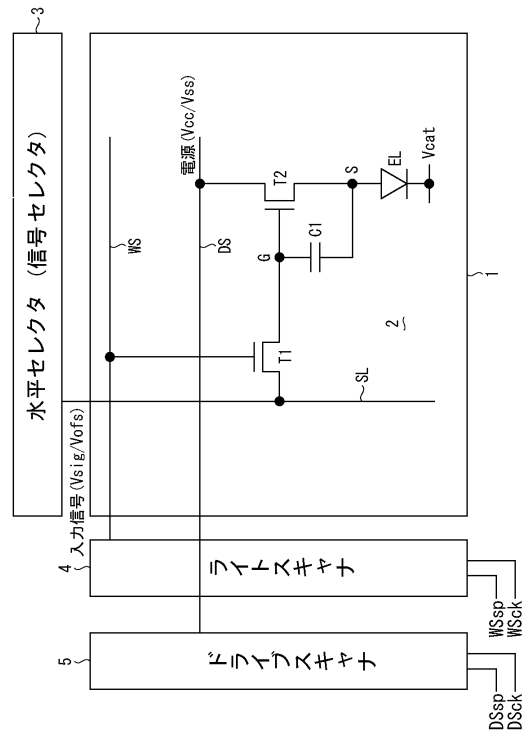
【0109】

- 1・・・画素アレイ部、2・・・画素、3・・・水平セクタ（信号セクタ）、4・・・ライトスキャナ、5・・・ドライブスキャナ、T1・・・サンプリング用トランジスタ、T2・・・駆動用トランジスタ、C1・・・保持容量、EL・・・発光素子、WS・・・走査線、DS・・・給電線、SL・・・信号線

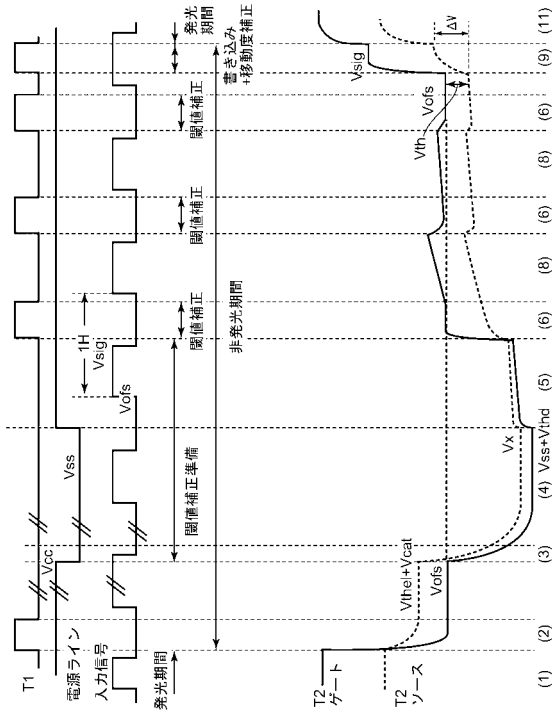
【図1】



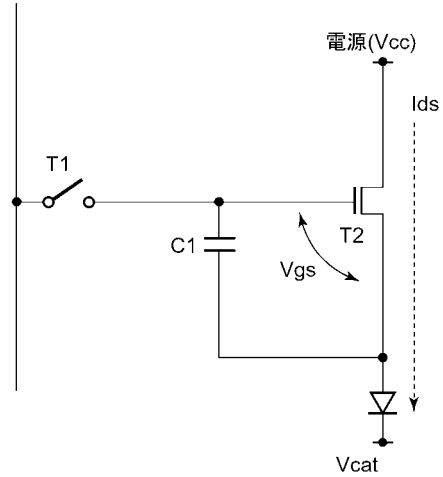
【図2】



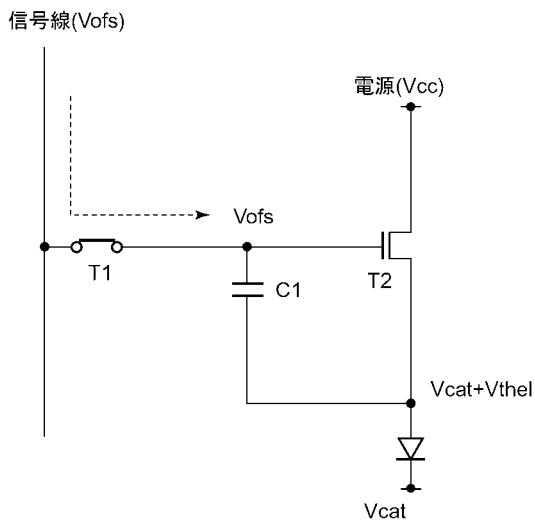
【図3】



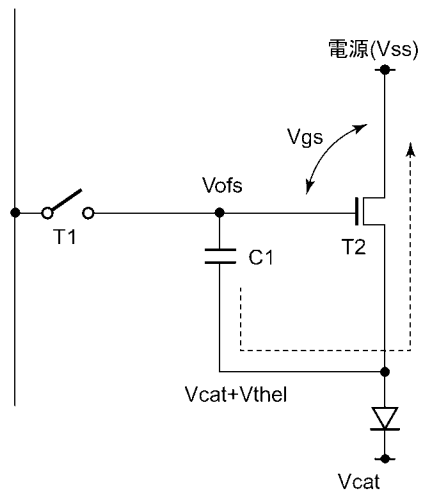
【図4-1】



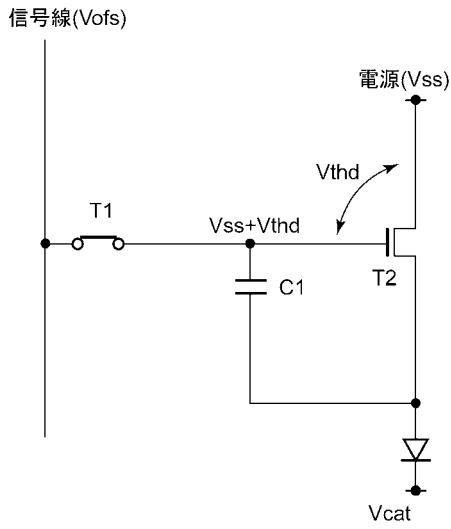
【図4-2】



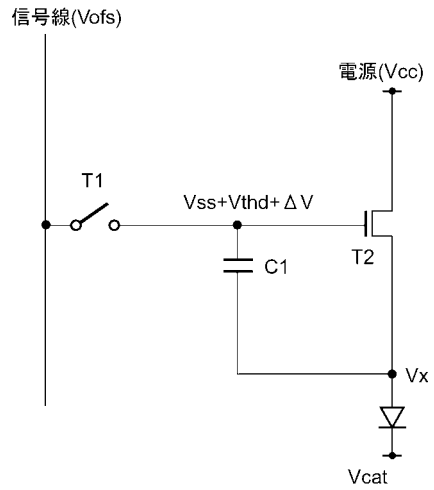
【図4-3】



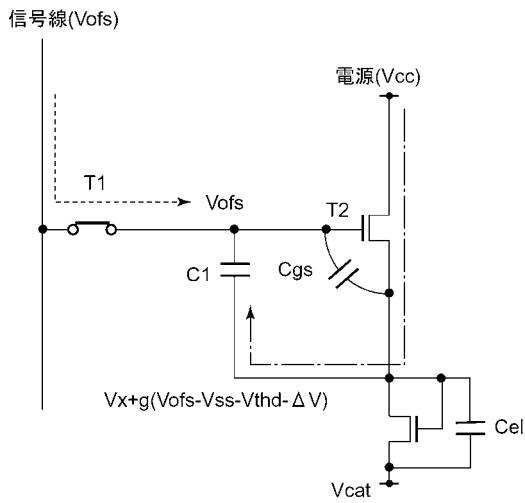
【図4-4】



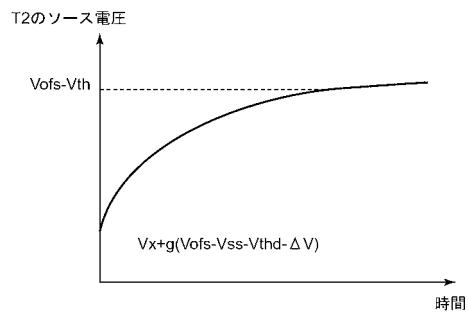
【図4-5】



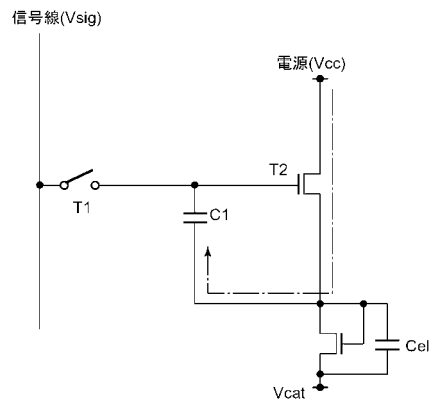
【図4-6】



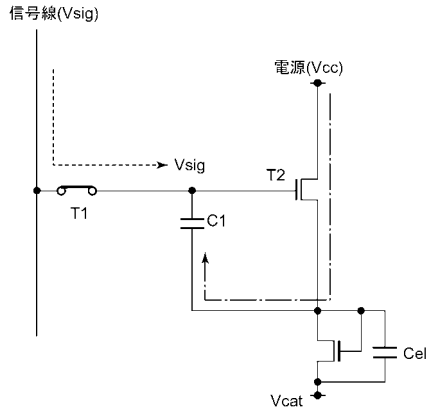
【図4-7】



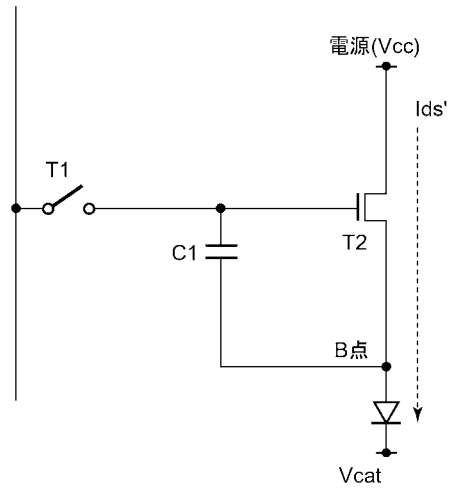
【図4-8】



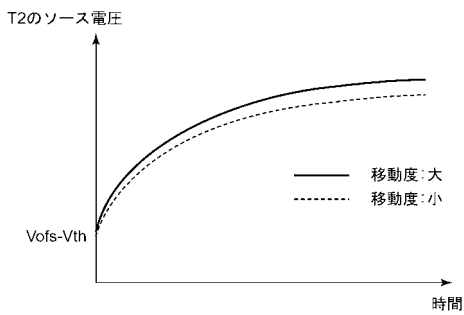
【図4-9】



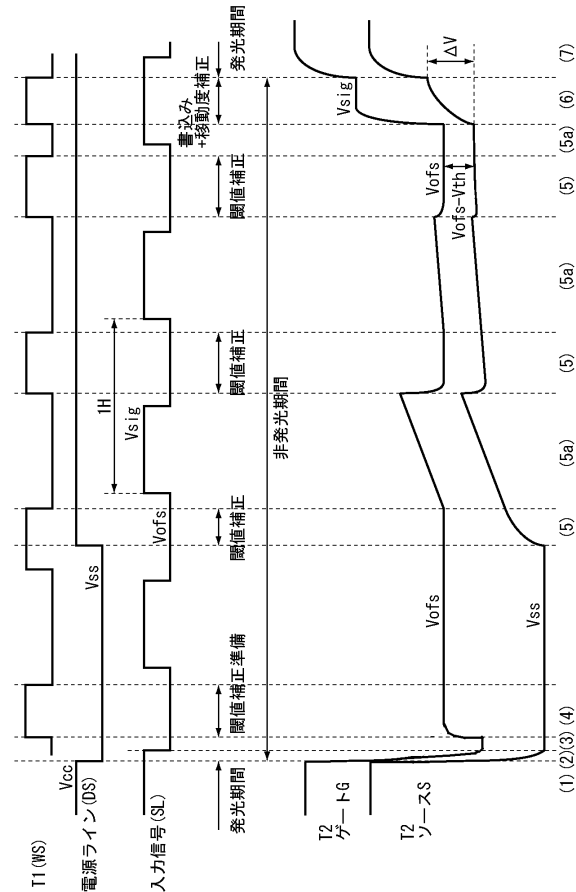
【図4-11】



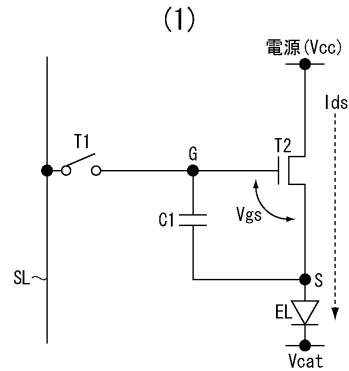
【図4-10】



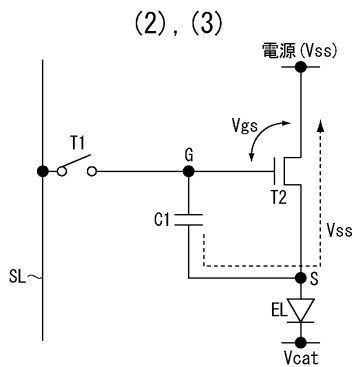
【図5】



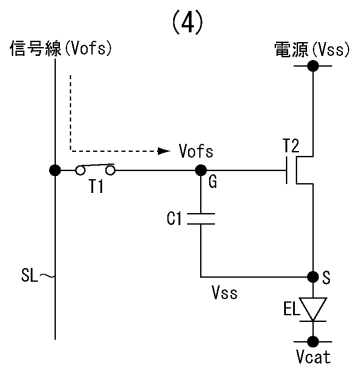
【図6】



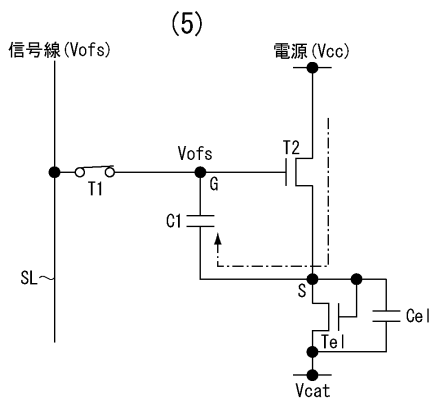
【図7】



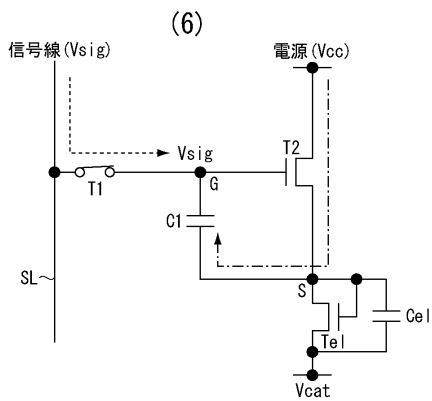
【図8】



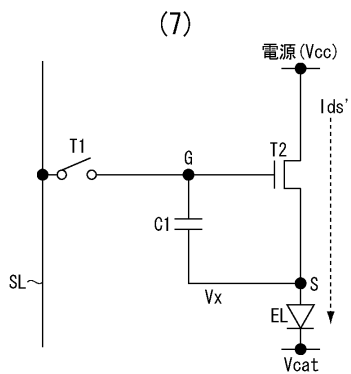
【図9】



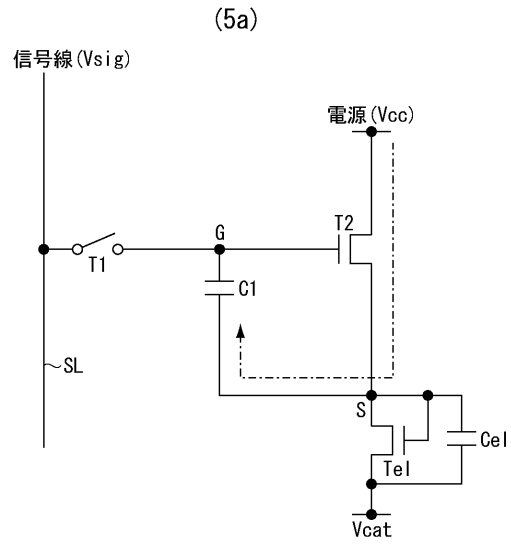
【図11】



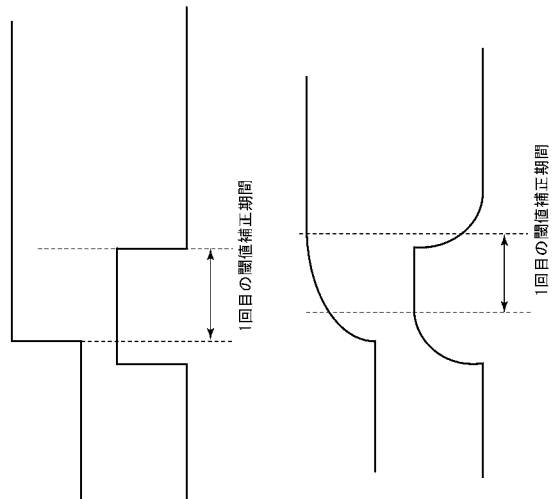
【図12】



【図10】



【図13】

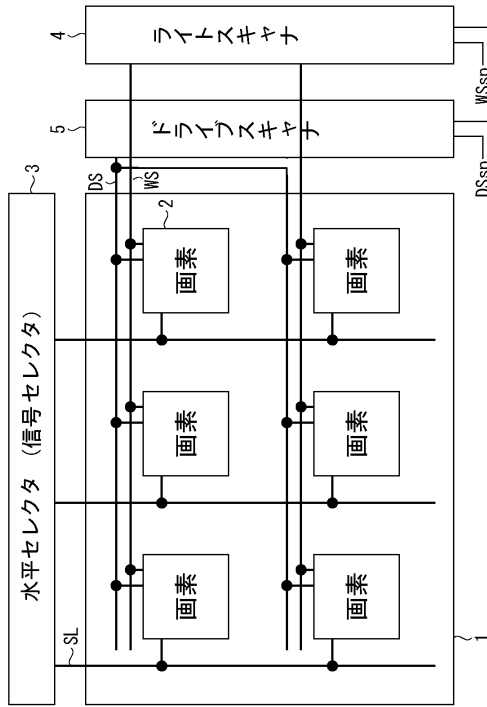


電源ライン
制御ライン
入力側
T1ライン

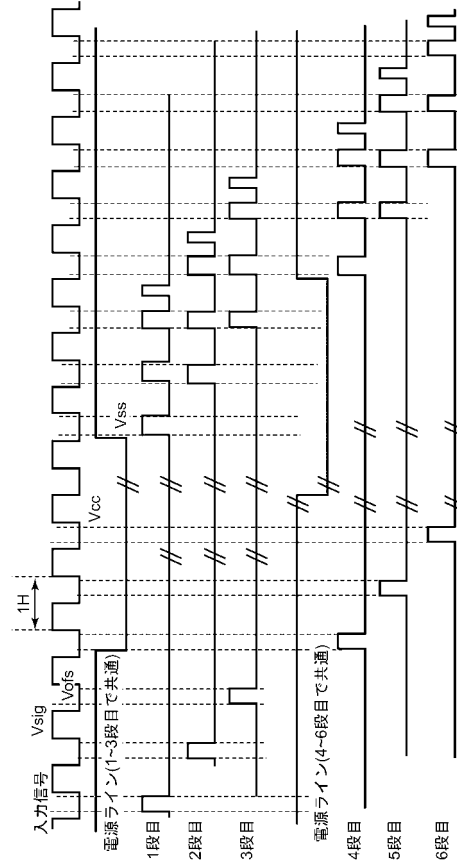
電源ライン
制御ライン
入力逆側
T1ライン

1回目の閾値補正期間

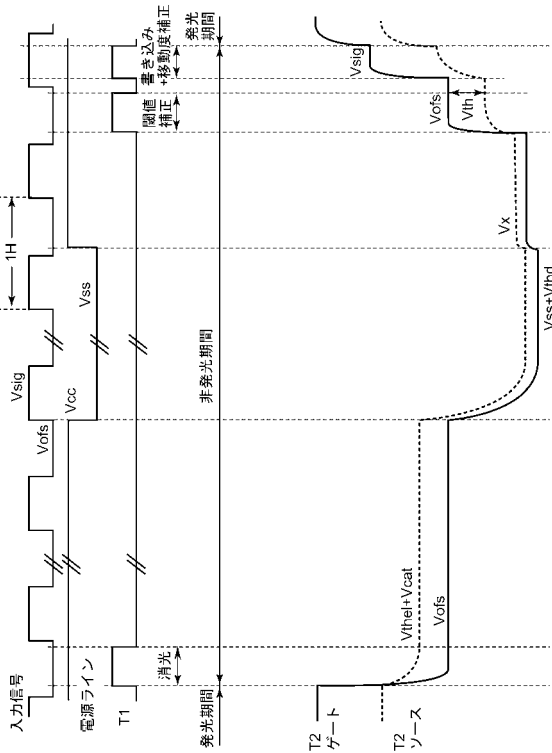
【図14】



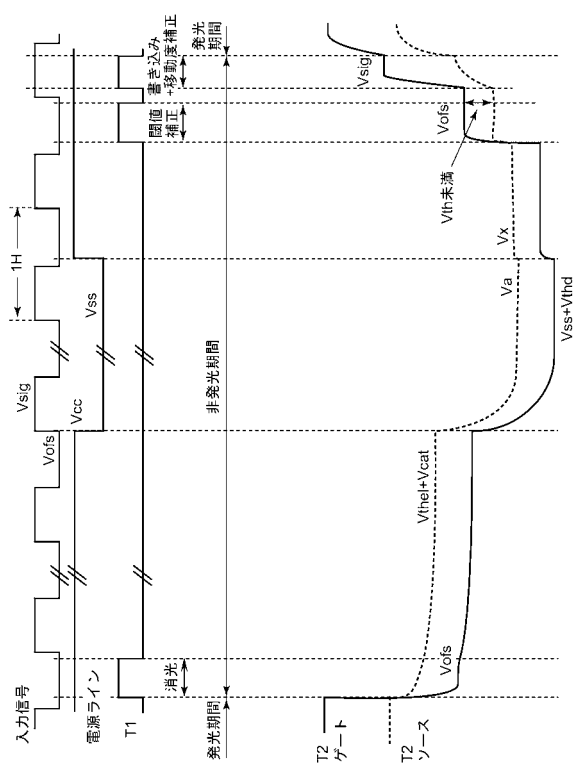
【図15】



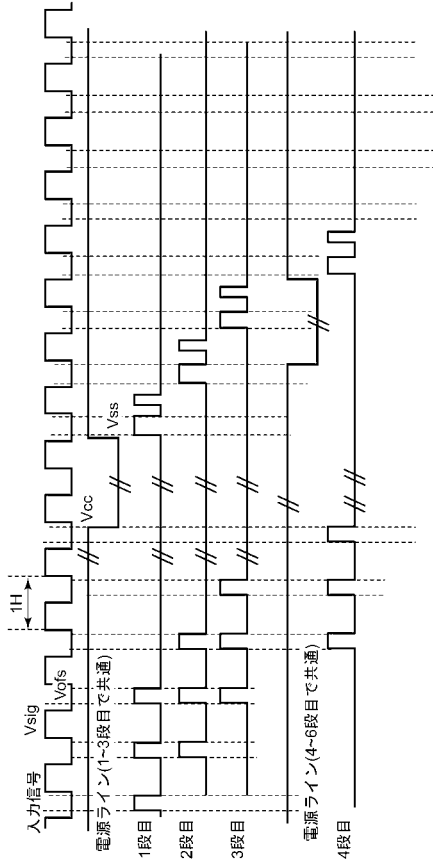
【図16】



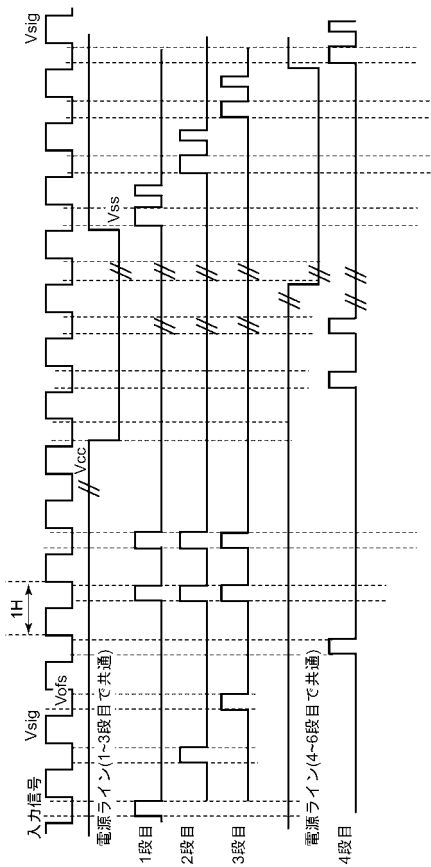
【図17】



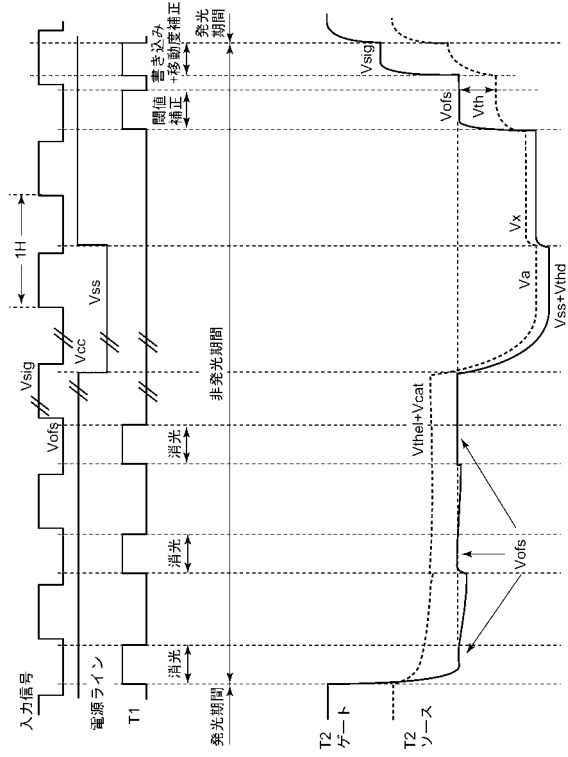
【図18】



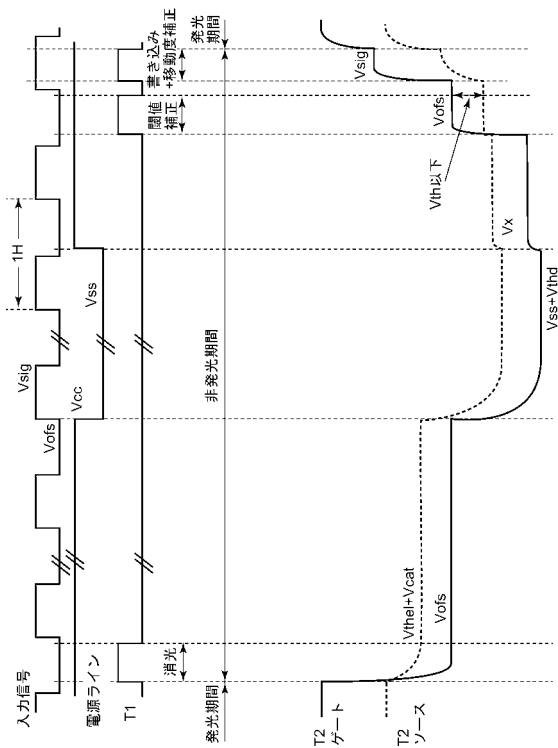
【図20】



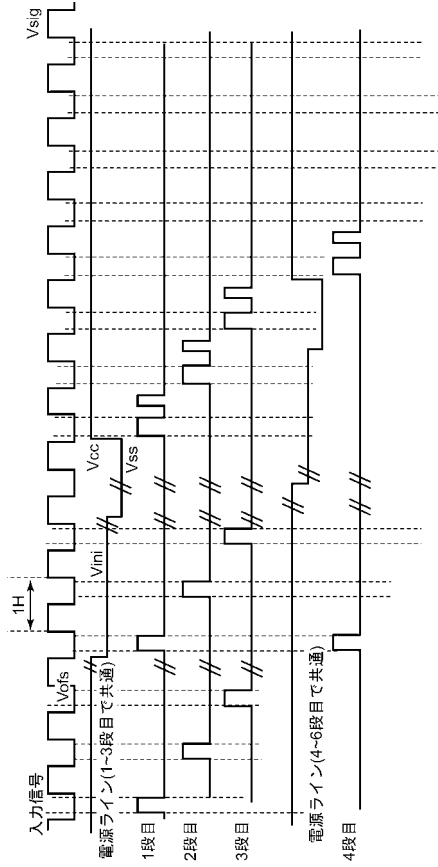
【図19】



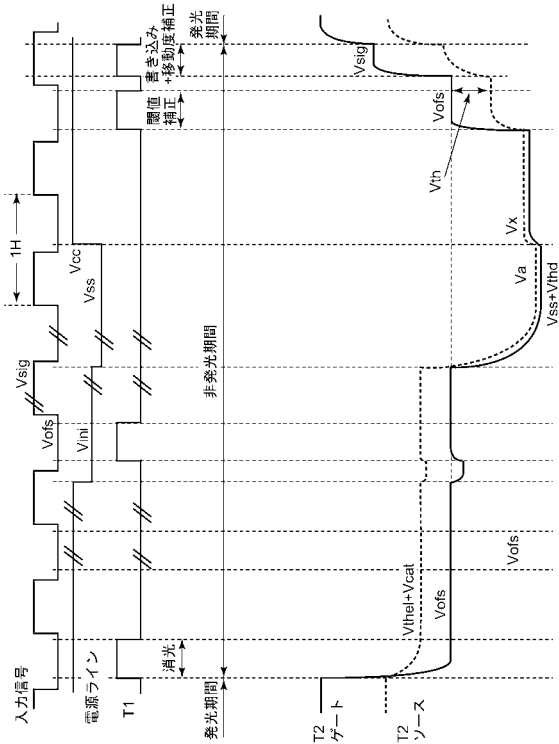
【図21-1】



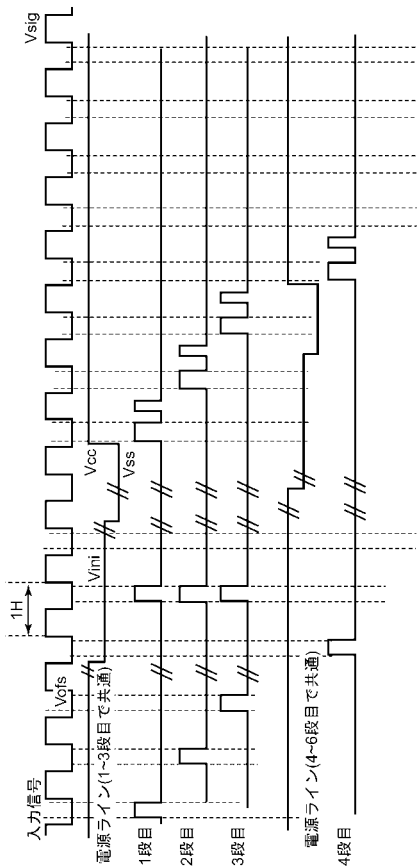
【図 2 1 - 2】



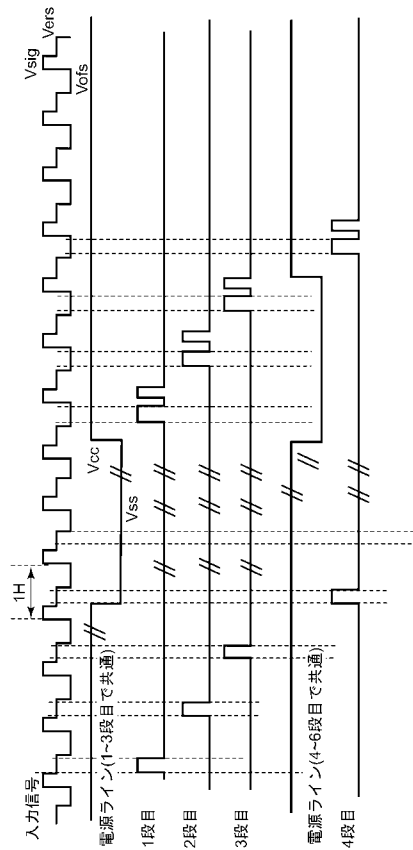
【図 2 2】



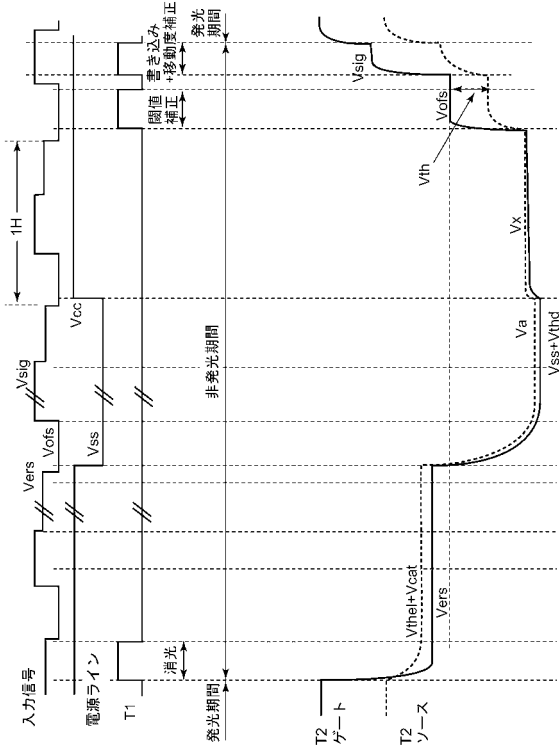
【図 2 3】



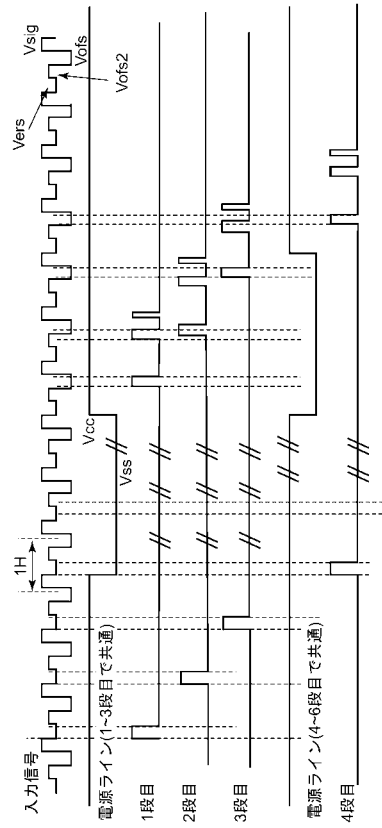
【図 2 4】



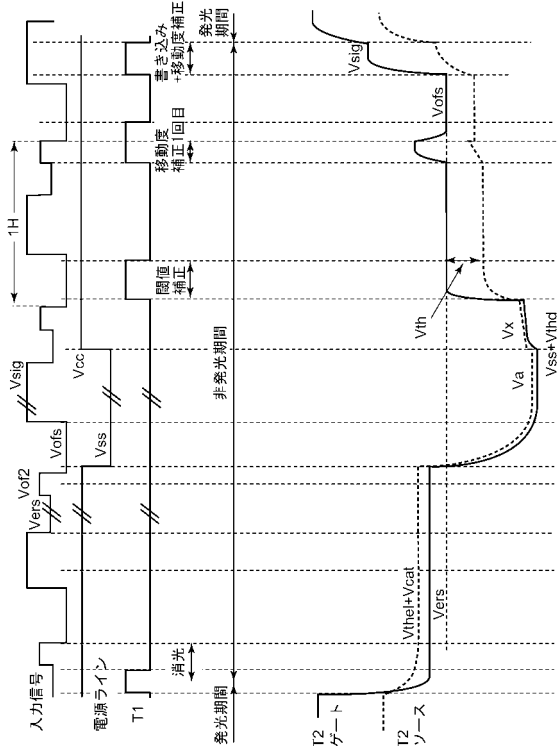
【図 25】



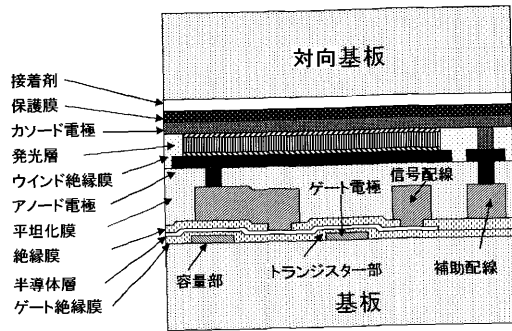
【図 26】



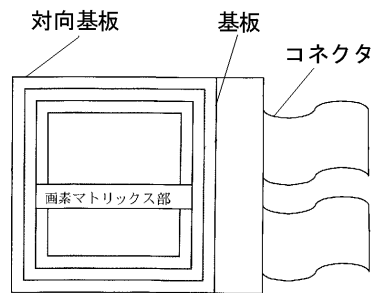
【図 27】



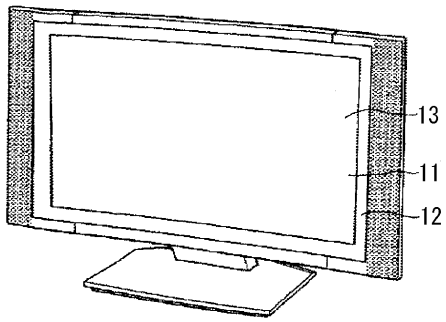
【図 28】



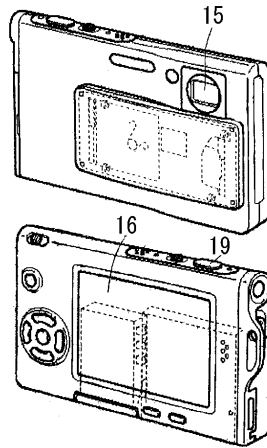
【図 29】



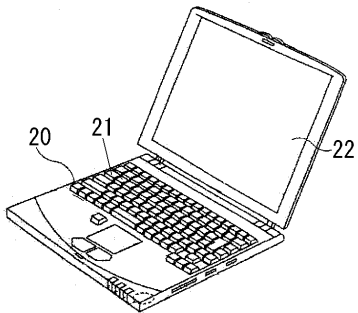
【図30】



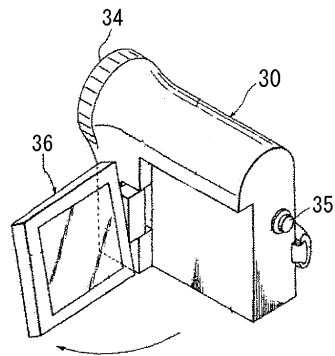
【図31】



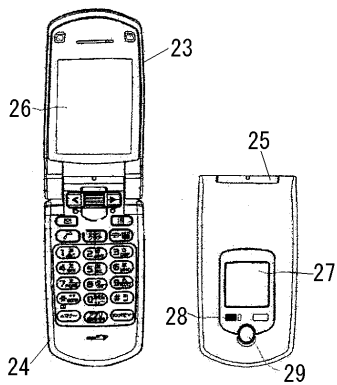
【図32】



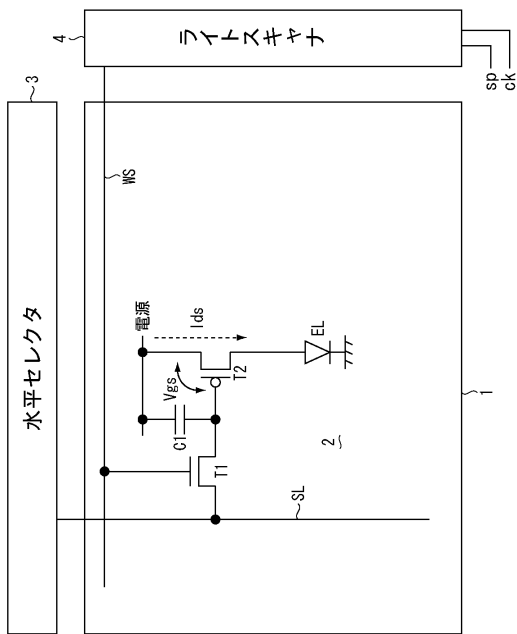
【図34】



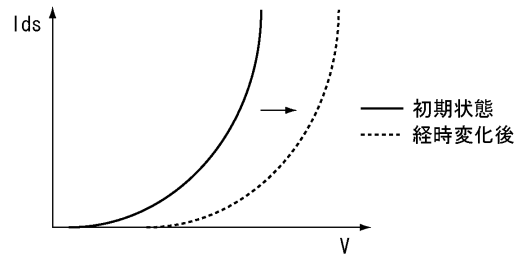
【図33】



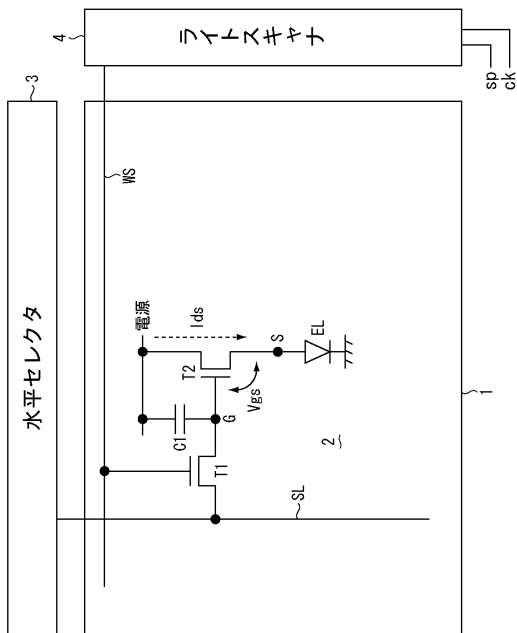
【図 3 5】



【図 3 6】



【図 3 7】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 1 2 L
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 7 0 E
H 0 5 B 33/14 A
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 1 2 F

(72)発明者 豊村 直史
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 奈良田 新一

(56)参考文献 特開2009-139928(JP,A)
特開2009-168969(JP,A)
特開2008-287139(JP,A)
特開2007-310311(JP,A)
特開2003-255897(JP,A)
特開2003-271095(JP,A)
特表2008-523425(JP,A)
特表2009-533717(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP4640449B2	公开(公告)日	2011-03-02
申请号	JP2008144359	申请日	2008-06-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 豊村直史		
发明人	山本 哲郎 内野 勝秀 豊村 直史		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0256 G09G2320/02 G09G2320/0223 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.A G09G3/20.622.D G09G3/20.623.A G09G3/20.623.C G09G3/20.623.D G09G3/20.612.L G09G3/20.642.A G09G3/20.611.H G09G3/20.670.E H05B33/14.A G09G3/20.641.D G09G3/20.612.F G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080 /BB05 5C080/DD05 5C080/DD09 5C080/EE19 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380 /AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA05 5C380/BA11 5C380/BA13 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA54 5C380 /CB01 5C380/CB14 5C380/CB20 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380 /CD022 5C380/CE04 5C380/CF07 5C380/CF22 5C380/DA02 5C380/DA06 5C380/DA32		
代理人(译)	吉井正明 山本隆久 森浩一		
其他公开文献	JP2009288749A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示器件，允许以像素为单位进行某些稳定的阈值电压校正操作。ŽSOLUTION：在该显示装置中，当电源线DS处于高电位Vcc并且当信号线SL处于Vofs时，根据控制信号接通采样晶体管T1以执行转换发光的消光操作元素EL从发光状态到消光状态。随后，电源线DS从高电位Vcc切换到低电位Vss，并且在电源的同时执行其中采样晶体管T1未导通并且其中驱动晶体管T2的源极电压降低的准备操作线DS处于低电位Vss。此后，当将电源线DS从低电位Vss返回到高压电位Vcc并且当信号线SL处于参考电位Vofs时，执行对保持电容器C1放电的校正操作，使得采样晶体管T1转动根据控制信号，驱动晶体管T2的源极电压朝向其阈值电压Vth增加。Ž

$$g = \frac{C_1 + C_{gs}}{C_1 + C_{gs} + C_{el}}$$