

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3997109号

(P3997109)

(45) 発行日 平成19年10月24日(2007.10.24)

(24) 登録日 平成19年8月10日(2007.8.10)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
H01L 51/50 (2006.01)	G09G 3/20 611Z
	G09G 3/20 612E
	G09G 3/20 624B
請求項の数 4 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2002-132287 (P2002-132287)	(73) 特許権者	000001007
(22) 出願日	平成14年5月8日(2002.5.8)		キヤノン株式会社
(65) 公開番号	特開2003-323156 (P2003-323156A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成15年11月14日(2003.11.14)	(74) 代理人	100096828
審査請求日	平成17年4月28日(2005.4.28)		弁理士 渡辺 敬介
		(74) 代理人	100110870
			弁理士 山口 芳広
		(72) 発明者	川崎 素明
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		(72) 発明者	大村 昌伸
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		審査官	西島 篤宏
			最終頁に続く

(54) 【発明の名称】 E L素子駆動回路及び表示パネル

(57) 【特許請求の範囲】

【請求項1】

注入電流で発光動作するエレクトロルミネッセンス(E L)素子を発光させるE L素子駆動回路において、

E L素子と、第1、第2及び第3のトランジスタと、コンデンサーと、第1、第2及び第3のスイッチと、を少なくとも備え、

前記第1トランジスタと第2トランジスタとは、第1主電極同士及びゲート電極同士が互いに接続され、

前記コンデンサーは、前記第1トランジスタの第1主電極とゲート電極との間に接続され、

前記E L素子は、前記第1トランジスタの第2主電極に接続され、

前記第1スイッチは、前記第2トランジスタの第2主電極とゲート電極との間に接続され、

前記第2スイッチは、前記E L素子への注入電流を規定する信号電流を供給するための信号供給線と前記第2トランジスタの第2主電極との間に接続され、

前記第3トランジスタは、第1主電極が電源に接続され、第2主電極が前記第1トランジスタの第1主電極に接続され、第1主電極と第2主電極との間の電位差により所定の方向に電流が流れるようにゲート電極と第1主電極又は第2主電極とが短絡され、

前記第3スイッチは、電源と前記第1トランジスタの第1主電極との間に接続され、

前記第1スイッチ及び第2スイッチが短絡されているときに前記第3スイッチを開放させ

、第 1 スイッチ及び第 2 スイッチが開放しているときは前記第 3 スイッチを短絡させるように構成されていることを特徴とする E L 素子駆動回路。

【請求項 2】

請求項 1 に記載の E L 素子駆動回路をマトリクス状に複数接続したことを特徴とする表示パネル。

【請求項 3】

請求項 1 に記載の E L 素子駆動回路において、該 E L 素子駆動回路が少なくとも画素表示回路と信号供給回路とを含み、

前記画素表示回路は、前記 E L 素子と、前記第 1 及び第 2 のトランジスタと、前記コンデンサーと、前記第 1、第 2 及び第 3 のスイッチと、を含み、さらに第 4 のスイッチを備えた回路であり、

前記信号供給回路は、前記第 3 のトランジスタを含み、

前記画素表示回路と前記信号供給回路とは、少なくともノイズ抑制線と前記信号供給線とにより接続され、

前記第 3 トランジスタの第 2 主電極と前記第 1 トランジスタの第 1 主電極とは、前記ノイズ抑制線と前記第 4 スイッチとを介して接続され、

前記第 1 スイッチ及び第 2 スイッチが短絡されているときに前記第 3 スイッチを開放し前記第 4 スイッチを短絡し、第 1 スイッチ及び第 2 スイッチが開放しているときは前記第 3 スイッチを短絡し前記第 4 スイッチを開放させるように構成されていることを特徴とする E L 素子駆動回路。

【請求項 4】

少なくとも請求項 3 に記載の E L 素子駆動回路を複数含み、画素表示回路はマトリクス状に接続され、該マトリクス状に接続された画素表示回路のうち 1 ラインに属する画素表示回路を 1 組として、各組の画素表示回路を各組毎に 1 つずつ配置された信号供給回路のそれぞれに共通に接続したことを特徴とする表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を注入して発光するエレクトロルミネッセンス素子の駆動回路に関するものである。

【0002】

【従来の技術】

エレクトロルミネッセンス素子（以後 E L 素子と言う）は、E L 素子を含む画素表示回路をマトリクス状に複数配置した表示パネル型画像表示システム（以後表示パネルと言う）等に応用されている。一般に表示パネルは大面積であり単結晶シリコン基板上に形成できない為、ガラス基板上に形成された薄膜トランジスタ（T F T）プロセスで形成される。

【0003】

この E L 素子の駆動回路には、主に電圧設定方式と電流設定方式との 2 つの方式が存在する。

【0004】

〔電圧設定方式〕

先ず図 9 を用いて電圧設定方式を説明する。図 9 は従来の電圧設定方式による画素表示回路の回路図である。

【0005】

映像信号を入力するための信号供給線 V i d e o は制御パルス P 6 によってゲート電極が制御された M O S トランジスタ M 1 5（本明細書中では M O S トランジスタを M の略記号にて表す）のソース電極（M 1 5 / S）（本明細書中では M O S トランジスタのソース電極を / S、ドレイン電極を / D、ゲート電極を / G の略記号にて表す）に入力され、M 1 5 のドレイン電極（M 1 5 / D）はコンデンサー C 2 に接続される。コンデンサー C 2 の他端は電源 V C C に一端が接続されたコンデンサー C 1 に接続されるとともに、ソース電

10

20

30

40

50

極が電源 VCC に接続された $M1$ のゲート電極 ($M1/G$) と制御パルス $P5$ によってゲートが制御された $M17/S$ に接続される。 $M1/D$ 及び $M17/D$ はゲートが制御パルス $P4$ で制御された $M16/S$ に接続され、 $M16/D$ は EL 素子の電流注入端子に接続され、 EL 素子の他端は接地 GND に接続される。

【0006】

表示パネルにおいて画素表示回路 1 は多数配列され、例えば $QVGA(320 \times 240)$ の場合、信号供給線 $Video$ は 240 個の画素表示回路 1 に引き回され接続され、制御パルス $P4 \sim P6$ は 320 個の画素表示回路 1 に引き回され接続される。

【0007】

図 9 の画素表示回路 1 の動作を図 10 のタイムチャートを使用して説明する。図 10 (a) ~ (e) は、各々、信号供給線 $Video$ 、制御パルス $P4$ 、制御パルス $P5$ 、制御パルス $P6$ 及び $M1/G$ の電圧状態を示す。 10

【0008】

(時刻 t_0 以前において)

信号供給線 $Video$ の電圧は一行前の画素表示回路 1 の発光設定を行う信号レベル $V_v(n-1)$ であり、 $P4 = L$ 、 $P5 = H$ 、 $P6 = H$ から $M15 = OFF$ 、 $M16 = ON$ 、 $M17 = OFF$ であり、 $M1/G$ の電圧は該当画素表示回路 1 が前回制御されてコンデンサー $C1$ に充電された電圧 $Vd\#$ に保持されており、この電圧 $Vd\#$ によって決定される電流が EL 素子に注入され EL 素子は発光している。

【0009】

(時刻 t_0 において)

$P4 = H$ 、 $P6 = L$ になり $M15 = ON$ 、 $M16 = OFF$ になる。続いて信号供給線 $Video$ を黒レベル V_{bk} (最大電圧) にし、続いて $P5 = L$ にして $M17 = ON$ にする。この時点において $M1$ は自己放電状態になり、コンデンサー $C1$ の電圧は放電され $M1/G$ の電圧は上昇する。

【0010】

ところで MOS トランジスタの電流電圧特性は 1) 式の五極管特性で概略示すことができる。

【0011】

【数 1】

$$I_{ds} = k \times \Delta V$$

$$\Delta V = V_{gs} - V_{th}$$

1)

【0012】

ここで、 I_{ds} はドレイン電流、 k は駆動計数、 V_{gs} はゲート・ソース間電圧、 V_{th} はしきい値電圧である。

【0013】

1) 式から理解できるように $V_{gs} = V_{th}$ に近づくと I_{ds} は小さくなるため、 $M1$ の自己放電動作は弱くなる。従って $M1/G$ は図 10 (e) に示すように V_{th} に漸近する。さらにコンデンサー $C2$ は端子間電圧が $(V_{cc} - V_{th} - V_{bk})$ になるように放電される。 40

【0014】

(時刻 t_1 において)

$P5 = H$ となるため $M17 = OFF$ になり、続いて $P4 = L$ となるため $M16 = ON$ になり、続いて信号供給線 $Video$ を所望レベル $V_v(n)$ 下降させて $M1/G$ の電圧を 2) 式で示される電圧 $d_v(n)$ だけ下降させる。

【0015】

【数 2】

$$d v (n) = [C 2 \div (C 1 + C 2)] \times V v (n) \quad 2)$$

【 0 0 1 6 】

2) 式中では、C 1、C 2 は、コンデンサー C 1、C 2 の電気容量を表している。

【 0 0 1 7 】

d v (n) は V v (n) の遷移速度に基本的に依存しない。d v (n) は 1) 式の V に相当しこれによってトランジスタ M 1 は電流を E L 素子に注入する。

【 0 0 1 8 】

(時刻 t 2 において)

P 6 = H となるため M 1 5 = O F F になり、引き続き該当トランジスタ M 1 は電流を E L 素子に注入して発光動作を次の発光設定動作まで持続する。時刻 t 2 以降は次の画素表示回路 1 に対して同様な発光設定動作を行う。 10

【 0 0 1 9 】

以上述べた図 9 の画素表示回路 1 の発光設定動作においては、一旦 M 1 / G を V t h 電圧である黒レベルにリセットしてから設定電圧 V v を入力し、2) 式で示される駆動電流を発生する誤差電圧 d v (n) を M 1 / G に設定できる。このため表示パネルの各画素表示回路 1 内の各トランジスタ M 1 の T F T プロセスによって助長される V t h のバラツキ及び配線抵抗による各電源 V C C の電位変動に影響されることなく E L 素子への注入電流を設定できる。

【 0 0 2 0 】

20

〔電流設定方式〕

次に図 6 を用いて電流設定方式を説明する。図 6 は従来の電流設定方式による画素表示回路の回路図である。

【 0 0 2 1 】

信号供給線 V i d e o には、入力映像電圧信号を信号供給回路によって電流信号に変換した映像信号電流が入力される。信号供給線 V i d e o はゲートが制御パルス P 2 で制御された M 4 / S に接続され、M 4 / D はソース電極が電源 V C C に接続された M 2 / D とゲートを制御パルス P 1 で制御された M 3 / S とに接続される。M 2 / G は一端を電源 V C C に接続されたコンデンサー C 1 と M 3 / D とソース電極が電源 V C C に接続された M 1 / G とに接続される。M 1 / D は E L 素子の電流注入端子に接続され、E L 素子の他端は 30 接地 G N D される。

【 0 0 2 2 】

図 6 の画素表示回路 1 の動作を図 7 のタイムチャートを使用して説明する。図 7 (a) ~ (d) は、各々、信号供給線 V i d e o に供給される電流映像信号、制御パルス P 1、制御パルス P 2、M 1 / G 電圧を示す。

【 0 0 2 3 】

(時刻 t 0 以前において)

信号供給線 V i d e o には一行前の画素表示回路 1 への設定電流 I d (n - 1) になっており、また、P 1 = H、P 2 = L から M 3 = O F F 及び M 4 = O F F になっている。また M 1 / G には前回発光設定動作によって決定された電圧 V d # (n) が電源 V C C から与えられており、V d # (n) によって決定される M 1 からの出力電流が該当 E L 素子に注入され発光している。 40

【 0 0 2 4 】

(時刻 t 0 において)

信号供給線 V i d e o は図 6 の該当画素表示回路 1 の発光設定をする電流 I d (n) に変化するとともに、P 1 = L、P 2 = H から M 3 = O N 及び M 4 = O N に変化する。このため信号供給線 V i d e o に供給された電流 I d (n) は M 2 に供給され、M 2 は 1) 式を満たすように M 2 / G 電圧が変化し、コンデンサー C 1 が充電され図 7 (d) の様にここに接続されている M 1 / G が電圧 V d # (n) から電圧 V d (n) になる変化を開始し、時刻 t 1 までに終了する。 50

【 0 0 2 5 】

(時刻 t_1 において)

$P_1 = H$ より $M_3 = OFF$ に変化し、コンデンサ C_1 の充電動作は停止するため、 M_1 / G は電圧 $V_d(n)$ のまま保持状態になる。

【 0 0 2 6 】

(時刻 t_2 において)

$P_2 = L$ より $M_4 = OFF$ に変化してトランジスタ M_2 への電流供給は無くなるため、 M_2 / G に加えられている電圧 $V_d(n)$ のため発生する M_2 の出力電流により M_2 / D は急速に電位上昇し電源 V_{CC} になる。このとき M_2 は抵抗動作領域になり M_2 の出力電流は無くなりこの状態で安定する。このとき M_1 / G 電圧は変化が起らず電圧 $V_d(n)$ のままであり、次の発光設定動作まで電圧 $V_d(n)$ によって決定されるトランジスタ M_1 からの出力電流が EL 素子に注入されこの条件の発光を持続する。

【 0 0 2 7 】

(時刻 t_2 以降において)

信号供給線 V_{ideo} は次行の画素表示回路 1 を発光設定する設定電流 $I_d(n+1)$ に変化するとともに、該当画素表示回路 1 においては $P_1 = H$ 及び $P_2 = L$ のまま次の発光設定動作まで変化しない。そして次行の画素表示回路 1 の発光設定動作が同様に開始される。

【 0 0 2 8 】

以上説明した電流設定方式においても、表示パネルが例えば $QVGA(320 \times 240)$ の場合、信号供給線 V_{ideo} は 240 個の画素表示回路 1 に引き回され接続され、制御パルス P_1 、 P_2 は 320 個の画素表示回路 1 に引き回され接続される。電流設定方式の場合、各画素表示回路 1 におけるトランジスタ M_1 と M_2 の駆動特性を相対的に確保できた場合、各トランジスタの遷移電圧 V_{th} 及び 1) 式における駆動係数 k の絶対値バラツキの影響を受けずに論理的に EL 素子への注入電流を設定できる。各画素表示回路 1 のトランジスタ M_1 と M_2 の駆動特性を相対的に確保することは 2 つのトランジスタが近接して配置されることによって TFT プロセスにおいても比較的容易に実現できる。このため電流設定方式によれば基本的には小電流から広い D レンジで設定でき、均一化した高品位の画像を表示パネルに表示できる。

【 0 0 2 9 】

【 発明が解決しようとする課題 】

しかしながら、従来の EL 素子を駆動する図 9 に示す電圧駆動方式及び図 6 に示す電流駆動方式は以下に示す課題をもっている。

【 0 0 3 0 】

〔 図 9 の電圧駆動方式の課題 〕

課題 1 (トランジスタの駆動係数 k のバラツキ)

1) 式から理解できるように MOS トランジスタの出力電流 I_{ds} は各画素表示回路 1 において変動する駆動係数 k によって決定されているため、表示パネルの各画素の発光レベルを均一化することが困難である。そして発光レベルを均一化するためには難しい TFT プロセスの改良に依存しなければならない。

【 0 0 3 1 】

課題 2 (ホワイトバランスの確保)

また発光電流は誤差電圧 v の 2 乗で決定される為、 RGB の発光エネルギーのバランスによるホワイトバランス調整が難しいとともに、ドリフトに敏感であり表示画像の重要要素であるホワイトバランスを保証するのが難しい。

【 0 0 3 2 】

課題 3 (V_{th} 電圧へのリセット期間の確保)

さらに、画素表示回路 1 内の M_1 / G の V_{th} へのリセット動作期間 ($t_0 \sim t_1$) は、完全にリセット動作するためには長い時間を必要とする。なぜならば、 M_1 / G が V_{th} に漸近するほどトランジスタ M_1 の自己放電動作が弱まる為である。このため微小発光領

10

20

30

40

50

域の発光設定が難しく、画像の階調性を確保するのが難しく、高画質表示パネルを実現するのが難しい。

【 0 0 3 3 】

〔 図 6 の電流駆動方式の課題 〕

例えば Q V G A 表示パネルのサイズが 2 インチの場合、各色の E L 素子の最大所望注入電流は 1 0 0 n A ~ 2 0 0 n A 程度の微小電流であり、またコントラストを確保する為の最小所望電流は 1 n A 以下の極小電流を必要としており信号供給線 V i d e o にこの微小電流 ~ 極小電流を供給する必要がある。ところで 1) 式で示される M O S トランジスタ特性式を変形すると、 3) 式になる。

【 0 0 3 4 】

10

【 数 3 】

$$\Delta V = \sqrt{I_{ds}} \div k$$

$$r_e = \frac{d \Delta V}{d I_{ds}} = \frac{1}{k \times \sqrt{I_{ds}}} \quad 3)$$

$$\Delta V = V_{gs} - V_{th}$$

【 0 0 3 5 】

信号供給線 V i d e o の電位を決定する画素表示回路 1 のトランジスタ M 2 の動抵抗 r_e は、本発明者が経験している T F T プロセスにおいて $r_e (100 \text{ nA}) = 1 \text{ M}$ 、 $r_e (1 \text{ nA}) = 10 \text{ M}$ という非常に高抵抗になる。 20

【 0 0 3 6 】

課題 4 (信号供給線 V i d e o へのノイズ混入)

前述したように信号供給線 V i d e o は多数の画素表示回路 1 と引き回されながら接続される為、このような高抵抗線には外乱ノイズが容易に混入する。前述のように図 7 (e) は信号供給線 V i d e o にノイズが混入した場合の M 1 / G 電圧の様子を示している。

【 0 0 3 7 】

時刻 $t_0 \sim t_1$ 以外の期間では $M_3 = \text{OFF}$ なので該当画素表示回路 1 の M 1 / G に信号供給線 V i d e o が接続されずノイズ混入は無い。しかし時刻 $t_0 \sim t_1$ においては $M_3 = \text{ON}$ 及び $M_4 = \text{ON}$ なので M 1 / G にはノイズが混入する。このため時刻 t_1 の時 $M_3 = \text{OFF}$ に変化して M 1 / G 電圧が保持状態に移行したとき電圧 $V_d(n)$ がノイズ混入がないときの所望値に対して電圧 V_d の誤差が生じることになる。これにより、トランジスタ M 1 は所望出力電流からずれた出力電流を E L 素子に注入してしまい当然発光量もずれてしまう。 30

【 0 0 3 8 】

ノイズは管理できるものでないから各画素表示回路 1 におけるノイズ混入による発光量ずれも異なるので安定した表示画像が得られない。またノイズ混入による影響も R G B 映像信号が小さい場合に顕著になり、さらに画像の S / N 悪化をもたらす。

【 0 0 3 9 】

40

E L 素子が必要とする注入電流は小さく、一般に駆動能力の低い (駆動係数 k が小さい) T F T プロセスにおいても駆動誤差電圧 ($V_{gs} - V_{th}$) は遷移電圧 V_{th} の $1 / 10$ 程度であり、ノイズ混入による M 1 / G 電圧の誤差は大きな影響を及ぼすことになる。このため電流設定方式においては表示パネルを外乱ノイズから隔離する必要があるが、表示パネルの発光面をシールドすることは難しい。

【 0 0 4 0 】

また信号供給線 V i d e o の抵抗値を抑える為、画素表示回路 1 のトランジスタ M 2 のサイズを大きくして設定電流 I_{ds} を大きくして M 2 の動抵抗値 r_e を抑えることが考えられるが、 3) 式より、設定電流 I_{ds} を 10 倍に増やしても r_e は $1 / 10$ にしかならない。またこの方法では画素サイズが制限された表示パネル用の画素表示回路 1 には大き 50

なトランジスタM2を搭載できず、特に消費電流を抑える必要がある小型表示パネルでは解決法にならない。

【0041】

本発明は上記課題に鑑みなされたものであり、これらの課題を解決することが可能となるEL素子駆動回路、及びそれを備えた表示パネルを提供することを目的とするものである。

【0042】

【課題を解決するための手段】

上記課題を解決するための第1の発明は、

注入電流で発光動作するエレクトロルミネッセンス(EL)素子を発光させるEL素子駆動回路において、

EL素子と、第1、第2及び第3のトランジスタと、コンデンサーと、第1、第2及び第3のスイッチと、を少なくとも備え、

前記第1トランジスタと第2トランジスタとは、第1主電極同士及びゲート電極同士が互いに接続され、

前記コンデンサーは、前記第1トランジスタの第1主電極とゲート電極との間に接続され、

前記EL素子は、前記第1トランジスタの第2主電極に接続され、

前記第1スイッチは、前記第2トランジスタの第2主電極とゲート電極との間に接続され、

前記第2スイッチは、前記EL素子への注入電流を規定する信号電流を供給するための信号供給線と前記第2トランジスタの第2主電極との間に接続され、

前記第3トランジスタは、第1主電極が電源に接続され、第2主電極が前記第1トランジスタの第1主電極に接続され、第1主電極と第2主電極との間の電位差により所定の方向に電流が流れるようにゲート電極と第1主電極又は第2主電極とが短絡され、

前記第3スイッチは、電源と前記第1トランジスタの第1主電極との間に接続され、

前記第1スイッチ及び第2スイッチが短絡されているときに前記第3スイッチを開放させ、第1スイッチ及び第2スイッチが開放しているときは前記第3スイッチを短絡させるように構成されていることを特徴とするEL素子駆動回路である。

【0043】

上記課題を解決するための第2の発明は、上記第1の発明のEL素子駆動回路をマトリクス状に複数接続したことを特徴とする表示パネルである。

【0044】

本発明は、上記第1の発明において、

前記EL素子駆動回路が少なくとも画素表示回路と信号供給回路とを含み、

前記画素表示回路は、前記EL素子と、前記第1及び第2のトランジスタと、前記コンデンサーと、前記第1、第2及び第3のスイッチと、を含み、さらに第4のスイッチを備えた回路であり、

前記信号供給回路は、前記第3のトランジスタを含み、

前記画素表示回路と前記信号供給回路とは、少なくともノイズ抑制線と前記信号供給線とにより接続され、

前記第3トランジスタの第2主電極と前記第1トランジスタの第1主電極とは、前記ノイズ抑制線と前記第4スイッチとを介して接続され、

前記第1スイッチ及び第2スイッチが短絡されているときに前記第3スイッチを開放し前記第4スイッチを短絡し、第1スイッチ及び第2スイッチが開放しているときは前記第3スイッチを短絡し前記第4スイッチを開放させるように構成されていることをその好ましい態様として含むものである。

【0045】

上記課題を解決するための第3の発明は、

少なくとも、上記画素表示回路と信号供給回路とを備える発明に記載のEL素子駆動回路

を複数含み、画素表示回路はマトリクス状に接続され、該マトリクス状に接続された画素表示回路のうち1ラインに属する画素表示回路を1組として、各組の画素表示回路を各組毎に1つつづ配置された信号供給回路のそれぞれに共通に接続したことを特徴とする表示パネルである。

【0046】

【発明の実施の形態】

(実施の形態1)

図1は本発明のEL素子駆動回路の実施形態1を示す回路図である。本形態においては、電圧として入力された映像信号PICを映像電流信号に変換する信号供給回路2と画素表示回路1とに分かれた構成となっており、本発明における第1の発明の回路構成が画素表示回路1に含まれた形態となっているが、本発明の形態はこれに限られるものではない。

10

【0047】

ここで、図1の構成を説明する前に、表示パネルにおいて電流設定方式を使用した場合の構成例を説明する。

【0048】

〔電流設定方式の表示パネルの構成〕

図8は電流設定方式による表示パネルの全体ブロック図である。図8において、1は画素表示回路、2は信号供給回路、3はサンプルホールド回路、4は水平(列)走査シフトレジスタ、5はパルス発生回路、6は基準電流発生回路、7は垂直(行)走査シフトレジスタ、8は入力回路、Videoは信号供給線であり、SKは画素クロック信号、SPは水平(列)開始信号、VR、VG、VBはRGB各色の基準電流設定電圧、LKは垂直(行)走査クロック信号である。

20

【0049】

入力映像電圧信号はRGB信号であり、RGB各画素ごとに発光設定する為、各サンプルホールド回路3に輸入される。画素クロックSKは入力回路8を介して1番目の水平(列)シフトレジスタ4に輸入される。垂直(行)走査クロックLKは入力回路8を介して、パルス発生回路5と垂直(行)走査シフトレジスタ7群の1番目に輸入されるとともに信号供給回路2群に輸入される。垂直(行)走査クロックLKはパルス発生回路5において奇数行/偶数行を識別するために2分周されてサンプルホールド回路3群に輸入される。水平(列)シフトレジスタ4は図のようにRGB各組に1つ配置される。水平(列)開始信号SPは入力回路8を介してパルス発生回路5に輸入され、2本の水平(列)開始信号に変換され水平(列)シフトレジスタ4群に輸入される。

30

【0050】

サンプルホールド回路3は、順次入力されるRGB映像電圧信号に対処する為、2個のサンプルホールド回路を内蔵して、奇数行用の映像信号入力時は1番目のサンプルホールド回路はサンプル動作して2番目のサンプルホールド回路がホールド動作し、偶数行用の映像信号入力時は2番目のサンプルホールド回路はサンプル動作して1番目のサンプルホールド回路がホールド動作し、常にRGB映像情報を出力できるようにしておく。

【0051】

各サンプルホールド回路3のRGB出力映像信号PICは各信号供給回路2に輸入される。RGB基準電流設定電圧VR、VG、VBは基準電流発生回路6に輸入され、各色用の基準電流IoR、IoG、IoBを発生する為のバイアス電圧VbR、VbG、VbBを発生して各色の各信号供給回路2群に輸入して、基準電流IoR、IoG、IoBを各信号供給回路2で発生させる。このように基準電流を各色ごとに設定する理由は、EL素子の電流発光変換特性がRGB各色で異なることが一般的であることに対処するためである。

40

【0052】

各信号供給回路2では各色の電圧で入力された映像信号PICを、内部で発生した基準電流に係る映像電流信号Idに変換して、各垂直(列)の画素表示回路1群に引き回して接続された信号供給線Videoに供給する。

50

【 0 0 5 3 】

垂直（行）走査シフトレジスタ 7 の出力である行制御パルスは各行の画素表示回路 1 群に供給される。

【 0 0 5 4 】

図 8 において行間において各色の画素表示回路 1 が 1 . 5 画素ずれた 配列をしているのは、特に Q V G A 等の低解像度表示パネルにおける色の縦ビートを削減する為のスクリーン角を形成する為のものである。また図示していないが、入力 R G B 映像信号は対ノイズ性を考慮して基準信号とともに入力するのが一般的であり、このとき各サンプルホールド回路 3 では映像信号と同様に基準信号をサンプルホールドして出力し、映像信号 P I C とともに基準信号 R E F を各信号供給回路 2 に入力する。

10

【 0 0 5 5 】

また、垂直（行）走査クロック L K はブランキング信号の機能を持っており、信号供給回路 2 の出力電流信号 I d が各列の画素表示回路 1 群内で使用されない期間の処理を行う為に信号供給回路 2 に入力されている。

【 0 0 5 6 】

〔図 1 の画素表示回路 1、信号供給回路 2 の説明〕

図 1 において、1 は画素表示回路、2 は信号供給回路、C はコンデンサー、E L は E L 素子、M 1 は第 1 トランジスタ、M 2 は第 2 トランジスタ、M 3 は第 1 スイッチ、M 4 は第 2 スイッチ、M 5 は第 3 トランジスタ、M 6 は第 3 スイッチ、V i d e o は信号供給線、V C C は電源、G N D は接地、R E F は基準信号、P I C は映像信号である。

20

【 0 0 5 7 】

本発明の第 1 主電極、第 2 主電極とは、ソース電極とドレイン電極とのいずれかを夫々示しており、以下においては第 1 主電極がソース電極、第 2 主電極がドレイン電極である形態を示す。従って図 1 の形態は M O S トランジスタの夫々の極性を適切に設計して配線した一例を示したものであり、M O S トランジスタの極性を適宜変更して本発明と同じ機能を有するように構成しても構わない。この事は、後述の実施の形態 2 においても同様である。

【 0 0 5 8 】

図 1 における信号供給回路 2 は、従来の電流設定方式を使用した図 6 の画素表示回路 1 に対して使用されるものと同じものであるが、まず電流変換回路 2 について説明する。

30

【 0 0 5 9 】

サンプルホールド回路 3 から映像信号 P I C と基準信号 R E F とが、ソース電極同士が互いに接続された M 9 / G 及び M 1 0 / G に各々入力される。バイアス電圧 V b はソース電極が電源 V C C に接続された M 8 / G に入力され、M 8 / D から基準電流 I o を M 9 / S (M 1 0 / S) に供給する。M 9 / D は接地 G N D に接続され、M 1 0 / D からは基準信号 R E F に対する映像信号 P I C のレベル差と基準電流 I o に関連し変換された映像電流信号が出力され、図 1 に示すようにトランジスタ M 1 1 と M 1 4 からなるカレントミラー回路によって M 1 4 / D より発光設定電流信号 I d を信号供給線 V i d e o に出力する。

【 0 0 6 0 】

M 1 4 / D はゲートが制御パルス P 3 によって制御された M 1 3 / D に接続され、M 1 3 / S はソースが電源 V C C に接続されドレインとゲートが短絡されたトランジスタ M 1 2 に接続される。制御パルス P 3 は垂直（行）走査クロック L K であり、信号供給線 V i d e o に出力される発光設定電流信号 I d が接続された画素表示回路 1 群に供給されないブランキング期間において M 1 3 = O N になり、トランジスタ M 1 2 によって画素表示回路 1 により決定される信号供給線 V i d e o の近傍電位に規定する。

40

【 0 0 6 1 】

次に、図 1 の画素表示回路 1 と図 6 の従来の画素表示回路 1 との相違点を説明し、本発明の構成の特徴を明確にする。即ち、図 1 の本発明の構成においては、M 1 / S、M 2 / S 及びコンデンサー C 1 が接続されたノードは、電源 V C C に直接接続されるのではなく、ソース電極が電源 V C C に接続されゲート電極が制御パルス P 2 で制御された M 6 / D に

50

接続されるとともに、ソース電極が電源VCCに接続されゲート電極とドレイン電極とが短絡されたトランジスタM5に接続される。

【0062】

このような構成とすることにより、後述の説明で明らかとなるように、信号供給線Videoから混入するノイズによりコンデンサーCに与えられる電位差が所定の値からずれることを防止することができる。

【0063】

図1の画素表示回路1の動作を図3のタイムチャートを使用して説明する。図3(a)～(c)はVideoから入力される発光設定電流信号、制御パルスP1、制御パルスP2のレベルを示しており、図7のタイムチャートと同様である。図3(d)の#1及び#2はM1/G(M2/G)及びM1/S(M2/G)の信号を示す。

10

【0064】

(時刻t0以前において)

M3=OFF、M4=OFF、M6=ONである為、M2/S(M1/S)は電源VCCになり、図6の画素表示回路1と同様に前回電流設定によって電圧Vd#(n)がM1/Gに与えられ、トランジスタM1からの出力電流によってEL素子は設定された発光を行っている。

【0065】

(時刻t0において)

M3=ON、M4=ONに変化し、M6はOFFする為、このとき信号供給線Videoに供給される設定電流Id(n)がトランジスタM5に供給されることによりM2/Sは1)式を満たすM5のVgsに向かって電圧降下始めるとともに、トランジスタM2に設定電流Id(n)が供給される為、M2/GはM2/Sからさらに1)式を満たすM2のVgsに向かって電圧降下始める。そして時刻t1までにトランジスタM5とM2によるコンデンサーC1への充電動作を終了し、M2/Sに対するM2/Gの電圧は図6の画素表示回路1と同様に設定電流をM1に発生する設定電圧Vd(n)になる。

20

【0066】

(時刻t1において)

M3=OFFに変化するが、M2/S(M1/S)電圧に対してM1/G(M2/G)電圧は設定電圧Vd(n)のままである。

30

【0067】

(時刻t2において)

M4=OFF及びM6=ONに変化し、M2/S(M1/S)電圧は電源VCCに変化するが、M2/S(M1/S)電圧に対してM1/G(M2/G)電圧はコンデンサーCにより設定電圧Vd(n)のまま保持され、トランジスタM1の出力電流がEL素子に供給され次の発光設定動作が開始されるまで設定した発光動作を行う。次の画素表示回路1の発光設定動作を同様に開始する。

【0068】

図3(e)は電流設定方式の課題であった信号供給線Videoへのノイズ混入に対する図1の画素表示回路1の動作を示すものである。該当表示回路1はトランジスタM2がONしている期間t0～t1において信号供給線Videoへのノイズ混入により、図3(e)の#1及び#2の様にM2/G及びM2/Sがノイズ信号で変動するが、これらは類似した波形となる。なぜならば、前述したように信号供給線Videoに供給される設定電流は微小電流～極小電流である為、トランジスタM6の動抵抗は1M～10Mが想定され、このような高抵抗においてコンデンサーC1は期間t0～t1に比べて短い期間で変動するノイズ信号に対して電圧保持動作になることによってM2/GとM2/Sのノイズ混入による変動N1とN2はほとんど等しくなるからである。このため信号供給線Videoにノイズ混入があってもM2/Sに対するM2/Gの電圧は所望電圧Vd(n)にほとんど等しい設定電圧Vd%(n)とすることができる。このため時刻t1以降のM1/Gに与えられる設定電圧Vd%(n)は所望設定電圧Vd(n)にほとんど等しく、

40

50

したがってトランジスタM1の出力電流による発光するEL素子はおおよそ所望発光動作を行うことができる。

【0069】

なお、図1の画素表示回路1におけるトランジスタM3、M4、M5のP型/N型のタイプを限定しているものではなく、トランジスタM3、M4は制御パルスP1、P2の極性を変えれば容易に構成できることは明確である。

【0070】

(実施の形態2)

図2は本発明のEL素子駆動回路の実施形態2を示す回路図である。図2において、図1と同じ符号は同じ要素を示している。また、M7は第4スイッチである。

10

【0071】

まず、図2で示される本形態と前記の図1の形態との、画素表示回路1と信号供給回路2との構成の差異について説明する。

【0072】

画素表示回路1と信号供給回路2とは、信号供給線Videoの他にノイズ抑制線xxxにより接続されている。ノイズ抑制線xxxは信号供給線Videoと同様に該当列の画素表示回路1群に引き回され接続される。

【0073】

図2の画素表示回路1においては、M2/S、M1/S及びコンデンサーC1が接続されたノードには、ソース電極がノイズ抑制線xxxに接続されゲート電極が制御パルスP2で制御された第4スイッチM7のドレイン電極が接続される。

20

【0074】

また、本形態においては、第3トランジスタM5は信号供給回路2に含まれている。

【0075】

次に動作を図3のタイムチャートの(f)を使用して説明する。

【0076】

(時刻t0以前において)

M3 = OFF、M4 = OFF、M7 = OFFでありM6 = ONしている為、M2/S(M1/S)は電源VCCになり、図6の画素表示回路1と同様に前回電流設定によって電圧Vd#(n)がM1/Gに与えられ、トランジスタM1からの出力電流によってEL素子は設定された発光を行っている。

30

【0077】

(時刻t0において)

M3 = ON、M4 = ON及びM6 = OFFに変化し、M7 = ONとなる為、このとき信号供給線Videoに供給される設定電流Id(n)がノイズ抑制線xxxを介して信号供給回路2内のトランジスタM5に供給される。したがってM2/S電圧は1)式を満たすM5のVgsに向かって電圧降下始めるとともに、トランジスタM2に設定電流Id(n)が供給される為M2/GはM2/Sからさらに1)式を満たすM2のVgsに向かって電圧降下始める。そして時刻t1までにトランジスタM5とM2によるコンデンサーC1への充電動作を終了し、M2/Sに対するM2/Gの電圧は図6の画素表示回路1と同様に設定電流をM1に発生する設定電圧Vd(n)になる。

40

【0078】

(時刻t1において)

M3 = OFF、M7 = OFFに変化するためノイズ抑制線xxxは該当画素表示回路1から切り離され、信号供給線Videoに供給されている設定電流Id(n)によってM2/S電圧は電圧降下を開始する。しかし設定電流Id(n)は微小~極小であるためこの電圧降下は急激なものではなく、M1/S(M2/S)電圧に対してM1/G(M2/G)電圧は設定電圧Vd(n)のままである。

【0079】

(時刻t2において)

50

M4 = OFF、M6 = ONに変化して、M1 / S (M2 / S) の時刻 t1 からの電圧降下は停止して M1 / S (M2 / S) は急速に電源 VCC になる。この過程において M1 / G (M2 / G) 電圧は、コンデンサー C により電源 VCC から設定電圧 Vd (n) のまま保持され、トランジスタ M1 の出力電流が EL 素子に供給され次の発光設定動作が開始されるまで設定した発光動作を行う。そして次行の画素表示回路 1 の発光設定動作を同様に開始する。

【0080】

このような本形態によれば、M2 / G 及び M2 / S のノイズ混入による変動 N1 及び N2 は、ノイズ抑制線 xxx が信号供給線 Vdeo と同様に引き回されることから実施の形態 1 の画素表示回路 1 の動作よりもさらに類似した波形となり、より高いノイズ抑制効果が得られるとともに、期間 t0 ~ t1 に比べて長周期のノイズ変動に対しても M2 / S に対する M2 / G の電圧を設定電圧にほぼ等しい Vd % (n) にできる。このため時刻 t2 以降の M1 / G に与えられる設定電圧 Vd % (n) は所望設定電圧 Vd (n) にほとんど等しく、したがってトランジスタ M1 の出力電流により発光する EL 素子はおおよそ所望発光動作を行うことができる。尚、図 3 (g) は、本形態においても図 3 (e) に示した実施の形態 1 の形態の効果と同様な効果が得られることを明示したものである。

【0081】

本形態においても、図 2 の画素表示回路 1 におけるトランジスタ M3、M4、M7 の P 型 / N 型のタイプを限定してしているものではなく、各トランジスタのゲート制御パルス信号を適宜入力すれば、容易に構成できることは明確である。

【0082】

表示パネルの画素表示回路 1 において前述したようにスペース的な制約は非常に大きい。図 2 の画素表示回路 1 に関して TFT プロセスを想定したレイアウト構成の一例を図 4 に示す。また、その際に使用した TFT プロセスの構造の概念図を図 11 に示す。

【0083】

ガラス基板 a の上に、他の配線にも使用できるゲート配線層 b を設け、そのゲート配線層 b の上に薄い絶縁層であるゲート酸化膜層 c を設け、その上にポリシリコン層 d を設け、その上に第 1 の配線絶縁層 e を設け、第 1 の配線絶縁層 e の結線個所にスルーホールを設けておき、その上に第 1 の配線層 f を設け、その上に比較的厚い第 2 の配線絶縁層 g を設けたあと表面を平滑化しておき、EL 素子の電流注入端子に接続されるノード個所にスルーホールを設けたのち第 2 の配線層 h を該当 EL 素子の発光領域に設け、その上に EL 発光層 i を設けた後に前面に透明導体 (ITO) 層 j を設ける構成である。

【0084】

図 11 に示したポリシリコン層 d の領域に形成されるトランジスタは、EL 素子を駆動するトランジスタ M1 を示している。

【0085】

以上説明した TFT プロセスを一般にボトムゲート方式といいゲート配線層 b の配線使用条件に制約があるがトランジスタ特性に良いとされている。

【0086】

図 11 の TFT プロセスで構成した図 4 の画素表示回路 1 のレイアウトにおいては、表示パネルにおける行配線となる電源 VCC、制御パルス P1、P2 はゲート配線層 b を使用し、列配線となる信号供給線 Vdeo 及びノイズ抑制線 xxx は第 1 の配線層 f を使用している。コンデンサー C1 はゲート配線層 b、ゲート酸化膜層 c 及びポリシリコン層 d で構成している。尚、図 4 において EL と記したノード M1 / D が EL 素子の電流注入端子への接続パッドであり図 4 には第 2 の配線層 h、EL 発光層 i、透明導体層 j は省略している。

【0087】

表示パネルにおいて画素表示回路 1 を前述したように配列することは非常に重要である。図 5 は図 4 の画素表示回路 1 のレイアウトを使用して配列レイアウトを実現したものである。

10

20

30

40

50

【 0 0 8 8 】

配列レイアウトにおいては列配線数の制約が大きい、図 2 の画素表示回路 1 におけるノイズ抑制線 x x x の結線される信号供給回路 2 は、信号供給線 V i d e o と異なり、何れかの色の信号供給回路 2 に接続されれば良いので、列配線への制約が減少できる。例えば図 5 において R 色のノイズ抑制線 x x x は最も近接した行の B 色の画素表示回路 1 のノイズ抑制線 x x x を介して接続している。

【 0 0 8 9 】

図 2 の画素表示回路 1 の使用トランジスタ数 = 6 は図 6、図 9 に示す従来の電流設定方式及び電圧設定方式の使用トランジスタ数 = 4 に比べて 2 つ多い。しかし、電圧設定方式の場合、コンデンサー C 2 を必要とし、これはトランジスタより大きくなる。また、従来の電流設定方式においても対ノイズ性を向上させるため図 6 のトランジスタ M 2 を大きくして信号供給線 V i d e o に供給される設定電流を増やす為、トランジスタ数 = 4 であるこれら 2 つの E L 素子駆動回路にレイアウト上の優位性はない。

【 0 0 9 0 】

さらに、図 5 の 配列の画素表示回路 1 のレイアウトにおいては、実用化されている 4 μ ルールの T F T プロセスで列方向が 1 9 0 p p i、行方向は 2 0 0 p p i を実現できる。進化の著しい T F T プロセスの微細化によって列方向も目標である 2 0 0 p p i の実現性は極めて高い。

【 0 0 9 1 】

【 発明の効果 】

以上説明した様に本発明の E L 素子駆動回路を使用した場合、従来の電圧設定方式に比べて使用する回路素子の特性バラツキの影響を受けずに E L 素子の発光動作を行うことができ、従来の電流設定方式に比べて信号供給線へのノイズ混入による E L 素子の発光動作誤差（変動）を著しく減少させるとともに、駆動回路レイアウトの制約を最小限にでき、高画質の E L 素子を使用した表示パネルを実現できる効果がある。

【 図面の簡単な説明 】

【 図 1 】 本発明の E L 素子駆動回路の一実施形態を示す回路図である。

【 図 2 】 本発明の E L 素子駆動回路の別の実施形態を示す回路図である。

【 図 3 】 図 1、図 2 に示した形態の E L 素子駆動回路の動作を説明するためのタイムチャートである。

【 図 4 】 図 2 に示した形態の E L 素子駆動回路に含まれる画素表示回路の回路レイアウトの一例である。

【 図 5 】 図 4 の形態の回路レイアウトを有する画素表示回路を複数 配置したタイプの表示パネルの回路レイアウトである。

【 図 6 】 従来の電流設定方式による画素表示回路の回路図である。

【 図 7 】 図 6 の画素表示回路の動作を説明するためのタイムチャートである。

【 図 8 】 電流設定方式による表示パネルの全体ブロック図である。

【 図 9 】 従来の電圧設定方式による画素表示回路の回路図である。

【 図 1 0 】 図 9 の画素表示回路の動作を説明するためのタイムチャートである。

【 図 1 1 】 T F T プロセスの構成概念図である。

【 符号の説明 】

- 1 画素表示回路
- 2 信号供給回路
- 3 サンプルホールド回路
- 4 水平（列）走査シフトレジスタ
- 5 パルス発生回路
- 6 基準電流発生回路
- 7 垂直（行）走査シフトレジスタ
- 8 入力回路
- C コンデンサー

10

20

30

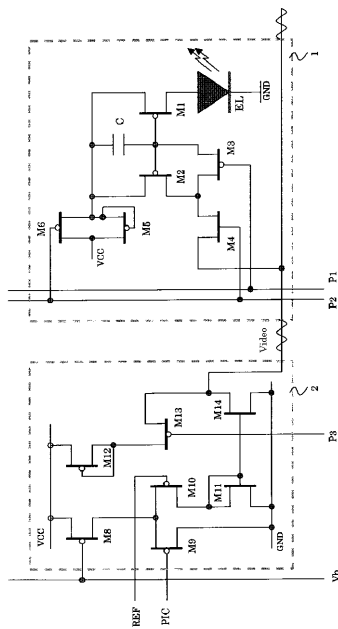
40

50

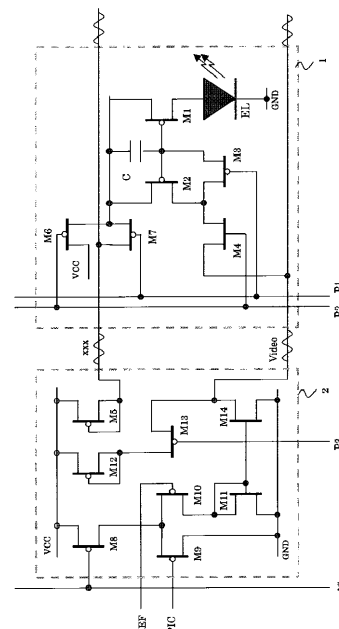
E L E L 素子
 M 1 第 1 トランジスタ
 M 2 第 2 トランジスタ
 M 3 第 1 スイッチ
 M 4 第 2 スイッチ
 M 5 第 3 トランジスタ
 M 6 第 3 スイッチ
 M 7 第 4 スイッチ
 x x x ノイズ抑制線
 V i d e o 信号供給線
 V C C 電源

10

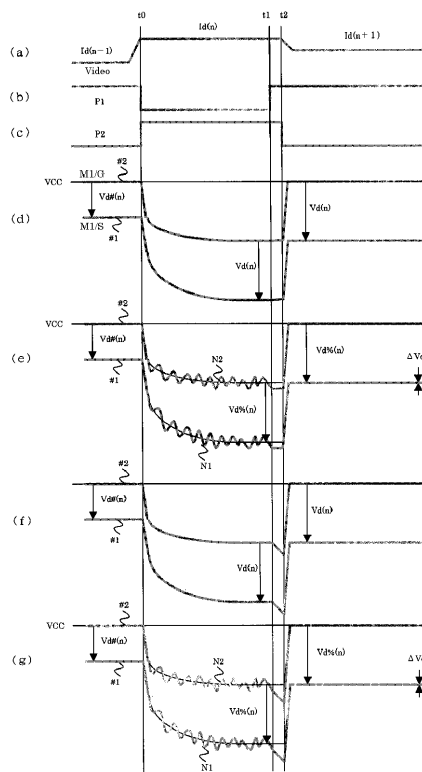
【図 1】



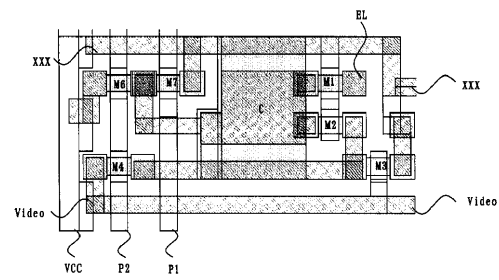
【図 2】



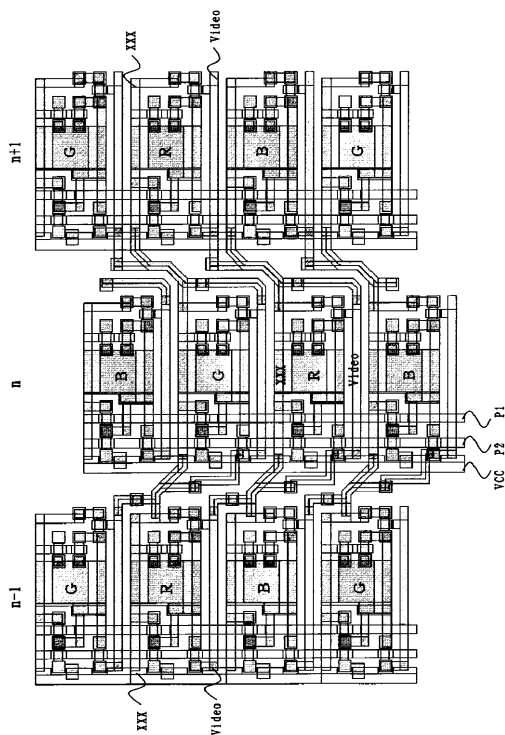
【図 3】



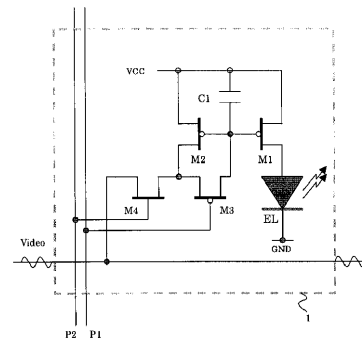
【図 4】



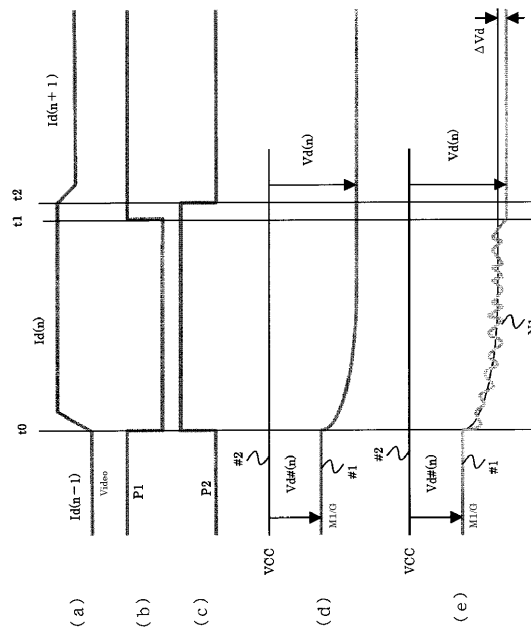
【図 5】



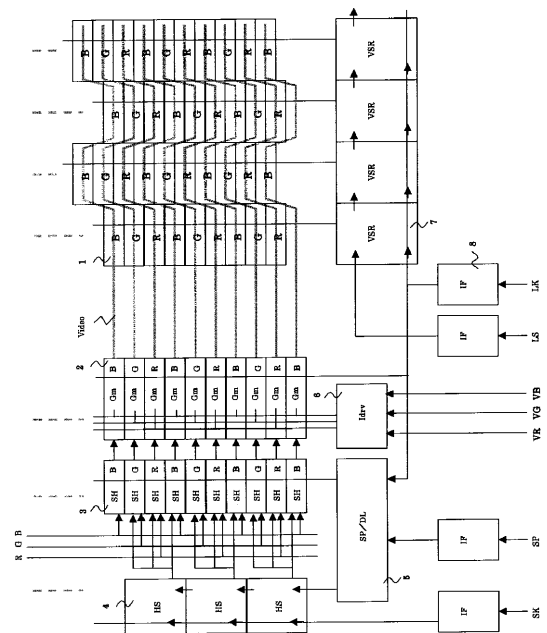
【図 6】



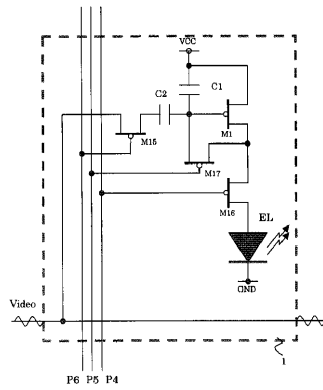
【圖 7】



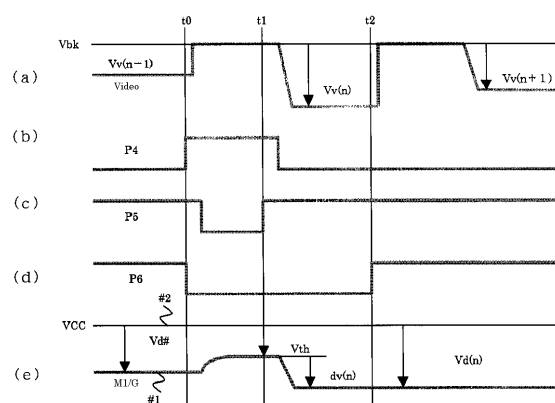
【 図 8 】



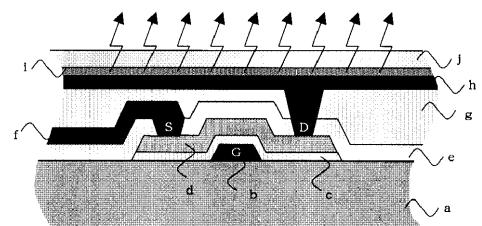
【 圖 9 】



【 図 1 0 】



【 𠄎 1 1 】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
H 0 5 B 33/14 A

(56) 参考文献 特開 2 0 0 3 - 2 1 6 1 0 0 (J P , A)
特開 2 0 0 3 - 1 5 0 1 0 4 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)
G09G 3/00- 3/38

专利名称(译)	EL元件驱动电路和显示板		
公开(公告)号	JP3997109B2	公开(公告)日	2007-10-24
申请号	JP2002132287	申请日	2002-05-08
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
当前申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明 大村昌伸		
发明人	川崎 素明 大村 昌伸		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32 H01L29/786		
CPC分类号	G09G3/3241 G09G3/3233 G09G3/3283 G09G3/3291 G09G2300/0417 G09G2300/0814 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0254 G09G2310/06 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.611.Z G09G3/20.612.E G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/20.680.H G09G3/3225 G09G3/3275 G09G3/3283 H01L29/78.614		
F-TERM分类号	3K007/AB04 3K007/AB17 3K007/DB03 3K007/GA04 3K107/AA01 3K107/AA06 3K107/BB01 3K107/CC08 3K107/CC32 3K107/CC33 3K107/CC43 3K107/EE03 3K107/EE57 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD30 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB23 5C380/AB34 5C380/AB41 5C380/BA08 5C380/BA38 5C380/BA39 5C380/BB23 5C380/CA02 5C380/CA13 5C380/CA21 5C380/CC01 5C380/CC04 5C380/CC11 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CD024 5C380/CE04 5C380/CF07 5C380/DA49 5C380/HA20 5F110/AA30 5F110/BB02 5F110/CC07 5F110/DD02 5F110/FF02 5F110/GG02 5F110/GG13 5F110/NN72 5F110/QQ19		
代理人(译)	渡边圭佑 山口 芳広		
其他公开文献	JP2003323156A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示面板，其中对驱动电路布局施加的约束最小化，同时减少由于电路元件的特性的分散和噪声侵入信号而导致的EL元件的发光操作中的误差。用于提供视频信号的电源线也被减少，并且使用提供高图像质量的EL元件。

ŽSOLUTION：选择当前设定系统作为驱动系统。具有用于弱电流的大动态电阻特性的晶体管（M5）插入在确定EL元件的注入电流量的电压设定晶体管（M2）和电源（VCC）之间。为了抑制由信号供给线（视频）侵入的噪声引起的电容器（C）的端子间电压的波动。Ž

$$I_{ds} = k \times \Delta V$$

$$\Delta V = V_{gs} - V_{th}$$