

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-101373

(P2013-101373A)

(43) 公開日 平成25年5月23日(2013.5.23)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-----------------------------|----------------|-------------|
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| G09G 3/20 (2006.01) | G09G 3/20 624B | 5C080 |
| HO1L 51/50 (2006.01) | G09G 3/20 611A | 5C380 |
| | G09G 3/20 611H | |
| | G09G 3/20 642A | |

審査請求 有 請求項の数 4 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2012-283304 (P2012-283304)
 (22) 出願日 平成24年12月26日 (2012.12.26)
 (62) 分割の表示 特願2010-528679 (P2010-528679) の分割
 原出願日 平成21年6月2日 (2009.6.2)
 (31) 優先権主張番号 特願2008-231807 (P2008-231807)
 (32) 優先日 平成20年9月10日 (2008.9.10)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (72) 発明者 岸 宣孝
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC14 CC33 HH05
 5C080 AA06 BB05 CC03 DD01 DD26
 EE29 EE30 FF03 FF11 FF12
 HH09 JJ02 JJ03 JJ04 JJ05

最終頁に続く

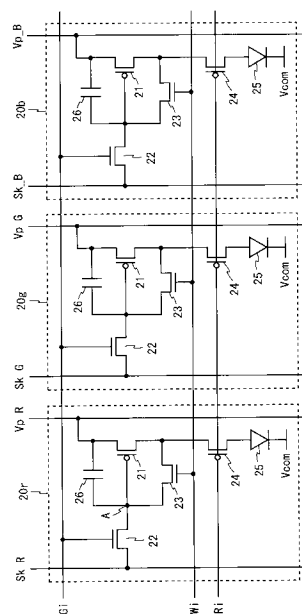
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】高画質で低消費電力の電流駆動型カラー表示装置を提供する。

【解決手段】画素回路20は、有機EL素子25と、駆動用TFT21と、駆動用TFT21のゲート-ドレイン間に設けられたスイッチ用TFT23を含む。画素回路20への書き込み時には、駆動用TFT21のゲート端子に初期電圧を印加し、駆動用TFT21が導通状態である間にスイッチ用TFT23を一時的に導通状態に制御し、そのときの駆動用TFT21のゲート端子電位を用いて補正されたデータ電圧を駆動用TFT21のゲート端子に印加する。人間は青色の色度の違いには敏感であるが、緑色の色度の違いには鈍感である。青色用の画素回路には閾値補正の精度が高くなる電源電圧VDD_Bを使用し、緑色用の画素回路には消費電力が低くなる電源電圧VDD_Gを使用する。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第 1 の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第 2 の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも 2 種類の画素回路間で異なる初期電位差が与えられるように、前記駆動素子の第 2 の導通端子には少なくとも 2 種類の画素回路間で異なる電源電圧が印加されることを特徴とする、表示装置。

【請求項 2】

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、1 種類の初期電圧を前記データ線に印加することを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第 1 の電極を前記データ線に接続し、前記容量の第 2 の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記参照電圧は、少なくとも 2 種類の画素回路間で異なることを特徴とする、請求項 3 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に関し、より特定的には、有機 EL ディスプレイや FED などの電流駆動素子を用いた表示装置およびその駆動方法に関する。

【背景技術】**【0002】**

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機 EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) に関する研究開発が活発に行われている。

【0003】

有機 EL ディスプレイに含まれる有機 EL 素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機 EL 素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機 EL ディスプレイに電圧制御型の駆動方式を適用すると、有機 EL 素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機 EL 素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機 EL ディスプレイには電流制御型の駆動方式を適用することが好ましい。

10

20

30

40

50

【 0 0 0 4 】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成されたTFT (Thin Film Transistor : 薄膜トランジスタ) を用いて構成される。ところが、TFTの特性 (例えば、閾値電圧や移動度) には、ばらつきが生じやすい。そこで、有機ELディスプレイの画素回路にはTFTの特性のばらつきを補償する回路が設けられ、この回路の作用により有機EL素子の輝度のばらつきが抑えられる。

【 0 0 0 5 】

電流制御型の駆動方式においてTFTの特性のばらつきを補償する方式は、駆動用TFTに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

10

【 0 0 0 6 】

ところが、電流プログラム方式には、第1に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTFT作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

20

【 0 0 0 7 】

電流制御型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図14は、特許文献1に記載された画素回路と出力スイッチの回路図である。図14において、画素回路120はトランジスタT1~T4、有機EL素子OLEDおよびコンデンサCsを備え、出力スイッチ121はトランジスタT5~T8およびコンデンサC1を備えている。画素回路120は、電源配線Vp、共通陰極Vcom、走査線G1i、G2iおよびデータ線Sjに接続される。トランジスタT5~T8の一端には、それぞれ、電圧V0、データ電圧Vdata、閾値補正電圧Vpreおよび電圧Vaが印加される。電圧Vaは、トランジスタT3の閾値電圧に近い電圧である。

30

【 0 0 0 8 】

画素回路120は、図15に示すタイミングチャートに従って動作する。図15に示すように、閾値電圧書き込み期間の前半では、トランジスタT1、T2、T5、T7は導通状態になり、トランジスタT4、T6、T8は非導通状態になる。このとき、データ線Sjには閾値補正電圧Vpreが印加され、トランジスタT3のゲート端子とドレイン端子にも同じ電圧が印加される。閾値電圧書き込み期間の後半では、トランジスタT7は非導通状態になる。このとき、コンデンサCsに蓄積されていた電荷はトランジスタT1~T3を経由して放電され、トランジスタT3のゲート端子電位はトランジスタT3の閾値電圧に応じたレベルVtまで上昇する。また、閾値電圧書き込み期間の後半では、トランジスタT8が所定の時間だけ導通状態になる。これにより、データ線Sjには浮遊容量Cfを充電するための電圧Vaが印加され、トランジスタT3のゲート端子電位は短時間でVtに到達する。

40

【 0 0 0 9 】

表示データ電圧書き込み期間では、トランジスタT2、T6は導通状態になり、トランジスタT1、T4、T5、T7、T8は非導通状態になる。閾値電圧書き込み期間から表示データ電圧書き込み期間に遷移するとき、コンデンサC1の電極間電圧は変化しない。このため、コンデンサC1の一方の電極 (トランジスタT5、T6に接続された電極) の電位がV0からVdataに変化すると、コンデンサC1の他方の電極の電位も同じ量だけ変化する。これにより得られた電位 ($V_t + V_{data} - V_0$) は、トランジスタT2を介してトランジスタT3のゲート端子に印加される。

50

【 0 0 1 0 】

発光期間では、トランジスタT4は導通状態になり、トランジスタT1、T2、T5～T7は非導通状態になる。表示データ電圧書き込み期間から発光期間に遷移するとき、コンデンサCsはトランジスタT3のゲート-ソース間電圧を保持する。このため、発光期間では、トランジスタT3のゲート端子電位は $(V_t + V_{data} - V_0)$ のままである。トランジスタT3を流れる電流の量はゲート-ソース間電圧によって定まり、有機EL素子OLEDはトランジスタT3を流れる電流の量に応じた輝度で発光する。トランジスタT3を流れる電流の量はトランジスタT3の閾値電圧に依存しないので、有機EL素子OLEDはトランジスタT3の閾値電圧に依存しない輝度で発光する。

【 0 0 1 1 】

このように画素回路120を図15に示す方法で駆動することにより、画素回路120の内部に閾値補正用のコンデンサを設けることなく、トランジスタT3のゲート端子にトランジスタT3の閾値電圧に応じた電位を印加し、トランジスタT3の閾値電圧にかかわらず、有機EL素子OLEDを所望の輝度で発光させることができる。

【 0 0 1 2 】

図16は、特許文献2に記載された画素回路の回路図である。図16に示す画素回路130は、トランジスタM1～M6、有機EL素子OLEDおよびコンデンサCstを備えている。画素回路130は、電源配線Vp、共通陰極Vcom、初期電圧Vintが印加されたプリチャージ線、走査線Gai、Gbi、制御線Eiおよびデータ線Sjに接続される。画素回路130は、図13(後述)に示すタイミングチャートに従って動作する。画素回路130の動作は、第2参考例に係る画素回路の動作と同様であるので、ここではその説明を省略する。画素回路130を図13に示す方法で駆動することにより、トランジスタM1のゲート端子にトランジスタM1の閾値電圧に応じた電位を印加し、トランジスタM1の閾値電圧にかかわらず、有機EL素子OLEDを所望の輝度で発光させることができる。

【 0 0 1 3 】

なお、上記以外にも有機ELディスプレイの例は、本出願と出願人および発明者が共通する別の出願(国際特許出願PCT/JP2007/69184、出願日2007年10月1日、優先日2007年3月8日)にも記載されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 4 】

【 特許文献1 】 日本国特開2005-352411号公報

【 特許文献2 】 日本国特開2007-133369号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 5 】

ところで、従来から知られているように、人間が有する色の判別力は色によって異なる。図17は、マッカダムの色度判別閾を示す図である。図17には、xy色度座標上に複数の楕円が描かれている。各楕円は、人間が同じ色度と判別する範囲を示す(ただし、図面を見やすくするために、楕円は実際の10倍の大きさに描かれている)。人間は、小さい楕円の近傍では色度の違いに敏感であり、大きい楕円の近傍では色度の違いに鈍感である。図17から分かるように、人間は、赤色、緑色および青色の中では、青色の色度の違いに最も敏感であり、次に赤色の色度の違いに敏感であり、緑色の色度の違いには最も鈍感である。

【 0 0 1 6 】

上述した有機ELディスプレイでは、有機EL素子に流れる電流の量を制御する駆動素子(図14ではトランジスタT3、図16ではトランジスタM1)の閾値補正を行うときに、駆動素子のゲート端子に所定の初期電圧(図14ではVpre、図16ではVint)が印加される。このときに駆動素子のゲート-ソース間電圧の絶対値が大きくなる初期

10

20

30

40

50

電圧を印加すれば、閾値補正の精度は高くなり画質は向上するが、信号線の充放電による消費電力は増大する。一方、駆動素子のゲート-ソース間電圧の絶対値が小さくなる初期電圧を印加すれば、消費電力は減少するが、閾値補正の精度は低くなり画質は低下する。このように初期電圧を決定するときに、画質と消費電力はトレードオフの関係にある。

【0017】

従来のカラー表示を行う有機ELディスプレイでは、装置全体で1種類の初期電圧が使用され、初期電圧は例えばある色を基準として決定される。緑色を基準として初期電圧を決定した場合、閾値補正の精度は低くて済むので、駆動素子のゲート-ソース間電圧の絶対値は小さくなり、消費電力は減少する。ところが、緑色よりも敏感に判別可能な青色や赤色では閾値補正の精度が不十分となるので、青色や赤色では色のばらつきが目立ち、画質が低下する。一方、青色を基準として初期電圧を決定した場合、駆動素子のゲート-ソース間電圧の絶対値は大きくなり、すべての色について駆動素子の閾値補正を高い精度で行うことができる。ところが、青色よりも鈍感にしか判別できない緑色や赤色についても青色と同じ初期電圧を使用するために、消費電力は必要以上に増大する。

10

【0018】

それ故に、本発明は、高画質で低消費電力の電流駆動型カラー表示装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明の第1の局面は、カラー表示を行う電流駆動型の表示装置であって、
複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

20

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

30

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動素子の第2の導通端子には少なくとも2種類の画素回路間で異なる電源電圧が印加されることを特徴とする。

【0020】

本発明の第2の局面は、本発明の第1の局面において、

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、1種類の初期電圧を前記データ線に印加することを特徴とする。

40

【0021】

本発明の第3の局面は、本発明の第2の局面において、

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第1の電極を前記データ線に接続し、前記容量の第2の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする。

【0022】

本発明の第4の局面は、本発明の第3の局面において、

前記参照電圧は、少なくとも2種類の画素回路間で異なることを特徴とする。

50

【発明の効果】

【0023】

本発明の第1～第4の局面によれば、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与えることができる。このため、人間が色度の違いに敏感な色（例えば、青色）については、大きな初期電位差を与えて閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な色（例えば、緑色）については、小さな初期電位差を与えて信号線の過剰な充放電を減らし、消費電力を削減することができる。このように、駆動素子の制御端子と第2の導通端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替えることにより、画質を高くし、消費電力を削減することができる。

10

【0024】

特に、少なくとも2種類の画素回路間で異なる電源電圧を駆動素子の第2の導通端子に印加することにより、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

【図面の簡単な説明】

【0025】

【図1】第1参考例に係る表示装置の構成を示すブロック図である。

【図2】図1に示す表示装置に含まれる画素回路の回路図である。

【図3】図1に示す表示装置に含まれる出力回路の回路図である。

20

【図4】図1に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【図5】ダイオード接続されたTFTにおけるゲート-ソース間電圧の時間的変化の例を示す図である。

【図6】比較例に係る表示装置の構成を示すブロック図である。

【図7】図6に示す表示装置に含まれる出力回路の回路図である。

【図8】本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

【図9】図8に示す表示装置に含まれる画素回路の回路図である。

【図10】図8に示す表示装置に含まれる出力回路の回路図である。

30

【図11】第2参考例に係る表示装置の構成を示すブロック図である。

【図12】図11に示す表示装置に含まれる画素回路の回路図である。

【図13】図11に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【図14】従来の表示装置（第1の例）に含まれる画素回路と出力スイッチの回路図である。

【図15】図14に示す画素回路の駆動方法を示すタイミングチャートである。

【図16】従来の表示装置（第2の例）に含まれる画素回路の回路図である。

【図17】マッカダムの色度判別閾を示す図である。

【発明を実施するための形態】

【0026】

40

図1～図13を参照して、本発明の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコンTFTやCGシリコンTFTやアモルファスシリコンTFTなどで構成することができる。これらTFTの構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機EL素子であるとする。有機EL素子の構成も公知であるので、ここではその説明を省略する。以下、 m は3の倍数、 n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数、 k は1以上 $(m/3)$ 以下の整数であるとする。

【0027】

以下の説明では、まず、第1参考例に係る表示装置について説明し、続いて、本発明の

50

第 1 の実施形態に係る表示装置について説明する。その後、第 2 参考例に係る表示装置について説明し、続いて、本発明の第 2 の実施形態に係る表示装置について説明する。

【0028】

(第 1 参考例および第 1 の実施形態)

図 1 は、第 1 参考例に係る表示装置の構成を示すブロック図である。図 1 に示す表示装置 10 は、表示制御回路 11、ゲートドライバ回路 12、ソースドライバ回路 13、電源 14、および、 $(m \times n)$ 個の画素回路 20 を備え、RGB 3 色によるカラー表示を行う。

【0029】

表示装置 10 には、互いに平行な n 本の走査線 G_i と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路 20 は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 G_i と平行に、互いに平行な制御線 W_i 、 R_i が n 本ずつ配置されている。走査線 G_i と制御線 W_i 、 R_i はゲートドライバ回路 12 に接続され、データ線 S_j はソースドライバ回路 13 に接続されている。さらに、画素回路 20 の配置領域には、電源配線 V_p と共通陰極 V_{com} (いずれも図示せず) が配置されている。以下、走査線 G_i が伸延する方向 (図 1 では横方向) を行方向、データ線 S_j が伸延する方向 (図 1 では縦方向) を列方向という。

【0030】

画素回路 20 は、赤色を表示するもの、緑色を表示するもの、および、青色を表示するものに分類される (以下、それぞれ、R 画素回路、G 画素回路および B 画素回路という)。画素回路 20 の各列には、同じ色を表示する画素回路が配置される。具体的には、 $(3k - 2)$ 列目には R 画素回路が配置され、 $(3k - 1)$ 列目には G 画素回路が配置され、 $3k$ 列目には B 画素回路が配置される。以下、 $(3k - 2) \sim 3k$ 列目の画素回路に対応したデータ線を S_{k_R} 、 S_{k_G} 、 S_{k_B} ともいう。

【0031】

表示制御回路 11 は、ゲートドライバ回路 12 に対してタイミング信号 OE、スタートパルス YI およびクロック YCK を出力する。また、表示制御回路 11 は、ソースドライバ回路 13 に対して、スタートパルス SP、クロック CLK、データ電圧 DA およびラッチパルス LP を出力する。さらに、表示制御回路 11 は、ソースドライバ回路 13 に接続される 5 本の制御線 SCAN1_R、SCAN1_G、SCAN1_B、SCAN2、SCAN3 の電位を制御する。

【0032】

ゲートドライバ回路 12 とソースドライバ回路 13 は、画素回路 20 の駆動回路である。ゲートドライバ回路 12 は、シフトレジスタ回路、論理演算回路およびバッファ (いずれも図示せず) を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 OE との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i と制御線 W_i 、 R_i に与えられる。1 本の走査線 G_i には m 個の画素回路 20 が接続されており、画素回路 20 は走査線 G_i を用いて m 個ずつ一括して選択される。

【0033】

ソースドライバ回路 13 は、 m ビットのシフトレジスタ 15、レジスタ 16、ラッチ 17、および、 m 個の出力回路 30 を含み、1 行分の画素回路 20 に同じタイミングで電圧を書き込む線順次走査を行う。より詳細には、シフトレジスタ 15 は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルス SP をクロック CLK に同期して転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 16 にはアナログのデータ電圧 DA が供給される。レジスタ 16 は、タイミングパルス DLP に従い、データ電圧 DA を記憶する。レジスタ 16 に 1 行分のデータ電圧 DA が記憶されると、表示制御回路 11 はラッチ 17 に対してラッチパルス LP を出力する。ラッチ 17 は、ラッチパルス LP を受け取

10

20

30

40

50

ると、レジスタ 16 に記憶されたデータ電圧を保持する。なお、データ電圧 $D A$ は、例えば、表示装置 10 の外部に設けられた D / A 変換器（図示せず）においてデジタルの表示データをアナログ信号に変換することにより得られる。

【0034】

出力回路 30 は、データ線 S_j に対応して設けられる。出力回路 30 は、ゲートドライバ回路 12 によって選択された画素回路 20 から出力された電圧をデータ線 S_j 経由で受け取り、受け取った電圧とラッチ 17 から出力されたデータ電圧（以下、 V_{data} という）とに基づく電圧をデータ線 S_j に印加する。出力回路 30 の作用により、画素回路 20 に含まれる駆動用 T F T の閾値補正を行うことができる（詳細は後述）。

【0035】

電源 14 は、表示装置 10 の各部に電源電圧を供給する。より詳細には、電源 14 は、画素回路 20 に対して電源電圧 V_{DD} 、 V_{SS} （ただし、 $V_{DD} > V_{SS}$ ）を供給すると共に、出力回路 30 に対して初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} と参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を供給する。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、駆動用 T F T 21 の閾値補正を行うときに駆動用 T F T 21 のゲート端子に最初に印加される電圧である。なお、図 1 では、電源 14 と画素回路 20 を接続する配線は省略されている。

【0036】

ソースドライバ回路 13 は、線順次走査に代えて、各画素回路 20 に 1 つずつ順に電圧を書き込む点順次走査を行ってもよい。点順次走査を行うときには、ある走査線 G_i が選択されている間、データ線 S_j の電圧はデータ線 S_j の容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

【0037】

図 2 は、画素回路 20 の回路図である。図 2 に示すように、画素回路 20 は、駆動用 T F T 21、スイッチ用 T F T 22 ~ 24、有機 E L 素子 25、および、コンデンサ 26 を備えている。駆動用 T F T 21 は P チャネル型のエンハンスメント型、スイッチ用 T F T 22、23 は N チャネル型、スイッチ用 T F T 24 は P チャネル型である。スイッチ用 T F T 22 は書き込み用スイッチング素子として機能し、スイッチ用 T F T 23 は補償用スイッチング素子として機能する。

【0038】

画素回路 20 は、電源配線 V_p 、共通陰極 V_{com} 、走査線 G_i 、制御線 W_i 、 R_i 、および、データ線 S_j に接続されている。電源配線 V_p には電源 14 から供給された電源電圧 V_{DD} が印加され、共通陰極 V_{com} には電源 14 から供給された電源電圧 V_{SS} が印加される。共通陰極 V_{com} は、表示装置 10 内のすべての有機 E L 素子 25 に共通する陰極となる。

【0039】

画素回路 20 では、電源配線 V_p と共通陰極 V_{com} との間に、電源配線 V_p 側から順に、駆動用 T F T 21、スイッチ用 T F T 24 および有機 E L 素子 25 が直列に設けられている。駆動用 T F T 21 のゲート端子とデータ線 S_j との間には、スイッチ用 T F T 22 が設けられている。駆動用 T F T 21 のゲート端子とドレイン端子の間にはスイッチ用 T F T 23 が設けられ、駆動用 T F T 21 のゲート端子と電源配線 V_p との間にはコンデンサ 26 が設けられている。スイッチ用 T F T 22 ~ 24 のゲート端子は、それぞれ、走査線 G_i 、制御線 W_i および制御線 R_i に接続されている。走査線 G_i と制御線 W_i 、 R_i の電位はゲートドライバ回路 12 によって制御され、データ線 S_j の電位はソースドライバ回路 13 によって制御される。以下、駆動用 T F T 21 のゲート端子が接続される節点を A という。

【0040】

図 3 は、出力回路 30 の回路図である。出力回路 30 は、R 画素回路に対応するもの、G 画素回路に対応するもの、および、B 画素回路に対応するものに分類される（以下、それぞれ、R 出力回路、G 出力回路および B 出力回路という）。図 3 に示すように、R 出力

10

20

30

40

50

回路 30r、G 出力回路 30g および B 出力回路 30b は、いずれも、N チャネル型のスイッチ 31 ~ 36 とコンデンサ 37 を備えている。これら 3 個の出力回路 30 に対応して、アナログバッファ 38 が 1 個設けられる。アナログバッファ 38 は、ボルテージホロワ回路（ユニティゲインアンプ）である。以下、コンデンサ 37 の一方の電極（図 3 では上側の電極）が接続される節点を B、他方の電極が接続される節点を C という。

【0041】

R 出力回路 30r は、以下の構成を有する。スイッチ 31 の一端はデータ線 S_{k_R} に接続され、他端は節点 B に接続される。スイッチ 32 の一端は節点 C に接続され、他端には参照電圧 V_{ref_R} が印加される。スイッチ 33 の一端は節点 C に接続され、他端にはラッチ 17 から出力されたデータ電圧 V_{data} が印加される。スイッチ 34 の一端は節点 B に接続され、他端はアナログバッファ 38 の入力に接続される。スイッチ 35 の一端はデータ線 S_{k_R} に接続され、他端はアナログバッファ 38 の出力に接続される。スイッチ 36 の一端はデータ線 S_{k_R} に接続され、他端には初期電圧 V_{int_R} が印加される。スイッチ 31、32 のゲート端子は制御線 $SCAN_2$ に接続され、スイッチ 33 ~ 35 のゲート端子は制御線 $SCAN_1_R$ に接続され、スイッチ 36 のゲート端子は制御線 $SCAN_3$ に接続される。

10

【0042】

G 出力回路 30g および B 出力回路 30b の構成は、R 出力回路 30r と同様である。ただし、G 出力回路 30g では、スイッチ 31、35、36 の一端はデータ線 S_{k_G} に接続され、スイッチ 36 の他端には初期電圧 V_{int_G} が印加され、スイッチ 33 ~ 35 のゲート端子は制御線 $SCAN_1_G$ に接続される。B 出力回路 30b では、スイッチ 31、35、36 の一端はデータ線 S_{k_B} に接続され、スイッチ 36 の他端には初期電圧 V_{int_B} が印加され、スイッチ 33 ~ 35 のゲート端子は制御線 $SCAN_1_B$ に接続される。

20

【0043】

以下、R 画素回路、G 画素回路および B 画素回路内の駆動用 TFT 21 の閾値電圧を、それぞれ、 V_{th_R} 、 V_{th_G} および V_{th_B} （ただし、いずれも負の値）とする。また、駆動用 TFT 21 のゲート端子に閾値電圧が印加されているとき、駆動用 TFT 21 は閾値状態にあるという。初期電圧 V_{int_R} と参照電圧 V_{ref_R} は、R 画素回路内の駆動用 TFT 21 の閾値補正に使用される。同様に、初期電圧 V_{int_G} と参照電圧 V_{ref_G} は G 画素回路内の駆動用 TFT 21 の閾値補正に使用され、初期電圧 V_{int_B} と参照電圧 V_{ref_B} は B 画素回路の駆動用 TFT 21 の閾値補正に使用される。

30

【0044】

図 4 は、画素回路 20 の駆動方法を示すタイミングチャートである。以下、図 4 を参照して、R 出力回路 30r、G 出力回路 30g および B 出力回路 30b（以下、総称して 3 個の出力回路 30 ともいう）を用いて、走査線 G_i とデータ線 S_{k_R} 、 S_{k_G} 、 S_{k_B} に接続された 3 個の画素回路 20 に対して、それぞれのデータ電圧 V_{data} を書き込むときの動作を説明する。図 4 では、時刻 t_0 から時刻 t_4 までが 3 個の画素回路 20 の選択期間となる。時刻 t_2 より前では、3 個の画素回路 20 の駆動用 TFT 21 のゲート端子電位を並列に検知する処理が行われ、時刻 t_2 より後では、3 個の画素回路 20 に対して補正後のデータ電圧を順に書き込む処理が行われる。

40

【0045】

時刻 t_0 より前では、走査線 G_i と制御線 W_i 、 R_i の電位はローレベルに制御される。このため、3 個の画素回路 20 では、スイッチ用 TFT 22、23 は非導通状態にあり、スイッチ用 TFT 24 は導通状態にある。このとき駆動用 TFT 21 は導通状態にあるので、電源配線 V_p から駆動用 TFT 21 とスイッチ用 TFT 24 を経由して有機 EL 素子 25 に電流が流れ、有機 EL 素子 25 は発光する。このように時刻 t_0 より前では、3 個の画素回路 20 内の有機 EL 素子 25 はいずれも発光状態にある。

【0046】

50

時刻 t_0 において走査線 G_i と制御線 W_i 、 R_i の電位がハイレベルに変化すると、3 個の画素回路 20 では、スイッチ用 T F T 2 2、2 3 が導通状態に変化し、スイッチ用 T F T 2 4 が非導通状態に変化する。また、時刻 t_0 では制御線 S C A N 3 の電位がハイレベルに変化するので、3 個の出力回路 30 ではスイッチ 3 6 が導通状態に変化する。このため、データ線 $S k_R$ と R 画素回路内の節点 A の電位は $V_{i n t_R}$ になる。同様に、データ線 $S k_G$ と G 画素回路内の節点 A の電位は $V_{i n t_G}$ になり、データ線 $S k_B$ と B 画素回路内の節点 A の電位は $V_{i n t_B}$ になる。時刻 t_0 以降、3 個の画素回路 20 では、駆動用 T F T 2 1 を通過した電流は、スイッチ用 T F T 2 3 を経由して節点 A に流れ込む。

【0047】

次に時刻 t_1 において制御線 S C A N 3 の電位がローレベルに変化すると、3 個の出力回路ではスイッチ 3 6 が非導通状態に変化する。時刻 t_1 以降も、3 個の画素回路 20 では駆動用 T F T 2 1 を通過した電流は、スイッチ用 T F T 2 3 を経由して節点 A に流れ込み、節点 A の電位は駆動用 T F T 2 1 が導通状態である間は上昇する。このときスイッチ用 T F T 2 2 は導通状態にあるので、データ線 $S k_R$ 、 $S k_G$ 、 $S k_B$ の電位は、3 個の画素回路 20 内の節点 A の電位にそれぞれ等しい。

【0048】

時刻 t_0 から時刻 t_2 までの間、制御線 S C A N 1 __ R、S C A N 1 __ G、S C A N 1 __ B の電位はローレベルに、制御線 S C A N 2 の電位はハイレベルに制御される。このため、3 個の出力回路 30 ではスイッチ 3 1、3 2 は導通状態となり、スイッチ 3 3、3 4 は非導通状態となる。したがって、R 出力回路 30 r では、節点 C の電位は $V_{r e f_R}$ になり、節点 B の電位はデータ線 $S k_R$ の電位および R 画素回路内の節点 A の電位に等しくなる。同様に、G 出力回路 30 g では、節点 C の電位は $V_{r e f_G}$ になり、節点 B の電位はデータ線 $S k_G$ の電位および G 画素回路内の節点 A の電位に等しくなる。また、B 出力回路 30 b では、節点 C の電位は $V_{r e f_B}$ になり、節点 B の電位はデータ線 $S k_B$ の電位および B 画素回路内の節点 A の電位に等しくなる。

【0049】

次に時刻 t_2 において制御線 W_i の電位がローレベルに変化すると、3 個の画素回路 20 ではスイッチ用 T F T 2 3 が非導通状態に変化する。また、時刻 t_2 では制御線 S C A N 2 の電位がローレベルに変化するので、3 個の出力回路 30 ではスイッチ 3 1、3 2 が非導通状態に変化する。時刻 t_2 の直前における R 画素回路、G 画素回路および B 画素回路内の節点 A の電位を、それぞれ、 $(V_{D D} + V_{x_R})$ 、 $(V_{D D} + V_{x_G})$ および $(V_{D D} + V_{x_B})$ とする。ただし、電圧 V_{x_R} 、 V_{x_G} 、 V_{x_B} はいずれも負の値であり、 $|V_{x_R}| > |V_{t h_R}|$ 、 $|V_{x_G}| > |V_{t h_G}|$ 、 $|V_{x_B}| > |V_{t h_B}|$ を満たすとする。

【0050】

時刻 t_2 においてスイッチ 3 1、3 2 が非導通状態に変化したとき、R 出力回路 30 r 内のコンデンサ 3 7 には電圧 $(V_{D D} + V_{x_R} - V_{r e f_R})$ が保持される。同様に、G 出力回路 30 g 内のコンデンサ 3 7 には電圧 $(V_{D D} + V_{x_G} - V_{r e f_G})$ が保持され、B 出力回路 30 b 内のコンデンサ 3 7 には電圧 $(V_{D D} + V_{x_B} - V_{r e f_B})$ が保持される。

【0051】

上述したように、R 画素回路内の節点 A の電位は、駆動用 T F T 2 1 が導通状態である間は上昇する。したがって、十分な時間があれば、R 画素回路内の節点 A の電位は、駆動用 T F T 2 1 のゲート - ソース間電圧が閾値電圧 $V_{t h_R}$ (負の値) になる (すなわち、駆動用 T F T 2 1 が閾値状態になる) まで上昇し、最終的に $(V_{D D} + V_{t h_R})$ に到達する。しかし、表示装置 10 では、駆動用 T F T 2 1 が導通状態である間に (すなわち、駆動用 T F T 2 1 が閾値状態になる前に)、時刻 t_2 になる。このため、時刻 t_2 の直前における節点 A の電位 $(V_{D D} + V_{x_R})$ は $(V_{D D} + V_{t h_R})$ よりも低い。電圧 V_{x_R} は閾値電圧 $V_{t h_R}$ に応じて変化し、閾値電圧 $V_{t h_R}$ の絶対値が大き

10

20

30

40

50

いほど電圧 V_{x_R} の絶対値は大きくなる。同様に、時刻 t_2 の直前における G 画素回路内の節点 A の電位 ($V_{DD} + V_{x_G}$) は ($V_{DD} + V_{th_G}$) よりも低く、閾値電圧 V_{th_G} の絶対値が大きいほど電圧 V_{x_G} の絶対値は大きくなる。また、時刻 t_2 の直前における B 画素回路内の節点 A の電位 ($V_{DD} + V_{x_B}$) は ($V_{DD} + V_{th_B}$) よりも低く、閾値電圧 V_{th_B} の絶対値が大きいほど電圧 V_{x_B} の絶対値は大きくなる。

【0052】

次に時刻 t_3 から時刻 t_4 までの間に、制御線 $SCAN1_R$ 、 $SCAN1_G$ 、 $SCAN1_B$ の電位が所定時間ずつハイレベルになり、これに同期して、ラッチ 17 から出力されるデータ電圧 V_{data} は V_{d_R} 、 V_{d_G} 、 V_{d_B} と変化する。

10

【0053】

制御線 $SCAN1_R$ の電位がハイレベルである間、R 出力回路 30r 内の節点 C にはラッチ 17 から出力されたデータ電圧 V_{d_R} が印加され、節点 B はスイッチ 34 とアナログバッファ 38 を介してデータ線 Sk_R に接続される。R 出力回路 30r では、コンデンサ 37 が電圧 ($V_{DD} + V_{x_R} - V_{ref_R}$) を保持している間に、節点 C の電位が V_{ref_R} から V_{d_R} に変化する。したがって、節点 B の電位も、同じ量 ($V_{d_R} - V_{ref_R}$) だけ変化して ($V_{DD} + V_{x_R}$) + ($V_{d_R} - V_{ref_R}$) = ($V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R}$) となる。このとき R 出力回路 30r 内のスイッチ 34、35 は導通状態にあり、アナログバッファ 38 の入力電圧と出力電圧は等しいので、データ線 Sk_R の電位は R 出力回路 30r 内の節点 B と同じく ($V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R}$) となる。このとき R 画素回路ではスイッチ用 TFT 22 が導通状態にあるので、節点 A はデータ線 Sk_R と同じ電位になる。

20

【0054】

同様に、制御線 $SCAN1_G$ の電位がハイレベルである間、G 出力回路 30g 内の節点 B の電位は ($V_{DD} + V_{x_G} + V_{d_G} - V_{ref_G}$) となり、データ線 Sk_G および G 画素回路内の節点 A の電位はこれに等しくなる。また、制御線 $SCAN1_B$ の電位がハイレベルである間、B 出力回路 30b 内の節点 B の電位は ($V_{DD} + V_{x_B} + V_{d_B} - V_{ref_B}$) となり、データ線 Sk_B および B 画素回路内の節点 A の電位はこれに等しくなる。

30

【0055】

次に時刻 t_4 において走査線 Gi と制御線 Ri の電位がローレベルに変化すると、3 個の画素回路 20 ではスイッチ用 TFT 22 が非導通状態に変化し、スイッチ用 TFT 24 が導通状態に変化する。また、時刻 t_4 以降、制御線 $SCAN1_R$ 、 $SCAN1_G$ 、 $SCAN1_B$ の電位はローレベルになるので、3 個の出力回路 30 ではスイッチ 33、34 は非導通状態になる。

30

【0056】

時刻 t_4 において、R 画素回路内のコンデンサ 26 には、駆動用 TFT 21 のゲート - ソース間電圧 ($V_{x_R} + V_{d_R} - V_{ref_R}$) が保持される。同様に、G 画素回路内のコンデンサ 26 には電圧 ($V_{x_G} + V_{d_G} - V_{ref_G}$) が保持され、B 画素回路内のコンデンサ 26 には電圧 ($V_{x_B} + V_{d_B} - V_{ref_B}$) が保持される。なお、制御線 Ri に与えられるオン電位 (ローレベル電位) は、スイッチ用 TFT 24 が線形領域で動作するように決定される。

40

【0057】

時刻 t_4 以降、3 個の画素回路 20 内のコンデンサ 26 に保持された電圧は変化しない。このため、R 画素回路内の節点 A の電位は ($V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R}$) のままである。同様に、G 画素回路内の節点 A の電位は ($V_{DD} + V_{x_G} + V_{d_G} - V_{ref_G}$) のままであり、B 画素回路内の節点 A の電位は ($V_{DD} + V_{x_B} + V_{d_B} - V_{ref_B}$) のままである。したがって、3 個の画素回路 20 では、時刻 t_4 以降、次に制御線 Ri の電位がハイレベルとなるまで、電源配線 Vp から駆動用 TFT 21 とスイッチ用 TFT 24 を経由して有機 EL 素子 25 に電流が流れ、有機 EL 素子 2

50

5は発光する。このときに駆動用TFT21を流れる電流の量は節点Aの電位に応じて増減するが、以下に示すように、駆動用TFT21の閾値電圧が異なってもデータ電圧が同じであれば電流量を同じにすることができる。

【0058】

例として、R画素回路について説明する。R画素回路内の駆動用TFT21を飽和領域で動作させたとき、ドレイン-ソース間を流れる電流 I_{EL} は、チャンネル長変調効果を無視すれば、次式(1)で与えられる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot (V_g - V_{th_R})^2 \quad \dots (1)$$

ただし、上式(1)において、 W/L は駆動用TFT21のアスペクト比、 C_{ox} はゲート容量、 μ は移動度、 V_g はゲート端子電位(節点Aの電位)である。

10

【0059】

式(1)に示す電流 I_{EL} は、一般には、閾値電圧 V_{th_R} に応じて変動する。R画素回路では、有機EL素子25が発光するときに駆動用TFT21のゲート端子電位 V_g は $(V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R})$ となるので、電流 I_{EL} は次式(2)に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot \{V_{d_R} - V_{ref_R} + (V_{x_R} - V_{th_R})\}^2 \quad \dots (2)$$

式(2)において電圧 V_{x_R} が閾値電圧 V_{th_R} に一致すれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。また、電圧 V_{x_R} が閾値電圧 V_{th_R} に一致しなくても、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。

20

【0060】

表示装置10では、R画素回路内の2つのTFT間で電圧 V_{x_R} の差が閾値電圧 V_{th_R} の差とほぼ同じになるように、閾値補正期間(時刻 t_1 から時刻 t_2 までの期間)の長さや初期電圧 V_{int_R} のレベルが決定される。このため、式(2)に含まれる電圧差 $(V_{x_R} - V_{th_R})$ はほぼ一定になる。したがって、R画素回路では、閾値電圧 V_{th_R} の値にかかわらず、有機EL素子25にはデータ電圧 V_{d_R} に応じた量の電流が流れ、有機EL素子25はデータ電圧 V_{d_R} に応じた輝度で発光する。

【0061】

同様に、G画素回路では、閾値電圧 V_{th_G} の値にかかわらず、有機EL素子25にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機EL素子25はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B画素回路では、閾値電圧 V_{th_B} の値にかかわらず、有機EL素子25にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機EL素子25はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置10では、閾値補正は画素回路20の外部に設けられた出力回路30によって行われるが、出力回路30には複雑な論理回路やメモリなどを設ける必要がない。

30

【0062】

以下、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} について説明する。画素回路20では、図4に示す時刻 t_0 でスイッチ用TFT23が導通状態になると、駆動用TFT21はダイオード接続された状態になる。従来の有機ELディスプレイでは、駆動用TFTがダイオード接続されてから、駆動用TFTのゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} に十分に近づくまでの期間が、閾値補正期間となる。電圧 V_{gs} が閾値電圧 V_{th} に十分に近づけば、2つの駆動用TFT間の閾値電圧の差を検出できるからである。

40

【0063】

ところが、高精細の表示装置では、画素回路の選択期間が短く、選択期間内に電圧 V_{gs} を閾値電圧 V_{th} に十分に近づけられないことがある。特に、第1参考例に係る表示装置10では、駆動用TFT21の閾値電圧 V_{th} を検知するときに、コンデンサ37とデータ線 S_j の寄生容量を充電する必要があるため、選択期間内に閾値電圧を検知する処理と補正後のデータ電圧を書き込む処理を行うためには工夫が必要である。

【0064】

50

そこで表示装置 10 では、補正後のデータ電圧を書き込む処理を開始する前に閾値電圧のばらつきを検知するために、スイッチ 36 の作用によりデータ線 S k _ R、S k _ G、S k _ B に、それぞれ、初期電圧 V i n t _ R、V i n t _ G、V i n t _ B が固定的に与えられる。これにより、駆動用 T F T 2 1 の閾値電圧 V t h に応じた電圧がデータ線 S j へ出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

【0065】

初期電圧 V i n t _ R、V i n t _ G、V i n t _ B は、閾値補正期間の長さや閾値補正に要求される精度などに基づき決定される。スイッチ用 T F T 2 3 が導通状態にあり、駆動用 T F T 2 1 がダイオード接続されているとき、駆動用 T F T 2 1 の電流バランスに関して次式 (3) が成立する。

10

$$k(V_{gs}(t)-V_{th})^2 = -C \frac{dV_{gs}(t)}{dt} \quad \dots(3)$$

ただし、式 (3) において、k は定数、C は保持容量と信号線容量の和である。

【0066】

この微分方程式を解くと、次式 (4) が得られる。

【数 2】

$$V_{gs}(t) = \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0}-V_{th}}} + V_{th} \quad \dots(4)$$

20

ただし、式 (4) において、V g s 0 は電圧 V g s の初期値である。

【0067】

閾値電圧が V t h だけ異なる 2 つの T F T を考えたとき、所定時間経過後に 2 つの T F T 間で電圧 V g s の差が V t h に近ければ、各 T F T の閾値電圧を検出できたと言える。電圧 V g s の差は、次式 (5) で与えられる。

【数 3】

$$\Delta V_{gs}(t) = \Delta V_{th} + \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0}-V_{th}-\Delta V_{th}}} - \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0}-V_{th}}} \quad \dots(5)$$

30

したがって、許容時間内に式 (5) に示す V g s (t) が V t h に十分に近づくように電圧 V g s の初期値 V g s 0 を決定し、それに応じて初期電圧 V i n t _ R、V i n t _ G、V i n t _ B を求めればよい。

【0068】

図 5 は、ダイオード接続された駆動用 T F T のゲート - ソース間電圧 V g s の時間的変化の例を示す図である。図 5 には、閾値電圧が異なる 2 個の T F T (V t h = - 0 . 8 V と V t h = - 1 . 0 V) に対して、予め 2 種類の電圧 V g s 0 (V g s 0 = - 5 V と V g s 0 = - 1 . 5 V) を与え、その後ソース端子とドレイン端子を短絡して T F T をダイオード接続したときのゲート - ソース間電圧 V g s の変化が記載されている。

40

【0069】

2 個の T F T に予め電圧 V g s 0 を与え、30 μ s 経過後の電圧 V g s の絶対値 | V g s | を比較する。| V g s 0 | = 5 V の場合、30 μ s 後に 2 つの値 | V g s | はそれぞれの最終値 (0 . 8 V と 1 . 0 V) から離れているが、両者の差は既に最終値 (0 . 2 V) にほぼ等しくなっている。これに対して、| V g s 0 | = 1 . 5 V の場合、30 μ s 後に 2 つの値 | V g s | はそれぞれの最終値に接近しているが、両者の差は依然として最終値から離れている。このように | V g s 0 | が大きいときほど、2 つの値 | V g s | の差は速く増大するので、閾値補正期間を短くすることができる。したがって、高い精度で閾

50

値補正を行うためには、 $|V_{gs0}|$ を大きくすることが好ましい。一方、 $|V_{gs0}|$ を大きくすると、データ線S_jとコンデンサ37の充放電によって消費電力が増加する。

【0070】

この点を考慮して、表示装置10では、3種類の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用される。R画素回路には初期電圧 V_{int_R} が使用され、G画素回路には初期電圧 V_{int_G} が使用され、B画素回路には初期電圧 V_{int_B} が使用される。これら3種類の初期電圧は、以下のようにして決定される。以下、R画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_R} を印加したときのゲート-ソース間電圧($V_{DD} - V_{int_R}$)を V_{gs0_R} という。同様に、G画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_G} を印加したときのゲート-ソース間電圧を V_{gs0_G} といい、B画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_B} を印加したときのゲート-ソース間電圧を V_{gs0_B} という。

10

【0071】

表示装置10では、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の初期電圧 V_{int_G} とB画素回路用の初期電圧 V_{int_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たすことがより好ましい。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、いずれも電源電圧 V_{DD} よりも低いレベルに設定される。このように初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を設定した場合、スイッチ用TFT23の導通期間にスイッチ用TFT23を流れる電流は、3種類の画素回路の中でB画素回路において最大となり、G画素回路において最小となる。

20

【0072】

以下、比較例に係る表示装置と対比して、第1参考例に係る表示装置10の効果を説明する。図6は、比較例に係る表示装置の構成を示すブロック図である。図6に示す表示装置110は、出力回路30を含むソースドライバ回路13に代えて、出力回路115を含むソースドライバ回路113を備えている。図7は、出力回路115の回路図である。図6に示す電源114は、画素回路20に対して電源電圧 V_{DD} 、 V_{SS} を供給すると共に、出力回路115に対して初期電圧 V_{int} と参照電圧 V_{ref} を1種類ずつ供給する。表示装置110は、表示装置10と同じタイミングチャート(図4)に従って動作する。なお、表示装置110は、本出願と出願人および発明者が共通する別の出願(国際特許出願PCT/JP2007/69184)に記載されたものである。

30

【0073】

第1参考例に係る表示装置10と比較例に係る表示装置110では、駆動用TFT21の閾値補正を行うときに、駆動用TFT21のゲート端子に初期電圧が印加される。このとき、上述したように、駆動用TFT21のゲート-ソース間電圧の初期値の絶対値 $|V_{gs0}|$ が大きくなる初期電圧を使用すれば、閾値補正の精度が高くなり、 $|V_{gs0}|$ が小さくなる初期電圧を使用すれば、消費電力が減少する。

【0074】

比較例に係る表示装置110では、装置全体で1種類の初期電圧 V_{int} が使用される。このため、緑色を基準として初期電圧 V_{int} を決定すると、 $|V_{gs0}|$ は小さくなり、消費電力は減少するが、青色や赤色では閾値補正の精度が不十分となり、画質が低下する。一方、青色を基準として初期電圧 V_{int} を決定すると、 $|V_{gs0}|$ は大きくなり、画質は良くなるが、青色よりも鈍感にしか判別できない緑色や赤色についても同じ初期電圧を使用するために、消費電力が必要以上に増大する。

40

【0075】

これに対して、第1参考例に係る表示装置10では、複数の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用され、このうち少なくとも2つ以上が異なっている。このため、例えば、B画素回路には $|V_{gs0}|$ が大きくなる初期電圧 V_{int_B} を使用

50

し、G画素回路には $|V_{gs0}|$ が小さくなる初期電圧 V_{int_G} を使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用TFT21のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用TFT21のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充電を減らし、消費電力を削減することができる。また、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用すれば、上記の効果をさらに高めることができる。

【0076】

このように第1参考例に係る表示装置10によれば、駆動用TFT21の閾値補正を行うときに、表示色に応じた初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用することにより、駆動用TFT21のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

【0077】

また、表示色に応じて異なる初期電圧を使用するときには、データ電圧 V_{data} のゼロ点を揃えることが好ましい。例えば、図5に示す例では、 $30\mu s$ 経過後の駆動用TFTのゲート-ソース間電圧の絶対値 $|V_{gs}|$ は、 $|V_{gs0}| = 5V$ の場合でも $|V_{gs0}| = 1.5V$ の場合でも、最終値と異なっている。このため、表示色に応じて異なる初期電圧を使用して所定時間経過後の駆動用TFT21のゲート端子電圧を検出すると、検出された電圧には表示色に応じて異なるオフセットが加算される。この結果、例えば、黒表示を行うときに、R画素回路とG画素回路は完全な黒色になるが、B画素回路は完全な黒色にならないなどの現象が起こり得る。

【0078】

そこで、第1参考例に係る表示装置10では、複数の参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} が使用される。式(2)に示すように、駆動用TFT21のドレイン-ソース間を流れる電流 I_{EL} は、参照電圧 V_{ref_R} などに依存する。したがって、参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を調整することにより、各色のデータ電圧 V_{data} のゼロ点を揃え、データ電圧の振幅を揃えることができる。このように表示装置10の内部でデータ電圧のゼロ点を揃えることにより、表示装置10の外部で行われるD/A変換を簡単化することができる。

【0079】

なお、上述した表示装置10では、駆動用TFT21のゲート端子とソース端子との間に表示色に応じた初期電位差を与えるために、データ線に印加する初期電圧を表示色に応じて切り替えることとしたが、これに代えて、駆動用TFT21のソース端子に印加される電源電圧を表示色に応じて切り替えてもよい。図8は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図8に示す表示装置40は、出力回路30を含むソースドライバ回路13に代えて、出力回路45を含むソースドライバ回路43を備え、電源14に代えて電源44を備えている。図9は表示装置40に含まれる画素回路20の回路図であり、図10は出力回路45の回路図である。

【0080】

図8に示す電源44は、画素回路20に対して電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} 、 V_{SS} を供給すると共に、出力回路45に対して初期電圧 V_{int} と参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を供給する。図9に示すように、R画素回路20rは電源配線 V_{p_R} に接続され、G画素回路20gは電源配線 V_{p_G} に接続され、B画素回路20bは電源配線 V_{p_B} に接続される。電源配線 V_{p_R} には電源44から供給された電源電圧 V_{DD_R} が印加され、電源配線 V_{p_G} には電源44から供給された電源電圧 V_{DD_G} が印加され、電源配線 V_{p_B} には電源44から供給された電源電圧 V_{DD_B} が印加される。図10に示すR出力回路45r、G出力回路45gおよびB出力回路45bでは、スイッチ36の一方の端子には電源44から供給された同じ初期電

10

20

30

40

50

圧 V_{int} が印加される。

【0081】

表示装置 40 では、電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} のうち、少なくとも 2 つが互いに異なるように設定される。具体的には、G 画素回路用の電源電圧 V_{DD_G} と B 画素回路用の電源電圧 V_{DD_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす（すなわち、 $V_{DD_G} < V_{DD_R} < V_{DD_B}$ を満たす）ことがより好ましい。

【0082】

このように構成された表示装置 40 でも、表示色に応じた電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} を使用することにより、駆動用 T F T 2 1 の閾値補正を行うときに、駆動用 T F T 2 1 のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。また、複数の参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を用いることにより、表示装置 40 の内部でデータ電圧のゼロ点を揃え、表示装置 40 の外部で行われる D / A 変換を簡単化することができる。

10

【0083】

なお、以上の説明では、3 本のデータ線 S_{k_R} 、 S_{k_G} 、 S_{k_B} に対応してアナログバッファを設けることとしたが、アナログバッファを p (p は 1 以上の任意の整数) 本のデータ線に対応して設けてもよい。

20

【0084】

(第 2 参考例および第 2 の実施形態)

図 11 は、第 2 参考例に係る表示装置の構成を示すブロック図である。図 11 に示す表示装置 50 は、表示制御回路 51、ゲートドライバ回路 52、ソースドライバ回路 53、電源 54、および、 $(m \times n)$ 個の画素回路 60 を備え、RGB 3 色によるカラー表示を行う。第 2 参考例の構成要素のうち第 1 参考例と同一の要素については、同一の参照符号を付して説明を省略し、以下では第 1 参考例に係る表示装置 10 との相違点を説明する。

【0085】

表示装置 50 には、互いに平行な n 本の走査線 $G A_i$ と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路 60 は、走査線 $G A_i$ とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 $G A_i$ と平行に、互いに平行な走査線 $G B_i$ と制御線 E_i が n 本ずつ配置されている。走査線 $G A_i$ 、 $G B_i$ と制御線 E_i はゲートドライバ回路 52 に接続され、データ線 S_j はソースドライバ回路 53 に接続されている。画素回路 60 の配置領域には、電源配線 V_p 、共通陰極 V_{com} および 3 系統のプリチャージ線 (いずれも図示せず) が配置されている。

30

【0086】

第 1 参考例と同様に、画素回路 60 は R 画素回路、G 画素回路および B 画素回路に分類される。 $(3k - 2)$ 列目には R 画素回路が配置され、 $(3k - 1)$ 列目には G 画素回路が配置され、 $3k$ 列目には B 画素回路が配置される。

【0087】

表示制御回路 51 は、第 1 参考例に係る表示制御回路 11 から制御線 $S C A N 1_R$ 、 $S C A N 1_G$ 、 $S C A N 1_B$ 、 $S C A N 2$ 、 $S C A N 3$ の電位を制御する機能を削除したものである。ゲートドライバ回路 52 は、第 1 参考例に係るゲートドライバ回路 12 と同様の構成を有し、走査線 $G A_i$ 、 $G B_i$ と制御線 E_i の電位を制御する。ソースドライバ回路 53 は、 m ビットのシフトレジスタ 15、レジスタ 16、ラッチ 17、および、 m 個のアナログバッファ 55 を含み、線順次走査を行う。アナログバッファ 55 は、ボルテージホロワ回路 (ユニティゲインアンプ) であり、データ線 S_j に対応して設けられる。

40

【0088】

電源 54 は、表示装置 50 の各部に電源電圧を供給する。より詳細には、電源 54 は、

50

画素回路60に対して電源電圧VDD、VSSを供給すると共に、画素回路60に対して初期電圧Vint_R、Vint_G、Vint_Bを供給する。なお、図11では、電源54と画素回路60を接続する配線は省略されている。

【0089】

図12は、画素回路60の回路図である。図12には、R画素回路60r、G画素回路60gおよびB画素回路60b（以下、総称して3個の画素回路60ともいう）が記載されている。図12に示すように、3個の画素回路60は、いずれも、駆動用TFT61、スイッチ用TFT62～66、有機EL素子67、および、コンデンサ68を備えている。駆動用TFT61はPチャンネル型のエンハンスメント型、スイッチ用TFT62～66はPチャンネル型である。スイッチ用TFT62は書き込み用スイッチング素子として機能し、スイッチ用TFT63は補償用スイッチング素子として機能し、スイッチ用TFT65、66は初期化用スイッチング素子として機能する。

10

【0090】

R画素回路60rは、電源配線Vp、共通陰極Vcom、1本のプリチャージ線、走査線GAi、GBi、制御線Ei、および、データ線Sk_Rに接続されている。電源配線Vpには電源54から供給された電源電圧VDDが印加され、共通陰極Vcomには電源54から供給された電源電圧VSSが印加され、プリチャージ線には電源54から供給された初期電圧Vint_Rが印加される。共通陰極Vcomは、表示装置50内のすべての有機EL素子67に共通する陰極となる。

【0091】

R画素回路60rでは、電源配線Vpと共通陰極Vcomとの間に、電源配線Vp側から順に、駆動用TFT61、スイッチ用TFT64および有機EL素子67が直列に設けられている。駆動用TFT61のゲート端子とデータ線Sk_Rの間には、ゲート端子側から順に、コンデンサ68とスイッチ用TFT62が直列に設けられている。以下、コンデンサ68の一方の電極（駆動用TFT61側の電極）が接続される節点をD、他方の電極が接続される節点をEという。駆動用TFT61のゲート端子とドレイン端子の間にはスイッチ用TFT63が設けられ、節点Eと初期電圧Vint_Rが印加されたプリチャージ線の間にはスイッチ用TFT65が設けられ、駆動用TFT61のドレイン端子と当該プリチャージ線の間にはスイッチ用TFT66が設けられている。スイッチ用TFT62、63のゲート端子は走査線GAiに接続され、スイッチ用TFT66のゲート端子は走査線GBiに接続され、スイッチ用TFT64、65のゲート端子は制御線Eiに接続されている。

20

30

【0092】

G画素回路60gとB画素回路60bの構成は、R画素回路60rと同様である。ただし、G画素回路60gでは、スイッチ用TFT65、66の一端は、初期電圧Vint_Gが印加されたプリチャージ線に接続される。また、B画素回路60bでは、スイッチ用TFT65、66の一端は、初期電圧Vint_Bが印加されたプリチャージ線に接続される。

【0093】

以下、R画素回路60r、G画素回路60gおよびB画素回路60b内の駆動用TFT61の閾値電圧を、それぞれ、Vth_R、Vth_GおよびVth_B（ただし、いずれも負の値）とする。初期電圧Vint_Rは、R画素回路60r内の駆動用TFT61の閾値補正に使用される。同様に、初期電圧Vint_GはG画素回路60g内の駆動用TFT61の閾値補正に使用され、初期電圧Vint_BはB画素回路60b内の駆動用TFT61の閾値補正に使用される。

40

【0094】

図13は、画素回路60の駆動方法を示すタイミングチャートである。以下、図13を参照して、3個のアナログバッファ55を用いて、走査線GAi、GBiとデータ線Sk_R、Sk_G、Sk_Bに接続された3個の画素回路60に対して、それぞれのデータ電圧Vdataを書き込むときの動作を説明する。図13では、時刻t0から時刻t4ま

50

だが3個の画素回路60の選択期間となる。時刻 t_2 より前では、3個の画素回路60の駆動用TFT61のゲート端子電位を並列に検知する処理が行われ、時刻 t_2 より後では、3個の画素回路60に対してそれぞれのデータ電圧を並列に書き込む処理が行われる。

【0095】

時刻 t_0 より前では、走査線 $G A_i$ 、 $G B_i$ の電位はハイレベルに、制御線 E_i の電位はローレベルに制御される。このため、3個の画素回路60では、スイッチ用TFT62、63、66は非導通状態にあり、スイッチ用TFT64、65は導通状態にある。このとき駆動用TFT61は導通状態にあるので、電源配線 V_p から駆動用TFT61とスイッチ用TFT64を経由して有機EL素子67に電流が流れ、有機EL素子67は発光する。このように時刻 t_0 より前では、3個の画素回路60内の有機EL素子67はいずれも発光状態にある。

10

【0096】

時刻 t_0 において制御線 E_i の電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT64、65が非導通状態に変化する。このため、電源配線 V_p から有機EL素子67に流れる電流は遮断され、有機EL素子67は発光を停止する。

【0097】

次に時刻 t_1 において走査線 $G A_i$ 、 $G B_i$ の電位がローレベルに変化すると、3個の画素回路60ではスイッチ用TFT62、63、66が導通状態に変化する。このため、節点Dはスイッチ用TFT63、66を介してプリチャージ線に接続され、節点Eはスイッチ用TFT62を介してデータ線 S_j に接続される。走査線 $G A_i$ の電位がローレベルである間、データ線 S_k_R 、 S_k_G 、 S_k_B には、それぞれ、ラッチ17から出力されたデータ電圧 $V d_R$ 、 $V d_G$ 、 $V d_B$ が印加される。したがって、R画素回路60 r では、節点Dの電位は $V i n t_R$ となり、節点Eの電位は $V d_R$ となる。同様に、G画素回路60 g では節点Dの電位は $V i n t_G$ となり、節点Eの電位は $V d_G$ となる。また、B画素回路60 b では節点Dの電位は $V i n t_B$ となり、節点Eの電位は $V d_B$ となる。

20

【0098】

次に時刻 t_2 において走査線 $G B_i$ の電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT66が非導通状態に変化する。時刻 t_2 以降、電源配線 V_p から駆動用TFT61とスイッチ用TFT63を経由して駆動用TFT61のゲート端子に電流が流れ込み、節点Dの電位は駆動用TFT61が導通状態である間は上昇する。

30

【0099】

次に時刻 t_3 において走査線 $G A_i$ の電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT62、63が非導通状態に変化する。時刻 t_3 の直前におけるR画素回路60 r 、G画素回路60 g およびB画素回路60 b 内の節点Dの電位を $(V D D + V x_R)$ 、 $(V D D + V x_G)$ および $(V D D + V x_B)$ とする。ただし、電圧 $V x_R$ 、 $V x_G$ 、 $V x_B$ は負の値であり、 $|V x_R| > |V t h_R|$ 、 $|V x_G| > |V t h_G|$ 、 $|V x_B| > |V t h_B|$ を満たすとする。

【0100】

時刻 t_3 においてスイッチ用TFT62、63が非導通状態に変化したとき、R画素回路60 r 内のコンデンサ68には電圧 $(V D D + V x_R - V d_R)$ が保持される。同様に、G画素回路60 g 内のコンデンサ68には電圧 $(V D D + V x_G - V d_G)$ が保持され、B画素回路60 b 内のコンデンサ68には電圧 $(V D D + V x_B - V d_B)$ が保持される。

40

【0101】

上述したように、R画素回路60 r 内の節点Dの電位は、駆動用TFT61が導通状態である間は上昇する。したがって、十分な時間があれば、R画素回路60 r 内の節点Dの電位は、駆動用TFT61のゲート-ソース間電圧が閾値電圧 $V t h_R$ (負の値)になる(駆動用TFT61が閾値状態になる)まで上昇し、最終的に $(V D D + V t h_R)$ に到達する。しかし、表示装置50では、駆動用TFT61が導通状態である間に、時刻

50

t 3 になる。このため、時刻 t 3 の直前における節点 D の電位 ($V_{DD} + V_{x_R}$) は ($V_{DD} + V_{th_R}$) よりも低い。電圧 V_{x_R} は閾値電圧 V_{th_R} に応じて変化し、閾値電圧 V_{th_R} の絶対値が大きいほど電圧 V_{x_R} の絶対値は大きくなる。同様に、時刻 t 3 の直前における G 画素回路 60g 内の節点 D の電位 ($V_{DD} + V_{x_G}$) は ($V_{DD} + V_{th_G}$) よりも低く、閾値電圧 V_{th_G} の絶対値が大きいほど電圧 V_{x_G} の絶対値は大きくなる。また、時刻 t 3 の直前における B 画素回路 60b 内の節点 D の電位 ($V_{DD} + V_{x_B}$) は ($V_{DD} + V_{th_B}$) よりも低く、閾値電圧 V_{th_B} の絶対値が大きいほど電圧 V_{x_B} の絶対値は大きくなる。

【0102】

次に時刻 t 4 において制御線 E_i の電位がローレベルに変化すると、3 個の画素回路 60 0 ではスイッチ用 TFT 64、65 が導通状態に変化する。R 画素回路 60r では、コンデンサ 68 が電圧 ($V_{DD} + V_{x_R} - V_{d_R}$) を保持している間に、節点 E の電位が V_{d_R} から V_{int_R} に変化する。したがって、節点 D の電位も、同じ量 ($V_{int_R} - V_{d_R}$) だけ変化して ($V_{DD} + V_{x_R}$) + ($V_{int_R} - V_{d_R}$) = ($V_{DD} + V_{x_R} + V_{int_R} - V_{d_R}$) となる。同様に、G 画素回路 60g 内の節点 D の電位は ($V_{DD} + V_{x_G} + V_{int_G} - V_{d_G}$) となり、B 画素回路 60b 内の節点 D の電位は ($V_{DD} + V_{x_B} + V_{int_B} - V_{d_B}$) となる。

【0103】

時刻 t 4 以降、3 個の画素回路 60 内のコンデンサ 68 に保持された電圧は変化しない。このため、R 画素回路 60r 内の節点 D の電位は ($V_{DD} + V_{x_R} + V_{int_R} - V_{d_R}$) のままである。同様に、G 画素回路 60g 内の節点 D の電位は ($V_{DD} + V_{x_G} + V_{int_G} - V_{d_G}$) のままであり、B 画素回路 60b 内の節点 D の電位は ($V_{DD} + V_{x_B} + V_{int_B} - V_{d_B}$) のままである。したがって、3 個の画素回路 60 0 では、時刻 t 4 以降、次に制御線 E_i の電位がハイレベルとなるまで、電源配線 V_p から駆動用 TFT 61 とスイッチ用 TFT 64 を経由して有機 EL 素子 67 に電流が流れ、有機 EL 素子 67 は発光する。このときに駆動用 TFT 61 を流れる電流の量は節点 D の電位に応じて増減するが、以下に示すように、駆動用 TFT 61 の閾値電圧が異なってもデータ電圧が同じであれば電流量を同じにすることができる。

【0104】

例として、R 画素回路 60r について説明する。R 画素回路 60r では、有機 EL 素子 67 が発光するときに駆動用 TFT 61 のゲート端子電位 V_g は ($V_{DD} + V_{x_R} + V_{int_R} - V_{d_R}$) となる。したがって、式 (1) より、駆動用 TFT 61 のドレイン - ソース間を流れる電流 I_{EL} は、次式 (6) に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot \{V_{int_R} - V_{d_R} + (V_{x_R} - V_{th_R})\}^2 \quad \dots (6)$$

式 (6) において電圧 V_{x_R} が閾値電圧 V_{th_R} に一致すれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。また、電圧 V_{x_R} が閾値電圧 V_{th_R} に一致しなくても、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。

【0105】

表示装置 50 0 では、第 1 参考例と同様に、R 画素回路内の 2 つの TFT 間で電圧 V_{x_R} の差が閾値電圧 V_{th_R} の差とほぼ同じになるように、閾値補正期間の長さや初期電圧 V_{int_R} のレベルが決定される。このため、式 (6) に含まれる電圧差 ($V_{x_R} - V_{th_R}$) はほぼ一定になる。したがって、R 画素回路 60r では、閾値電圧 V_{th_R} の値にかかわらず、有機 EL 素子 67 にはデータ電圧 V_{d_R} に応じた量の電流が流れ、有機 EL 素子 67 はデータ電圧 V_{d_R} に応じた輝度で発光する。

【0106】

同様に、G 画素回路 60g では、閾値電圧 V_{th_G} の値にかかわらず、有機 EL 素子 67 にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機 EL 素子 67 はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B 画素回路 60b では、閾値電圧 V_{th_B} の値にかかわらず、有機 EL 素子 67 にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機

10

20

30

40

50

EL素子67はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置50では、第1参考例に係る表示装置10と比べて画素回路60の構成は複雑になるが、ソースドライバ回路53の構成は簡単になる。

【0107】

表示装置50では、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の初期電圧 V_{int_G} とB画素回路用の初期電圧 V_{int_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たすことがより好ましい。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、いずれも電源電圧 V_{DD} よりも低いレベルに設定される。

10

【0108】

第2参考例に係る表示装置50は、第1参考例に係る表示装置10と同様の効果を奏する。図16に示す画素回路130を備えた従来の表示装置では、装置全体で1種類の初期電圧 V_{int} が使用される。このため、従来の表示装置には、緑色を基準として初期電圧 V_{int} を決定すると画質が低下し、青色を基準として初期電圧 V_{int} を決定すると消費電力が増大するという問題がある。

【0109】

これに対して、第2参考例に係る表示装置50では、複数の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用され、このうち少なくとも2つ以上が異なっている。このため、例えば、B画素回路には $|V_{gs0}|$ が大きくなる初期電圧 V_{int_B} を使用し、G画素回路には $|V_{gs0}|$ が小さくなる初期電圧 V_{int_G} を使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用TFT61のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用TFT61のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らして消費電力を削減することができる。また、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用すれば、上記の効果をさらに高めることができる。

20

【0110】

このように第2参考例に係る表示装置50によれば、表示色に応じた初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用することにより、駆動用TFT61の閾値補正を行うときに、駆動用TFT61のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

30

【0111】

本発明の第2の実施形態に係る表示装置は、第2参考例に係る表示装置に対して、3種類の画素回路を別個の電源配線に接続する変形を施したものである。本発明の第2の実施形態に係る表示装置では、R画素回路60rに接続された電源配線には電源電圧 V_{DD_R} が印加され、G画素回路60gに接続された電源配線には電源電圧 V_{DD_G} が印加され、B画素回路60bに接続された電源配線には電源電圧 V_{DD_B} が印加される。

40

【0112】

以上に示すように、本発明の表示装置によれば、駆動素子の閾値補正を行ってカラー表示を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じた初期電位差を与えることにより、画質を高くし、消費電力を削減することができる。

【産業上の利用可能性】

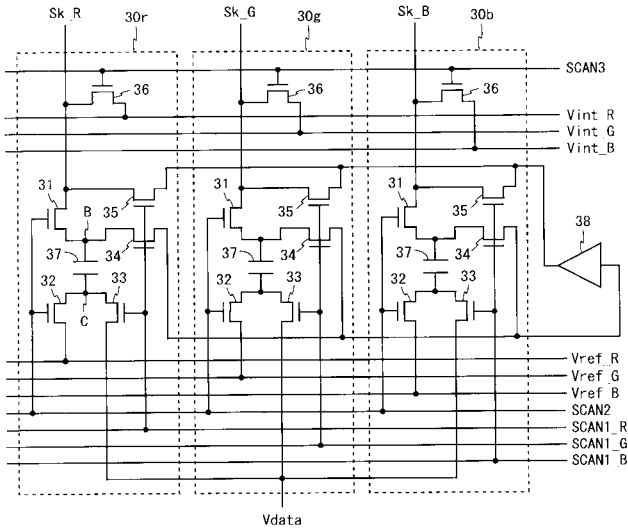
【0113】

本発明の表示装置は、高画質で低消費電力であるという特徴を有するので、各種の電子機器の表示装置として利用することができる。

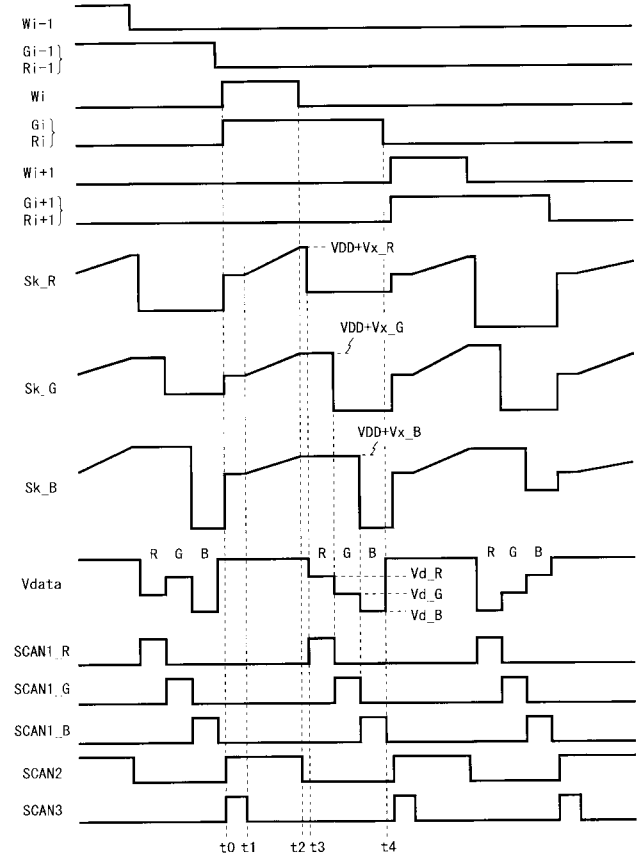
【符号の説明】

50

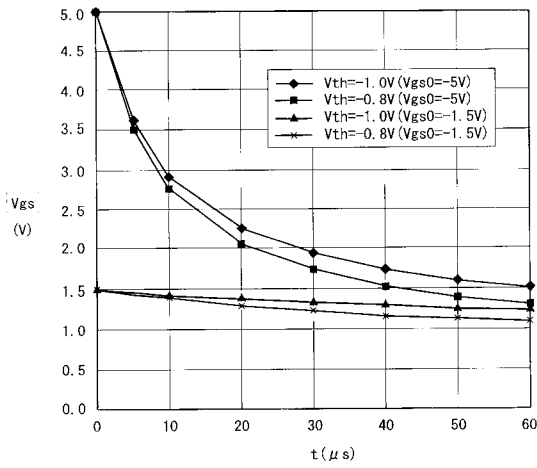
【 図 3 】



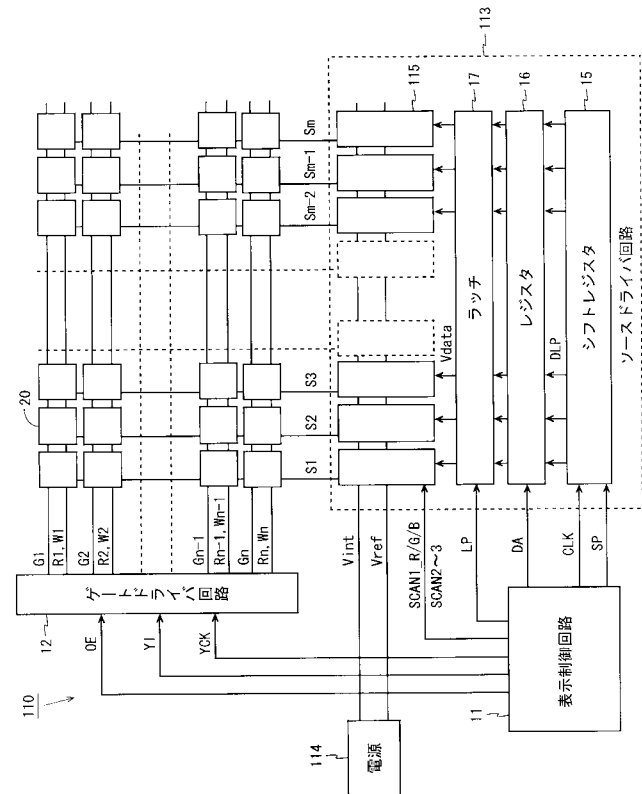
【 図 4 】



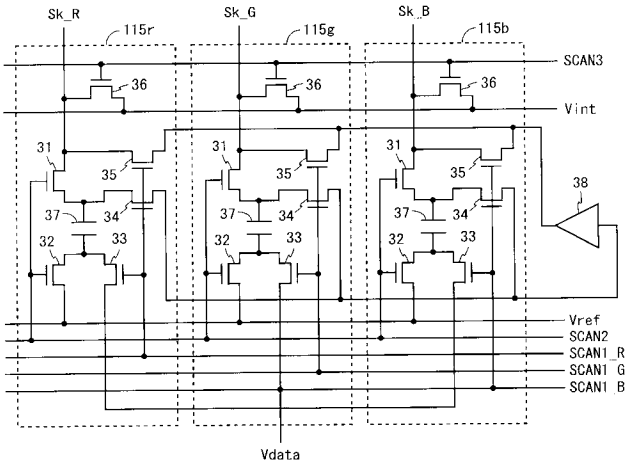
【 図 5 】



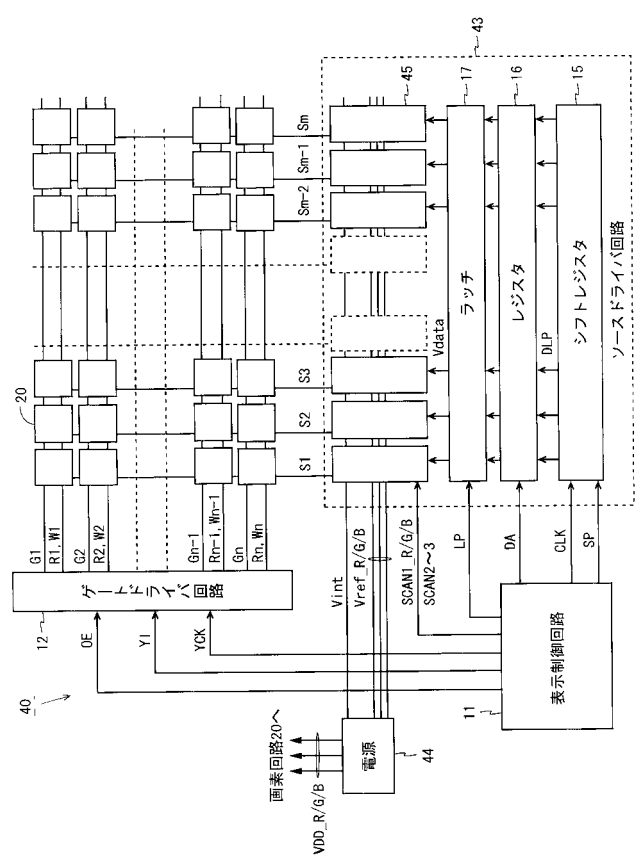
【 図 6 】



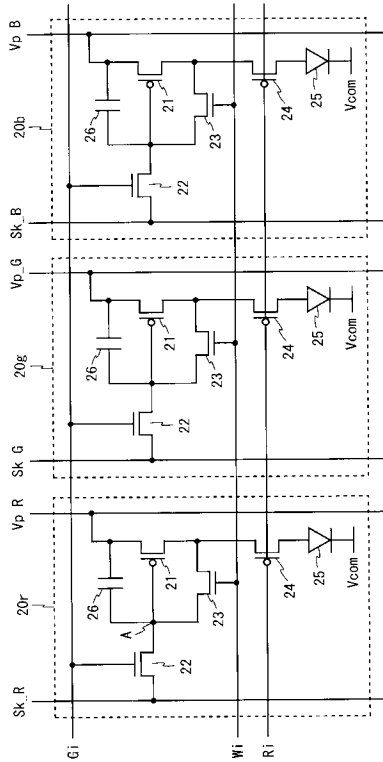
【図7】



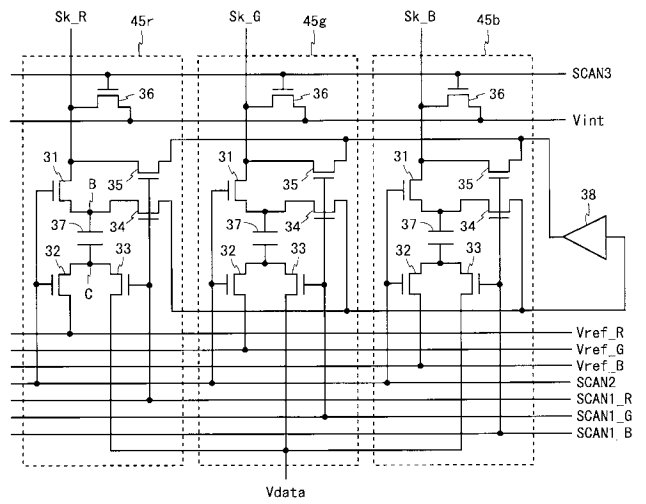
【図8】



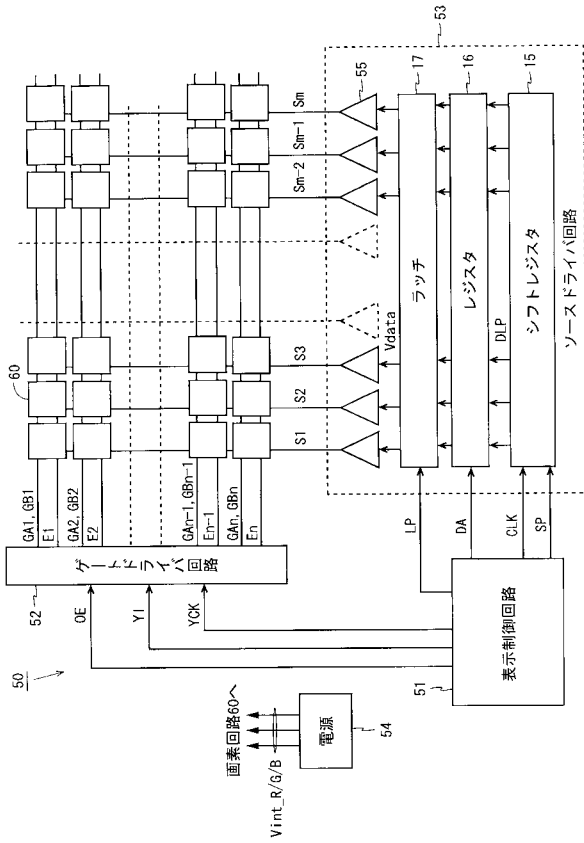
【図9】



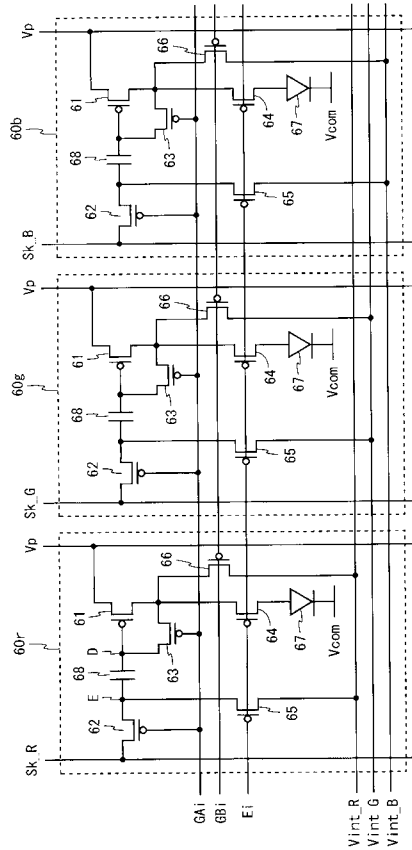
【図10】



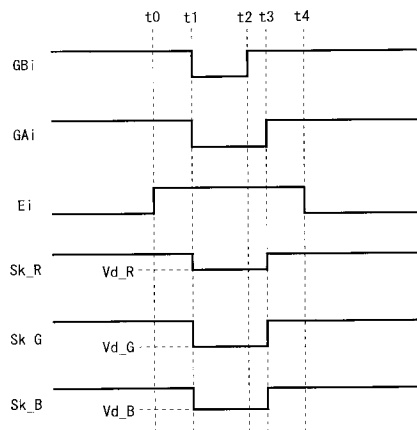
【図 1 1】



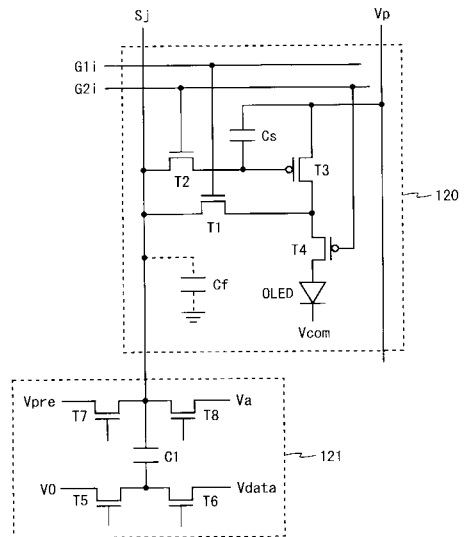
【図 1 2】



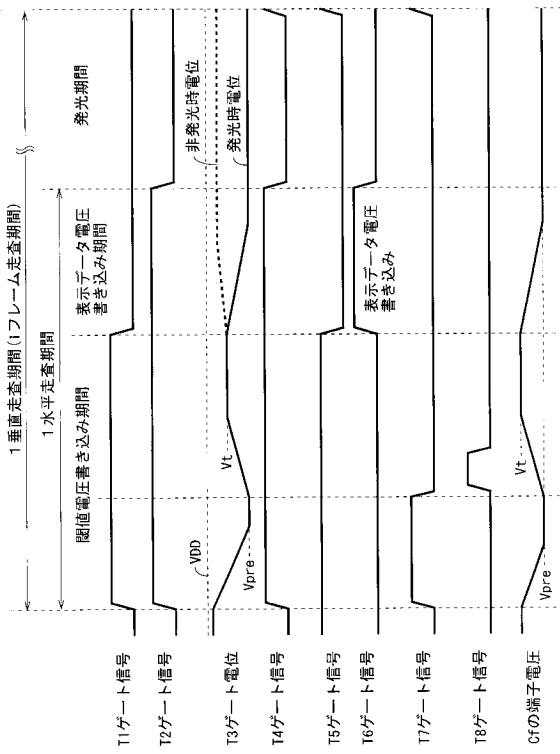
【図 1 3】



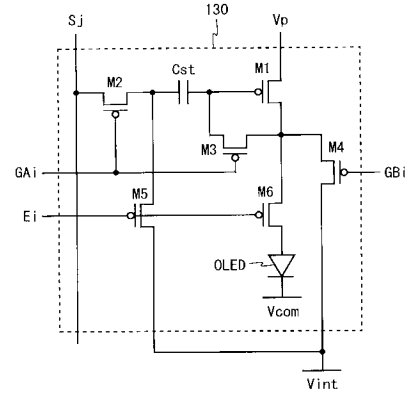
【図 1 4】



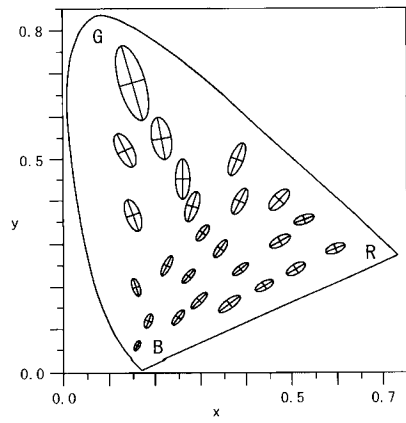
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

| | | |
|---------|-------|---------|
| G 0 9 G | 3/20 | 6 4 2 L |
| H 0 5 B | 33/14 | A |
| G 0 9 G | 3/20 | 6 1 2 A |

Fターム(参考) 5C380 AA01 AB06 AB22 AB24 AB34 BA01 BA39 BB15 CA08 CA12
CB01 CB12 CB14 CB16 CB17 CC04 CC26 CC33 CC39 CC52
CC53 CC61 CC63 CC64 CD014 CD016 CE04 CF06 CF07 CF09
CF22 DA02

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 显示装置及其驱动方法 | | |
| 公开(公告)号 | JP2013101373A | 公开(公告)日 | 2013-05-23 |
| 申请号 | JP2012283304 | 申请日 | 2012-12-26 |
| [标]申请(专利权)人(译) | 夏普株式会社 | | |
| 申请(专利权)人(译) | 夏普公司 | | |
| [标]发明人 | 岸宣孝 | | |
| 发明人 | 岸 宣孝 | | |
| IPC分类号 | G09G3/30 G09G3/20 H01L51/50 | | |
| CPC分类号 | G09G3/3291 G09G3/2003 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2310/0251 G09G2320/02 G09G2320/0242 G09G2320/029 G09G2330/02 G09G2330/021 G09G2330/028 | | |
| FI分类号 | G09G3/30.J G09G3/20.624.B G09G3/20.611.A G09G3/20.611.H G09G3/20.642.A G09G3/20.642.L H05B33/14.A G09G3/20.612.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/BA01 5C380/BA39 5C380/BB15 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CE04 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF22 5C380/DA02 | | |
| 代理人(译) | 岛田彰 川原贤治 | | |
| 优先权 | 2008231807 2008-09-10 JP | | |
| 其他公开文献 | JP5442101B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供具有高图像质量和低功耗的电流驱动型彩色显示设备。解决方案：像素电路20包括有机EL元件25，驱动FET 21和用于设置在驱动TFT 21的栅极和漏极之间的开关的TFT 23。在写入像素电路20时，施加初始电压以施加初始电压。在驱动TFT 21的栅极端子处，用于开关的TFT 23暂时被控制为导通状态，同时驱动TFT 21导通，并且使用驱动TFT 21的当前栅极端子电位校正的数据电压被施加到栅极TFT的端子。人对蓝色的色度差异敏感，但对绿色的色度差异不敏感。用于蓝色的像素电路使用提高阈值校正精度的电源电压VDD_B，并且将用于绿色的像素电路用于降低功耗的电源电压VDD_G。

