

(19) 日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2011-529195

(P2011-529195A)

(43) 公表日 平成23年12月1日 (2011.12.1)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 623R	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 621M	5C380
<b>H05B 33/02 (2006.01)</b>	G09G 3/20 611J	
	G09G 3/20 623C	
審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2011-507978 (P2011-507978)  
 (86) (22) 出願日 平成21年3月31日 (2009.3.31)  
 (85) 翻訳文提出日 平成23年1月6日 (2011.1.6)  
 (86) 国際出願番号 PCT/GB2009/000866  
 (87) 国際公開番号 W02009/136134  
 (87) 国際公開日 平成21年11月12日 (2009.11.12)  
 (31) 優先権主張番号 0808178.8  
 (32) 優先日 平成20年5月7日 (2008.5.7)  
 (33) 優先権主張国 英国 (GB)

(71) 出願人 597063048  
 ケンブリッジ ディスプレイ テクノロジ  
 ー リミテッド  
 イギリス・ケンブリッジシャー・CB2 3  
 ・6DW・キャンボーン・キャンボーン・  
 ビジネス・パーク・(番地なし)・ビルデ  
 イング・2020  
 (74) 代理人 230104019  
 弁護士 大野 聖二  
 (74) 代理人 100106840  
 弁理士 森田 耕司  
 (74) 代理人 100105991  
 弁理士 田中 玲子  
 (74) 代理人 100113549  
 弁理士 鈴木 守

最終頁に続く

(54) 【発明の名称】 アクティブマトリクスディスプレイ

## (57) 【要約】

アクティブマトリクスOLEDディスプレイ(200)が、データライン(202)、前記データライン(202)に接続された複数の画素回路(203)、ディスプレイデータを前記画素回路(203)に書き込むために前記データライン(202)の一端に接続された駆動回路(201)、及び、前記駆動回路(201)から伸びる前記データライン(202)の別の端部に接続されたプログラマブル駆動ブースト回路(204)を含む。

【選択図】 図4

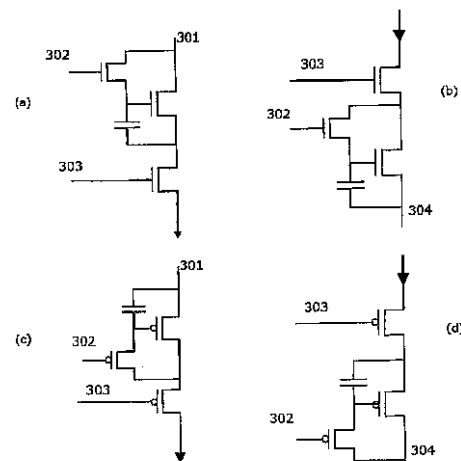


Figure 4

**【特許請求の範囲】****【請求項 1】**

データラインと、  
前記データラインに接続された複数の画素回路と、  
ディスプレイデータを前記画素回路に書き込むために前記データラインの一端に接続された駆動回路と、  
前記駆動回路からの前記データラインの別の端部に接続されたプログラマブル駆動ブースト回路と、  
を備えることを特徴とするアクティブマトリクスOLEDディスプレイ。

**【請求項 2】**

前記プログラマブル駆動ブースト回路が、前記データラインの、前記駆動回路が接続されている端部に対して反対の端部に接続されている請求項 1 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 3】**

前記プログラマブル駆動ブースト回路が、電流ソース又は電流シンクである請求項 1 または 2 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 4】**

前記プログラマブル駆動ブースト回路が、セレクト回路又はイネーブル回路を含む請求項 1 ~ 3 のいずれか一項に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 5】**

前記駆動回路が、前記イネーブル回路にデータバスにより接続されている請求項 4 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 6】**

前記プログラマブル駆動ブースト回路が、電流コピー回路である請求項 1 ~ 5 のいずれかに記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 7】**

前記電流コピー回路が、可変電流シンクとして、デューティプログラミングされるイネーブル信号により制御可能である請求項 6 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 8】**

前記電流コピー回路が、プログラミングされたデータ信号の最上位ビットにより制御可能である請求項 6 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 9】**

前記プログラマブル駆動ブースト回路と前記駆動回路とが、同一基板上に配置されている請求項 1 ~ 8 のいずれかに記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 10】**

前記基板が、アモルファスシリコン ( a - S i ) バックプレーンを含む請求項 9 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 11】**

前記プログラマブル駆動ブースト回路が、プログラマブル電流ブースト回路である請求項 1 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 12】**

前記プログラマブル駆動ブースト回路が、プログラマブル電圧ブースト回路である請求項 1 に記載のアクティブマトリクスOLEDディスプレイ。

**【請求項 13】**

電流プログラミングされるデータラインと、前記データラインに接続された複数の画素回路と、ディスプレイデータを前記画素に書き込むために前記データラインの一端に接続された駆動回路と、前記駆動回路から伸びる前記データラインの別の端部に接続されたプログラマブル駆動ブースト回路とを有するアクティブマトリクスOLEDディスプレイをプログラミングする方法であって、

10

20

30

40

50

第 1 のアドレス期間に、前記プログラマブル駆動ブースト回路を第 1 の電流によりプログラミングすることと、

第 2 のアドレス期間に、ディスプレイデータを前記画素に書き込み、且つ前記第 1 の電流を前記データラインに供給することと、  
を含むことを特徴とする方法。

【請求項 1 4】

前記駆動回路から前記データラインに提供される電流に対してバイアスされた電流を提供するために、前記プログラマブル駆動ブースト回路を、イネーブルデータビット及び 1 以上のプログラムデータビットにより作動させることを含む請求項 1 3 に記載の方法。

【請求項 1 5】

前記プログラマブル駆動ブースト回路が一定時間イネーブルされることを含む請求項 1 4 に記載の方法。

【請求項 1 6】

前記プログラマブル駆動ブースト回路がイネーブルされ、且つ、前記駆動回路により伝送されたデジタル信号情報の最上位ビットに対応する電流を提供することを含む請求項 1 4 に記載の方法。

【請求項 1 7】

前記プログラマブルブースト回路がデューティサイクルに従って変化するようにプログラミングされる請求項 1 4 に記載の方法。

【請求項 1 8】

前記ディスプレイがフラットパネルディスプレイを含む請求項 1 3 ~ 1 7 のいずれか一項に記載の方法。

【請求項 1 9】

前記ディスプレイがトップエミッション型アクティブマトリクス OLED ディスプレイを含む請求項 1 3 ~ 1 8 のいずれか一項に記載の方法。

【請求項 2 0】

図 2、3 及び 4 を参照して、及び / 又は、明細書中に実質的に記載されたアクティブマトリクス OLED ディスプレイをプログラミングする方法。

【請求項 2 1】

図 2、3 及び 4 を参照して、及び / 又は、明細書中に実質的に記載されたプログラマブル駆動ブースト回路を備えたアクティブマトリクス OLED ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概してアクティブマトリクスディスプレイに関し、また、関連するディスプレイ駆動方法に関する。より詳細には、本発明は、アクティブマトリクス駆動される OLED (有機発光デバイス) ディスプレイのための、このデバイスの性能特性を高めるために用いられる追加の駆動回路に関する。

【背景技術】

【0002】

OLED (有機発光デバイス) を用いて作製されたディスプレイは、LCD 及びその他のフラットパネル技術よりも多くの利点をもたらす。OLED は、明るくカラフルであり、高速スイッチングをし (LCD と比較して)、広視野角をもたらし、且つ、様々な基板上への組み付けが安価で容易である。有機 (本文中、有機金属を含む) 発光ダイオード (LED) は、ポリマー、小分子及び dendrimer を含む材料を用いて、これらの使用材料に依存した範囲の色に作製され得る。ポリマーを基材とした有機 LED (ポリマーベースの有機 LED) の例が、特許文献 1、特許文献 2、及び特許文献 3 に記載されている。Dendrimer を基材とした材料 (dendrimer ベースの材料) の例が、特許文献 4 及び特許文献 5 に記載されている。また、いわゆる小分子を基材としたデバイスの例が特許文献 6 に記載されている。

10

20

30

40

50

## 【 0 0 0 3 】

典型的な O L E D デバイスは、有機材料から成る 2 つの層を含み、これらの層の一方は、発光材料（例えば、発光ポリマー（ L E P ）、オリゴマー又は低分子量の発光材料）から成る層であり、他方は、正孔輸送材料（例えば、ポリチオフェン誘導体又はポリアニリン誘導体）から成る層である。

## 【 0 0 0 4 】

有機 L E D は、基板上にマトリクス状の画素として蒸着されて、単色又は多色の画素で構成されたディスプレイを形成し得る。多色ディスプレイは、赤色、緑色及び青色の発光画素群を用いて構成され得る。いわゆるアクティブマトリクス（ A M ）ディスプレイは、各画素に関連した記憶素子（典型的には、ストレージキャパシタ及びトランジスタ）を有する。一方、パッシブマトリクスディスプレイはこのような記憶素子を有さず、その代わり、安定画像の印象をもたらすために繰り返し走査される。ポリマー及び小分子アクティブマトリクスディスプレイドライバの例が、それぞれ、特許文献 7 及び特許文献 8 に見られる。

10

## 【 0 0 0 5 】

ディスプレイは、ボトムエミッション型（底面発光型）又はトップエミッション型（上面発光型）であり得る。ボトムエミッション型のディスプレイにおいて、光は、アクティブマトリクス回路がその上に組み付けられた基板を通して放射される。一方、トップエミッション型のディスプレイにおいては、光は、アクティブマトリクス回路が組み込まれたディスプレイ層を通過する必要がなく、ディスプレイの前面に向って放射される。

20

## 【 0 0 0 6 】

トップエミッション型の O L E D ディスプレイは、ボトムエミッション型のディスプレイよりも一般的でない。なぜなら、典型的に、上部電極がカソードを含み、カソードは少なくとも部分的に透明で、尚且つ十分な導電性を有さねばならず、また、好ましくは、その下に位置する有機層を所定の程度、封入しなければならないからである。それでもなお、多くの種類の上面発光構造がこれまでに開示されており、そのなかには、本発明の出願人の公開された P C T 出願である特許文献 9 も含まれる（この出願の全てを援用して本文の記載の一部とする）。特許文献 9 は、カソードが、O L E D 画素から漏れる（エスケープする）光の量を増大させるための光学干渉構造を組み込むことを記載している。

30

## 【 0 0 0 7 】

O L E D ディスプレイは、慣用的に、直線的（rectilinear）なマトリクス状に配置された画像素子（すなわち、画素）から構築された画像を表示する。アクティブマトリクス O L E D ディスプレイは、慣用的に、各画素の各色のための行データライン及び列データラインを有する。このようなデータラインの 1 つ 1 0 2 が図 1 に示されている。図 1 を参照すると、駆動回路 1 0 1 が、複数の画素回路 1 0 3 に接続されたデータライン 1 0 2 に接続されている。画素回路 1 0 3 の各々が 1 つの画素ディスプレイ素子に対応し、且つ、メモリ素子（図示せず）を含む。データライン 1 0 2 の各々は、典型的に、多数の画素回路 1 0 3 に接続される。

## 【 0 0 0 8 】

データライン 1 0 2 は、アクティブマトリクス O L E D ディスプレイ内で、電圧駆動方法又は電流駆動方法を用いる。最先端技術において、電流駆動方法を用いた場合に、電圧駆動方法よりも電気効率を増大させることができる。電流駆動方法を用いる場合、画素回路 1 0 3 は、電流ソース又は電流シンクとして用いられ得る。

40

## 【 0 0 0 9 】

図 2（本発明の出願人の出願である特許文献 1 0 から引用）は、電流制御型の画素ドライバ回路の例を示す。この回路において、O L E D 1 5 2 を流れる電流は、O L E D ドライバトランジスタ 1 5 8 のためのドレインソース電流を、基準電流シンク 1 6 6 を用いて設定し、且つ、このドレイン - ソース電流のために必要なドライバトランジスタターゲット電圧を記憶することにより設定される。こうして、O L E D 1 5 2 の輝度が、基準電流シンク 1 6 6 に流れ込む電流  $I_{c o 1}$  により決定される。電流  $I_{c o 1}$  は、好ましくは調節

50

可能であり、且つ、アドレス指定されている画素に望ましいように設定される。また、さらなるスイッチングトランジスタ 164 が、駆動トランジスタ 158 と O L E D 152 との間に接続されている。一般に、列データラインの各々に、1つの電流シンク 166 が設けられる。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】W O 9 0 / 1 3 1 4 8

【特許文献 2】W O 9 5 / 0 6 4 0 0

【特許文献 3】W O 9 9 / 4 8 1 6 0

【特許文献 4】W O 9 9 / 2 1 9 3 5

【特許文献 5】W O 0 2 / 0 6 7 3 4 3

【特許文献 6】U S 4 , 5 3 9 , 5 0 7

【特許文献 7】W O 9 9 / 4 2 9 8 3

【特許文献 8】E P 0 , 7 1 7 , 4 4 6 A

【特許文献 9】W O 2 0 0 5 / 0 7 1 7 7 1

【特許文献 10】W O 0 3 / 0 3 8 7 9 0

【発明の概要】

【発明が解決しようとする課題】

【0011】

電流駆動型アクティブマトリクス画素回路に共通の問題は、よくあることであるが、画素を「プログラミングする」電流が小さい場合、特に、大きいディスプレイにおいて、リーク電流及び/又はデータラインキャパシタンスが支配しすることがあることである。

【0012】

図 1 に最良に観られるように、従来の電流駆動型アクティブマトリクス O L E D ディスプレイは、データライン 102 のレジスタ - キャパシタ定数を克服しなければならない。駆動回路 101 は、所望の光出力を達成するために、十分な電流を画素回路 103 に供給することに加えて、データライン 102 の固有の抵抗及びキャパシタンスを克服しなければならない。

【課題を解決するための手段】

【0013】

本発明の第 1 の態様に従えば、データラインと、前記データラインに接続された複数の画素回路と、ディスプレイデータを前記画素回路に書き込むためにデータラインの一端に接続された駆動回路と、前記駆動回路から伸びる前記データラインの別の端部に接続されたプログラマブル（プログラム可能な）駆動ブースト回路とを含むアクティブマトリクス O L E D ディスプレイが提供される。

【0014】

本発明は、好ましくは、前記データラインの、前記駆動回路が接続された端部に対して反対の端部に接続されるプログラマブル駆動ブースト回路を提供する。このような回路を追加することにより、アクティブマトリクス O L E D データラインのより迅速なプリチャージが可能にされる。当業者に理解されるように、前記プログラマブル駆動ブースト回路は、電圧制御式回路又は電流制御回路であってよい。

【0015】

好ましくは、前記プログラマブル駆動ブースト回路は、電流ソース又は電流シンクである。前記プログラマブル駆動ブースト回路を電流ソース又は電流シンクとして用いることにより、前記データラインのレジスタ - キャパシタ係数を克服するために必要な電流が低減される。本発明の利点は、装置の電力効率を増大させること、及び、画像を表示するのにかかる時間を短縮すること、並びに、より高い画像表示リフレッシュレートを連続的にもたらすことである。

【0016】

好ましくは、前記プログラマブル駆動ブースト回路は、セレクト回路又はイネーブル回路を含む。より好ましくは、前記駆動回路は前記イネーブル回路にデータバスにより接続される。これにより、前記駆動回路が、前記プログラマブル駆動ブースト回路を、イネーブルデータビット及び／又は１以上のプログラムデータビットを伝送することにより制御することが可能になる。

【００１７】

好ましくは、前記プログラマブル駆動ブースト回路は電流コピー回路である。随意に、前記電流コピー回路は、可変電流シンクとして、デューティプログラミングされるイネーブル信号により制御されることができ、若しくは、プログラミングされたデータ信号の最上位ビットにより制御されることができる。又は、前記コピー回路は一定時間イネーブルされることができる。

10

【００１８】

前記プログラマブル駆動ブースト回路は、回路設計の要求条件に応じて、 $n$ チャネル型又は $p$ チャネル型であり得る。

【００１９】

好ましくは、前記プログラマブル駆動ブースト回路と前記駆動回路とは同一基板上に配置される。適切な基板又はバックプレーンが、アモルファスシリコン（ $a-Si$ ）から作製されることができる。

【００２０】

本発明の第２の態様に従えば、電流プログラミングされるデータラインと、前記データラインに接続された複数の画素回路と、ディスプレイデータを前記画素回路に書き込むために前記データラインの一端に接続された駆動回路と、前記駆動回路から伸びる前記データラインの別の端部に接続されたプログラマブル駆動ブースト回路とを有するアクティブマトリクスOLEDディスプレイをプログラミングする方法が提供される。前記方法は、前記プログラマブル駆動ブースト回路を第１の電流によりプログラミングすることを含む第１のアドレス期間と；ディスプレイデータを前記画素に書き込み、且つ前記第１の電流を前記データラインに供給する第２のアドレス期間とを含む。

20

【００２１】

このようにして、前記プログラマブルブースト回路により、電流が前記データライン上にプログラミングされる。この方法は、充電時間を実質的に短縮させ、また、前記データラインを両端から充電することにより、レジスタ-キャパシタ定数を約７５％低減させる。

30

【００２２】

好ましくは、前記プログラミングの方法は、前記第１のアドレス期間において、前記駆動回路から前記データラインに提供される電流に対してバイアスされた電流を提供するために、前記プログラマブル駆動ブースト回路をイネーブルデータビット及び１以上のプログラムデータビットにより作動させることを含む。

【００２３】

好ましくは、前記第１のアドレス期間は、前記プログラマブル駆動ブースト回路が一定時間イネーブルされることを含む。このような配置は、前記プログラマブルブースト回路の利点をもたらし、同時に、前記プログラマブルブースト回路の連続使用による非効率性を回避する。

40

【００２４】

好ましくは、前記第１のアドレス期間は、前記プログラマブル駆動ブースト回路がイネーブルされて、前記駆動回路により伝送されたデジタル信号情報の最上位ビットに対応する電流を提供することを含む。このような配置において、前記プログラマブルブースト回路及び前記駆動回路により提供される最大電流が低減される。

【００２５】

また、好ましくは、前記第１のアドレス期間は、前記プログラマブルブースト回路がデューティサイクルに従って変化するようにプログラミングされることを含む。このような

50

配置において、前記デューティサイクルは、例えば、前記データラインの材料中の物理的不純物を克服するように、若しくは、最適な表示時間又は電気効率（例えば、表示される画像の情報内容に応じて）を達成するように、又は、一定のデューティサイクルに従うように（例えば、所望の画像表示を達成するのに必要な数値計算を最小限にするように）選択され得る。

【0026】

ここで、本発明の実施形態を、添付図面を参照しつつ、単なる例として、さらに記載する。

【図面の簡単な説明】

【0027】

【図1】図1は、当技術分野で知られている行又は列のディスプレイレイアウトの概略図である。

【図2】図2は、当技術分野で知られているアクティブマトリクス画素ドライバ回路の概略図である。

【図3】図3は、本発明の実施形態の行又は列のディスプレイレイアウトの概略図である。

【図4】図4(a)～図4(d)は、本発明の実施形態のプログラマブル回路ブースタ回路として用いるための4つのサンプル回路の概略図である。

【発明を実施するための形態】

【0028】

図3を参照すると、本発明の実施形態の行又は列のディスプレイレイアウトの概略図には、アクティブマトリクスOLEDディスプレイ200が含まれる。ディスプレイ200はプログラマブルブースタ回路を含み、この回路は、駆動チップ回路201、データライン202、画素回路203、及び、プログラマブル駆動ブースタ回路204をによって示される。

【0029】

ディスプレイ200のプログラミングは、画素回路203のアクティブマトリクス配置による2つの段階を有する。第1の段階において、駆動回路201が、デジタル信号情報から、画素回路203に供給されるべき必要な電流又は電流範囲を識別して、電流を複数の画素回路203に供給し、画素回路203は電流をメモリセル（図示せず）に記憶する。さらに、プログラマブルブースタ回路204が、プログラミングのこの第1段階の間、連動（エンゲージ）される。第2の段階において、駆動回路201は電流の供給を停止し、画素回路203はOLED（図示せず）を画素回路内で駆動させて、供給されたデジタル信号データに対応する、対象となる表示画像の一部を照射する。この配置において、駆動回路201は、電流を供給するタスク、すなわち、画素回路203のメモリセルを充電するための、そしてまた、データライン202のレジスタ-キャパシタ定数を克服するのに十分な電流を供給するためのタスクを、プログラマブル駆動ブースタ回路204により補助される。

【0030】

プログラマブル駆動ブースタ回路204は、駆動回路201と協働して電流コピー部として機能することができ、すなわち、回路201と回路204の両方が画素回路203にソース電流を出力し、又は画素回路203からシンク電流が流れ込む。或いは、プログラマブルブースタ回路204は、駆動回路201とは反対に機能し得る。すなわち、プログラマブルブースタ回路204に電流が流れ込み、駆動回路201が電流を出力する。又は、プログラマブルブースタ回路204が電流を出力し、駆動回路201に電流が流れ込む。

【0031】

プログラマブルブースタ回路204は、ディスプレイ200をプログラミングする第1段階のプリチャージ部分にてのみイネーブルされることができる。また、プログラマブル駆動ブースタ回路204は、デジタル信号情報の最上位ビットに関連する電流レベルにブ

10

20

30

40

50

プログラミングされることができ、これに対し、駆動回路 201 は、ディスプレイ 200 のプログラミングの第 1 段階において画素回路 203 を一定のレベルにプログラミングする。さらに、プログラマブル駆動ブースト回路 204 は、可変デューティプログラムに従うように、例えば、供給された電流を、対象となる表示画像の内容に従って最適化するようにプログラミングされることができる。

【0032】

図 4 a ~ 図 4 d は、本発明の実施形態のプログラマブル回路ブースタ回路 204 として用いるための 4 つのサンプル回路の概略図である。図 4 の部分 ( a ) , ( b ) , ( c ) 及び ( d ) において、電圧源  $V_{DD}$  301、プログラムデータ 302、イネーブルデータ 303、及び、回路グラウンド 304 は共通である。

10

【0033】

図 4 ( a ) は、電流ソース型プログラマブルブースタ回路を提供するための、n 型トランジスタを用いたプログラマブルブースタ回路 204 の例の典型的なレイアウトを示す。

【0034】

図 4 ( b ) は、電流シンク型プログラマブルブースタ回路を提供するための、n 型トランジスタを用いたプログラマブルブースタ回路 204 の例の典型的なレイアウトを示す。

【0035】

図 4 ( c ) は、電流ソース型プログラマブルブースタ回路を提供するための、p 型トランジスタを用いたプログラマブルブースタ回路 204 の例の典型的なレイアウトを示す。

【0036】

図 4 ( d ) は、電流シンク型プログラマブルブースタ回路を提供するための、p 型トランジスタを用いたプログラマブルブースタ回路の例の典型的なレイアウトを示す。

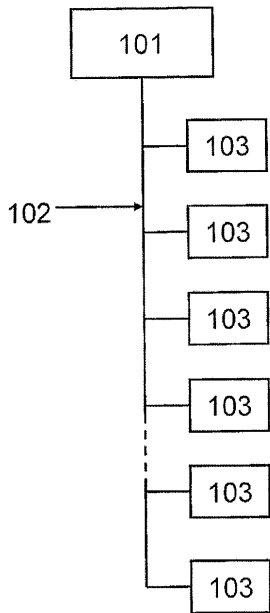
20

【0037】

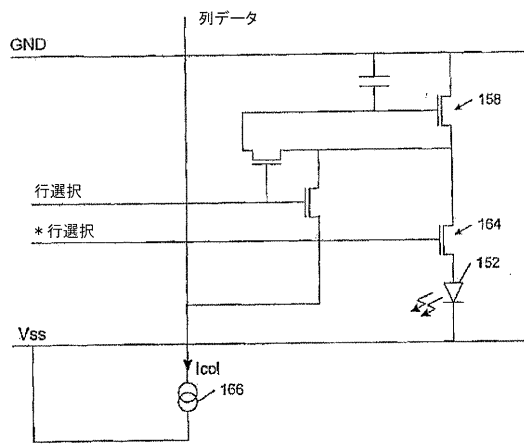
当業者は他の有効な代替手段を考案することであろう。本発明が、以上に記載した実施形態に限定されることなく、添付の特許請求の範囲の精神及び範囲内にある、当業者にとって明らかな変更を包含することが理解されよう。



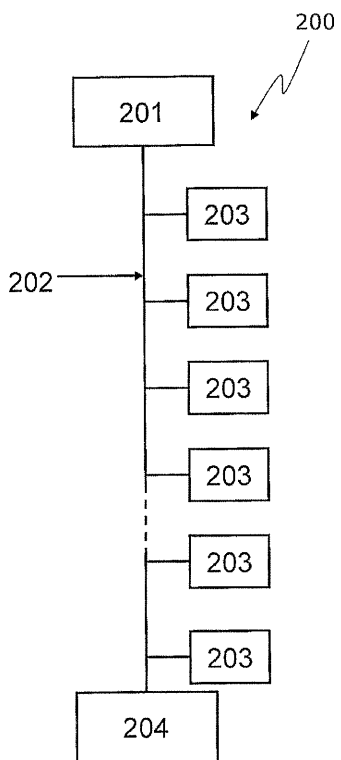
【図 1】



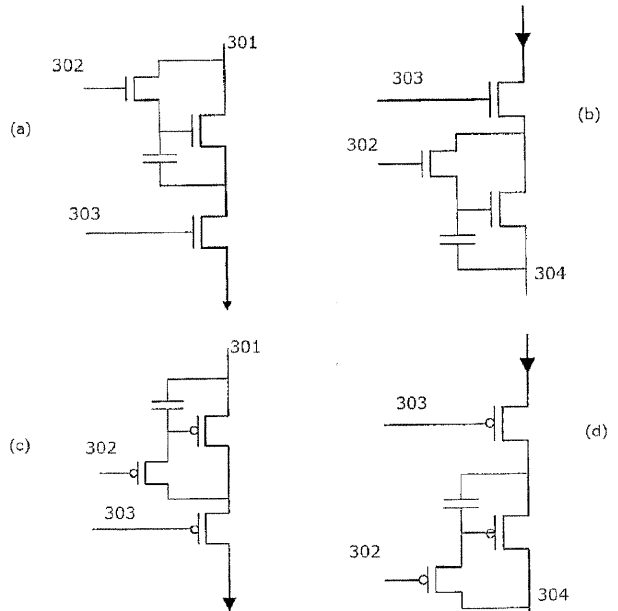
【図 2】



【図 3】



【図 4】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No

PCT/GB2009/000866

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/195964 A1 (YUMOTO AKIRA [JP]) 26 December 2002 (2002-12-26)  paragraphs [0001], [0012], [0029], [0038] - [0126]; figures 8,10-16,22	1-6,8, 10-14, 16,18,19
X	EP 1 624 436 A (TOSHIBA MATSUSHITA DISPLAY TEC [JP]) 8 February 2006 (2006-02-08) paragraphs [0011] - [0080]; figures 15-21	1-3,9, 11,13,18
X	WO 2006/020468 A (EASTMAN KODAK CO [US]; KAWABE KAZUYOSHI [JP]) 23 February 2006 (2006-02-23) page 18, line 4 - page 21, line 11; figures 6-211	1-3,6-8, 10-12, 15-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search  7 July 2009		Date of mailing of the international search report  17/07/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040 Fax: (+31-70) 340-3016		Authorized officer  Gartlan, Michael

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/GB2009/000866

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002195964 A1	26-12-2002	CN 1388498 A	01-01-2003
		JP 3610923 B2	19-01-2005
		JP 2002351400 A	06-12-2002
		KR 20020092220 A	11-12-2002
		SG 104968 A1	30-07-2004
		TW 544652 B	01-08-2003
EP 1624436 A	08-02-2006	WO 2004102515 A1	25-11-2004
		KR 20060023528 A	14-03-2006
		TW 285355 B	11-08-2007
		US 2006066536 A1	30-03-2006
WO 2006020468 A	23-02-2006	EP 1776690 A1	25-04-2007
		JP 2006053347 A	23-02-2006

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 5 B 33/14 A  
H 0 5 B 33/02

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100119183  
弁理士 松任谷 優子

(74)代理人 100131451  
弁理士 津田 理

(72)発明者 スミス, ユアン  
イギリス国 シービー 2 3 6 ディーダブリュー ケンブリッジシャイア, キャンボーン, キャンボーン ビジネス パーク, ビルディング 2 0 2 0, ケンブリッジ ディスプレイ テクノロジー リミテッド, アイピー デパートメント内

(72)発明者 トンプソン, バリー  
アメリカ合衆国 9 4 0 2 5 カリフォルニア州 メンロ パーク, パートリッジ アベニュー 8 7 4

F ターム(参考) 3K107 AA01 BB01 CC29 CC41 DD03 DD14 EE03 HH04 HH05  
5C080 AA06 BB05 DD08 EE29 FF11 HH10 JJ02 JJ03  
5C380 AA01 AB06 AB11 AB18 AB22 BA10 BA19 BC06 BC14 CA04  
CA13 CA17 CA25 CA29 CA48 CA53 CA54 CA57 CB31 CC13  
CC26 CC33 CC39 CC52 CC63 CD014 CF26 CF51 DA02

专利名称(译)	有源矩阵显示		
公开(公告)号	<a href="#">JP2011529195A</a>	公开(公告)日	2011-12-01
申请号	JP2011507978	申请日	2009-03-31
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	スミスユアン トンプソンバリー		
发明人	スミス,ユアン トンプソン,バリー		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/02		
CPC分类号	G09G3/3283 G09G3/3233 G09G2300/0408 G09G2310/0248 G09G2310/0262 G09G2320/0223		
FI分类号	G09G3/30.J G09G3/20.623.R G09G3/20.621.M G09G3/20.611.J G09G3/20.623.C H05B33/14.A H05B33/02		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC29 3K107/CC41 3K107/DD03 3K107/DD14 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB22 5C380/BA10 5C380/BA19 5C380/BC06 5C380/BC14 5C380/CA04 5C380/CA13 5C380/CA17 5C380/CA25 5C380/CA29 5C380/CA48 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB31 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CF26 5C380/CF51 5C380/DA02		
代理人(译)	森田浩二 田中玲子 鈴木 守 松任谷裕子 津田誠		
优先权	2008008178 2008-05-07 GB		
其他公开文献	JP2011529195A5		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

有源矩阵OLED显示器 ( 200 ) 包括数据线 ( 202 ) , 连接到数据线 ( 202 ) 的多个像素电路 ( 203 ) 以及用于将显示数据写入像素电路 ( 203 ) 的数据线 ( 203 ) 。 连接到驱动电路 ( 202 ) 的一端的驱动电路 ( 201 ) 和连接到从驱动电路 ( 201 ) 延伸的数据线 ( 202 ) 的另一端的可编程驱动升压电路 ( 204 ) 。 [选择图]图4

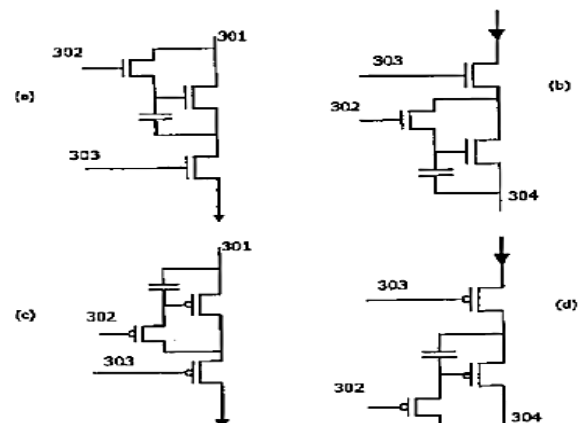


Figure 4

