

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-175716

(P2009-175716A)

(43) 公開日 平成21年8月6日(2009.8.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 670K	5C080
G09F 9/30 (2006.01)	G09G 3/20 611E	5C094
H01L 27/32 (2006.01)	G09G 3/20 624B	
H01L 51/50 (2006.01)	G09G 3/20 621B	

審査請求 未請求 請求項の数 9 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-322075 (P2008-322075)  
 (22) 出願日 平成20年12月18日 (2008.12.18)  
 (31) 優先権主張番号 特願2007-336322 (P2007-336322)  
 (32) 優先日 平成19年12月27日 (2007.12.27)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 本田 達也  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

Fターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03  
 HH04 HH05  
 5C080 AA06 BB05 DD06 DD29 EE29  
 FF11 HH09 JJ02 JJ03 JJ04  
 KK01 KK07 KK43 KK47  
 5C094 AA04 AA07 AA25 AA53 AA54  
 AA55 BA03 BA27 CA19 DB01  
 DB04 FB14 FB19 GA10 HA07  
 HA08

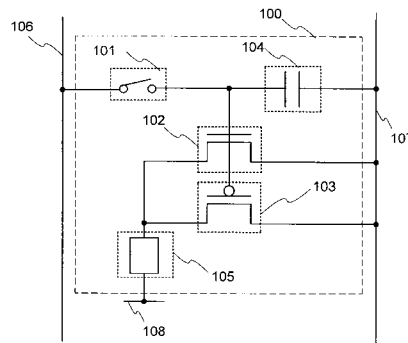
(54) 【発明の名称】 表示装置および当該表示装置を具備する電子機器

(57) 【要約】

【課題】一定期間EL素子が発光し続ける状況においても、EL素子を駆動するトランジスタのしきい値電圧の制御を行うことにより、輝度の低下や静止画像のちらつきを抑制しEL素子を駆動することを課題とする。

【解決手段】発光素子を駆動する駆動トランジスタとして、nチャネル型トランジスタ及びpチャネル型トランジスタを配置し、データ線より供給される画像信号の極性を任意の期間毎に反転させて各画素の駆動トランジスタのゲートに供給することによりトランジスタのしきい値電圧を制御し、駆動トランジスタのしきい値電圧シフトによる発光素子の輝度の変化を抑える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 端子が電源線に電氣的に接続され、第 2 端子が発光素子に電氣的に接続された n チャンネル型トランジスタと、

第 1 端子が前記電源線に電氣的に接続され、第 2 端子が前記発光素子に電氣的に接続された p チャンネル型トランジスタと、

一方の端子がデータ線に電氣的に接続され、他方の端子が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続されたスイッチと、を有することを特徴とする表示装置。

## 【請求項 2】

第 1 端子が電源線に電氣的に接続され、第 2 端子が発光素子に電氣的に接続された n チャンネル型トランジスタと、

第 1 端子が前記電源線に電氣的に接続され、第 2 端子が前記発光素子に電氣的に接続された p チャンネル型トランジスタと、

一方の電極が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続され、他方の電極が前記電源線に電氣的に接続された容量素子と、

一方の端子がデータ線に電氣的に接続され、他方の端子が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続されたスイッチと、を有することを特徴とする表示装置。

## 【請求項 3】

第 1 端子が第 1 の電源線に電氣的に接続され、第 2 端子が発光素子に電氣的に接続された n チャンネル型トランジスタと、

第 1 端子が前記第 1 の電源線に電氣的に接続され、第 2 端子が前記発光素子に電氣的に接続された p チャンネル型トランジスタと、

一方の端子がデータ線に電氣的に接続され、他方の端子が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続された第 1 のスイッチと、

一方の端子が第 2 の電源線に接続され、他方の端子が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続された第 2 のスイッチと、を有することを特徴とする表示装置。

## 【請求項 4】

第 1 端子が第 1 の電源線に電氣的に接続され、第 2 端子が発光素子に電氣的に接続された n チャンネル型トランジスタと、

第 1 端子が前記第 1 の電源線に電氣的に接続され、第 2 端子が前記発光素子に電氣的に接続された p チャンネル型トランジスタと、

一方の電極が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続され、他方の電極が前記電源線に電氣的に接続された容量素子と、

一方の端子がデータ線に電氣的に接続され、他方の端子が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続された第 1 のスイッチと、

一方の端子が第 2 の電源線に接続され、他方の端子が前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタのゲートに電氣的に接続された第 2 のスイッチと、を有することを特徴とする表示装置。

## 【請求項 5】

請求項 1 または 2 において、前記スイッチは、薄膜トランジスタで構成されていることを特徴とする液晶表示装置。

## 【請求項 6】

請求項 3 または 4 において、前記第 1 のスイッチ及び前記第 2 のスイッチは、薄膜トランジスタで構成されていることを特徴とする液晶表示装置。

## 【請求項 7】

請求項 1 乃至 6 にいずれか一において、

前記発光素子は、第 1 の電極と、第 2 の電極と、前記第 1 の電極及び前記第 2 の電極に挟

10

20

30

40

50

持された発光層とから構成されることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、

前記 n チャンネル型トランジスタ及び前記 p チャンネル型トランジスタは、エンハンスメント型のトランジスタであることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至 7 のいずれか一に記載の表示装置を具備することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関するものである。特に本発明は、発光素子を表示素子として備えた表示装置に関する。また本発明は、当該表示装置を表示部に具備する電子機器に関する。

【背景技術】

【0002】

近年、基板上に薄膜トランジスタ（以下、TFT）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への技術開発が進められている。アクティブマトリクス型表示装置においては、高精細化、及び高い階調数での画像の表現力が求められており、高画質化に向けた技術開発も盛んである。特に、アクティブマトリクス型表示装置の各画素に設けられる表示素子として発光素子であるエレクトロルミネッセンス素子（以下、EL素子）は、視野角が液晶素子を用いた液晶表示装置に比べて広く、色彩、コントラスト、及び動画応答性について優れており、高画質化を図る上で有望である。そのため、EL素子を具備する表示装置の技術開発は活発であり、商品化も進んでいる。

【0003】

その一方で、EL素子を駆動するためのトランジスタは、表示時間に比例して経時的に劣化し、表示したい階調と実際に表示される階調との間にずれが生じてしまう。この階調のずれの原因としては、ゲート絶縁膜と半導体層との界面の欠陥にキャリアである電子やホールがトラップ（捕獲）されることにより空間電荷が生じ、トランジスタのしきい値電圧がシフトすることによるものである。

【0004】

トランジスタのしきい値電圧がシフトする問題を解決するためには、EL素子の発光時にトランジスタのゲート電極に印加する電位の極性を反転させて交互に印加することが有効である。例えば、特許文献 1 には、トランジスタのしきい値電圧を制御するため、発光素子である EL 素子が発光する期間とは別にしきい値制御期間を設け、トランジスタにしきい値電圧を制御するための逆極性のしきい値制御電圧を印加する直流電流駆動表示装置について提案がなされている。

【特許文献 1】特開 2004 - 118132 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献 1 に記載の表示装置は、EL素子を駆動するためのトランジスタのしきい値電圧の制御を行うことができるものの、画素点灯期間としきい値制御期間とに分けてしきい値電圧を制御するものである。そのため、一定期間発光をし続ける発光素子を具備する画素を有する静止画像においては、画素点灯期間としきい値制御期間を繰り返す画素を具備するものとなり、輝度の低下、静止画像のちらつきといった問題が顕在化してくる。

【0006】

本発明は、このような問題を鑑みてなされたものであり、一定期間 EL 素子が発光し続ける状況においても、輝度の低下や静止画像のちらつきを抑制し、且つ EL 素子を駆動するトランジスタのしきい値電圧の制御を行うことを課題の一とする。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 7 】

本発明は、発光素子を駆動するためのトランジスタとして、nチャンネル型トランジスタ及びpチャンネル型トランジスタを配置し、データ線より供給される画像信号の極性を任意の期間毎に反転させて各画素に供給することにより、トランジスタのしきい値電圧の制御及び発光素子の発光状態の保持を同時に達成するものである。

## 【 0 0 0 8 】

本発明の一は、第1端子が電源線に電氣的に接続され、第2端子が発光素子に電氣的に接続されたnチャンネル型トランジスタと、第1端子が前記電源線に電氣的に接続され、第2端子が前記発光素子に電氣的に接続されたpチャンネル型トランジスタと、一方の端子がデータ線に電氣的に接続され、他方の端子が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続されたスイッチと、を有する表示装置である。

10

## 【 0 0 0 9 】

また別の本発明の一は、第1端子が電源線に電氣的に接続され、第2端子が発光素子に電氣的に接続されたnチャンネル型トランジスタと、第1端子が前記電源線に電氣的に接続され、第2端子が前記発光素子に電氣的に接続されたpチャンネル型トランジスタと、一方の電極が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続され、他方の電極が前記電源線に電氣的に接続された容量素子と、一方の端子がデータ線に電氣的に接続され、他方の端子が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続されたスイッチと、を有する表示装置である。

20

## 【 0 0 1 0 】

また別の本発明の一は、第1端子が第1の電源線に電氣的に接続され、第2端子が発光素子に電氣的に接続されたnチャンネル型トランジスタと、第1端子が前記第1の電源線に電氣的に接続され、第2端子が前記発光素子に電氣的に接続されたpチャンネル型トランジスタと、一方の端子がデータ線に電氣的に接続され、他方の端子が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続された第1のスイッチと、一方の端子が第2の電源線に接続され、他方の端子が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続された第2のスイッチと、を有する表示装置である。

30

## 【 0 0 1 1 】

また別の本発明の一は、第1端子が第1の電源線に電氣的に接続され、第2端子が発光素子に電氣的に接続されたnチャンネル型トランジスタと、第1端子が前記第1の電源線に電氣的に接続され、第2端子が前記発光素子に電氣的に接続されたpチャンネル型トランジスタと、一方の電極が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続され、他方の電極が前記第1の電源線に電氣的に接続された容量素子と、一方の端子がデータ線に電氣的に接続され、他方の端子が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続された第1のスイッチと、一方の端子が第2の電源線に接続され、他方の端子が前記nチャンネル型トランジスタ及び前記pチャンネル型トランジスタのゲートに電氣的に接続された第2のスイッチと、を有する表示装置である。

40

## 【 発明の効果 】

## 【 0 0 1 2 】

本発明により、一定期間発光し続ける期間においても、輝度の低下や静止画像のちらつきを顕在化させることなく、EL素子を駆動するトランジスタのゲートに印加する電位の極性を反転させて交互に印加することにより、しきい値電圧の制御を行うことができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 3 】

以下に、本発明の実施の形態を図面に基づいて説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその

50

形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0014】

(実施の形態1)

表示装置を構成する一画素の回路図について説明する。図1には、画素の回路図について示す。図1において画素100は、スイッチ101、nチャンネル型トランジスタ102、pチャンネル型トランジスタ103、容量素子104、表示素子105を有する。スイッチ101の一方の端子は、データ線106(第1の配線ともいう)に電氣的に接続され、他方の端子はnチャンネル型トランジスタ102のゲート端子、pチャンネル型トランジスタ103のゲート端子、及び容量素子104の一方の電極に電氣的に接続される。nチャンネル型トランジスタ102の第1端子、pチャンネル型トランジスタ103の第1端子、及び容量素子104の他方の電極は、電源線107(第2の配線ともいう)に接続される。nチャンネル型トランジスタ102の第2端子、及びpチャンネル型トランジスタ103の第2端子は、表示素子105の一方の電極に接続される。表示素子105の他方の電極は、グラウンド線108(第3の配線ともいう)に接続される。

10

【0015】

また図1に示した画素を複数具備する表示装置のブロック図について図2に示す。表示装置は、走査線駆動回路部201、データ線駆動回路部202等から構成される駆動回路部と、画素100が複数配置された画素部220とを有している。

【0016】

データ線駆動回路部202から出力される信号は、データ線D1~Dxに入力され、画素部220の画素100に供給される。また、走査線駆動回路部201から出力される信号は、走査線G1~Gyに入力され、画素100に伝達される。また、データ線に並行に電源線V1~Vxが配置され、画素100に電流を供給する。

20

【0017】

なお本明細書にて用いる第1、第2、第3、乃至第N(Nは自然数)という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0018】

なお、スイッチ101は、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタを用いることができる。

30

【0019】

またnチャンネル型トランジスタ102、pチャンネル型トランジスタ103として、様々な形態のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、基板上に形成する非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル)シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ(TFT)などを用いることができる。TFTを用いる場合、様々なメリットがある。例えば、基板上にトランジスタを製造できるため、製造コストの削減、又は基板の大型化を図ることができる。

40

【0020】

なお発光素子を駆動するためのトランジスタとして、十分な電流の供給能力を確保するために、ゲート絶縁膜として酸化珪素を採用するよりも、誘電率の高い窒化珪素膜、窒化酸化珪素膜をゲート絶縁膜として採用することがある。本実施の形態においては特に、窒素を含むゲート絶縁膜を用いたトランジスタのしきい値電圧のシフトの問題に対して効果的である。トランジスタのゲート電極に正の電位を印加し続けると、該トランジスタのしきい値電圧が正の方向にシフトし、逆に負の電位を印加し続けると、該トランジスタのしきい値電圧が負の方向にシフトする。本実施の形態では、トランジスタのしきい値電圧がシフトしても、極性を反転させて電位をゲート電極に印加することで、しきい値電圧を逆の

50

方向にシフトさせて補正するため、ゲートに印加される電位の絶対値が大きいほど、またオンの状態の時間（駆動時間）が長いほど、しきい値電圧がシフトしてしまうといった問題に対して効果的である。

#### 【0021】

またnチャネル型トランジスタ102、pチャネル型トランジスタ103としては、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。特に酸化物半導体はスパッタを用いて成膜することができ、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。

10

#### 【0022】

またnチャネル型トランジスタ102、pチャネル型トランジスタ103は、インクジェットや印刷法を用いて形成したトランジスタを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。フォトリソを用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。

#### 【0023】

またnチャネル型トランジスタ102、pチャネル型トランジスタ103は、GOLD構造（Gate Over Lapped Drain）、LDD（Lightly Doped Drain）構造とすることもできる。

20

#### 【0024】

なお、nチャネル型トランジスタ102、pチャネル型トランジスタ103のようにトランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。なおゲートとして機能する領域については、ゲート端子と表記するものとする。

30

#### 【0025】

なお、容量素子104はnチャネル型トランジスタ102、またはpチャネル型トランジスタ103のゲート容量を代用して省略することも可能である。

#### 【0026】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。

40

#### 【0027】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクス状に配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三色の色要素のドットがデルタ配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）、又はRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電

50

力化、又は表示素子の長寿命化を図ることができる。

【0028】

なお本明細書において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものを含むものとする。なお、AとBとが電氣的に接続されている場合には、AとBとの間に何らかの電氣的な作用を有する対象物が存在する場合も含むものとする。

【0029】

なお、表示素子105とは、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）等の発光素子のことを言う。なおEL素子は、自ら発光するため視認性が高く、液晶表示装置に必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無いため表示装置に用いるには好適である。本実施の形態ではEL素子として、有機EL素子を用いた表示装置を想定して説明するが、他の発光素子を用いた表示装置であっても良い。有機EL素子は、電場を加えることで光（Electroluminescence）を放出する材料を含む層（以下、有機層と記す）と、陽極層と、陰極層とを有している。エレクトロルミネッセンスには、注入された電子が一重項励起状態から基底状態にエネルギー的に緩和する際の発光（蛍光）と三重項励起状態から基底状態にエネルギー的に緩和する際の発光（リン光）とがあるが、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

10

【0030】

なお、表示装置とは、表示素子を有する装置のことを言う。また表示装置は、表示素子を含む複数の画素を含む。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでいても良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PCB）を含んでいても良い。

20

【0031】

次に、図1に示した画素の回路図について、画素100が有する機能、及び動作について詳細に説明する。図3（A）乃至（F）では、表示素子105の第1の導通状態、第1の導通保持状態、第2の導通状態、第2の導通保持状態、非導通状態、非導通保持状態について分けて説明していくこととする。ここで、データ線106には第1のデータ線電位 $V_{sig} (> 0)$ 、第2のデータ線電位 $-V_{sig} (< 0)$ 、第3のデータ線電位 $V_{off}$ のいずれかが加えられているとし、電源線107には電位 $V_{DD}$ が加えられているとし、グラウンド線108には電位 $GND$ が加えられているとする。

30

【0032】

なお第1のデータ線電位 $V_{sig}$ とは、nチャネル型トランジスタ102及びpチャネル型トランジスタ103のゲートに印加される際にnチャネル型トランジスタ102をオンにし、pチャネル型トランジスタ103をオフにする電位のことをいう。そしてnチャネル型トランジスタ102のゲート及びpチャネル型トランジスタ103のゲートに正である第1のデータ線電位 $V_{sig}$ を印加すると第1の導通保持状態においては、nチャネル型トランジスタ102のゲート及びpチャネル型トランジスタ103のゲートに正の電位を印加し続けることになるため、それぞれのトランジスタのしきい値電圧が正の方向にシフトすることとなる。なお第1のデータ線電位 $V_{sig}$ は、電源線の電位 $V_{DD}$ が正の場合に、nチャネル型トランジスタ102がオンになった際に、nチャネル型トランジスタ102の第2端子（表示素子105に接続された側）に伝えられる電位がnチャネル型トランジスタ102のしきい値の影響によって低下しないように、nチャネル型トランジスタのしきい値電圧を $V_{thN}$ とすると、予め第1のデータ線電位 $V_{sig}$ を $(V_{sig} +$

40

50

$V_{thN}$ )とすることが好ましい。本実施の形態においては、 $(V_{sig} + V_{thN})$ を含め、第1のデータ線電位  $V_{sig}$  として説明していくこととする。

【0033】

また第2のデータ線電位 -  $V_{sig}$  とは、第2のデータ線電位 -  $V_{sig}$  が  $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103のゲートに印加される際に  $n$ チャネル型トランジスタ102をオフにし、 $p$ チャネル型トランジスタをオンにする電位のことをいう。そして  $n$ チャネル型トランジスタ102のゲート及び  $p$ チャネル型トランジスタ103のゲートに負である第2のデータ線電位 -  $V_{sig}$  を印加すると第2の導通保持状態においては、 $n$ チャネル型トランジスタ102のゲート及び  $p$ チャネル型トランジスタ103のゲートに負の電位を印加し続けることになるため、それぞれのトランジスタのしきい値電圧が負の方向にシフトすることとなる。

10

【0034】

また第3のデータ線電位  $V_{off}$  とは、第3のデータ線電位  $V_{off}$  が  $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103のゲートに印加される際に  $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103を共にオフにする電位のことをいう。 $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103を共にオフにする電位としては、 $n$ チャネル型トランジスタ102のチャンネルに  $N$ 導電型を付与する不純物を添加することによって、しきい値電圧を正の方向にシフトさせたしきい値電圧を  $(V_{thN})$ 、すなわちエンハンスメント型 (*enhancement type*、またはノーマリーオフ型 (*normally off type*)ともいう)とし、 $p$ チャネル型トランジスタ103のチャンネルに導電型を付与する不純物を添加することによって、しきい値電圧を負の方向にシフトさせたしきい値電圧を  $(V_{thP})$ 、すなわちエンハンスメント型とすると、 $V_{DD} + V_{thP} < V_{off} < V_{thN}$  を満たす電位である。 $V_{off}$  が  $V_{DD} + V_{thP} < V_{off} < V_{thN}$  を満たすことによって、 $n$ チャネル型トランジスタ102または  $p$ チャネル型トランジスタ103がオンになる電位だけでなく、 $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103を共にオフにする電位を設定することができる。

20

【0035】

まず第1の導通状態について図3(A)を用いて説明する。第1の導通状態とは、 $n$ チャネル型トランジスタ102または  $p$ チャネル型トランジスタ103のうち、 $n$ チャネル型トランジスタ102をオンにし、 $p$ チャネル型トランジスタ103をオフにして、電源線107と表示素子105の一方の電極との導通をとる状態のことをいう。第1の導通状態において、データ線106には第1のデータ線電位  $V_{sig}$  が印加されており、電源線107には電位  $V_{DD}$ 、グラウンド線108には電位  $GND$  がそれぞれ印加されている。このときスイッチ101をオンにすることでデータ線の第1のデータ線電位  $V_{sig}$  が  $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103のゲートに印加される。第1のデータ線電位  $V_{sig}$  は、 $n$ チャネル型トランジスタ102をオンにし、 $p$ チャネル型トランジスタ103をオフにする電位である。その結果、電源線107と表示素子105の一方の電極が導通し、図3(A)に示す点線矢印の経路にそって電流が流れ、表示素子は発光する。

30

40

【0036】

次に第1の導通保持状態について図3(B)を用いて説明する。第1の導通保持状態とは、上記説明した第1の導通状態を保持する状態のことをいう。第1の導通保持状態において、データ線106と  $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103のゲートとを電氣的に切り離すために、スイッチ101がオフになっている。容量素子104の一方の電極には、第1のデータ線電位  $V_{sig}$  が保持されており、電源線107には電位  $V_{DD}$ 、グラウンド線108には電位  $GND$  がそれぞれ印加されているため、スイッチ101がオフであっても、第1のデータ線電位  $V_{sig}$  を  $n$ チャネル型トランジスタ102及び  $p$ チャネル型トランジスタ103のゲートに印加し続けることができる。その結果、電源線107と表示素子105の一方の電極が導通し、図3(B)に示す点線

50

矢印の経路にそって電流が流れ、表示素子は発光する。

【0037】

次に第2の導通状態について図3(C)を用いて説明する。第2の導通状態とは、nチャンネル型トランジスタ102またはpチャンネル型トランジスタ103のうち、nチャンネル型トランジスタ102をオフにし、pチャンネル型トランジスタ103をオンにして、電源線107と表示素子105の一方の電極との導通をとる状態のことをいう。第2の導通状態において、データ線106には第2のデータ線電位 $-V_{sig}$ が印加されており、電源線107には電位 $V_{DD}$ 、グラウンド線108には電位 $GND$ がそれぞれ印加されている。このときスイッチ101をオンにすることでデータ線の第2のデータ線電位 $-V_{sig}$ がnチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のゲートに印加される。第2のデータ線電位 $-V_{sig}$ は、nチャンネル型トランジスタ102をオフにし、pチャンネル型トランジスタ103をオンにする電位である。その結果、電源線107と表示素子105の一方の電極が導通し、図3(C)に示す点線矢印の経路にそって電流が流れ、表示素子は表示を行うために発光する。第2の導通状態は、第1の導通状態と同様に、電源線107と表示素子105の一方の電極が導通し、表示素子は表示を行うことができる状態であるものの、nチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のオンまたはオフが切り替わっている。

10

【0038】

次に第2の導通保持状態について図3(D)を用いて説明する。第2の導通保持状態とは、上記説明した第2の導通状態を保持する状態のことをいう。第2の導通保持状態において、データ線106とnチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のゲートとを電氣的に切り離すために、スイッチ101がオフになっている。容量素子104の一方の電極には、負の第2のデータ線電位 $-V_{sig}$ が保持されており、電源線107には電位 $V_{DD}$ 、グラウンド線108には電位 $GND$ がそれぞれ印加されているため、スイッチ101がオフであっても、第2のデータ線電位 $-V_{sig}$ をnチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のゲートに印加し続けることができる。その結果、電源線107と表示素子105の一方の電極が導通し、図3(D)に示す点線矢印の経路にそって電流が流れ、表示素子は発光する。

20

【0039】

次に非導通状態について図3(E)を用いて説明する。非導通状態とは、nチャンネル型トランジスタ102及びpチャンネル型トランジスタ103を共にオフにして、電源線107と表示素子105の一方の電極とを非導通とする状態のことをいう。非導通状態において、データ線106には第3のデータ線電位 $V_{off}$ が印加されており、電源線107には電位 $V_{DD}$ 、グラウンド線108には電位 $GND$ がそれぞれ印加されている。このときスイッチ101をオンにすることでデータ線の第3のデータ線電位 $V_{off}$ がnチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のゲートに印加される。第3のデータ線電位 $V_{off}$ は、nチャンネル型トランジスタ102及びpチャンネル型トランジスタ103を共にオフにする電位である。nチャンネル型トランジスタ102及びpチャンネル型トランジスタ103を共にオフにすることにより、電源線107と表示素子105の一方の電極が非導通となり、図3(E)に示す点線矢印の経路にそって電流は流れず、表示素子を非発光とすることができる。

30

40

【0040】

次に非導通保持状態について図3(F)を用いて説明する。非導通保持状態とは、上記説明した非導通状態を保持する状態のことをいう。非導通保持状態において、データ線106とnチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のゲートとを電氣的に切り離すために、スイッチ101がオフになっている。容量素子104の一方の電極には、第3のデータ線電位 $V_{off}$ が保持されており、電源線107には電位 $V_{DD}$ 、グラウンド線108には電位 $GND$ がそれぞれ印加されているため、スイッチ101がオフであっても、第3のデータ線電位 $V_{off}$ をnチャンネル型トランジスタ102及びpチャンネル型トランジスタ103のゲートに印加し続けることができる。そのため、図3(C

50

F) に示す点線矢印の経路にそって電流は流れず、表示素子を非発光とすることができる。

【0041】

次に、表示装置を構成する一画素の回路図について、図1に示した回路図を具体化した図4の回路図を用いて説明する。図4において画素400は、スイッチングトランジスタ401、nチャンネル型トランジスタ402、pチャンネル型トランジスタ403、容量素子404、表示素子405を有する。スイッチングトランジスタ401の第1端子は、データ線406に電氣的に接続され、ゲート端子は走査線409に電氣的に接続され、第2端子はnチャンネル型トランジスタ402のゲート端子、pチャンネル型トランジスタ403のゲート端子、及び容量素子404の一方の電極に電氣的に接続される。nチャンネル型トランジスタ402の第1端子、pチャンネル型トランジスタ403の第1端子、及び容量素子404の他方の電極は、電源線407に接続される。nチャンネル型トランジスタ402の第2端子、及びpチャンネル型トランジスタ403の第2端子は、表示素子405の一方の電極に接続される。表示素子405の他方の電極は、グラウンド線408に接続される。なお、図4に示す画素の回路図において、図1で示した画素の回路図との違いは、スイッチ101として、nチャンネル型のスイッチングトランジスタ401、スイッチングトランジスタ401のオンまたはオフを制御するための走査線409を備えた点にある。また、図4において、nチャンネル型トランジスタ402、pチャンネル型トランジスタ403のゲート端子のノードをN1、表示素子405の一方の電極のノードをN2として説明していくこととする。

10

20

【0042】

図5(A)、(B)に、図4で説明した画素の回路図のタイミングチャート並びに各配線及びノードの電位の変化について説明する。

【0043】

まず図5(A)について説明する。図5(A)で示す期間P1乃至P6は、図3(A)乃至(F)で説明した第1の導通状態、第1の導通保持状態、第2の導通状態、第2の導通保持状態、非導通状態、非導通保持状態に対応するものとして説明する。そのため期間P1、期間P3、期間P5では、走査線409の電位を高電位レベル(H電位、 $V_H$ ともいう)にし、期間P2、期間P4、期間P6では、走査線409の電位を低電位レベル(L電位、 $V_L$ ともいう)にする。そして、期間P1では、第1のデータ線電位 $V_{sig}$ がデータ線に入力され、期間P2では、データ線の電位にかかわらず、期間P1でのデータ線の電位が保持され、期間P3では、第2のデータ線電位 $-V_{sig}$ がデータ線に入力され、期間P4では、データ線の電位にかかわらず、期間P3でのデータ線の電位が保持され、期間P5では、第3のデータ線電位 $V_{off}$ がデータ線に入力され、期間P6では、データ線の電位にかかわらず、期間P5でのデータ線の電位が保持されることとなる。

30

【0044】

図5(B)では、期間P1乃至P6におけるデータ線406の電位D1、走査線409の電位D2、ノードN1の電位D3、ノードN2の電位D4について、各期間での電位の変化について説明する。

【0045】

期間P1において、走査線409の電位D2は $V_H$ となり、データ線406の電位D1である $V_{sig}$ がノードN1に取り込まれ、ノードN1の電位D3が $V_{sig}$ となる。そして、ノードN1の電位D3が $V_{sig}$ となることにより、nチャンネル型トランジスタ402のゲートとソースの間の電位差の絶対値がしきい値電圧より大きくなり、電源線407と表示素子の一方の電極とが導通する。そして、ノードN2の電位D4が電源線407の電位 $V_{DD}$ となる。

40

【0046】

期間P2において、走査線409の電位D2は $V_L$ となり、データ線406の電位D1に関わらず、ノードN1には容量素子404により期間P1での電位 $V_{sig}$ が保持されている。そして、ノードN1の電位D3が $V_{sig}$ であることにより、nチャンネル型トラン

50

ジスタ402のゲートとソースの間の電位差の絶対値がしきい値電圧より大きくなり、期間P1と同様に、電源線407と表示素子の一方の電極との導通が保持される。そして、ノードN2の電位D4が電源線407の電位 $V_{DD}$ として保持される。

【0047】

期間P3において、走査線409の電位D2は $V_H$ となり、データ線406の電位D1である $-V_{sig}$ がノードN1に取り込まれ、ノードN1の電位D3が $-V_{sig}$ となる。そして、ノードN1の電位D3が $-V_{sig}$ となることにより、pチャンネル型トランジスタ403のゲートとソースの間の電位差の絶対値がしきい値電圧より大きくなり、電源線407と表示素子の一方の電極とが導通する。そして、ノードN2の電位D4が電源線407の電位 $V_{DD}$ となる。なお期間P2からP3に変化する際に、ノードN1の電位D3が $V_{sig}$ から $-V_{sig}$ に変化する際にnチャンネル型トランジスタ402及びpチャンネル型トランジスタ403が共にオフになる期間があるため、ノードN2の電位D4が $V_{DD}$ を保持しない期間を経ることとなるが、データ信号の入力は極めて短い期間に行われるものであるため、表示への影響が軽微である。

10

【0048】

期間P4において、走査線409の電位D2は $V_L$ となり、データ線406の電位D2に関わらず、ノードN1には容量素子404により期間P3での電位 $-V_{sig}$ が保持されている。そして、ノードN1の電位D3が $-V_{sig}$ であることにより、pチャンネル型トランジスタ403のゲートとソースの間の電位差の絶対値がしきい値電圧より大きくなり、期間P3と同様に、電源線407と表示素子の一方の電極との導通が保持される。そして、ノードN2の電位D4が電源線407の電位 $V_{DD}$ として保持される。

20

【0049】

期間P5において、走査線409の電位D2は $V_H$ となり、データ線406の電位D1である $V_{off}$ がノードN1に取り込まれ、ノードN1の電位D3が $V_{off}$ となる。そして、ノードN1の電位D3が $V_{off}$ となることにより、nチャンネル型トランジスタ402及びpチャンネル型トランジスタ403のゲートとソース間の電位差の絶対値がそれぞれのしきい値電圧より下回り、電源線407と表示素子の一方の電極とが非導通となる。そして、ノードN2の電位D4がグラウンド線408の電位 $V_{GND}$ となる。

【0050】

なお、期間P1及び期間P3、並びに期間P2及び期間P4は、同じ期間の長さになるように設定されることが好ましい。一例としては、データ線駆動回路部の外部にしきい値を制御するための機能を有する回路を設けることで、同じ発光期間、すなわち導通状態の期間であっても極性の異なるデータ線電位を入力することができ、nチャンネル型トランジスタ及びpチャンネル型トランジスタのしきい値電圧の制御を行うことができる。

30

【0051】

なお、上記説明した第1の導通状態と第2の導通状態とは、1フレーム期間毎にフレーム全体を反転させて駆動してもよい。また、行方向または列方向の画素ごとに反転したデータ線電位を入力し、1フレーム期間毎に反転させて駆動してもよい。また、画素の1行毎または1列毎に反転したデータ線電位を入力し、1フレーム期間毎に反転させて駆動してもよい。

40

【0052】

本実施の形態は、上記説明した第1の導通状態と第2の導通状態、または期間P2と期間P4のように、表示素子であるEL素子の発光期間に駆動トランジスタであるnチャンネル型トランジスタ及びpチャンネル型トランジスタのゲート電極に印加する電位の極性を、表示に影響を与えることなく、反転して入力することができるものである。そのため、一定期間発光し続ける期間においても、輝度の低下や静止画像のちらつきを顕在化させることなく、EL素子を駆動させることができる。これは駆動トランジスタのゲート電極に印加する電位の極性を反転させて交互に印加することにより、しきい値電圧の制御を行うことができるためである。

【0053】

50

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【0054】

(実施の形態2)

本実施の形態においては、実施の形態1で説明した画素の回路図とは別の構成について説明する。本実施の形態においては、表示装置を構成する画素の駆動方法の一例として、デジタル時間階調駆動の一例を示し、説明する。

【0055】

図6は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0056】

図6(A)には、本実施の形態の画素の回路図について示している。図6(A)において画素600は、第1のスイッチ601、nチャンネル型トランジスタ602、pチャンネル型トランジスタ603、容量素子604、表示素子605、第2のスイッチ610を有する。第1のスイッチ601の一方の端子は、データ線606に電氣的に接続され、他方の端子はnチャンネル型トランジスタ602のゲート端子、pチャンネル型トランジスタ603のゲート端子、及び容量素子604の一方の電極に電氣的に接続される。第2のスイッチ610の一方の端子は、第2の電源線608に電氣的に接続され、他方の端子はnチャンネル型トランジスタ602のゲート端子、pチャンネル型トランジスタ603のゲート端子、及び容量素子604の一方の電極に電氣的に接続される。nチャンネル型トランジスタ602の第1端子、pチャンネル型トランジスタ603の第1端子、及び容量素子604の他方の電極は、第1の電源線607に接続される。nチャンネル型トランジスタ602の第2端子、及びpチャンネル型トランジスタ603の第2端子は、表示素子605の一方の電極に接続される。表示素子605の他方の電極は、グラウンド線609に接続される。すなわち図6に示す画素600は、図1で示した画素100に第2のスイッチ610を追加した構成である。

【0057】

また図6(B)に、図6(A)に示した画素を具体化した回路図を示す。図6(B)は、図6(A)で示した第1のスイッチとして、nチャンネル型の第1のスイッチングトランジスタ651及び第1のスイッチングトランジスタ651を制御するための第1の走査線652、並びにnチャンネル型の第2のスイッチングトランジスタ653及び第2のスイッチングトランジスタ653を制御するための第2の走査線654としたものである。

【0058】

なお、図6ではデータ線606には第1のデータ線電位 $V_{sig}$ 、第2のデータ線電位 $-V_{sig}$ 、第3のデータ線電位 $V_{off}$ のいずれかが加えられているとし、第1の電源線607には電位 $V_{DD}$ が加えられているとし、グラウンド線609には電位 $V_{GND}$ が加えられているとし、第2の電源線608には第3のデータ線電位 $V_{off}$ が加えられているものとして説明する。

【0059】

図6(A)に示す回路図において、容量素子604の一方の電極に保持されたデータ線電位の消去動作について説明する。消去動作時には、第2のスイッチ610をオンにして、nチャンネル型トランジスタ602及びpチャンネル型トランジスタ603のゲートを第3のデータ線電位を $V_{off}$ にする。つまり、nチャンネル型トランジスタ602及びpチャンネル型トランジスタ603のゲートとソース間の電位差の絶対値をそれらのしきい値電圧以下にする。こうして、nチャンネル型トランジスタ602及びpチャンネル型トランジスタ603を強制的にオフにすることができる。なお図6(B)での消去動作時には、第2の走査線654によって第2のスイッチングトランジスタ653をオンにして、nチャンネル型トランジスタ602及びpチャンネル型トランジスタ603のゲートを第3のデータ線電位 $V_{off}$ にすることができる。

【0060】

図7(A)、(B)は、デジタル時間階調駆動の一例を示すタイミングチャートである

。ここでは図6(B)で示した回路図における消去期間を設けアドレス期間より短いデータ保持時間を設定する場合の駆動方法について図7(A)を用いて説明する。

#### 【0061】

まず、アドレス期間 $T_{a1}$ において、1行目から順に第1の走査線652に画素走査信号が入力され、画素が選択される。そして、画素が選択されているときに、データ線から画素へデータ線電位が入力される。そして、画素にデータ線電位が入力されると、画素は再び新たなデータ線電位が入力されるまでそのデータ線電位を保持する。この入力されたデータ線電位によってサステイン期間 $T_{s1}$ における各画素の点灯、非点灯が制御される。データ線電位の入力動作が完了した行においては、直ちに入力されたデータ線電位にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間 $T_{a1}$ が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間 $T_{a2}$ 、 $T_{a3}$ 、 $T_{a4}$ において画素へデータ線電位が入力され、そのデータ線電位によってサステイン期間 $T_{s2}$ 、 $T_{s3}$ 、 $T_{s4}$ における各画素の点灯、非点灯が制御される。そして、サステイン期間 $T_{s4}$ はその終期を消去動作の開始によって設定される。なぜなら、各行の消去時間 $T_e$ に画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に入力されたデータ線電位に関わらず、強制的に非点灯となるからである。つまり、消去時間 $T_e$ が始まった行の画素からデータ保持時間が終了する。

10

#### 【0062】

ここで、図7(B)を参照して、 $i$ 行目の画素行に着目して説明する。 $i$ 行目の画素行において、アドレス期間 $T_{a1}$ において、1行目から順に第1の走査線652に画素走査信号が入力され、画素が選択される。そして、期間 $T_{b1}(i)$ において $i$ 行目の画素が選択されているときに、 $i$ 行目の画素にデータ線電位が入力される。そして、 $i$ 行目の画素にデータ線電位が入力されると、 $i$ 行目の画素は再び信号が入力されるまでその信号を保持する。この入力されたデータ線電位によって、サステイン期間 $T_{s1}(i)$ における $i$ 行目の画素の点灯、非点灯が制御される。つまり、 $i$ 行目にデータ線電位の入力動作が完了したら、直ちに入力されたデータ線電位にしたがって、 $i$ 行目の画素が点灯又は非点灯の状態となる。同様に、アドレス期間 $T_{a2}$ 、 $T_{a3}$ 、 $T_{a4}$ において $i$ 行目の画素へデータ線電位が入力され、そのデータ線電位によってサステイン期間 $T_{s2}$ 、 $T_{s3}$ 、 $T_{s4}$ における $i$ 行目の画素の点灯、非点灯が制御される。そして、サステイン期間 $T_{s4}(i)$ はその終期を消去動作の開始によって設定される。なぜなら、 $i$ 行目の消去時間 $T_e(i)$ に $i$ 行目の画素に入力されたデータ線電位に関わらず、強制的に非点灯となるからである。つまり、消去時間 $T_e(i)$ が始まると $i$ 行目の画素のデータ保持時間が終了する。

20

30

#### 【0063】

よって、アドレス期間とサステイン期間とを分離せずに、アドレス期間より短いデータ保持期間を持つ高階調且つデューティ比(1フレーム期間中の点灯期間の割合)の高い表示装置を提供することができる。表示素子の発光時間を長く取ることができるため発光素子の輝度を抑えることができ、そのため表示素子の信頼性の向上を図ることが可能である。

40

#### 【0064】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番は $T_{s1}$ 、 $T_{s2}$ 、 $T_{s3}$ 、 $T_{s4}$ である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、 $T_{s1}$ 、 $T_{s2}$ 、 $T_{s3}$ 、 $T_{s4}$ の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

#### 【0065】

上記実施の形態1で説明したように、表示素子であるEL素子を発光状態とするための駆動トランジスタであるnチャネル型トランジスタ及びpチャネル型トランジスタのゲートに印加する電位の極性を、表示に影響を与えることなく、反転して入力することができる

50

。本実施の形態で説明したデジタル時間階調駆動を適用可能な画素を具備する表示装置においては、一定期間毎に発光または非発光を繰り返す際の時間的な制御が容易になるため、特に好適である。一定期間発光し続ける期間においても、輝度の低下や静止画像のちらつきを顕在化させることなく、EL素子を駆動させることができる。これは駆動トランジスタのゲートに印加する電位の極性を反転させて交互に印加することにより、しきい値電圧の制御を行うことができるためである。

【0066】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【0067】

(実施の形態3)

【0068】

本実施の形態においては、表示素子に適用可能な発光素子の例を図8に示す。

【0069】

基板4501の上に陽極4502、正孔注入材料からなる正孔注入層4503、その上に正孔輸送材料からなる正孔輸送層4504、発光層4505、電子輸送材料からなる電子輸送層4506、電子注入材料からなる電子注入層4507、そして陰極4508を積層させた素子構造である。ここで、発光層4505は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また素子の構造は、この構造に限定されない。

【0070】

また、図8で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率発光素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を2つの領域に分けることによって得られる白色発光素子などにも応用可能である。

【0071】

次に、図8に示す素子の作製方法について説明する。まず、陽極4502(ITO(インジウム錫酸化物))を有する基板4501に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極4508を蒸着で形成する。

【0072】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0073】

正孔注入材料としては、有機化合物を例にすれば、ポルフィリン系の化合物や、フタロシアニン(以下「H<sub>2</sub>Pc」と記す)、銅フタロシアニン(以下「CuPc」と記す)などが発光材料に正孔を注入するのに有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸(以下「PSS」と記す)をドーブしたポリエチレンジオキシチオフェン(以下「PEDOT」と記す)や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド(以下「PI」と記す)がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム(以下「アルミナ」と記す)の超薄膜などがある。

【0074】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系(すなわち、ベンゼン環-窒素の結合を有するもの)の化合物である。広く用いられている材料として、4,4'-ビス(ジフェニルアミノ)-ピフェニル(以下、「TAD」と記す)や、その誘導体である4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ピフ

10

20

30

40

50

エニル（以下、「TPD」と記す）、4, 4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル（以下、「NPD」と記す）がある。4, 4', 4"-トリス(N, N-ジフェニル-アミノ)-トリフェニルアミン（以下、「TDATA」と記す）、4, 4', 4"-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン（以下、「MTDATA」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

#### 【0075】

電子輸送材料としては、金属錯体がよく用いられ、トリス(8-キノリノラト)アルミニウム（以下、「Alq<sub>3</sub>」と記す）、BALq、トリス(4-メチル-8-キノリノラト)アルミニウム（以下、「Almq」と記す）、ビス(10-ヒドロキシベンゾ[h]-キノリノラト)ベリリウム（以下、「BeBq」と記す）などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛（以下、「Zn(BOX)<sub>2</sub>」と記す）、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛（以下、「Zn(BTZ)<sub>2</sub>」と記す）などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニル)-5-(4-tert-ブチルフェニル)-1, 3, 4-オキサジアゾール（以下、「PBD」と記す）、OXD-7などのオキサジアゾール誘導体、TAZ、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニル)-1, 2, 4-トリアゾール（以下、「p-EtTAZ」と記す）などのトリアゾール誘導体、バソフェナントロリン（以下、「BPhen」と記す）、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

10

20

#### 【0076】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化合物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート（以下、「Li(acac)」と記す）や8-キノリノラト-リチウム（以下、「Li q」と記す）などのアルカリ金属錯体も有効である。

#### 【0077】

発光材料としては、先に述べたAlq<sub>3</sub>、Almq、BeBq、BALq、Zn(BOX)<sub>2</sub>、Zn(BTZ)<sub>2</sub>などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4, 4'-ビス(2, 2-ジフェニル-ビニル)-ビフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N, C<sup>2'</sup>)アセチルアセトナトイリジウム（以下「acacIr(tpy)<sub>2</sub>」と記す）、2, 3, 7, 8, 12, 13, 17, 18-オクタエチル-21H, 23Hポルフィリン-白金などが知られている。

30

#### 【0078】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

40

#### 【0079】

上記実施の形態1で説明したように、表示素子であるEL素子を発光状態とするための駆動トランジスタであるnチャネル型トランジスタ及びpチャネル型トランジスタのゲートに印加する電位の極性を、表示に影響を与えることなく、反転して入力することができる。本実施の形態で説明した電流駆動素子であるEL素子を具備する表示装置においては、EL素子に電流を供給するためのトランジスタの制御が必要になるため、特に好適である。一定期間発光し続ける期間においても、輝度の低下や静止画像のちらつきを顕在化させることなく、EL素子を駆動させることができる。これは駆動トランジスタのゲートに印加する電位の極性を反転させて印加することにより、しきい値電圧の制御を行うことがで

50

きるためである。

【0080】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

(実施の形態4)

【0081】

本実施の形態では、発光素子を具備する表示装置における画素の回路図を図9(A)に、画素の上面構造を図9(B)に、図9(B)に示した上面構造の断面図に関して図9(C)に示す。なお、本実施の形態で示す表示装置における画素の構成は一例であってこれに限定されるものではないことを付記する。

10

【0082】

図9(A)、図9(B)において、画素900は、スイッチングトランジスタ901、nチャンネル型トランジスタ902、pチャンネル型トランジスタ903、容量素子904、発光素子905を有する。スイッチングトランジスタ901の第1端子は、データ線906に電氣的に接続され、ゲート端子は走査線909に電氣的に接続され、第2端子はnチャンネル型トランジスタ902のゲート端子、pチャンネル型トランジスタ903のゲート端子、及び容量素子904の一方の電極に電氣的に接続される。nチャンネル型トランジスタ902の第1端子、pチャンネル型トランジスタ903の第1端子、及び容量素子904の他方の電極は、電源線907に接続される。nチャンネル型トランジスタ902の第2端子、及びpチャンネル型トランジスタ903の第2端子は、発光素子905の一方の電極に接続される。発光素子905の他方の電極は、グラウンド線908に接続される。

20

【0083】

スイッチングトランジスタ901、nチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903は、本実施の形態では、1つのゲートを有する構造としているが、複数のゲートを配して、複数のトランジスタが電氣的に直列に接続される構造としてもよい。複数のトランジスタが電氣的に直列に接続される構造とすることにより、オフ電流値を低減することができるという利点がある。また、スイッチングトランジスタ901、nチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903は、半導体層を薄膜化した薄膜トランジスタ(TFT)で形成することにより、量産化が図られ、低コスト化することができる。

30

【0084】

なお、nチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903は発光素子905の点灯を制御するための素子であり、多くの電流が流れるため、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。

【0085】

また、図9(B)に示すように、nチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903のゲートを含む配線は電源線907と重畳する領域まで延在して容量素子904が形成される。容量素子904は、電源線907と電氣的に接続された半導体層(図示せず)、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びnチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903のゲートを含む配線との間で形成される。この容量素子904はnチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903のゲートに印加する電圧を保持する機能を有する。

40

【0086】

発光素子905は、nチャンネル型トランジスタ902、及びpチャンネル型トランジスタ903等の素子が形成された基板の上に、陽極層(画素電極ともいう)、有機層、そして陰極層(対向電極ともいう)を積層させた素子構造である。

【0087】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に電界効果トランジスタ及び発光素子を形成し、素子が形成された基板面から発光を取り出す上面射出や、素子が形成された面の裏面から発光を取り出す下

50

面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0088】

次に図9(B)に示した画素の上面図に対応する断面図について説明する。図9(C)は、図9(B)に示すA-Bの部分の断面図の一例である。なお本実施の形態における断面図に示す各素子は、断面構造を明確に記すために、誇張した縮尺により表記するものとする。

【0089】

図9(C)では、支持基板951上に、ブロッキング膜952、絶縁層953、保護層954、絶縁層955、配線層956、平坦化層957、pチャネル型トランジスタ903、隔壁958、画素電極959、有機層960、及び対向電極961が設けられた断面図について示している。なお、pチャネル型トランジスタ903は、ゲート絶縁膜、半導体層、及びゲート電極を具備する。また配線層956は、pチャネル型トランジスタ903の第1端子及び第2端子に接続される配線としての機能を有するものである。また画素電極959、有機層960、及び対向電極961を積層して設けることにより、発光素子905となる。

【0090】

本実施の形態で説明したように、表示素子を駆動するためのトランジスタとして薄膜トランジスタを用いることができる。薄膜トランジスタを用いたトランジスタは、量産化がし易いため低コスト化を図る上で、好適である。そして、上記実施の形態1で説明したように、表示素子であるEL素子を発光状態とするための駆動トランジスタであるnチャネル型トランジスタ及びpチャネル型トランジスタのゲート電極に印加する電位の極性を、表示に影響を与えることなく、反転して入力することができる。一定期間発光し続ける期間においても、輝度の低下や静止画像のちらつきを顕在化させることなく、EL素子を駆動させることができる。これは駆動トランジスタのゲート電極に印加する電位の極性を反転させて交互に印加することにより、しきい値電圧の制御を行うことができるためである。

【0091】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

(実施の形態5)

【0092】

本実施の形態においては、電子機器の例について説明する。

【0093】

図10(A)は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672、等を有することができる。図10(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図10(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0094】

図10(B)はデジタルカメラであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、シャッターボタン9676、受像部9677、等を有することができる。図10(B)に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図10(B)に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0095】

図10(C)はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633

10

20

30

40

50

、操作キー 9635、接続端子 9636、等を有することができる。図 10(C)に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 10(C)に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【0096】

図 10(D)はコンピュータであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、ポインティングデバイス 9681、外部接続ポート 9680等を有することができる。図 10(D)に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 10(D)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

10

【0097】

次に、図 10(E)は携帯電話であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、マイクロフォン 9638、外部接続ポート 9680等を有することができる。図 10(E)に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 10(E)に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

20

【0098】

本実施の形態において述べた電子機器は、情報を表示するための表示部に実施の形態 1 の表示装置を具備することができる。上記実施の形態 1 で説明したように、表示素子である EL 素子を発光状態とするための駆動トランジスタである n チャネル型トランジスタ及び p チャネル型トランジスタのゲート電極に印加する電位の極性を、表示に影響を与えることなく、反転して入力することができる。一定期間発光し続ける期間においても、輝度の低下や静止画像のちらつきを顕在化させることなく、EL 素子を駆動させることができる。これは駆動トランジスタのゲート電極に印加する電位の極性を反転させて交互に印加することにより、しきい値電圧の制御を行うことができるためである。

30

【0099】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【図面の簡単な説明】

【0100】

- 【図 1】画素構成を説明する図。
- 【図 2】表示装置を説明するためのブロック図。
- 【図 3】画素の動作について説明するための図。
- 【図 4】画素構成を説明する図。
- 【図 5】画素の動作について説明するための図。
- 【図 6】画素構成を説明する図。
- 【図 7】画素の動作を説明する図。
- 【図 8】表示素子の一例を説明する図。
- 【図 9】画素回路の断面を説明する図。
- 【図 10】電子機器について説明する図。

40

【符号の説明】

【0101】

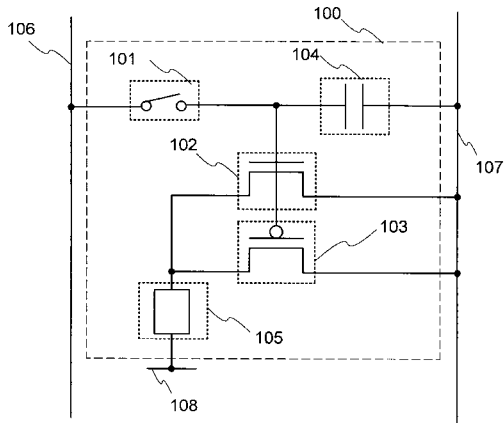
- 100 画素
- 101 スイッチ

50

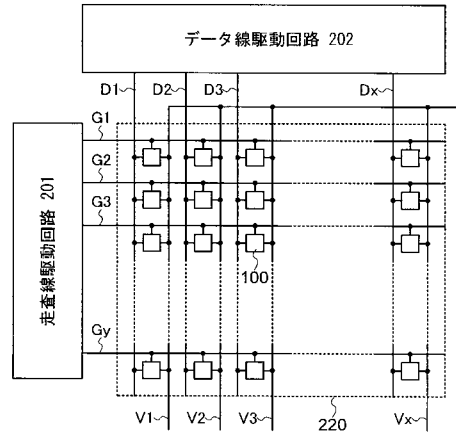
1 0 2	nチャンネル型トランジスタ	
1 0 3	pチャンネル型トランジスタ	
1 0 4	容量素子	
1 0 5	表示素子	
1 0 6	データ線	
1 0 7	電源線	
1 0 8	グラウンド線	
2 0 1	走査線駆動回路部	
2 0 2	データ線駆動回路部	
2 0 3	各画素	10
2 2 0	画素部	
4 0 0	画素	
4 0 1	スイッチングトランジスタ	
4 0 2	nチャンネル型トランジスタ	
4 0 3	pチャンネル型トランジスタ	
4 0 4	容量素子	
4 0 5	表示素子	
4 0 6	データ線	
4 0 7	電源線	
4 0 8	グラウンド線	20
4 0 9	走査線	
6 0 0	画素	
6 0 1	スイッチ	
6 0 2	nチャンネル型トランジスタ	
6 0 3	pチャンネル型トランジスタ	
6 0 4	容量素子	
6 0 5	表示素子	
6 0 6	データ線	
6 0 7	電源線	
6 0 8	電源線	30
6 0 9	グラウンド線	
6 1 0	スイッチ	
6 5 1	スイッチングトランジスタ	
6 5 2	走査線	
6 5 3	スイッチングトランジスタ	
6 5 4	走査線	
9 0 0	画素	
9 0 1	スイッチングトランジスタ	
9 0 2	nチャンネル型トランジスタ	
9 0 3	pチャンネル型トランジスタ	40
9 0 4	容量素子	
9 0 5	発光素子	
9 0 6	データ線	
9 0 7	電源線	
9 0 8	グラウンド線	
9 0 9	走査線	
9 5 1	支持基板	
9 5 2	ブロッキング膜	
9 5 3	絶縁層	
9 5 4	保護層	50

9 5 5	絶縁層	
9 5 6	配線層	
9 5 7	平坦化層	
9 5 8	隔壁	
9 5 9	画素電極	
9 6 0	有機層	
9 6 1	対向電極	
4 5 0 1	基板	
4 5 0 2	陽極	
4 5 0 3	正孔注入層	10
4 5 0 4	正孔輸送層	
4 5 0 5	発光層	
4 5 0 6	電子輸送層	
4 5 0 7	電子注入層	
4 5 0 8	陰極	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 3	スピーカ	
9 6 3 5	操作キー	
9 6 3 6	接続端子	20
9 6 3 8	マイクロフォン	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	
9 6 7 7	受像部	
9 6 8 0	外部接続ポート	
9 6 8 1	ポインティングデバイス	

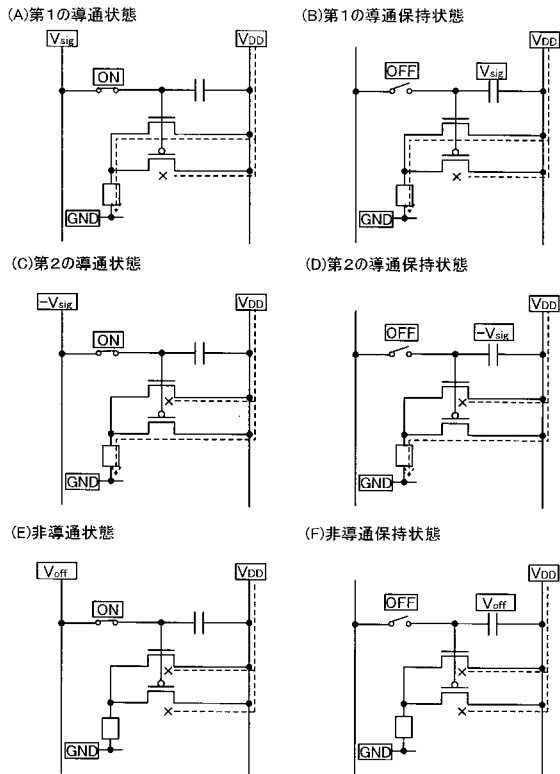
【図1】



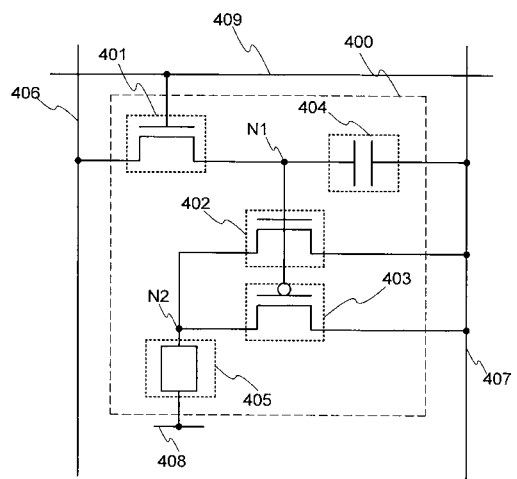
【図2】



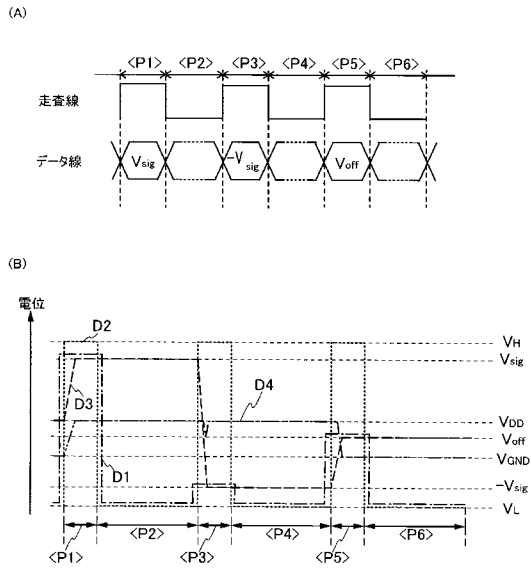
【図3】



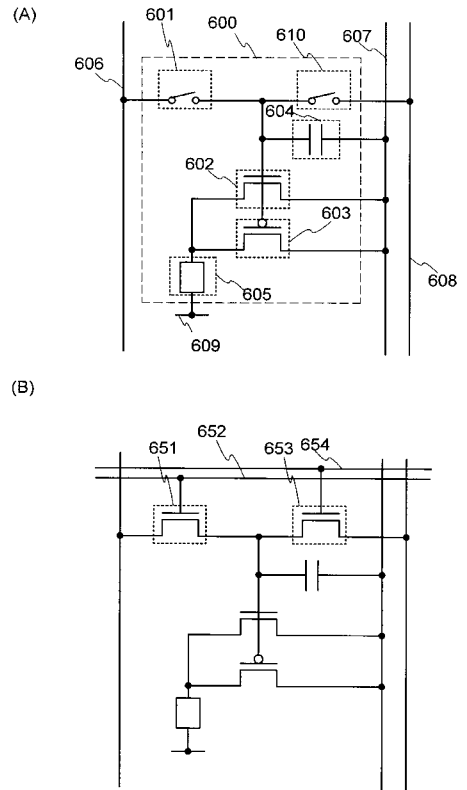
【図4】



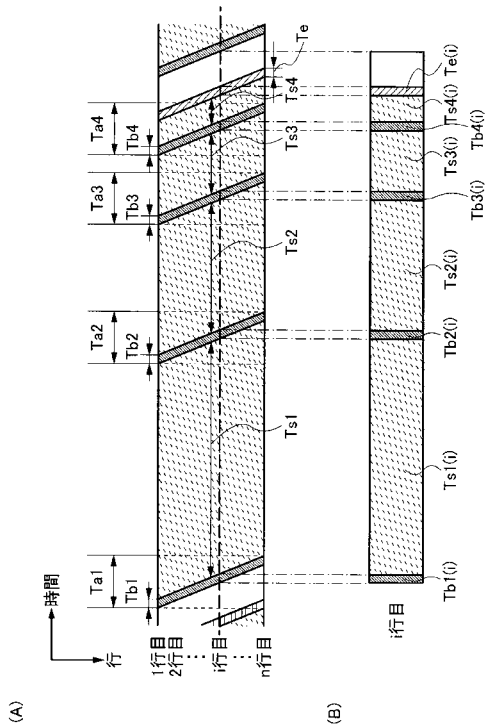
【 図 5 】



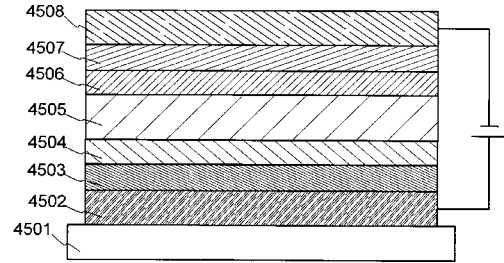
【 図 6 】



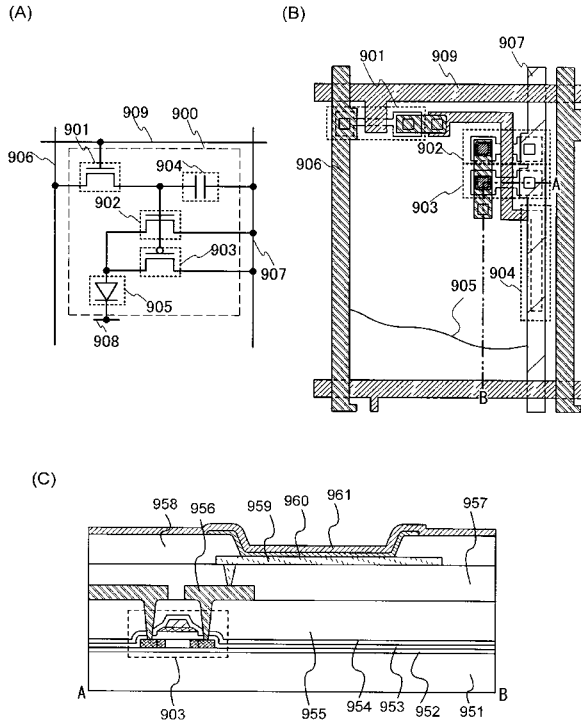
【 図 7 】



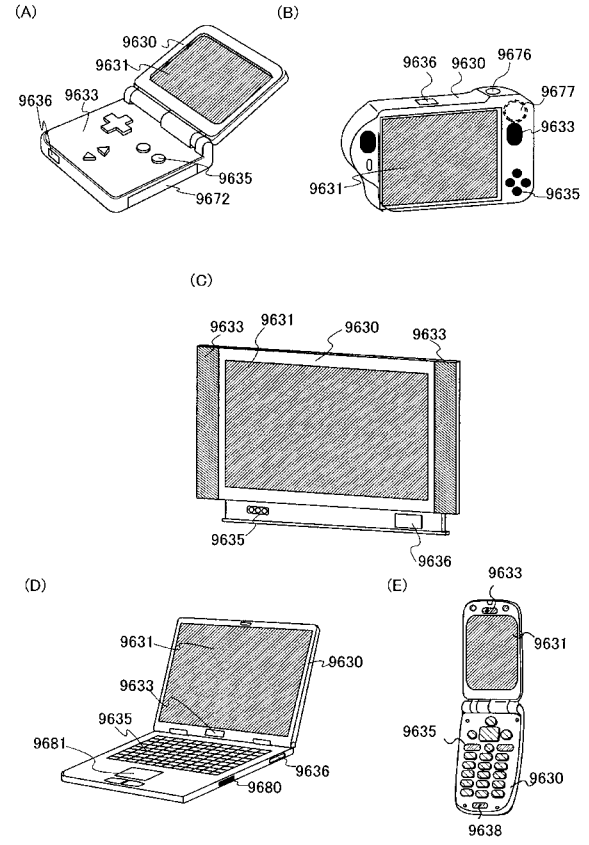
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

专利名称(译)	<无法获取翻译>		
公开(公告)号	<a href="#">JP2009175716A5</a>	公开(公告)日	2012-01-19
申请号	JP2008322075	申请日	2008-12-18
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	本田達也		
发明人	本田 達也		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0823 G09G2300/0842 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.670.K G09G3/20.611.E G09G3/20.624.B G09G3/20.621.B G09G3/20.623.C G09F9/30.338 G09F9/30.365.Z H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD06 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C094/AA04 5C094/AA07 5C094/AA25 5C094/AA53 5C094/AA54 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/DB04 5C094/FB14 5C094/FB19 5C094/GA10 5C094/HA07 5C094/HA08 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB13 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB35 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AB42 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA28 5C380/BA29 5C380/BB09 5C380/BB22 5C380/BD02 5C380/BD05 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA54 5C380/CB01 5C380/CB04 5C380/CB17 5C380/CB31 5C380/CC03 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC31 5C380/CC33 5C380/CC38 5C380/CC53 5C380/CC62 5C380/CC63 5C380/CC77 5C380/CD013 5C380/CD014 5C380/CF23 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA09 5C380/DA16 5C380/DA32 5C380/DA33 5C380/DA35 5C380/DA37 5C380/DA41 5C380/DA47 5C380/EA01 5C380/HA15		
优先权	2007336322 2007-12-27 JP		
其他公开文献	JP5178492B2 JP2009175716A		

#### 摘要(译)

要解决的问题：通过控制用于驱动EL元件的晶体管的阈值电压来抑制静止图像中的亮度降低和闪烁的出现以驱动EL元件，即使在EL元件继续发光的状态下也是如此固定期限。  
 ŽSOLUTION：设置n沟道晶体管和p沟道晶体管作为驱动发光元件的驱动晶体管，从数据线提供的图像信号的极性在每个可选周期内反转，极性反转图像信号为提供给每个像素的驱动晶体管的栅极，由此控制晶体管的阈值电压，并且抑制由于驱动晶体管的阈值电压偏移引起的发光元件的亮度变化。  
 Ž