

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-250069

(P2008-250069A)

(43) 公開日 平成20年10月16日(2008.10.16)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H	5C080
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 642P	
	G09G 3/20 623N	
	G09G 3/20 612T	

審査請求 未請求 請求項の数 5 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2007-92616 (P2007-92616)  
 (22) 出願日 平成19年3月30日 (2007. 3. 30)

(71) 出願人 000001889  
 三洋電機株式会社  
 大阪府守口市京阪本通2丁目5番5号  
 (71) 出願人 506227884  
 三洋半導体株式会社  
 群馬県邑楽郡大泉町坂田一丁目1番1号  
 (74) 代理人 100075258  
 弁理士 吉田 研二  
 (74) 代理人 100096976  
 弁理士 石田 純  
 (72) 発明者 松尾 雄一  
 群馬県邑楽郡大泉町坂田一丁目1番1号  
 三洋半導体株式会社内

最終頁に続く

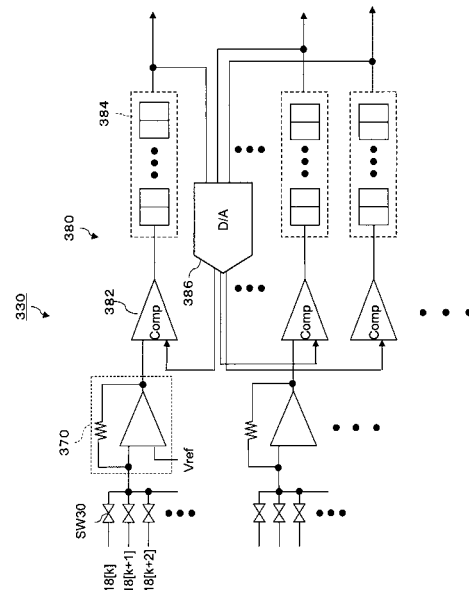
(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

【課題】 EL表示装置の表示ばらつきを簡易構成でリアルタイムで検出して補正する。

【解決手段】 映像信号のブランキング期間において、EL素子に供給する駆動電流を制御するための素子駆動トランジスタをその飽和領域で動作させ、かつEL素子を発光レベルとしたときのカソード電流を検出する。電流検出部330はそれぞれ電流検出アンプ370、逐次比較型AD変換部380を有し、逐次比較型AD変換部380のDA変換部386を複数のAD変換部380で共用することで、簡易構成で十分なAD速度を維持しつつ、電流検出を実行し表示ばらつき補正をすることを可能とする。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

エレクトロルミネッセンス表示装置であって、

マトリクス配置された複数の画素を備える表示部と、外部より供給される映像信号に基づいて前記表示部の動作を制御するための駆動部とを備え、

前記駆動部は、前記表示部の行方向の駆動及び列方向の駆動を行うドライバと、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、

前記表示部の前記複数の画素のそれぞれは、エレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備え、

前記表示部には、マトリクスの列方向に、前記各画素の前記エレクトロルミネッセンス素子のカソード電極に対してカソード電源を供給するための複数のカソード電源ラインが設けられ、

前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生して該画素に供給する検査用信号発生部と、前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出アンプと、前記電流検出アンプからのアナログ電流検出信号をデジタル信号に変換するアナログデジタル変換部と、を備え、

前記電流検出アンプは、マトリクスの複数列に対して1つ対応して設けられ、前記カソード電源ラインに接続されており、ブランキング期間中に、前記ドライバによって所定の検査行の画素が選択され、かつ、該画素に、前記検査用信号として、そのエレクトロルミネッセンス素子を発光レベルとする検査用オン表示信号を供給した時の前記エレクトロルミネッセンス素子のカソード電流を、対応する前記カソード電源ラインを介して検出し、

前記アナログデジタル変換部は、前記電流検出アンプに対応し、前記複数列に対して1つ設けられた逐次比較型アナログデジタル変換部であり、前記電流検出アンプからの前記アナログ電流検出信号を基準信号と比較するコンパレータと、前記コンパレータからの比較信号を考慮して上位ビット側からデータ値を逐次変更してデジタルアナログ変換部に供給する逐次近似レジスタと、前記逐次近似レジスタからのデジタル信号をアナログ信号に変換し、前記コンパレータに基準信号として供給するためのデジタルアナログ変換部と、を備え、

前記デジタルアナログ変換部は、複数の前記アナログデジタル変換部で共用されていることを特徴とするエレクトロルミネッセンス表示装置。

## 【請求項 2】

請求項 1 に記載のエレクトロルミネッセンス表示装置において、

前記検査用信号発生部は、前記ブランキング期間中、前記検査用信号として、前記検査用オン信号と、さらに前記エレクトロルミネッセンス素子を非発光レベルとする検査用オフ信号とを前記検査行の画素に対して供給し、

前記電流検出アンプは、前記カソード電源ラインから得られる前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、

前記アナログデジタル変換部は、前記電流検出アンプからの出力を対応するデジタルオンカソード電流検出信号、デジタルオフカソード電流検出信号に変換し、

減算部が前記デジタルオンカソード電流検出信号とデジタルオフカソード電流検出信号との差を求め、

前記補正部は、検出された前記オンカソード電流と前記オフカソード電流との電流差に応じた電流差信号を利用して補正を行うことを特徴とするエレクトロルミネッセンス表示装置。

## 【請求項 3】

請求項 1 又は請求項 2 のいずれかに記載のエレクトロルミネッセンス表示装置において、

前記駆動部は、前記表示部の各画素に対し、デジタル信号として処理され、表示内容に

応じたデータ信号をアナログデータ信号に供給する表示データ用デジタルアナログ変換部を備え、該表示データ用デジタルアナログ変換部の抵抗ストリングは、前記逐次比較型アナログデジタル変換部の前記デジタルアナログ変換部の抵抗ストリングを共有することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 4】

請求項 1～請求項 3 のいずれか一項に記載のエレクトロルミネッセンス表示装置において、

前記複数の画素のそれぞれは、さらに、前記素子駆動トランジスタのゲート電位を保持するための保持容量を備え、前記保持容量の第 1 電極は、前記素子駆動トランジスタのゲートに接続され、該保持容量の第 2 電極は、行毎に設けられた容量ラインに接続されており、

10

前記駆動部は、容量ライン制御部を備え、

該容量ライン制御部は、前記ブランキング期間における前記検査用信号の書き込み期間中に、前記検査行の容量ラインの電位を、前記素子駆動トランジスタのゲート電位を非動作とする第 1 電位とし、該ブランキング期間の終了までの前記データ信号の再書き込み期間中に、前記検査行の容量ラインの電位を、前記素子駆動トランジスタを動作可能とする第 2 電位とすることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 5】

請求項 4 に記載のエレクトロルミネッセンス表示装置において、

前記容量ライン制御部は、さらに、前記ブランキング期間、前記表示部の前記検査行以外の全行の容量ラインの電位を前記第 1 電位に固定することを特徴とするエレクトロルミネッセンス表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

エレクトロルミネッセンス素子を各画素に有する表示装置、特にその表示ばらつきの補正機能付きの表示装置に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス素子（以下 EL 素子という）を各画素の表示素子に採用した EL 表示装置は、次世代の平面表示装置として期待され、研究開発が行われている。

30

【0003】

このような EL 表示装置は、ガラスやプラスチックなどの基板上に EL 素子及びこの EL 素子を画素毎に駆動するための薄膜トランジスタ（TFT）などを形成した EL パネルを作成した後、幾度かの検査を経て製品として出荷されることとなる。

【0004】

各画素に TFT を備える現在のアクティブマトリクス型 EL 表示装置において、この TFT に起因した表示ムラ、特に TFT のしきい値  $V_{th}$  のばらつきに起因して EL 素子の輝度ばらつきが生じ、歩留まり低下の大きな要因となっている。このような製品の歩留まりの向上は、非常に重要であり、素子設計、材料、製造方法等の改良によって表示欠陥や表示ムラ（表示ばらつき）を低減することが要求されると共に、下記特許文献 1 などにおいて表示ムラなどが発生した場合にはこれを補正することにより良品パネルとする試みがなされている。

40

【0005】

特許文献 1 では、EL パネルを発光させてその輝度のばらつきを測定し、画素に供給するデータ信号（映像信号）を補正している。また、他の方法として、各画素に、EL 素子に流す電流を制御する素子駆動トランジスタの  $V_{th}$  のばらつきを補正する回路を組み込むことが提案されている。

【0006】

50

【特許文献1】特開2005-316408号

【発明の開示】

【発明が解決しようとする課題】

【0007】

特許文献1のようにELパネルを発光させ、これをカメラで撮像して輝度ばらつきを測定する方法は、出荷後においては実行することができず、パネルの経時変化などに対応した補正を実行することは不可能である。また、ELパネルが高精細化して画素数が増大すると、各画素毎にその輝度ばらつきを測定するには測定及び補正対象が多く、カメラの高解像度化、補正情報の格納部の容量拡大などが必要となる。

【0008】

また、Vth補償用の回路素子を画素に組み込まない場合であっても、TFTのVthのばらつきに起因した表示ムラを補正したいという要求は非常に強い。

【0009】

本発明は、装置出荷後において、迅速にEL表示装置の表示ばらつきの測定及びその補正を実行することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、エレクトロルミネッセンス表示装置であって、マトリクス配置された複数の画素を備える表示部と、外部より供給される映像信号に基づいて前記表示部の動作を制御するための駆動部とを備え、前記駆動部は、前記表示部の行方向の駆動及び列方向の駆動を行うドライバと、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記表示部の前記複数の画素のそれぞれは、エレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備える。前記表示部には、マトリクスの列方向に、前記各画素の前記エレクトロルミネッセンス素子のカソード電極に対してカソード電源を供給するための複数のカソード電源ラインが設けられ、前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生して該画素に供給する検査用信号発生部と、前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出アンプと、前記電流検出アンプからのアナログ電流検出信号をデジタル信号に変換するアナログデジタル変換部と、を備える。前記電流検出アンプは、マトリクスの複数列に対して1つ対応して設けられ、前記カソード電源ラインに接続されており、ブランキング期間中に、前記ドライバによって所定の検査行の画素が選択され、かつ、該画素に、前記検査用信号として、そのエレクトロルミネッセンス素子を発光レベルとする検査用オン表示信号を供給した時の前記エレクトロルミネッセンス素子のカソード電流を、対応する前記カソード電源ラインを介して検出する。前記アナログデジタル変換部は、前記電流検出アンプに対応し、前記複数列に対して1つ設けられた逐次比較型アナログデジタル変換部であり、前記電流検出アンプからの前記アナログ電流検出信号を基準信号と比較するコンパレータと、前記コンパレータからの比較信号を考慮して上位ビット側からデータ値を逐次変更してデジタルアナログ変換部に供給する逐次近似レジスタと、前記逐次近似レジスタからのデジタル信号をアナログ信号に変換し、前記コンパレータに基準信号として供給するためのデジタルアナログ変換部と、を備え、前記デジタルアナログ変換部は、複数の前記アナログデジタル変換部で共用されている。

【0011】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記検査用信号発生部は、前記ブランキング期間中、前記検査用信号として、前記検査用オン信号と、さらに前記エレクトロルミネッセンス素子を非発光レベルとする検査用オフ信号とを前記検査行の画素に対して供給し、前記電流検出アンプは、前記カソード電源ラインから得られる前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、前記アナログデジタル変換部は、前記電流検出アンプからの出力を対応するデジタルオンカソード電流検出信号、デジタルオフカソード電流検出信号

10

20

30

40

50

に変換し、減算部が前記デジタルオンカソード電流検出信号とデジタルオフカソード電流検出信号との差を求め、前記補正部は、検出された前記オンカソード電流と前記オフカソード電流との電流差に応じた電流差信号を利用して補正を行う。

【0012】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記駆動部は、前記表示部の各画素に対し、デジタル信号として処理され、表示内容に応じたデータ信号をアナログデータ信号に供給する表示データ用デジタルアナログ変換部を備え、該表示データ用デジタルアナログ変換部の抵抗ストリングは、前記逐次比較型アナログデジタル変換部の前記デジタルアナログ変換部の抵抗ストリングを共有する。

【0013】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記複数の画素のそれぞれは、さらに、前記素子駆動トランジスタのゲート電位を保持するための保持容量を備え、前記保持容量の第1電極は、前記素子駆動トランジスタのゲートに接続され、該保持容量の第2電極は、行毎に設けられた容量ラインに接続されており、前記駆動部は、容量ライン制御部を備え、該容量ライン制御部は、前記ブランキング期間における前記検査用信号の書き込み期間中に、前記検査行の容量ラインの電位を、前記素子駆動トランジスタのゲート電位を非動作とする第1電位とし、該ブランキング期間の終了までの前記データ信号の再書き込み期間中に、前記検査行の容量ラインの電位を、前記素子駆動トランジスタを動作可能とする第2電位とする。

【0014】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記容量ライン制御部は、さらに、前記ブランキング期間、前記表示部の前記検査行以外の全行の容量ラインの電位を前記第1電位に固定する。

【発明の効果】

【0015】

本発明では、映像信号のブランキング期間において、各画素に設けられEL素子を駆動する素子駆動トランジスタを飽和領域で動作させてEL素子を発光させ、その際のEL素子のカソード電流を測定する。EL素子において、素子に流れる電流と発光輝度には相関関係があり、カソード電流を測定することでEL素子の表示ばらつきを検出することができる。さらに、この検出を通常表示動作の間のブランキング期間に実行するので、表示装置の出荷後における後発的な表示ばらつき（表示ムラ）が発生しても、リアルタイムでこれを補正することができる。

【0016】

また、測定対象が発光輝度ではなくカソード電流であるため簡易な構成で測定することが可能である。さらに、EL素子をオンオフさせてその時のオンオフ電流値を測定すれば、オフ電流を基準として正確にオン電流を知ることができ、正確で高速な測定及び補正処理が容易となる。

【0017】

電流検出アンプからの検出信号については、アナログデジタル変換部によってデジタル信号に変換して補正に用いるので補正処理を高速に実行でき、このアナログデジタル変換部として、逐次比較型アナログデジタル変換部を採用するので、簡易な構成で変換機能を実現できる。電流検出及びアナログデジタル変換に要する時間は、複数列を1つの電流検出アンプに対応付けることで、同時に多数の列に対する電流検出を実行し、かつアナログデジタル変換を実行することで、処理時間の短縮化が図られている。よって、画素数、列数に比して少数のアンプ及び変換部を用いれば良く表示装置の小型化に寄与できる。

【0018】

また、パネル全体で複数設けられる逐次比較型アナログデジタル変換部についてそのデジタルアナログ変換部を各アナログデジタル変換部で共用することにより、アナログデジタル変換部の小面積化を図っている。

【発明を実施するための最良の形態】

## 【0019】

以下、図面を用いてこの発明の最良の実施の形態（以下、実施形態という）について説明する。

## 【0020】

## 〔検出原理〕

本実施形態において、表示装置は、具体的にはアクティブマトリクス型の有機EL表示装置であり、複数の画素を備える表示部がELパネル100に形成されている。図1は、この実施形態に係るアクティブマトリクス型EL表示装置の等価回路の一例を示す図である。ELパネル100の表示部には、マトリクス状に複数の画素が配置され、マトリクスの水平（H）走査方向（行方向）には、順次選択信号が出力される選択ライン（ゲートラインGL）10と、被駆動素子である有機EL素子（以下、単に「EL素子」という）18に、駆動電源PVDを供給するための電源ライン16（VL）が形成されている。垂直（V）走査方向（列方向）には、データ信号（Vsig）が出力されるデータライン12（DL）が形成されている。また、列方向には各EL素子のカソード電極と一体のストライプ状のカソード電源ライン18（CV）が形成されている。

10

## 【0021】

各画素は、概ねこれらのラインによって区画される領域に設けられており、各画素は、被駆動素子としてEL素子18を備え、また、nチャンネルのTFTより構成された選択トランジスタTr1（以下、「選択Tr1」）、保持容量Cs、pチャンネルのTFTより構成された素子駆動トランジスタTr2（以下、「素子駆動Tr2」）が設けられている。

20

## 【0022】

選択Tr1は、そのドレインが垂直走査方向に並ぶ各画素にデータ電圧（Vsig）を供給するデータライン12に接続され、ゲートが1水平走査ライン上に並ぶ画素を選択するためのゲートライン10に接続され、そのソースは素子駆動Tr2のゲートに接続されている。

## 【0023】

また、素子駆動Tr2のソースは電源ライン16に接続され、ドレインはEL素子18のアノードに接続されている。EL素子のカソードは、共通のカソード電源CVに接続されている。

## 【0024】

EL素子18は、ダイオード構造で下部電極と上部電極の間に発光素子層を備える。発光素子層は、例えば少なくとも有機発光材料を含む発光層を備え、発光素子層に用いる材料特性などにより、単層構造や、2層、3層あるいは4層以上の多層構造を採用することができる。本実施形態では、下部電極が画素毎に個別形状にパターンニングされ上記アノードとして機能し、素子駆動Tr2に接続されている。また、上部電極が複数の画素に共通でカソードとして機能する。

30

## 【0025】

画素毎に上記のような回路構成を備えるアクティブマトリクス型EL表示装置において、素子駆動Tr2の動作しきい値Vthがばらつくと、同一のデータ信号を各画素に供給しても、EL素子には駆動電源PVDから同一の電流が供給されず、これが輝度ばらつき（表示ばらつき）の原因となる。

40

## 【0026】

図2は、素子駆動Tr2の特性ばらつき（電流供給特性のばらつき、例えば、動作しきい値Vthのばらつき）が生じた場合の画素の等価回路と、素子駆動Tr2及びEL素子のVds-I ds特性とを示している。素子駆動Tr2の動作しきい値Vthがばらついた場合、回路的には、図2（b）に示すように、素子駆動Tr2のドレイン側に正常よりも大きな抵抗又は小さな抵抗が接続されたことと見なすことができる。よって、EL素子が流す電流（本実施形態では、カソード電流Icv）特性は、正常画素と変わらないが、実際にEL素子に流れる電流は素子駆動Tr2の特性ばらつきに応じて変化することとなる。

50

## 【0027】

素子駆動 $T_r 2$ への印加電圧が $V_{gs} - V_{th} < V_{ds}$ を満たす場合、素子駆動 $T_r 2$ は飽和領域で動作する。素子駆動 $T_r 2$ の動作しきい値 $V_{th}$ が正常画素より高い画素においては、図2(a)に示すように、該トランジスタのドレインソース間電流 $I_{ds}$ が、正常のトランジスタよりも小さくなり、EL素子への供給電流量、つまり、EL素子の流す電流は、正常画素よりも小さく(  $I$ 大)、その結果、この画素の発光輝度は、正常画素の発光輝度よりも低くなり、表示ばらつきとなる。

## 【0028】

逆に、素子駆動 $T_r 2$ の動作しきい値 $V_{th}$ が正常画素より低い画素においては、該トランジスタのドレインソース間電流 $I_{ds}$ が、正常のトランジスタよりも大きくなり、EL素子の流す電流は、正常画素よりも多くなり、発光輝度は高くなる。

10

## 【0029】

なお、素子駆動 $T_r 2$ への印加電圧が、 $V_{gs} - V_{th} > V_{ds}$ を満たす場合、この素子駆動 $T_r 2$ は線形領域で動作し、この線形領域では、しきい値 $V_{th}$ が高い素子駆動 $T_r 2$ と低い素子駆動 $T_r 2$ とで、 $V_{ds} - I_{ds}$ 特性の差が小さいため、EL素子への供給電流量の差(  $I$ )も小さい。このため、EL素子は、素子駆動 $T_r 2$ の特性ばらつきの有無によらず、概ね同様の発光輝度を示し、線形領域においては特性ばらつきに起因した表示ばらつきを検出することは難しいが、上記のように、素子駆動 $T_r 2$ を飽和領域で動作させることで、この素子駆動 $T_r 2$ の特性ばらつきに起因した表示ばらつきを検出することができる。

20

## 【0030】

また、検出した電流値に基づいて、各画素に供給するデータ信号を補正すれば、確実に表示ばらつきを補正することができる。例えば素子駆動 $T_r 2$ のしきい値の絶対値 $|V_{th}|$ が正常より低い場合、基準のデータ信号を供給したときのEL素子の発光輝度は通常より高くなる。したがって、この場合、しきい値の絶対値 $|V_{th}|$ の基準に対するずれに応じてデータ信号の絶対値 $|V_{sig}|$ を小さくすることにより輝度ばらつきを補正することができる。素子駆動 $T_r 2$ のしきい値の絶対値 $|V_{th}|$ が正常より高い場合には、しきい値の絶対値 $|V_{th}|$ の基準に対するずれに応じてデータ信号の絶対値 $|V_{sig}|$ を大きくすることにより輝度ばらつきを補正することができる。

## 【0031】

なお、以上の画素回路では、素子駆動トランジスタとして、pチャネルのTFTを採用したが、nチャネルのTFTを用いてもよい。さらに、以上の画素回路では、1画素について、トランジスタとして、選択トランジスタと駆動トランジスタの2つのトランジスタを備える構成を採用した例を説明したが、トランジスタが2つのタイプ及び上記回路構成には限られない。

30

## 【0032】

本実施形態では、以上のように各画素の素子駆動 $T_r$ の特性ばらつきに起因したEL素子の輝度ばらつきをEL素子のカソード電流から検出し、これを補正する。そして、この電流検出(ばらつき検出)及び補正を、表示装置の通常動作時において、映像信号の1ブランキング期間中に実行する。

40

## 【0033】

より具体的には、カソード電流の検出処理は、映像信号の1ブランキング期間中において、表示部の所定の1行を検査行として選択し、対応する画素に検査用信号を供給し、その画素のEL素子のカソード電極からカソード端子に流れ出るカソード電流 $I_{cv}$ を検出する。ブランキング期間は、垂直ブランキング期間又は水平ブランキング期間であり、どちらを採用しても良いが、以下では、電流検出処理速度の余裕を優先するという観点で垂直ブランキング時間に検査する方法を例に説明する。また、本実施形態では、全画素について検査結果を得るまでの時間を短縮化するために、上述のようにカソード電極を列方向において複数に分割し(図1の例では列毎に分割し)、時分割で列毎に検査を行う。

## 【0034】

50

このようにカソード電極を複数に列毎に分割し、垂直ブランキング期間中にカソード電流の検出を実行する場合、1垂直ブランキング期間中に所定の1検査行(n行目)の全画素に、それぞれ検査用信号を供給し、各列におけるカソード電流を検出する。この手順を垂直ブランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式において、マトリクスの各列に対して1対1で電流検出部を設けた場合、VGAパネルでは合計約8秒(=1/60秒×480行)で全画素についてのカソード電流検出が実行できる。

#### 【0035】

マトリクスの各列に対し1対1で電流検出部を設けることは、即ち、列数分に等しい電流検出部を設ける必要があり、表示装置の小型化を妨げる可能性がある。そこで、本実施形態では、電流検出部のアナログデジタル(AD)変換部として、構成の簡素な逐次比較型AD変換部を採用し、さらに、このAD変換回路に用いるDA変換部を複数のAD変換回路で共用し、電流検出部の設置面積を削減する。

10

#### 【0036】

また、逐次比較型AD変換部は、上述のように簡素な構成であるが、最上位ビット(MSB)から順に値を比較する処理を採用しているため、デジタル信号のビット数が多くなるほど処理に時間を要することとなる。したがって、表示部の画素の全列について、単一の電流検出部によって、1回の検査期間(例えば、1垂直走査(V)期間の垂直ブランキング期間)中に、電流検出を行ってその結果のデジタル信号を得ることは容易ではない。

20

#### 【0037】

そこで、本実施形態では、電流検出部のAD変換部として、逐次比較型AD変換部を採用しつつ、全画素についての電流検出及び補正をより短時間で実行するため、複数列毎に1つの電流検出部を割り当て、時分割処理により処理速度の向上を図る。

#### 【0038】

例えば、上記VGAパネルの4分の1の大きさのQVGAパネル(240行×320列×RGB)例にすると、R,G,B合計で960列が存在し、これを10分割して、電流検出を実行する。つまり、96列に1つ電流検出部を設ける。この場合、約40秒(1/60秒×240×10)で全画素についての電流検出を実行することができる一方で、電流検出部の配置数は10で良く、表示装置の小型化を妨げることなく後述するような電流検出とばらつき補正を実行することが可能となる。なお、カソード電源ライン18は、列の分割数に応じ、最低限等しい数列数毎に分割すればよい。但し、後発的な分割数の変更への対応や、表示部内における画素毎の構造の違いを低減する観点から、本実施形態では、このカソード電源ライン18を、図1に示すように列毎にそれぞれ設け、後述するように、電流検出部には対応させた列数に等しい本数のカソード電源ライン18が接続されている。

30

#### 【0039】

##### [装置構成例]

次に、本実施形態に係るばらつき補正機能を備えたエレクトロルミネッセンス表示装置の構成例について図3及び図4を参照して説明する。図3は、エレクトロルミネッセンス表示装置の全体的な構成の一例を示している。この表示装置は、上述のような画素を備える表示部が形成されたELパネル100と、表示部での表示及び動作を制御する駆動部200を備え、駆動部200は、概略して、表示制御部210と、ばらつき検出部300を備える。

40

#### 【0040】

また、表示制御部210は、信号処理部230、ばらつき補正部250、タイミング信号作成(T/C)部240、ドライバ220等を有する。

#### 【0041】

信号処理部230は、外部からのカラー映像信号をELパネル100における表示に適した表示データ信号を作成し、タイミング信号作成部240は、外部から供給されるドットクロック(DOTCLK)、同期信号(Hsync、Vsync)などに基づいて、H方向、V方向のク

50

ロックCKH、CKV、水平、垂直スタート信号STH、STV等、表示部に必要な各種タイミング信号を作成する。ばらつき補正部250は、ばらつき検出部300から供給される補正データを利用して映像信号を駆動対象であるELパネルの特性に合わせて補正する。

#### 【0042】

ドライバ220は、タイミング信号作成部240から得られる各種タイミング信号に基づいてELパネル100をH方向、V方向に駆動する信号を作成して画素に供給すると共に、ばらつき補正部250から供給される補正後の映像信号を対応する各画素にデータ信号(Vsig)を供給する。なお、ドライバ220は、図1に例示するように表示部のH(行)方向の駆動を制御するHドライバ220H及びV(列)方向の駆動を制御するVドライバ220Vを備える。図1に示すように、このHドライバ220H及びVドライバ220Vは、ELパネル100の表示領域の周辺に、図1の画素回路と同様にパネル基板上に内蔵させることもできるし、ELパネル100とは別に図3の駆動部200と一緒に又は別の集積回路(IC)によって構成することも可能である。

10

#### 【0043】

ばらつき検出部300は、ELパネル100の通常使用環境下におけるブランキング期間に表示ばらつきを検出して補正值を得るための動作をしており、図3の例では、ばらつき検査を制御する検査制御部310、検査用信号を発生しELパネルの検査行の画素に供給するための検査用信号発生回路320、上記検査用信号を供給した際にカソード電極から得られるカソード電流を検出するカソード電流検出部330、カソード電流検出結果を記憶するメモリ340、検出されたカソード電流に基づいて補正データを作成する補正データ作成部350等を備える。また、検査時において、検査行の画素を選択し、検査するために必要な選択信号の作成や、後述するような所定ラインの電位制御のための制御信号発生回路は、ドライバ220内に組み込んで検査制御部310の制御に応じて実行させることができる。なお、この構成は、専用の検査用の制御信号発生回路によって実行しても良いし、検査制御部310が実行しても良い。

20

#### 【0044】

図4は、図3の駆動部200のより具体的な構成の一部を示す。カソード電流検出部330は、表示部のマトリクス複数の列に1つ対応して設けられており、このカソード電流検出部330は、電流検出アンプ370と、アナログデジタル(AD)変換部380と、減算部332とを有する。電流検出アンプ370は、図4の例では、アンプの出力と電流入力側との間に抵抗Rを備え、ELパネルの複数のカソード電極端子Tcvの内、対応する端子Tcvから得られるカソード電流Icvを、このカソード電流Icvが抵抗Rに流れて生ずる電圧[IR]と基準電圧Vrefとに基づき、[Vref+IR]で表される電流検出データ(電圧データ)として得る。AD変換部380は、電流検出アンプ370で得られた電流検出データを所定ビット数のデジタル信号に変換する。このAD変換部380としては、詳しくは後述するが、逐次比較型AD変換回路を採用し、複数のAD変換部380において、DA変換部を共用している。

30

#### 【0045】

減算部332には、AD変換部380から得られるデジタル検出データが供給される。ここで、検査用信号としては、EL素子の発光を発光レベルとする検査用オン表示信号を供給することで、原理的に素子駆動Tr2のしきい値ばらつきに応じた表示ムラを検出することができる。しかし、検査用信号として、上記検査用オン表示信号と、さらにEL素子を非発光レベルとする検査用オフ表示信号とを検査行の画素に対して供給し、検査用オン表示信号の印加時のオンカソード電流及び前記検査用オフ表示信号印加時のオフカソード電流を検出し、その差Icvを求めることで、検査の高速化及び検査の高精度化を図ることが可能となる。これは、オフカソード電流Icv<sub>off</sub>を測定し、このIcv<sub>off</sub>を基準としてオン表示信号の時のオンカソード電流Icv<sub>on</sub>を相対的に把握できるため、オンカソード電流Icv<sub>on</sub>の絶対値を正確に判断する必要や、別途基準となるオフカソード電流Icv<sub>off</sub>を測定する必要がないからである。つまり、オンカソード電流とオフカソ

40

50

ド電流との差分（カソード電流差）を用いることで、上記電流検出アンプ 332 の特性ばらつきなどの影響をこのカソード電流差からキャンセルすることができ、また、オンカソード電流値の絶対値を判定するための基準値を必要としないためである。具体的には、 $V_{ref} + I_{cv_{on}} * R$  と、 $V_{ref} + I_{cv_{off}} * R$  をそれぞれ読み取り、AD変換部 334 でデジタル変換し、オンカソード電流及びオフカソード電流に対応して順次それぞれ得られるデジタル電流検出信号を減算部 332 にて引き算することで、最終的に  $(I_{cv_{on}} - I_{cv_{off}}) * R$  を求め、 $I_{cv} = I_{cv_{on}} - I_{cv_{off}}$  を得ることができる。

【0046】

メモリ 340 には、上述のように一例として 40 秒程度で全画素についてのカソード電流検出データが蓄積され、メモリ 340 はこの全画素についてのカソード電流検出データを少なくとも次に全画素について新しいカソード電流検出データを得るまで格納しておく。

10

【0047】

補正データ作成部 350 は、メモリ 340 に蓄積された画素毎のカソード電流検出データに基づいて、映像信号に対し、各画素の素子駆動 Tr2 の特性ばらつきに起因した表示ばらつきを補正するための補正データを作成する。

【0048】

例えば、図 5 に示すように、EL 素子を発光状態とする同一の検査用信号を印加した場合、測定対象の画素の素子駆動 Tr2 のしきい値  $V_{th}$  が正常の素子駆動 Tr2 のしきい値  $V_{th}$  よりも高圧側にシフトしている場合（図中の一点鎖線）、得られるカソード電流は、正常画素が  $I_{cva}$  であるのに対し、シフトした画素では  $I_{cvb}$  となる。

20

【0049】

そこで、補正データ作成部 350 は、図 5 に示すように、素子駆動 Tr2 の動作しきい値  $V_{th}$  が正常な TFT よりもずれている場合、カソード電流検出データからその動作しきい値  $V_{th}$  のずれを補償する補正データを求める。概念的には、この補正データにより、図 5 において点線で示す特性のように動作しきい値  $V_{th}$  のずれ分に応じて各画素に供給するデータ信号の電圧をシフトさせることとなる。

【0050】

ここで、データ信号の電圧をシフトさせるための補正データの作成方法の一例を説明する。まず、各画素の動作しきい値の基準からのずれは、下記式 (1) によって求めることができる。

30

【0051】

【数 1】

$$V(\Delta I_{cv}) = V(\Delta I_{cvref}) \times \left( \frac{V_{sigon} - V_{th(i)}}{V_{sigon}} \right)^{\gamma} \quad \dots \quad (1)$$

式 (1) において、 $V_{th(i)}$ 、 $V(I_{cv})$ 、 $V_{sigon}$  および  $\gamma$  は、以下のように定義される。

40

$V_{th(i)}$  : 検査対象画素の動作しきい値ずれ

$V(I_{cv})$  : 検査対象画素のオンオフカソード電流値（電圧データ）

$V(I_{cvref})$  : 基準オンオフカソード電流値（電圧データ）

$V_{sigon}$  : 検査用オン表示信号の階調レベル

$\gamma$  : 表示パネルの発光効率特性（定数値）

【0052】

検査用オン表示信号の階調レベル [ $V_{sigon}$ ] を、例えば 240 (0 ~ 255) に設定した場合、この階調レベル 240、検査対象画素のオンオフカソード電流値 [ $V(I_{cv})$ ]、基準のオンオフカソード電流値 [ $V(I_{cvref})$ ]、定数の発光効率特性  $\gamma$  に基づいて、上記式 (1) から各画素の基準に対する動作しきい値ずれ  $V_{th(i)}$

50

)を求めることができる。例えば、A～Eの画素について、以下のようにそれぞれ基準からのしきい値ずれ量  $V_{th}(i)$  が得られたとする。

$$V_{th}(A) = 0$$

$$V_{th}(B) = 13.4$$

$$V_{th}(C) = 17.0$$

$$V_{th}(D) = 3.2$$

$$V_{th}(E) = 20.7$$

上記例では、画素Eのしきい値  $V_{th}$  ずれが最大であり、各画素に同一階調レベルのデータ信号を供給すると、画素Eが表示部の中で最も低輝度で発光することとなる。一方で、各画素に供給できるデータ信号の最大値には限度がある。そこで、この  $V_{th}(i)_{max}$  の画素Eを基準にデータ信号の最大値  $V_{sig_{max}}$  を決定する。つまり、得られた各画素の  $V_{th}(i)$  の中から、最大値  $V_{th}(i)_{max}$  を求め、この  $V_{th}(i)_{max}$  に対する他の画素の  $V_{th}$  の差  $V_{th}(i)$  をそれぞれ得る。さらに、その画素に供給すべきデータ信号の最大値  $V_{sig_{max}}(i)$  として、 $V_{sig_{max}}$  から得られた  $V_{th}(i)$  を減算することで求め  $[V_{sig_{max}} - V_{th}(i)]$ 、後述する式(2)の補正値を反映した初期補正データ  $RSFT(init)$  としてばらつき補正部250に供給する。

10

【0053】

なお、以上のようにして補正データ作成部350で作成された各画素の初期補正データは、例えば図3に示す補正値記憶部280などに記憶される。

20

【0054】

ばらつき補正部250は、新しい補正データが得られるまでは、この記憶されている補正データを用い、信号処理部230から供給される映像信号に対して、各画素毎にばらつき補正を実行する(2次元表示ムラ補正)。

【0055】

信号処理部230は、外部からのカラー映像信号をELパネル100での表示に適した表示信号にするための信号処理回路であり、一例として図4に示すような構成を有する。シリアル・パラレル変換部232は、外部から供給される映像信号をパラレルデータに変換し、得られたパラレル映像信号は、マトリクス変換部236に供給される。マトリクス変換部236において、外部から供給される映像信号がYUV形式の場合には、ELパネルの表示する色調に応じたオフセット処理が行われる。なお、Yは輝度信号、Uは輝度信号と青色成分の差、Vは輝度信号と赤色成分の差であり、YUV形式は、この3つの情報で色を表している。また、マトリクス変換部236は、パラレル映像信号をこのELパネル100に適した形式への間引きなどの変換処理を行う。また、併せて、色空間補正、ブライト・コントラスト補正なども実行する。さらにガンマ値設定部238が、マトリクス変換部236からの映像信号に対し、ELパネル100に応じた値の設定(ガンマ補正)を行い、ガンマ補正後の映像信号が上記ばらつき補正部250に供給される。

30

【0056】

ここで、ばらつき補正部250では、一例として下記式(2)

【数2】

$$R\_SFT(0) = \frac{ADJ\_SFT}{16} \times (512 - Rin) + Rin \times RSFT(init) \quad \dots \quad (2)$$

40

を用いて2次元表示ムラ補正を実行する。式(2)において、 $RSFT(init)$  は、補正データ作成部350において求められた補正値を反映した初期補正データである(工場出荷前に各画素についての補正データが存在する場合にはその補正データも反映した値である)。 $Rin$  は、信号処理部230から供給される入力映像信号で、ここでは、9ビットデータであり、0～511のいずれかの値を備える。 $ADJ\_SFT$  は、補正値調整(重み付け)パラメータであり、 $R\_SFT$  は、2次元表示ムラ補正後の表示データである

50

。

## 【 0 0 5 7 】

図 5 から理解できるように、素子駆動  $T_r 2$  の動作しきい値  $V_{th}$  にずれが生じた場合、この T F T の特性カーブの傾きは、正常な T F T の特性カーブの傾きとは異なる。したがって、図 6 に示したようにデータ信号を単純に  $V_{th}$  のずれ分だけシフトするのみでは、正確な階調表現をすることができない。そこで、ばらつき補正部 2 5 0 では、上記式 ( 2 ) 等を用いて、傾き、つまり、上記式 ( 2 ) の重み付けパラメータを考慮して実映像信号の値 ( 輝度レベル ) に応じて最適な補正を施し、正常の T F T 特性に合ったカソード電流が E L 素子に流れるように調整する。このような補正により、単純な  $V_{th}$  のシフト補正だけの場合に T F T 特性の傾きの違いに起因して生ずる低階調側の白うき ( 高階調側へのずれ ) 等を、確実に防止できる。

10

## 【 0 0 5 8 】

以上のようにして二次元表示ムラ補正が施された映像信号は、デジタルアナログ ( D A ) 変換部 2 6 0 に供給され、ここで各画素に供給するためのアナログデータ信号に変換される。このアナログデータ信号は、表示部の対応するデータライン 1 2 に出力すべきデータであり、パネル 1 0 0 に設けられたビデオ線に出力され、V ドライバ 2 2 0 V の制御に従って対応するデータライン 1 2 に供給される。

## 【 0 0 5 9 】

## [ カソード電流検出部 ]

次に、本実施形態のカソード電流検出部 3 3 0 の構成について図 7 及び図 8 を参照して説明する。図 7 は、カソード電流検出部 3 3 0 の電流検出アンプ 3 7 0 及び A D 変換部 3 8 0 の構成を示し、図 8 は、電流検出アンプ 3 7 0 と A D 変換部 3 8 0 及びソースドライバ ( H ドライバ ) 2 2 0 H の概略レイアウトを示している。

20

## 【 0 0 6 0 】

既に説明したように、電流検出部 3 3 0 は、マトリクス of 複数列に対して 1 つ対応して設けられており、電流検出アンプ 3 7 0 の入力部には、それぞれ、対応する複数列のカソード電源ライン 1 8 ( 例えば、Q V G A パネルの全列を 1 0 分割した場合に、1 8 [ k ] ~ 1 8 [ k + 9 5 ] ) が接続されている。なお、複数の各カソード電源ライン 1 8 と、対応する該電流検出アンプ 3 7 0 の入力端との間には、各ライン 1 8 からの入力を選択的に電流検出アンプ 3 7 0 に供給するためのスイッチ S W 3 0 と、一括して複数のカソード電源ライン 1 8 と電流検出アンプ 3 7 0 との接続を制御するスイッチ S W 2 0 とが設けられている。また、カソード電源 C V と各カソード電源ライン 1 8 との間には、通常動作時 ( 駆動時、検査信号印加時 ) に、各電源ライン 1 8 にカソード電源を供給するための S W 1 0 が設けられている。

30

## 【 0 0 6 1 】

逐次比較型 A D 変換部 3 8 0 は、電流検出アンプ 3 7 0 に対応して設けられており ( 複数列に対して 1 つ設けられている )、コンパレータ 3 8 2 と、逐次近似レジスタ ( S A R ) 3 8 4 と、デジタルアナログ ( D A ) 変換部 3 8 6 とを備える。

## 【 0 0 6 2 】

コンパレータ 3 8 2 は、電流検出アンプ 3 7 0 からのアナログ電流検出信号 ( 電圧信号 ) を、D A 変換部 3 8 6 から供給されるアナログ基準信号と比較し、比較結果を逐次近似レジスタ 3 8 4 に供給する。

40

## 【 0 0 6 3 】

S A R 3 8 4 は、出力するデジタルデータのビット数に等しい複数のレジスタを備え、上記コンパレータ 3 8 2 からの比較信号を考慮し、上位ビット ( M S B ) 側から順にデータ値を逐次変更して D A 変換部 3 8 6 に供給する。

## 【 0 0 6 4 】

まず、図示しない制御部から比較開始信号が S A R 3 8 4 に供給されると、S A R 3 8 4 は、M S B に割り当てられたレジスタの出力を「 1 」とし、残りのビットは「 0 」のデジタルデータを出力する。D A 変換部 3 8 6 は、このデジタルデータ「 1 0 0 0 . . . 」

50

を対応するアナログ信号に変換し、これが基準信号としてコンパレータ382の入力端子に供給され、上記電流検出アンプ370から供給されるアナログ電流検出信号と比較される。コンパレータ382はアナログ電流検出信号が、基準信号より大きければ、比較結果として例えば「1」をSAR384に出力し、SAR384は、MSBのレジスタの出力を「1」に固定し、次のビット位置の値を「0」から「1」に変更し、残りのビットは「0」のままのデジタルデータを出力する。これがDA変換部386で対応するアナログ基準信号としてコンパレータ382に供給され、再び電流検出アンプ370からの電流検出信号と比較される。比較の結果、電流検出信号の方が大きければ、対応する比較出力によりSAR384のMSB及び2ビット目を「1」に固定し、次に3ビット目を「0」から「1」に変更し、残りを「0」としたデジタルデータを出力する。電流検出信号が2ビット目も「1」としたときの基準信号よりも小さければ、2ビット目は「0」に戻し、3ビット目を変更する。このような比較処理を上位ビットから順に最下位ビット(LSB)までビット数に応じた回数繰り返し、入力されるアナログ電流検出信号に応じたデジタル信号をSAR384で得て、これをデジタル電流検出信号として図4に示す減算部332に供給する。

10

**【0065】**

なお、図7には示していないが、電流検出アンプ370とコンパレータ382との間には、信号保持部が設けられており、この保持部により、AD変換部386の逐次比較期間中に電流検出信号が保持される。

20

**【0066】**

ここで、DA変換部386は、図7、図8に示すように、複数のAD変換部380において共用しており、各AD変換部380のSAR384からのデジタル信号を、例えば共通の抵抗ストリング(Rストリング)を利用して対応するアナログ信号に変換する。既に説明したように、複数のAD変換部380でDA変換部386を共用することでその設置面積を低減することができるが、上記のように抵抗ストリングを共用することでアナログ信号への変換誤差がAD変換部380毎にばらついてしまうことの防止にも役立つ。

**【0067】**

表示部のデータライン12に対応するデータ信号を供給するためのドライバ(Hドライバ:ソースドライバ)220Hにおいて、表示部にアナログデータ信号を出力するため、図4に示すようなDA変換部260を採用している。本実施形態では、このソースドライバ220HのDA変換部260についても、上記AD変換部380のDA変換部386と共用している。このようにソースドライバのDA変換部260も共用することで表示装置の一層の小型化を図ることができる。DA変換部の共用は、その構成の全てでなくとも良いが、Rストリングを用いる場合には、このRストリングを共用することが表示装置の小面積化の観点で効果的である。

30

**【0068】**

なお、本実施形態では、上記ソースドライバ220Hを、複数列毎に1つ対応して設けており、この場合においてソースドライバ220のDA変換部260をAD変換部380のDA変換部386と共用することは、小面積化の点で特に効果が高い。1表示装置において複数のソースドライバ220Hを設けることで、表示部へのデータ信号の供給処理を並列化して処理負荷を分散させることができる。また、1つのソースドライバ220Hに対応付ける列と、1つの電流検出部330に対応付ける列とを一致させ、図8に示すように、同一列に対応するソースドライバ220Hと電流検出部330とを交互に近接配置することで、これらの回路を単一の集積回路内に形成する場合など、レイアウト効率や配線効率を向上させること、表示ばらつき低減を図ることが容易となる。

40

**【0069】****[ 駆動方式 ]**

次に、上記原理に基づくカソード電流の検査を実行する本実施形態に係る表示装置の駆動方法について説明する。以下の駆動方法では、検査行の画素に対し、検査用表示信号Vsigとして、検査用オン表示信号(EL発光)と検査用オフ表示信号(EL非発光)と

50

を連続して印加する高速検査方式を採用した場合を例に説明する。なお、検査用のオン表示信号とオフ表示信号の順番は特に限定されないが、以下の例では、オフ、オンの順番としている。

#### 【0070】

次に、図9を参照して駆動方式について具体的に説明する。本方式では、上述の図1に示すパネル構成例のように、カソード電極を列毎に分割しており、カソード電極ライン18が18[1]～18[x]だけ設けられている。また、カソード電流の検出は、図9に示すように、n回目の1垂直走査期間の1Vブランキング期間に、1検査行(n行目)を選択し、このn行目の全画素(1列目～x列目の画素)のうち、1つの電流検出部330につき、その検出部330に接続されている複数列の中でそれぞれ1列分の画素のカソード電流( $I_{cv}$ )を検出する。なお、この際、図7, 図8に示すスイッチSW30は対応する検査列についてのみ閉状態とするように制御することが好適である。

10

#### 【0071】

また、検査用信号書き込み期間の終了後、対応するVブランキング期間の終了までの間に、n行目の全画素に対し、それぞれ検査用信号が供給される前に書き込まれていた表示データ信号の書き込みを行う。なお、書き込みは、原理的には、検査した画素のみでよいが、そのためには同一の電流検出部330に接続されている列に対して選択的に順次、再書き込みをしなければならず、ソースドライバ220H等にそのための論理回路等を加える必要が生ずる場合もある。このような回路追加を望まない場合には、検査対象のn行目の全画素について一律に書き込み信号を実行すればよい。

20

#### 【0072】

また、本実施形態では、行毎に設けた容量ライン14の電位制御、及び、電源ライン16(PVDD)の行毎の電源電位制御を実行する。具体的には、容量ライン14については、Vブランキング期間中は第1電位(素子駆動Tr2の非動作電位)とし、検査行の容量ライン14[n]のみ、その検査時のVブランキング期間のデータ信号再書き込み時に第2電位とする。電源ラインについては、検査行の電源ラインPVDDnについてのみ、上記データ信号再書き込み期間中に所定Lowレベルとして検査用信号の供給によるEL素子の発光を停止させる。また、容量ライン14[n]と電源ラインPVDDnの電位変化タイミング、特に容量ライン14[n]の電位変化は、データ信号再書き込み期間中には行わないようにする。

30

#### 【0073】

以上のような駆動方式によれば、1V期間に1行の内、列の分割数に応じた分のカソード電流検出が実行でき、上述のように一例として約40秒間で全画素についてのカソード電流検出を実行することができる。なお、本方式では、カソード電極を列毎に分割しているため、1列当たりの検査期間は、データ信号再書き込み期間以外を全て用いることができ、各データライン12に検査用信号を出力するための駆動回路の負荷や、電力消費を削減することができる。

#### 【0074】

ここで、列毎に分割したカソード電極ライン18[1]～18[x]は、それぞれ個別に、COG(Chip On Glass)方式でパネル基板上に搭載された集積化駆動回路(駆動部)200に接続されている。この駆動部200には、上述のように複数列に対して1つの電流検出部330を設けられており、全カソード電極ライン(全列)については、1V期間に分割数に応じた回数に乗じた期間でカソード電流を検出することができる。

40

#### 【0075】

なお、図3に示す駆動部200内のドライバ220については、その機能の一部又は全てを、このCOGとは別に、Hドライバ、Vドライバとして、表示部の画素回路と同様にパネル基板上に内蔵形成することも可能である。

#### 【0076】

また、このようなカソード電極ラインを列毎に設ける駆動方式については、AD変換部380の変換速度が対応する範囲において、1水平走査期間内の水平ブランキング期間内

50

にカソード電流検出を実行する方法に採用することも可能である。

【0077】

[その他]

なお、以上において説明した各方式、構成においては、リアルタイムで各画素のカソード電流検出を行う場合について説明したが、この電流検出と補正処理は、表示装置の起動時においても実行しても良いし、もちろん、工場出荷時に各画素のカソード電流（ $I_{cv}$ ）を測定し、予め補正データを記憶しておき、随時更新する又は特性の経時変化を検出しながらリアルタイムで補正をしても良い。

【0078】

さらに、以上において説明したばらつき補正部250における補正に関しては、最終的に表示ばらつきの生ずる画素に供給するデータ信号が、適切なレベルに調整され、EL素子の発光輝度が補正されれば、その演算処理や補正処理方法は、特に限定されない。

10

【0079】

また、以上に説明したばらつき検出部300は、パネル制御部210と共に集積化することにより非常に小型の駆動部によって表示ばらつきの検出及び補正及び表示部の制御（表示）を実行可能な表示装置を提供することができる。さらに、ばらつき検出部300内の構成、例えばAD変換部、メモリ等について、これらをパネル制御部210の回路に兼用させることも可能であり、兼用により駆動部200をIC化した場合、このICチップサイズを低減することに寄与できる。

【図面の簡単な説明】

20

【0080】

【図1】本発明の実施形態に係るEL表示装置の概略回路構成の一例を説明する等価回路図である。

【図2】本発明の実施形態に係る素子駆動トランジスタの特性ばらつき測定原理を説明する図である。

【図3】本発明の実施形態に係る表示ばらつき補正機能を備えたEL表示装置の構成例を示す図である。

【図4】図3の駆動部のより具体的な構成の一部を示す図である。

【図5】素子駆動Tr2の動作しきい値のずれとそのずれの補正方法について説明する図である。

30

【図6】動作しきい値のずれに応じた補正データの求め方を説明する図である。

【図7】本発明の実施形態に係る電流検出部330の概略構成を示す図である。

【図8】本発明の実施形態に係る電流検出部及びソースドライバのレイアウトの一例を示す図である。

【図9】本発明の実施形態に係る駆動方式を説明するタイミングチャートである。

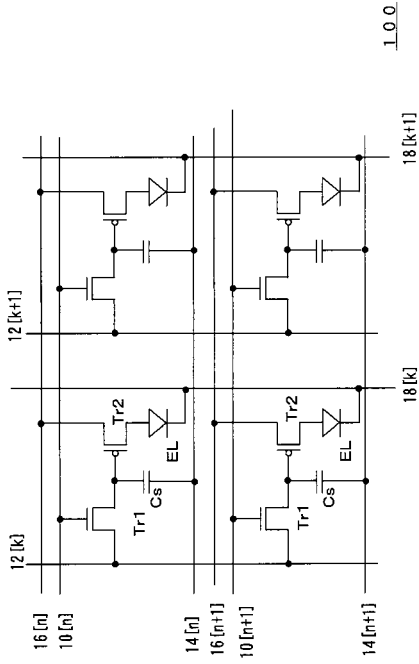
【符号の説明】

【0081】

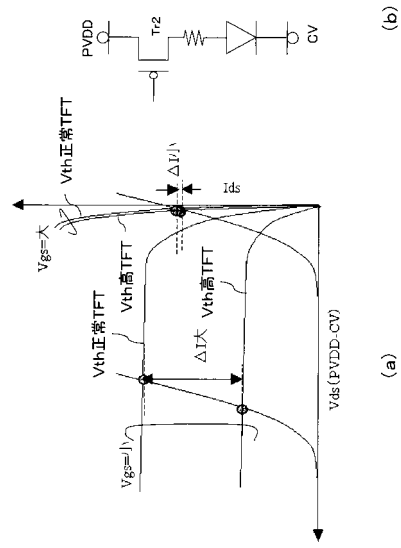
100 ELパネル、200 駆動部（パネル駆動装置）、220 ドライバ、222 検査用制御信号発生回路、230 信号処理部、240 タイミング制御（T/C）部、250 ばらつき補正部、280 補正パラメータ設定部（補正值記憶部）、300 ばらつき検出部、310 検査制御部、320 検査用信号発生回路、330 カソード電流検出部、332 減算部、340 メモリ、350 補正データ作成部、370 電流検出アンプ、380 AD変換部、382 コンパレータ、384 逐次近似レジスタ（SAR）、386 DA変換部。

40

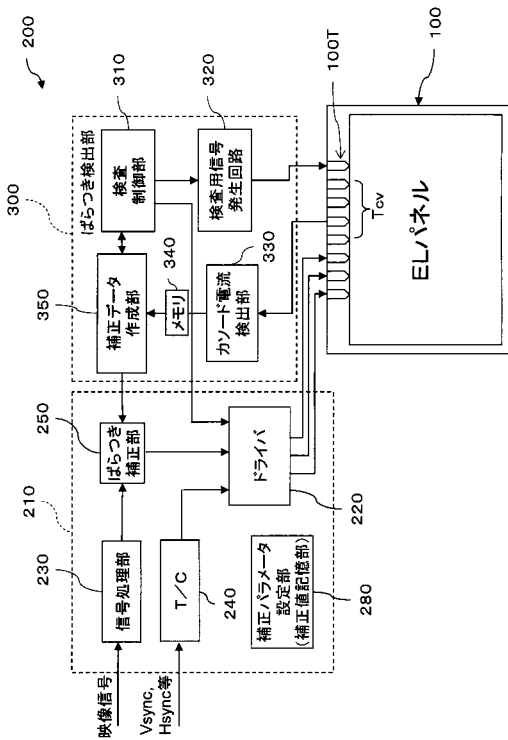
【図 1】



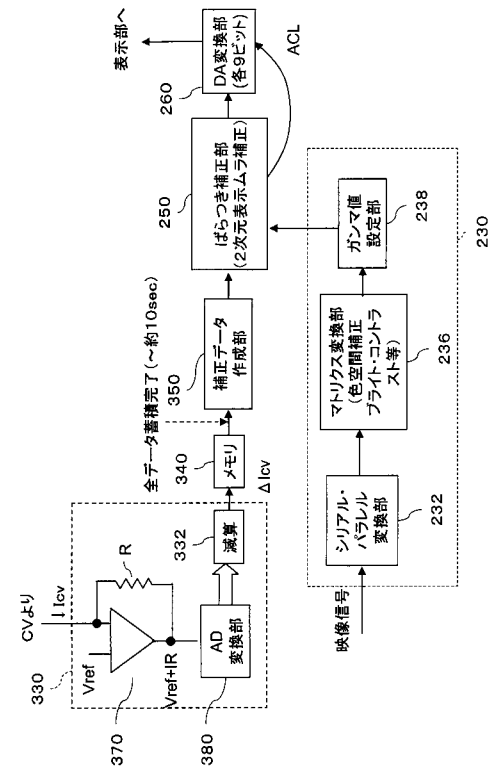
【図 2】



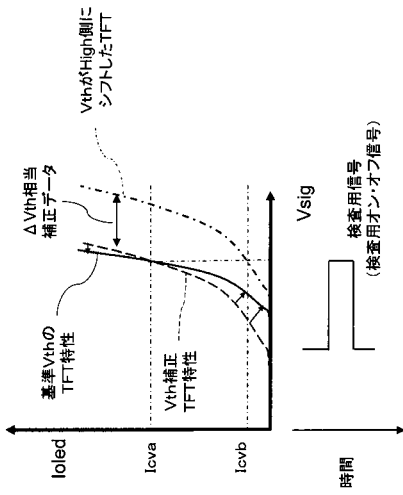
【図 3】



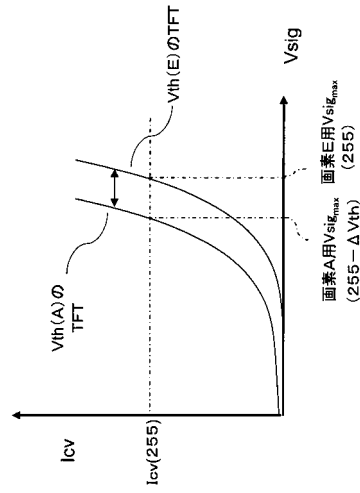
【図 4】



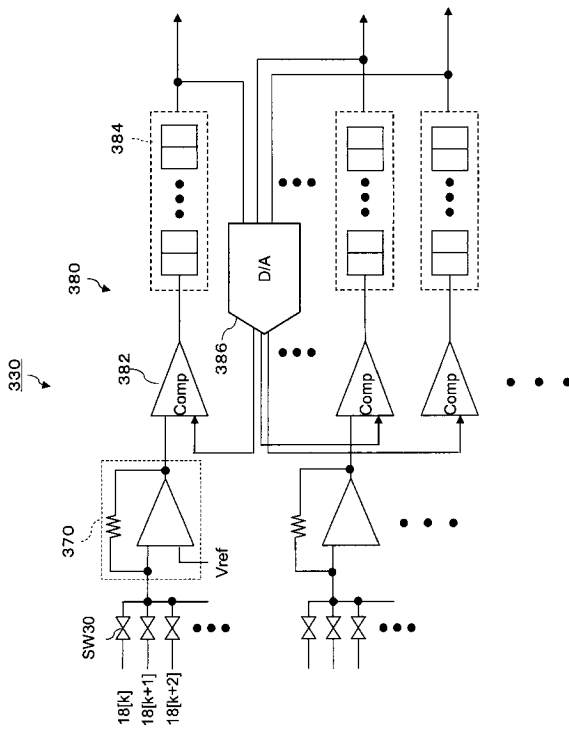
【 図 5 】



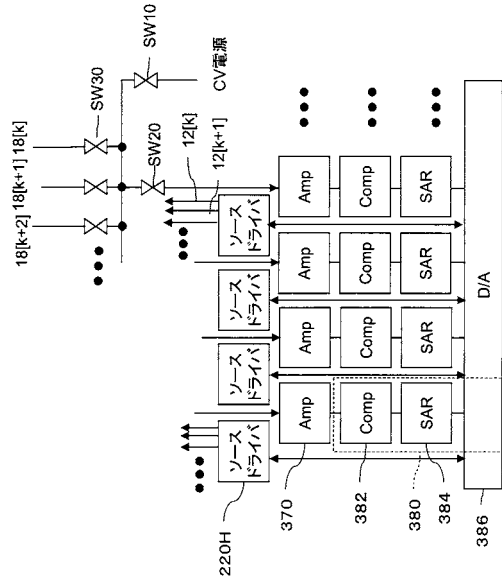
【 図 6 】



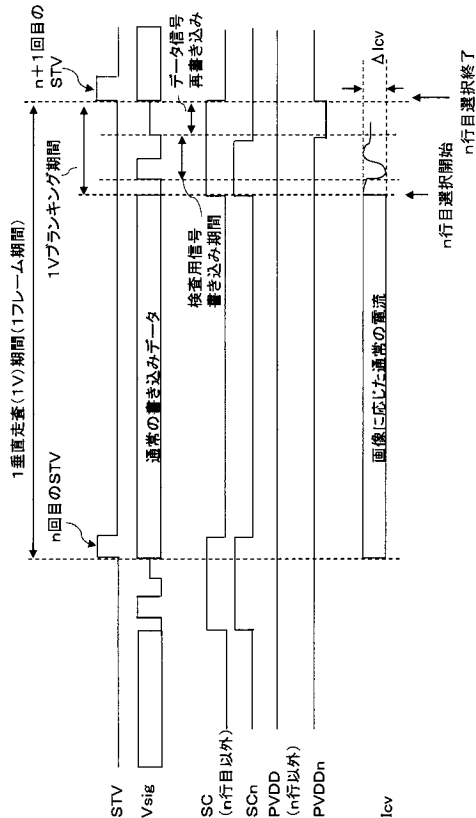
【 図 7 】



【 図 8 】



【 図 9 】



## 【 手続補正書 】

【 提出日 】平成20年4月11日(2008.4.11)

## 【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

エレクトロルミネッセンス表示装置であって、

マトリクス配置された複数の画素を備える表示部と、映像信号に基づいて前記表示部の動作を制御するための駆動部とを備え、

前記駆動部は、前記表示部の行方向の駆動及び列方向の駆動を行うドライバと、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、

前記表示部の前記複数の画素のそれぞれは、エレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備え、

前記表示部には、マトリクスの列方向に、前記各画素の前記エレクトロルミネッセンス素子のカソード電極に対してカソード電源を供給するための複数のカソード電源ラインが設けられ、

前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生して該画素に供給する検査用信号発生部と、前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出アンプと、前記電流検出アンプからのアナログ電流検出信号をデジタル信号に変換するアナログデジタル変換部と、を備え、

前記電流検出アンプは、マトリクス of 複数列に対して1つ対応して設けられ、前記カソード電源ラインに接続されており、ブランキング期間中に、前記ドライバによって所定の検査行の画素が選択され、かつ、該画素に、前記検査用信号として、そのエレクトロルミネッセンス素子を発光レベルとする検査用オン表示信号を供給した時の前記エレクトロルミネッセンス素子のカソード電流を、対応する前記カソード電源ラインを介して検出し、

前記アナログデジタル変換部は、前記電流検出アンプに対応し、前記複数列に対して1つ設けられた逐次比較型アナログデジタル変換部であり、前記電流検出アンプからの前記アナログ電流検出信号を基準信号と比較するコンパレータと、前記コンパレータからの比較信号を考慮して上位ビット側からデータ値を逐次変更してデジタルアナログ変換部に供給する逐次近似レジスタと、前記逐次近似レジスタからのデジタル信号をアナログ信号に変換し、前記コンパレータに基準信号として供給するためのデジタルアナログ変換部と、を備え、

前記デジタルアナログ変換部は、複数の前記アナログデジタル変換部で共用されていることを特徴とするエレクトロルミネッセンス表示装置。

【請求項2】

請求項1に記載のエレクトロルミネッセンス表示装置において、

前記検査用信号発生部は、前記ブランキング期間中、前記検査用信号として、前記検査用オン信号と、さらに前記エレクトロルミネッセンス素子を非発光レベルとする検査用オフ信号とを前記検査行の画素に対して供給し、

前記電流検出アンプは、前記カソード電源ラインから得られる前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、

前記アナログデジタル変換部は、前記電流検出アンプからの出力を対応するデジタルオンカソード電流検出信号、デジタルオフカソード電流検出信号に変換し、

減算部が前記デジタルオンカソード電流検出信号とデジタルオフカソード電流検出信号との差を求め、

前記補正部は、検出された前記オンカソード電流と前記オフカソード電流との電流差に応じた電流差信号を利用して補正を行うことを特徴とするエレクトロルミネッセンス表示装置。

【請求項3】

請求項1又は請求項2のいずれかに記載のエレクトロルミネッセンス表示装置において、

前記駆動部は、デジタル信号として処理され、表示内容に応じたデータ信号を前記表示部の各画素に対して供給されるアナログデータ信号に変換する表示データ用デジタルアナログ変換部を備え、該表示データ用デジタルアナログ変換部の抵抗ストリングは、前記逐次比較型アナログデジタル変換部の前記デジタルアナログ変換部の抵抗ストリングを共有することを特徴とするエレクトロルミネッセンス表示装置。

【請求項4】

請求項1～請求項3のいずれか一項に記載のエレクトロルミネッセンス表示装置において、

前記複数の画素のそれぞれは、さらに、前記素子駆動トランジスタのゲート電位を保持するための保持容量を備え、前記保持容量の第1電極は、前記素子駆動トランジスタのゲートに接続され、該保持容量の第2電極は、行毎に設けられた容量ラインに接続されており、

前記駆動部は、容量ライン制御部を備え、

該容量ライン制御部は、前記ブランキング期間における前記検査用信号の書き込み期間中に、前記検査行の容量ラインの電位を、前記素子駆動トランジスタのゲート電位を非動作とする第1電位とし、該ブランキング期間の終了までの前記データ信号の再書き込み期間中に、前記検査行の容量ラインの電位を、前記素子駆動トランジスタを動作可能とする第2電位とすることを特徴とするエレクトロルミネッセンス表示装置。

【請求項5】

請求項 4 に記載のエレクトロルミネッセンス表示装置において、

前記容量ライン制御部は、さらに、前記ブランキング期間、前記表示部の前記検査行以外の全行の容量ラインの電位を前記第 1 電位に固定することを特徴とするエレクトロルミネッセンス表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明は、エレクトロルミネッセンス表示装置であって、マトリクス配置された複数の画素を備える表示部と、映像信号に基づいて前記表示部の動作を制御するための駆動部とを備え、前記駆動部は、前記表示部の行方向の駆動及び列方向の駆動を行うドライバと、各画素での表示ばらつきを検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記表示部の前記複数の画素のそれぞれは、エレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備える。前記表示部には、マトリクスの列方向に、前記各画素の前記エレクトロルミネッセンス素子のカソード電極に対してカソード電源を供給するための複数のカソード電源ラインが設けられ、前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生して該画素に供給する検査用信号発生部と、前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出アンプと、前記電流検出アンプからのアナログ電流検出信号をデジタル信号に変換するアナログデジタル変換部と、を備える。前記電流検出アンプは、マトリクスの複数列に対して 1 つ対応して設けられ、前記カソード電源ラインに接続されており、ブランキング期間中に、前記ドライバによって所定の検査行の画素が選択され、かつ、該画素に、前記検査用信号として、そのエレクトロルミネッセンス素子を発光レベルとする検査用オン表示信号を供給した時の前記エレクトロルミネッセンス素子のカソード電流を、対応する前記カソード電源ラインを介して検出する。前記アナログデジタル変換部は、前記電流検出アンプに対応し、前記複数列に対して 1 つ設けられた逐次比較型アナログデジタル変換部であり、前記電流検出アンプからの前記アナログ電流検出信号を基準信号と比較するコンパレータと、前記コンパレータからの比較信号を考慮して上位ビット側からデータ値を逐次変更してデジタルアナログ変換部に供給する逐次近似レジスタと、前記逐次近似レジスタからのデジタル信号をアナログ信号に変換し、前記コンパレータに基準信号として供給するためのデジタルアナログ変換部と、を備え、前記デジタルアナログ変換部は、複数の前記アナログデジタル変換部で共用されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記駆動部は、デジタル信号として処理され、表示内容に応じたデータ信号を前記表示部の各画素に対して供給されるアナログデータ信号に変換する表示データ用デジタルアナログ変換部を備え、該表示データ用デジタルアナログ変換部の抵抗ストリングは、前記逐次比較型アナログデジタル変換部の前記デジタルアナログ変換部の抵抗ストリングを共有する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

## 【補正の内容】

## 【0045】

減算部332には、AD変換部380から得られるデジタル検出データが供給される。ここで、検査用信号としては、EL素子の発光を発光レベルとする検査用オン表示信号を供給することで、原理的に素子駆動Tr2のしきい値ばらつきに応じた表示ムラを検出することができる。しかし、検査用信号として、上記検査用オン表示信号と、さらにEL素子を非発光レベルとする検査用オフ表示信号とを検査行の画素に対して供給し、検査用オン表示信号の印加時のオンカソード電流及び前記検査用オフ表示信号印加時のオフカソード電流を検出し、その差  $I_{cv}$  を求めることで、検査の高速化及び検査の高精度化を図ることが可能となる。これは、オフカソード電流  $I_{cv_{off}}$  を測定し、この  $I_{cv_{off}}$  を基準としてオン表示信号の時のオンカソード電流  $I_{cv_{on}}$  を相対的に把握できるため、オンカソード電流  $I_{cv_{on}}$  の絶対値を正確に判断する必要や、別途基準となるオフカソード電流  $I_{cv_{off}}$  を測定する必要がないからである。つまり、オンカソード電流とオフカソード電流との差分（カソード電流差）を用いることで、上記電流検出アンプ370の特性ばらつきなどの影響をこのカソード電流差からキャンセルすることができ、また、オンカソード電流値の絶対値を判定するための基準値を必要としないためである。具体的には、 $V_{ref} + I_{cv_{on}} * R$  と、 $V_{ref} + I_{cv_{off}} * R$  をそれぞれ読み取り、AD変換部380でデジタル変換し、オンカソード電流及びオフカソード電流に対応して順次それぞれ得られるデジタル電流検出信号を減算部332にて引き算することで、最終的に  $(I_{cv_{on}} - I_{cv_{off}}) * R$  を求め、 $I_{cv} = I_{cv_{on}} - I_{cv_{off}}$  を得ることができる。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

## 【補正の内容】

## 【0052】

検査用オン表示信号の階調レベル  $[V_{sig_{on}}]$  を、例えば240 (0 ~ 255) に設定した場合、この階調レベル240、検査対象画素のオンオフカソード電流値  $[V(I_{cv})]$ 、基準のオンオフカソード電流値  $[V(I_{cv_{ref}})]$ 、定数の発光効率特性に基づいて、上記式(1)から各画素の基準に対する動作しきい値  $V_{th}(i)$  を求めることができる。例えば、A ~ Eの画素について、以下のようにそれぞれ基準からのしきい値  $V_{th}(i)$  が得られたとする。

$$V_{th}(A) = 0$$

$$V_{th}(B) = 13.4$$

$$V_{th}(C) = 17.0$$

$$V_{th}(D) = 3.2$$

$$V_{th}(E) = 20.7$$

上記例では、画素Eのしきい値  $V_{th}$  ずれが最大であり、各画素に同一階調レベルのデータ信号を供給すると、画素Eが表示部の中で最も低輝度で発光することとなる。一方で、各画素に供給できるデータ信号の最大値には限度がある。そこで、この  $V_{th}(i)_{max}$  の画素Eを基準にデータ信号の最大値  $V_{sig_{max}}$  を決定する。つまり、得られた各画素の  $V_{th}(i)$  の中から、最大値  $V_{th}(i)_{max}$  を求め、この  $V_{th}(i)_{max}$  に対する他の画素の  $V_{th}$  の差  $V_{th}(i)$  をそれぞれ得る。さらに、その画素に供給すべきデータ信号の最大値を  $V_{sig_{max}}(i)$  として、 $V_{sig_{max}}$  から得られた  $V_{th}(i)$  を減算することで求め  $[V_{sig_{max}} - V_{th}(i)]$ 、後述する式(2)の補正値を反映した初期補正データ  $RSFT(init)$  としてばらつき補正部250に供給する。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

## 【補正の内容】

## 【0057】

図5から理解できるように、素子駆動 $T_r 2$ の動作しきい値 $V_{th}$ にずれが生じた場合、このTFTの特性カーブの傾きは、正常なTFTの特性カーブの傾きとは異なる。したがって、図6に示したようにデータ信号を単純に $V_{th}$ のずれ分だけシフトするのみでは、正確な階調表現をすることができない。そこで、ばらつき補正部250では、上記式(2)等を用いて、傾き、つまり、上記式(2)の重み付けパラメータを考慮して実映像信号の値(輝度レベル)に応じて最適な補正を施し、正常なTFT特性に合ったカソード電流がEL素子に流れるように調整する。このような補正により、単純な $V_{th}$ のシフト補正だけの場合にTFT特性の傾きの違いに起因して生ずる低階調側の白うき(高階調側へのずれ)等を、確実に防止できる。

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/20	6 1 1 F
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 4 E
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 1 2 F
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

(72)発明者 小川 隆司

群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 CC45 EE03 GG56 HH04  
 5C080 AA06 BB06 CC03 DD04 DD05 DD08 DD15 DD23 DD25 DD28  
 EE02 EE28 EE29 FF11 FF13 GG12 HH09 JJ02 JJ03 JJ04  
 JJ05

专利名称(译)	电致发光显示装置		
公开(公告)号	<a href="#">JP2008250069A</a>	公开(公告)日	2008-10-16
申请号	JP2007092616	申请日	2007-03-30
[标]申请(专利权)人(译)	三洋电机株式会社 三洋半导体株式会社		
申请(专利权)人(译)	三洋电机株式会社 三洋半导体有限公司		
[标]发明人	松尾雄一 小川隆司		
发明人	松尾 雄一 小川 隆司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3291 G09G2310/0297 G09G2320/0233 G09G2320/0285 G09G2320/0295		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.642.P G09G3/20.623.N G09G3/20.612.T G09G3/20.624.B G09G3/20.641.D G09G3/20.622.D G09G3/20.623.D G09G3/20.623.F G09G3/20.611.F G09G3/20.623.C G09G3/20.624.E G09G3/20.624.D G09G3/20.612.F G09G3/20.641.P G09G3/20.650.M G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/GG56 3K107/HH04 5C080/AA06 5C080/BB06 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD08 5C080/DD15 5C080/DD23 5C080/DD25 5C080/DD28 5C080/EE02 5C080/EE28 5C080/EE29 5C080/FF11 5C080/FF13 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA22 5C380/BA39 5C380/BB03 5C380/BB04 5C380/BB11 5C380/BB21 5C380/BD03 5C380/BD04 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CA57 5C380/CB01 5C380/CB37 5C380/CC02 5C380/CC04 5C380/CC09 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF12 5C380/CF27 5C380/CF28 5C380/CF48 5C380/CF49 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA20 5C380/DA32 5C380/DA33 5C380/DA35 5C380/DA50 5C380/EA01 5C380/EA12 5C380/EA13 5C380/EA15 5C380/FA03 5C380/FA21 5C380/FA23 5C380/FA24 5C380/GA14		
代理人(译)	吉田健治 石田 纯		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过简单的配置实时校正EL显示设备的显示变化。在图像信号消隐周期中，用于控制提供给EL元件的驱动电流的元件驱动晶体管在其饱和区域中操作，并且当EL元件设置在发光电平时检测阴极电流。电流检测单元330具有电流检测放大器370和逐次逼近型A/D转换单元380，并且通过使用逐次逼近型AD转换单元380的DA转换单元386共同用于多个AD转换单元380，可以在保持足够的AD速度的同时执行电流检测和显示变化校正。点域7

