

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-317600  
(P2006-317600A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K	
	G09G 3/20 641D	
	G09G 3/20 611H	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 2 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2005-138447 (P2005-138447)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成17年5月11日 (2005.5.11)	(74) 代理人	100092336 弁理士 鈴木 晴敏
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5C080 AA06 BB05 DD01 DD05 DD26 EE28 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ05

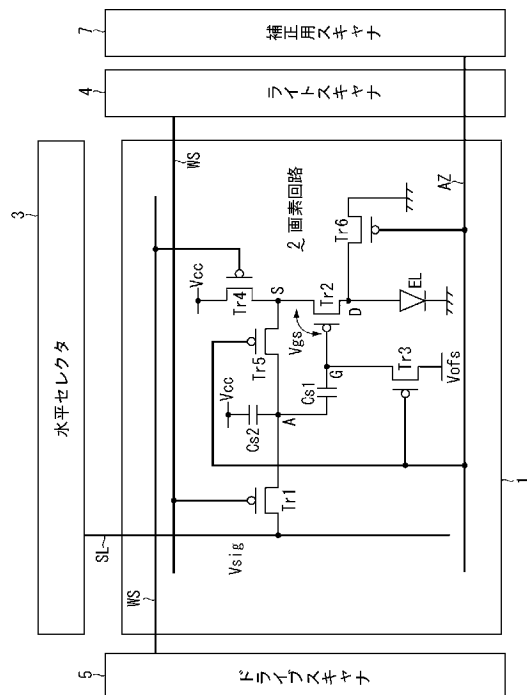
(54) 【発明の名称】 画素回路

(57) 【要約】

【課題】 閾電圧と移動度の影響を同時に補正してドライブトランジスタの出力電流のばらつきを補償する際、貫通電流を発光素子から遮断して不要な発光を抑制する。

【解決手段】 リセット期間で、補正用トランジスタTr5は容量部Cs1に通電してその電位をリセットする。検出期間で、トランジスタTr5は通電を遮断しドライブトランジスタTr2に過渡電流Irefが流れている間に、ドライブトランジスタTr2のソースSとゲートG間に現れる電位差を検出する。容量部Cs1は検出した電位差に応じた電位を保持する。それはドライブトランジスタTr2の出力電流に対する閾電圧の影響を減殺する分とキャリア移動度の影響を減殺する分の両方を含む。更にスイッチングトランジスタTr6を備えており、リセット期間中に導通し、容量部Cs1に通電するためにドライブトランジスタTr2に流れる貫通電流をバイパスして、発光素子ELの不要な発光を抑制する。

【選択図】 図11



**【特許請求の範囲】****【請求項 1】**

制御パルスを供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含み、

前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御パルスに応じ導通して信号線から供給された映像信号をサンプリングし、

前記容量部は、サンプリングされた映像信号に応じた入力電位を保持し、

前記ドライブトランジスタは、該容量部に保持された入力電位に応じて所定の発光期間に出力電流を供給し、該出力電流は該ドライブトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、

該出力電流のキャリア移動度及び閾電圧に対する依存性を両方同時に補正するための補正手段を備えており、

前記補正手段は該ドライブトランジスタ及び容量部に接続しており、該サンプリング期間に先行して設定された補正期間に動作し、該補正期間はリセット期間と検出期間に分かれており、

前記リセット期間で、該補正手段は該容量部に通電して該容量部が保持していた電位をリセットし、

前記検出期間で、該補正手段は該通電を遮断し該ドライブトランジスタに過渡電流が流れている間に、該ドライブトランジスタのソースとゲート間に現れる電位差を検出し、

前記容量部は該検出した電位差に応じた電位を保持し、該保持した電位は該ドライブトランジスタの出力電流に対する閾電圧の影響を減殺する分とキャリア移動度の影響を減殺する分の両方を含み、

更に、該ドライブトランジスタが該発光素子に接続する点と所定の接地電位との間に配されたスイッチングトランジスタを備えており、

前記スイッチングトランジスタは該リセット期間中に導通し、該リセット期間中該容量部に通電するために該ドライブトランジスタに流れる貫通電流をバイパスして、該発光素子の不要な発光を抑制することを特徴とする画素回路。

**【請求項 2】**

更に、該ドライブトランジスタと該発光素子との間に配された追加のスイッチングトランジスタを備えており、

前記追加のスイッチングトランジスタは該リセット期間中にオフして該発光素子を該ドライブトランジスタから切り離し、以って該ドライブトランジスタに流れる貫通電流を該発光素子から遮断して、該発光素子の不要な発光を防止することを特徴とする請求項 1 記載の画素回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。詳しくは、画素回路に含まれるドライブトランジスタの特性ばらつきを自己補正する回路構成に関する。さらに詳しくは、自己補正の際発光素子に瞬間的に流れる貫通電流を抑制する技術に関する。

**【背景技術】****【0002】**

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり有機 EL 素子は自発光素子である。その為

10

20

30

40

50

、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

#### 【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

10

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

#### 【0004】

従来の画素回路は、制御パルスを供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライフトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御パルスに応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電位を保持する。ドライフトランジスタは、容量部に保持された入力電位に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライフトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライフトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

20

#### 【0005】

ドライフトランジスタは、容量部に保持された入力電位をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライフトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電位によって制御される。従来の画素回路は、ドライフトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

30

#### 【0006】

ここでドライフトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots \text{式1}$$

このトランジスタ特性式1において、 $I_{ds}$ はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 $V_{gs}$ はソースを基準としてゲートに印加されるゲート印加電圧を表わしており、画素回路では上述した入力電位である。 $V_{th}$ はトランジスタの閾電圧である。又 $\mu$ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 $W$ はチャネル幅を表わし、 $L$ はチャネル長を表わし、 $C_{ox}$ はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 $V_{gs}$ が閾電圧 $V_{th}$ を超えて大きくなると、オン状態となってドレイン電流 $I_{ds}$ が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 $V_{gs}$ が一定であれば常に同じ量のドレイン電流 $I_{ds}$ が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの入力信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

40

50

## 【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 $V_{th}$ は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライフトランジスタの閾電圧 $V_{th}$ がばらつくと、ゲート印加電圧 $V_{gs}$ が一定であっても、ドレイン電流 $I_{ds}$ にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォームリティを損なう。従来からドライフトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

## 【0008】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォームリティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 $\mu$ も素子毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、移動度 $\mu$ がばらつくと、ゲート印加電圧 $V_{gs}$ が一定であってもドレイン電流 $I_{ds}$ にばらつきが出てしまう。この結果発光輝度が画素毎に変化する為、画面のユニフォームリティを損なうという課題がある。

## 【課題を解決するための手段】

## 【0009】

上述した従来技術の課題に鑑み、本発明は閾電圧と移動度の影響を両方同時に補正し、以ってドライフトランジスタが供給するドレイン電流(出力電流)のばらつきを補償可能な画素回路を提供する事を一般的な目的とする。特に補正動作を行う際、ドライフトランジスタに流れる貫通電流を発光素子から遮断して不要な発光を抑制する事を具体的な目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、制御パルスを供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライフトランジスタと発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に走査線から供給される制御パルスに応じ導通して信号線から供給された映像信号をサンプリングし、前記容量部は、サンプリングされた映像信号に応じた入力電位を保持し、前記ドライフトランジスタは、該容量部に保持された入力電位に応じて所定の発光期間に出力電流を供給し、該出力電流は該ドライフトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有し、前記発光素子は、該ドライフトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、該出力電流のキャリア移動度及び閾電圧に対する依存性を両方同時に補正するための補正手段を備えている。前記補正手段は該ドライフトランジスタ及び容量部に接続しており、該サンプリング期間に先行して設定された補正期間に動作する。該補正期間はリセット期間と検出期間に分かれている。前記リセット期間で、該補正手段は該容量部に通電して該容量部が保持していた電位をリセットする。前記検出期間で、該補正手段は該通電を遮断し該ドライフトランジスタに過渡電流が流れている間に、該ドライフトランジスタのソースとゲート間に現れる電位差を検出する。前記容量部は該検出した電位差に応じた電位を保持する。該保持した電位は該ドライフトランジスタの出力電流に対する閾電圧の影響を減殺する分とキャリア移動度の影響を減殺する分の両方を含む。更に本画素回路は、該ドライフトランジスタが該発光素子に接続する点と所定の接地電位との間に配されたスイッチングトランジスタを備えている。前記スイッチングトランジスタは該リセット期間中に導通し、該リセット期間中該容量部に通電するために該ドライフトランジスタに流れる貫通電流をバイパスして、該発光素子の不要な発光を抑制する。

## 【0010】

好ましくは、更に該ドライフトランジスタと該発光素子との間に配された追加のスイッチングトランジスタを備えており、前記追加のスイッチングトランジスタは該リセット期間中にオフして該発光素子を該ドライフトランジスタから切り離し、以って該ドライフトランジスタに流れる貫通電流を該発光素子から遮断して、該発光素子の不要な発光を防止

10

20

30

40

50

する。

【発明の効果】

【0011】

本発明によれば、画素回路は出力電流のキャリア移動度及び閾電圧に対する依存性を両方同時に補正している。すなわち、所定の検出期間で、ドライブトランジスタに検出用の過渡電流が流れている間に、ドライブトランジスタのソースとゲート間に現われる電位差を検出し、これを容量部にフィードバックしている。検出期間を従来に比べ短く設定している為、過渡電流が流れている状態で、ソース/ゲート間の電位差を検出できる。この結果、検出した電位差は、ドライブトランジスタの出力電流に対する閾電圧の影響を減殺する分に加え、キャリア移動度の影響を減殺する分を含む。従来のように、検出期間を長めに設定して過渡電流が消滅した状態でソース/ゲート間の電位差を検出すると、これには閾電圧の影響を減殺する分しか含まれない。電流が流れている状態で電位差を検出することで、キャリア移動度に関する情報も獲得することができる。この様に各画素毎閾電圧及び移動度の影響を排除できるので、画素アレイ全体から見ると画素毎の出力電流のばらつきを抑えることができる。特に、グレーから白表示時には出力電流の移動度に対する依存性が高い。本発明では、移動度による出力電流のばらつきを抑制することができるので、グレーから白表示時における画面のユニフォーミティを大幅に改善することができる。本発明は、基本的に従来の画素回路構成を維持しつつ、適切なタイミング制御を行なうことで、閾電圧及び移動度のばらつきを両方補正することができる。従って、画素回路の素子数を増加させることなく、出力電流のばらつきを抑制することが可能である。

10

20

【0012】

また本発明では、ドライブトランジスタに流れる過渡電流を安定して検出する為、検出期間に先立つリセット期間で容量部をリセットしている。このリセット動作により、ドライブトランジスタに瞬間的ではあるが貫通電流が流れる。なにも対策を施さずに貫通電流をそのまま発光素子に供給すると異常発光が生じる。グレーから白表示では目立たないが、黒表示ではこの異常発光が影響し、いわゆる「黒浮き」となって画面のコントラストを損なう。そこで本発明では、ドライブトランジスタが発光素子に接続する点と所定の接地電位との間にスイッチングトランジスタを配している。このスイッチングトランジスタはリセット期間中に導通し、ドライブトランジスタに流れる貫通電流をバイパスして、発光素子の不要な発光を抑制している。さらにドライブトランジスタと発光素子との間に追加のスイッチングトランジスタが挿入されている。この追加のスイッチングトランジスタはリセット期間中にオフして発光素子をドライブトランジスタから切り離し、貫通電流を発光素子から遮断し以って発光素子の不要な発光を防止している。かかる構成により、従来問題となっていた「黒浮き」を完全に防ぐ事ができる。

30

【発明を実施するための最良の形態】

【0013】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の概念を明らかにする為、図1を参照してアクティブマトリクス表示装置の基本的な構成を説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、本発明はこれに限られるものではない。各画素R、G、Bは夫々画素回路2で構成されている。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。尚、走査線WSと平行に別の走査線DS及びAZも配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZは補正用スキャナ7によって走査される。ライトスキャナ4、ドライブスキャナ5及び補正用スキャナ7はスキャナ部を構成しており、1水平期間毎画素の行を順次走査する。各画素回路2は走査線WSによって選択され

40

50

た時信号線 S L から映像信号をサンプリングする。更に走査線 D S によって選択された時、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子を駆動する。加えて画素回路 2 は走査線 A Z によって走査された時、あらかじめ決められた補正動作を行なう。

#### 【0014】

ライトスキャナ 4 は基本的にはシフトレジスタで構成されており、外部から供給された互いに反対極性のクロック信号 C K , C K X に応じて動作し、同じく外部から供給されたサンプリング用のスタートパルス W S S T を 1 水平期間毎に順次転送し、以って各行の画素の走査線 W S に順次サンプリング用の制御パルスを出力する。同様にドライブスキャナ 5 もシフトレジスタで構成されており、クロック信号 C K , C K X に応じてドライブ用のスタートパルス D S S T を 1 水平期間毎に順次転送し、以って画素の各行の走査線 D S に、ドライブ用の制御パルスを出力する。同様に補正用スキャナ 7 もシフトレジスタで構成されており、外部から供給された補正用のスタートパルス A Z S T をクロック信号 C K , C K X に同期して順次転送し、画素の各行に補正用の制御パルスを出力する。図示する様に、スキャナ部を構成するライトスキャナ 4、ドライブスキャナ 5 及び補正用スキャナ 7 には共通のクロック信号 C K , C K X が供給されており、スタートパルスのみ各スキャナの機能に応じて W S S T , D S S T , A Z S T と波形が異なっている。

10

#### 【0015】

上述した画素アレイ 1 は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路 2 はアモルファスシリコン薄膜トランジスタ ( T F T ) 又は低温ポリシリコン T F T で形成されている。アモルファスシリコン T F T の場合、スキャナ部はパネルとは別の T A B など構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコン T F T の場合、スキャナ部も同じ低温ポリシリコン T F T で形成できるので、フラットパネル上に画素アレイ部とスキャナ部を一体的に形成できる。いずれの場合であっても、上述した様に各スキャナ 4 , 5 , 7 に供給するクロックパルス C K , C K X は共通として、入力クロック数を削減するのが一般的である。

20

#### 【0016】

図 2 は、図 1 に示した画素アレイに含まれる画素回路の基本的な構成を示す回路図である。図示する様に、画素回路 2 は 5 個の薄膜トランジスタ T r 1 ~ T r 5 と 2 個の容量素子 C s 1 , C s 2 と 1 個の発光素子 E L とで構成されている。トランジスタ T r 1 ~ T r 5 は全て P チャネル型のポリシリコン T F T である。但し本発明はこれに限られるものではなく、N チャネル型のポリシリコン T F T を混在させてもよい。あるいは、N チャネル型のアモルファスシリコン T F T で画素回路を構成してもよい。2 個の容量素子 C s 1 と C s 2 は両者合わせて画素回路 2 の容量部を構成している。発光素子 E L は例えばアノード及びカソードを備えた 2 端子型の有機 E L 素子からなる。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

30

#### 【0017】

画素回路 2 の中心となるドライブトランジスタ T r 2 はゲート ( G ) が G 点に接続され、ソース ( S ) が S 点に接続され、ドレイン ( D ) が D 点に接続されている。発光素子 E L はアノードが D 点に接続され、カソードが接地されている。スイッチングトランジスタ T r 4 は電源電位 V c c と S 点との間に接続されており、発光素子 E L のオン / オフを制御する。トランジスタ T r 4 のゲートは走査線 D S に接続されている。

40

#### 【0018】

一方サンプリングトランジスタ T r 1 は信号線 S L と A 点との間に接続されている。サンプリングトランジスタ T r 1 のゲートは走査線 W S に接続している。A 点と S 点との間に検出トランジスタ T r 5 が接続されている。そのゲートは走査線 A Z に接続している。又スイッチングトランジスタ T r 3 は G 点と所定のオフセット電位 V o f s との間に接続されている。そのゲートは走査線 A Z に接続されている。尚、検出トランジスタ T r 5 とスイッチングトランジスタ T r 3 は V t h キャンセル用の補正手段を構成している。一方の容量素子 C s 1 は A 点と G 点との間に接続され、他方の容量素子 C s 2 は電源電位 V c

50

c と A 点との間に接続されている。

【0019】

ドライブトランジスタ  $T_{r2}$  はソース/ゲート間に印加されるゲート電圧  $V_{gs}$  に応じてソース/ドレイン間にドレイン電流  $I_{ds}$  を流し、これで発光素子  $E_L$  を駆動する。本明細書ではゲート電圧  $V_{gs}$  を入力電位とし、ドレイン電流  $I_{ds}$  を出力電流と定義している。信号線  $SL$  から供給される映像信号  $V_{sig}$  に応じてゲート電圧  $V_{gs}$  を設定し、これによりドレイン電流  $I_{ds}$  を流すことで、映像信号の階調に従って発光素子  $E_L$  の発光輝度を制御できる。

【0020】

ドライブトランジスタ  $T_{r2}$  の閾電圧  $V_{th}$  は画素毎に変動する。これをキャンセルする為あらかじめドライブトランジスタ  $T_{r2}$  の閾電圧  $V_{th}$  を検出し、容量素子  $C_{s1}$  に保持しておく。この後サンプリングトランジスタ  $T_{r1}$  をオンして容量素子  $C_{s2}$  に信号電位  $V_{sig}$  を書き込む。この様にして設定されたゲート電位  $V_{gs}$  により、ドライブトランジスタ  $T_{r2}$  を駆動する。

10

【0021】

図3は、図2に示した画素回路の動作説明に供するタイミングチャートである。時間軸  $T$  に沿って各走査線  $WS$ 、 $AZ$  及び  $DS$  に印加される制御パルスの波形を表わしてある。表記を簡略化する為、制御パルスも対応する走査線の符号と同じ符号で表わす。トランジスタは全てPチャンネル型なので、走査線がハイレベルの時オフし、ローレベルの時オンする。そこで表記を簡略化する為、制御パルスがハイレベルからローレベルに立ち下がる場合を「オン」と表わし、ローレベルからハイレベルに立ち上がる場合を「オフ」と呼ぶ。各制御パルス  $WS$ 、 $AZ$ 、 $DS$  の波形とともに、A点及びG点の電位変化も表わしてある。

20

【0022】

図示のタイミングチャートではタイミング  $T_1 \sim T_7$  までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が1回順次走査される。タイミングチャートは、1行分の画素に印加される各制御パルス  $WS$ 、 $AZ$ 、 $DS$  の波形を表わしてある。

【0023】

当該フィールドが始まる前のタイミング  $T_0$  で、制御パルス  $WS$  及び  $AZ$  はオフであるのに対し、制御パルス  $DS$  がオンしている。従ってサンプリングトランジスタ  $T_{r1}$ 、検出トランジスタ  $T_{r5}$  及びスイッチングトランジスタ  $T_{r3}$  がオフ状態であるのに対し、スイッチングトランジスタ  $T_{r4}$  のみがオン状態にある。この状態で、A点電位は信号電位  $V_{sig}$  にあり、G点電位は  $V_{sig}$  から  $V_{th}$  だけ下がった電位にある。この時S点はトランジスタ  $T_{r4}$  がオンしているので  $V_{cc}$  となっている。従ってトランジスタ  $T_{r2}$  のソースとゲートとの間には  $V_{th}$  を超える十分な電圧が印加されており、出力電流  $I_{ds}$  が発光素子  $E_L$  に供給されている。従ってタイミング  $T_0$  では発光素子  $E_L$  は発光状態にある。

30

【0024】

この後当該フィールドに入りタイミング  $T_1$  で制御パルス  $AZ$  がオンし、トランジスタ  $T_{r5}$  及び  $T_{r3}$  が導通する。この結果A点とS点が直接つながるので、A点電位は電源電位  $V_{cc}$  に急激に立ち上がる。一方トランジスタ  $T_{r3}$  がオンする為、G点電位は所定のオフセット電位  $V_{ofs}$  まで急激に立ち下がる。

40

【0025】

この直後タイミング  $T_2$  で制御パルス  $DS$  がオフになり、スイッチングトランジスタ  $T_{r4}$  が非導通状態となる。これによりS点が電源電位  $V_{cc}$  から切り離され、非発光状態に変わる。タイミング  $T_1$  からタイミング  $T_2$  までの期間  $T_1 - T_2$  で、A点電位が  $V_{cc}$  となりG点電位が  $V_{ofs}$  となって各容量素子  $C_{s1}$ 、 $C_{s2}$  の電位がリセットされる。このリセット動作は、次に続く検出動作を安定化する為の準備であって、本明細書では期間  $T_1 - T_2$  をリセット期間と呼ぶ。

【0026】

50

タイミングT2で制御パルスDSがオフするとS点がVccから切り離されるので、電源からの給電が遮断される一方容量素子Cs1の放電が始まり過渡電流がトランジスタTr5を通して流れ、A点電位がVccから低下していく。G点電位に対してA点電位がVthまで低下した時、過渡電流が流れなくなる。この結果A点とG点の電位差がVthとなり、これが容量素子Cs1に保持される。

【0027】

タイミングT3で制御パルスAZがオフし、トランジスタTr5及びTr3がオフして、容量素子Cs1のG点側がVofsから切り離されるとともに、A点側がS点から切り離される。タイミングT2～T3までの期間でVthを検出し且つCs1に保持するので、本明細書では期間T2-T3を特に検出期間と呼ぶ。この検出期間T2-T3はドライ  
10  
ブトランジスタに流れる過渡電流が0になる様十分な時間幅を取ってある。

【0028】

以上説明した様に、リセット期間T1-T2におけるリセット動作と検出期間T2-T3における検出動作とで閾電圧Vthの補正動作が行なわれる。そこでリセット期間と検出期間を合わせた期間T1-T3を本明細書では補正期間と呼ぶ。図3のタイミングチャートから明らかな様に、補正期間T1-T3は制御パルスAZによって規定される。一方、補正期間T1-T3内でリセット期間T1-T2と検出期間T2-T3を区分するのが制御パルスDSである。制御パルスDSは基本的にスイッチングトランジスタTr4のオン/オフを制御するパルスであり、従って非発光期間と発光期間を規定している。

【0029】

補正期間T1-T3が経過した後、タイミングT4で制御パルスWSがオンし、サンプリングトランジスタTr1が導通する。この結果、信号線SLから供給された映像信号Vsigが容量素子Cs2にサンプリングされる。これによりA点電位はVthから信号電位Vsigに上昇する。この上昇に連動してG点電位も差分Vthを維持したまま上昇する。タイミングチャートから明らかな様に、サンプリング後でもA点電位とG点電位の電位差はVthに維持されている。この後1水平期間が経過するタイミングT5で制御パルスWSはオフし、サンプリングトランジスタTr1が非導通状態となる。VsigをサンプリングしてCs2に保持するサンプリング動作は期間T4-T5で行なわれる為、これをサンプリング期間と呼ぶ。サンプリング期間T4-T5は1水平期間1Hに等しい。  
20

【0030】

この後タイミングT6で制御信号DSが再びオンし、スイッチングトランジスタTr4が導通する。この結果ドライブトランジスタTr2はS点電位とG点電位との差Vgsに  
30  
応じてドレイン電流Idsを発光素子ELに供給する。発光素子ELはこれによりVgsに応じた輝度で発光する。

【0031】

この後タイミングT7に至り当該フィールドが終了するとともに、次のフィールドに移行する。次のフィールドでは最初にリセット期間に入る。

【0032】

図3のタイミングチャートに基づいて、サンプリング期間T4-T5及びその後の発光期間における入力電位Vgsを求める。入力電位VgsはS点を基準にしたG点の電位である。サンプリング期間T4-T5の後の発光期間ではトランジスタTr4がオンしている為、S点電位は電源に接続されVccとなっている。一方A点電位は前述した様にVccよりもVsigだけ低い。更にG点電位はA点電位からVthだけ低い。従ってS点電位を基準にしたG点電位を表わすVgsはVcc-(Vsig-Vth)となる。前述のトランジスタ特性式1のVgsにここで求めたVcc-(Vsig-Vth)を代入すると、以下の特性式2が得られる。  
40

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{cc} - V_{sig})^2 \dots \text{式2}$$

上記特性式2では特性式1に含まれていたVthの項がキャンセルされ、Vcc-Vsigで置き換えられている。従って図2に示した画素回路2は、ドライブトランジスタTr2のVthに依存することなく、Vsigの値に応じた出力電流Idsを発光素子EL  
50

に供給することができる。従ってドライブトランジスタ  $T r 2$  の  $V t h$  が画素毎にばらついていても、画素アレイとしてはそのばらつきを取り除いた出力電流を各画素の発光素子  $E L$  に供給することができる。

#### 【0033】

図4は、特性式2をグラフ化したものであり、縦軸に出力電流  $I d s$  を取り、横軸に入力電位  $V c c - V s i g$  を取っている。合わせてグラフの傍に特性式2を再掲してある。特性式2から明らかな様に、ドライブトランジスタの  $V t h$  の項は消えている。しかしながら移動度  $\mu$  が残されている。この移動度  $\mu$  は  $V t h$  と同じくデバイス依存性があり、各画素毎にばらついている。従って、 $V t h$  をキャンセルしたのみでは出力電流  $I d s$  のばらつきは完全に抑えることはできない。グラフでは  $\mu$  の大きいトランジスタ特性を実線で表わし、 $\mu$  の小さなトランジスタ特性を点線で表わしている。グラフから明らかな様に、特性式の係数  $\mu$  が大きくなる程、特性カーブは急峻になっている。従って入力電位  $V c c - V s i g = V 0$  で一定であっても、移動度  $\mu$  のばらつきが画素間で生じる為、出力電流  $I d s$  は  $\mu$  に依存して変動し、画素間で輝度のばらつきが生じてしまう。特に  $V c c - V s i g$  がグレーから白表示の階調にある時移動度  $\mu$  に依存する輝度ばらつきが顕著となり、表示ムラが生じて解決すべき課題である。

10

#### 【0034】

図5は、閾電圧  $V t h$  の補正に加え、課題である移動度  $\mu$  の補正も可能にした画素回路の動作説明に供するタイミングチャートである。改良した画素回路の構成自体は図2に示した通りであるが、その制御シーケンスを改良して  $V t h$  に加え  $\mu$  のばらつきもキャンセル可能なようにしている。図3のタイミングチャートと同様に、図5のタイミングチャートも制御パルス  $W S$  ,  $A Z$  ,  $D S$  の波形変化と、A点電位及びG点電位の変化とを表している。理解を容易にするため改良した画素回路のA点電位を実線で表すと共に、これと比較するため図3で説明した画素回路のA点電位の変化を点線で表してある。

20

#### 【0035】

まず最初に点線で示した先の画素回路のA点電位の変化を再度説明する。初めにリセット期間  $T 1 - T 2$  でG点には  $V o f s$  が書き込まれる。又A点電位はソース電位と等しくなり  $V c c$  に達する。ここで所定の接地電位  $V o f s$  は全てのドライブトランジスタがオンする電圧設定 ( $V g s > V t h$  , すなわち  $V c c - V o f s > V t h$ ) とする。尚リセット期間  $T 1 - T 2$  では制御パルス  $D S$  と  $A Z$  が同時にオンしている。

30

#### 【0036】

次に検出期間  $T 2 - T 3$  に進むと、制御パルス  $D S$  がオフすることでドライブトランジスタ  $T r 2$  への電源供給が遮断され、A点電位は点線で示す様にドライブトランジスタ  $T r 2$  がカットオフするまで放電される。カットオフ後のA点電位は  $V o f s + V t h$  となり、 $V t h$  の検出並びに保持が行なわれる。その後制御パルス  $A Z$  がオフし(図3参照)制御パルス  $W S$  がオンすることで信号電圧  $V s i g$  が書き込まれ、G点電位は  $V s i g - V t h$  となる。この後発光期間には制御パルス  $D S$  がオンして、S点電位は  $V c c$  となる。依ってドライブトランジスタ  $T r 2$  に流れる出力電流  $I d s$  は前述した特性式2の様になり、 $V t h$  の項がキャンセルされ  $V t h$  ばらつきによるユニフォーミティの悪化を防ぐことができた。しかしながら、 $\mu$  のばらつきによるユニフォーミティの悪化は防げない。

40

#### 【0037】

そこで本改良例では図5のタイミングチャートに示す様に、制御パルス  $A Z$  によって規定される補正期間  $T 1 - T 3$  を大幅に短くすることで、 $V t h$  補正と同時に移動度  $\mu$  の補正を行なう様にしている。図5のタイミングチャートから明らかな様に、補正期間  $T 1 - T 3$  を短縮することで、検出期間  $T 2 - T 3$  も短くなる。この為ドライブトランジスタ  $T r 2$  はカットオフには到達せず、検出期間  $T 2 - T 3$  の終了時点におけるA点電位は、実線で示す様に  $V o f s + V t h + V a$  となり、前述したカットオフレベルよりも有限の電圧  $V a$  分だけ高くなる。その後は図3のタイミングチャートと同様にサンプリング期間  $T 4 - T 5$  を経て発光期間に至り発光素子への発光動作が行なわれる。

#### 【0038】

50

図5のタイミングチャートに基づいて、サンプリング期間T4 - T5及びその後の発光期間における入力電位Vgsを求める。入力電位VgsはS点を基準にしたG点の電位である。サンプリング期間T4 - T5の後の発光期間ではトランジスタTr4がオンしている為、S点電位は電源に接続されVccとなっている。一方A点電位は前述した様にVccよりもVsigだけ低い。更にG点電位はA点電位からVth + Vaだけ低い。従ってS点電位を基準にしたG点電位を表わすVgsはVcc - (Vsig - (Vth + Va))となる。前述のトランジスタ特性式1のVgsにここで求めたVcc - (Vsig - (Vth + Va))を代入すると、以下の特性式3が得られる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{cc} - V_{sig} + V_a)^2 \dots \text{式3}$$

前述した特性式2とこの特性式3を比較すれば明らかな様に、Vthは同じ様にキャンセルされているが電圧分Vaが加わっている。結果的に、特性式3は特性式2に比較しVa分が新たに加えられた形となっている。なお、特性式3では移動度補正を行う事でVa項により輝度が明るい側にオフセットする。従来発光期間は特性式2に示す出力電流状態であり、黒表示の条件はIdsがゼロとなるVsig = Vccであった。しかしながら、本発明では移動度補正を行う為にVth補正期間を短くしており、発光期間の出力電流は特性式3に示すようになる。これにより、従来黒表示条件Vsig = VccではVa項のみみ発光してしまう。そこで、本発明においても黒表示を完全に無発光とする為に、黒表示での信号電圧設定をVsig > Vccとする必要がある。

【0039】

特性式3に追加された項Vaは、ちょうど特性式3の係数部にある移動度μの寄与を減殺する方向に作用するので、本発明はVthに加えμのばらつきも抑制することが可能である。この点につき図6を参照して説明する。図6は検出期間における画素回路2の動作状態を示す回路図である。前述した様に検出期間ではサンプリングトランジスタTr1及びスイッチングトランジスタTr4がオフしている一方、検出トランジスタTr5及びスイッチングトランジスタTr3がオンしている。トランジスタTr4がオフしている為ドライブトランジスタTr2は電源から切り離されている一方、検出トランジスタTr5がオンしている為ドライブトランジスタTr2のゲートGとソースSとが容量素子Cs1を介して接続されている。この時ドライブトランジスタTr2に流れる過渡電流をIrefとする。変化するS点の電位をVs、ドライブトランジスタの係数をk = W/L · Coxとすると、検出期間に流れる過渡電流Irefは以下の特性式4の様に表わされる。

$$I_{ref} = (1/2) k \mu (V_s - V_{ofs} - V_{th})^2 \dots \text{式4}$$

尚、S点電位がVsであり、G点電位がVofsとなっている為、式4中Vs - VofsはVgsを表わしている。

【0040】

ここで図6のA点はS点と同電位である為、図5に示した検出期間T2 - T3におけるA点電位はVsで表わされる。従って図5のタイミングチャートから明らかな様に、VaはA点電位VsからVofsを引き更にVthを引いたものである。依ってVa = Vs - Vofs - Vthとなる。これは式4中のVs - Vofs - Vthと同じなので、この項をそっくりVaで置き換えることができる。従ってVaは以下の式5によって表わされる。

$$V_a = V_s - V_{ofs} - V_{th} = (2 I_{ref} / k \mu)^{1/2} \dots \text{式4}$$

【0041】

ここでVaを含んだ特性式3に戻り、このVaに式5を代入すると最終的に以下の特性式6が得られる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{cc} - V_{sig} + (2 I_{ref} / k \mu)^{1/2})^2 \dots \text{式6}$$

【0042】

図7は特性式6で表わされるドライブトランジスタの電流/電圧特性を示すグラフである。合わせてグラフの傍に特性式6を再掲してある。グラフは図4と対応させており、縦軸に出力電流Idsを取り横軸に入力電位Vcc - Vsigを取ってある。実線の特性力

10

20

30

40

50

ープは移動度  $\mu$  がばらつきの範囲で最大を取る場合であり、点線の特性格ープは移動度がばらつきの範囲内で最小を取る場合である。特性式 6 で表わされる特性格ープは、電圧項に含まれる  $V_a$  分だけ、横軸の負方向にシフトする。ここで  $V_a$  は移動度  $\mu$  を分母に含む為、移動度  $\mu$  が高いと  $V_a$  は小さく、移動度が低いと  $V_a$  は大きくなり、特性格ープのシフト量が異なる。このシフト量はちょうど移動度  $\mu$  の影響をキャンセルする方向に働く。図 7 のグラフに示す様に、移動度  $\mu$  の異なる  $I/V$  特性格ープはグレー表示領域において交差する。これにより図 4 に示した特性格ープに比べて、グレーから白表示領域において移動度  $\mu$  のばらつきに起因する出力電流の変動を抑制することができる。輝度にばらつきのないユニフォーミティに優れた有機 EL パネルを得ることができる。

#### 【0043】

以上の説明から明らかな様に閾電圧  $V_{th}$  と移動度  $\mu$  の両方を同時に補正する為、過渡電流がドライブトランジスタを流れている間にゲートとソースとの間に現われる電位を検出し且つ保持する必要がある。従って検出期間を適切な範囲で短く設定する必要がある。この為、画素回路の動作タイミングを制御する周辺のスキナ側に工夫が必要である。この点につき、以下説明する。まず図 1 に示した参考例であるが、これはスキナ部に対する入力クロック数を削減する為、ライトスキナ 4、ドライブスキナ 5 及び補正用スキナ 7 でクロック  $CK$ ,  $CKX$  を共用している。この為、画素回路 2 のタイミング制御の分解能がクロック  $CK$ ,  $CKX$  の半周期分より微細にすることは原理上できない。この限界がある為、図 1 に示した周辺スキナ部の構成は不適當である。

#### 【0044】

これに対し、図 8 に示した本改良例の表示装置は、全部のスキナに共通のクロック  $CK$ ,  $CKX$  を用いるのではなく、ライトスキナ 4 と補正用スキナ 7 とで別のクロックを用いている。図示する様に、ライトスキナ 4 にはドライブスキナ 5 と共通のクロック  $CK$ ,  $CKX$  が外部から供給される一方、補正用スキナ 7 には  $CK$ ,  $CKX$  とは別のクロック  $AZCK$ ,  $AZCKX$  が供給されている。このクロック  $CK$ ,  $CKX$  と別のクロック  $AZCK$ ,  $AZCKX$  は周期が同じで位相が異なっている。この位相が異なる為画素回路 2 の制御タイミングをクロックの半周期未満の分解能で微細に制御することが可能である。

#### 【0045】

図 9 は、図 1 に示したスキナ部の動作説明に供するタイミングチャートである。理解を容易にする為、このタイミングチャートは正論理で書かれており、各パルスの波形はハイレベルでオン、ローレベルでオフを表わしてある。前述した様に補正用スキナ 7 にはスタートパルス  $AZST$  が供給され、ドライブスキナ 5 には別のスタートパルス  $DSST$  が供給される。いずれのスキナにも共通のクロック  $CK$  が供給されている。このクロック  $CK$  の周期は  $2H$  に設定されている。補正用スキナ 7 はスタートパルス  $AZST$  をクロック  $CK$  のエッジでラッチし、順次転送して画素の行毎に補正用制御パルス  $AZ$  を出力する。タイミングチャートでは 1 番目の行に出力される制御パルス  $AZ1$  と 2 番目の行に出力される制御パルス  $AZ2$  を表わしてある。同様にドライブスキナ 5 はスタートパルス  $DSST$  をクロック  $CK$  に同期して順次転送し、ドライブ用制御パルス  $DS1$ ,  $DS2$  ... を出力する。例えば 1 番目の行に着目すると、補正期間が  $AZ1$  のパルス幅で規定される。補正期間に含まれるリセット期間と検出期間は、制御パルス  $DS1$  によって区切られる。この結果検出期間の時間幅は最低でも  $1H$  分となる。補正用スキナ 7 とドライブスキナ 5 で共通のクロック  $CK$  を使う限り、検出期間の時間幅を  $1H$  よりも短く制御することは原理的にできない。

#### 【0046】

$V_{th}$  と  $\mu$  の情報を両方含んだ有限の  $V_a$  を得る為には、検出期間を短く設定する必要がある。各パラメータにもよるが、移動度  $\mu$  のばらつき補正に最適な検出期間は数  $\mu s$  から  $20 \mu s$  程度である。一方でフィールド周波数や画素数にもよるが、一般的に  $1H$  期間の長さは  $20 \mu s \sim 50 \mu s$  である。つまり最適な移動度ばらつき補正を行なう為には、ほとんどのパネルにおいて検出期間を  $1H$  未満とする必要がある。この点、図 9 に示した

10

20

30

40

50

従来のタイミング制御では困難がある。同位相クロックC Kを用いた場合検出期間はクロックパルスの整数倍となり、その長さは最短でも1 Hである。パネルの周波数にもよるが1 H期間は20  $\mu$ s ~ 40  $\mu$ sであり、移動度ばらつきの補正には不十分である。

#### 【0047】

図10は、図8に示した本改良例に係る表示装置のスキマ部の動作説明に供するタイミングチャートである。理解を容易にする為図9に示したタイミングチャートと対応する部分には対応する参照符号を用いてある。異なる点は、補正用スキマ7に入力するクロックAZCKをドライブスキマ5に入力するクロックC Kから異ならせている点である。AZCKとC Kは周波数が同じで位相が だけ異なる。この位相 を変化させることで、補正用制御パルスAZ1とドライブ用制御パルスDS1のオーバーラップ部分を自由に可変させることができる。この結果検出期間を1 H未満に設定することができる様になり、十分な移動度ばらつき補正を実行することができる。但し、検出期間を短縮するとそのリセット期間が長くなる。リセット期間中ドライブトランジスタに貫通電流が流れ、これが発光素子E Lに供給される。発光素子E Lは貫通電流により異常発光し、画面に黒浮きが現われる。

10

#### 【0048】

前述の特性式6で表したように、出力電流I d sの移動度 $\mu$ に対する依存性は、補正項 $(2 I r e f / k \mu)^{1/2}$ によって補正される。特性式6の右辺に現れたこの移動度補正項は、I r e fの値が大きいほど $\mu$ のばらつき補正効果が大きくなる。そのため移動度ばらつき補正の効果を十分に得る為には、I r e fを大きくする必要がある。その為には、図5のタイミングチャートに示したリセット期間(T1 - T2)でドライブトランジスタTr2のゲート(G)・ソース(S)の電位差を大きくする必要がある。しかしながらV t h補正開始時のドライブトランジスタTr2のゲート(G)・ソース(S)間の電位差を大きく設定しようとする、リセット期間に大量の貫通電流がドライブトランジスタTr2を流れる。これをそのまま発光素子に供給すると黒浮きが発生するという問題がある。

20

#### 【0049】

上述した黒浮きの問題を解決したのが、図11に示した本発明の画素回路である。図11に示した本発明の画素回路は、基本的に図2に示した画素回路と類似している。異なる点は、ドライブトランジスタTr2が発光素子E Lに接続する点と所定の接地電位との間にスイッチングトランジスタTr6が配されている事である。このスイッチングトランジスタTr6のゲートは走査線AZに接続されており、補正用スキマ7によってオンオフが制御されるようになっている。このスイッチングトランジスタTr6はリセット期間中に導通し、リセット期間中容量部(Cs1, Cs2)に通電する為にドライブトランジスタTr2に流れる貫通電流をバイパスして、発光素子E Lの不要な発光を抑制している。

30

#### 【0050】

図11に示した画素回路の動作は、図5に示したタイミングチャートの通りである。ここでは特に、図5に示したリセット期間(T1 - T2)で行われるリセット動作を、図12に基づいて詳細に説明する。図12は、図11に示した画素回路において、リセット期間(T1 - T2)における各トランジスタのオン/オフ状態を模式的に表している。リセット期間(T1 - T2)では、制御パルスWSがハイレベルにある一方、制御パルスAZ, DSがローレベルである。したがって図12に示すように、サンプリングトランジスタTr1がオフ状態にある一方、残りのトランジスタTr3, Tr4, Tr5, Tr6が全てオン状態にある。この時ドライブトランジスタTr2のゲート電圧V g sはV c c - V o f sで与えられるが、前述した様にこのV g sは移動度補正効果を高めるため大きく設定されている。したがってドライブトランジスタTr2はオン状態にあり、大きな貫通電流(ドレイン電流)I d sが、電源電位V c cからスイッチングトランジスタTr4を介してドライブトランジスタTr2を流れる。このまま何ら対策を施さないと、大きな過渡電流I d sが発光素子E Lに流れ込み、異常発光を生じる。そこで本発明では、有機E L素子などからなる発光素子E Lのアノード電位を、スイッチングトランジスタTr6を介

40

50

して所定の接地電位（例えばカソード電位）に接続している。前述したように、このスイッチングトランジスタ  $T r 6$  は走査線  $A Z$  に接続している。したがって貫通電流  $I d s$  が流れるリセット期間ではスイッチングトランジスタ  $T r 6$  がオン状態になる。この際、スイッチングトランジスタ  $T r 6$  のオン抵抗を発光素子  $E L$  の内部抵抗よりも低く設定することで、貫通電流  $I d s$  をトランジスタ  $T r 6$  側にバイパスする事ができる。これにより、リセット期間中に大量の貫通電流  $I d s$  が発光素子  $E L$  に流れる事を抑制できる。この様にリセット期間における異常発光を抑える事で黒浮きを抑制する事ができる。

#### 【 0 0 5 1 】

図 1 3 は、図 1 1 に示した本発明にかかる画素回路の発展例を示す回路図である。基本的に図 1 3 で示した画素回路は、図 1 1 に示した先の画素回路と類似の構成を有するが、異なる点は追加のスイッチングトランジスタ  $T r 7$  がドライブトランジスタ  $T r 2$  と発光素子  $E L$  との間に挿入されている事である。この追加されたスイッチングトランジスタ  $T r 7$  のゲートは制御線  $A Z$  を介して補正用スキャナ 7 に接続されている。追加されたスイッチングトランジスタ  $T r 7$  は、リセット期間中にオフして発光素子  $E L$  をドライブトランジスタ  $T r 2$  から切り離し、以ってドライブトランジスタ  $T r 2$  に流れる貫通電流を発光素子  $E L$  から遮断して、発光素子  $E L$  の不要な発光を完全に防止している。図から明らかのように、スイッチングトランジスタ  $T r 6$  が P チャネル型である一方、スイッチングトランジスタ  $T r 7$  は N チャネル型である。したがって一対のトランジスタ  $T r 6$  ,  $T r 7$  は相補的に動作し、制御パルス  $A Z$  に応じて一方のスイッチングトランジスタ  $T r 6$  がオンになると、同時に他方のスイッチングトランジスタ  $T r 7$  がオフする。

10

20

#### 【 0 0 5 2 】

図 1 4 は、図 1 3 に示した画素回路の動作説明に供する模式図である。具体的には、リセット期間における各トランジスタ  $T r$  の開閉状態を表している。前述したように、リセット期間ではサンプリングトランジスタ  $T r 1$  とスイッチングトランジスタ  $T r 7$  がオフしている一方、残りのトランジスタ  $T r 3$  ,  $T r 4$  ,  $T r 5$  ,  $T r 6$  はオンしている。またドライブトランジスタ  $T r 2$  もオン状態にあり、貫通電流  $I d s$  が流れる。前述したように貫通電流  $I d s$  は大部分がスイッチングトランジスタ  $T r 6$  によってバイパスされ、接地電位に流れていく。しかしこのままでは貫通電流  $I d s$  の一部が発光素子  $E L$  にも流れる事になる。そこで本発展例では、ドライブトランジスタ  $T r 2$  と発光素子  $E L$  の間にスイッチングトランジスタ  $T r 7$  を追加し、これをリセット期間中に限りオフしている。これにより、バイパス用のスイッチングトランジスタ  $T r 6$  のサイズによる事なく、発光素子  $E L$  に対する貫通電流  $I d s$  の流入を完全に遮断する事ができる。バイパス用のトランジスタ  $T r 6$  のサイズを大きく取る必要がなくなり、回路設計上の自由度が増す。

30

#### 【 0 0 5 3 】

図 2 に示した画素回路は全てのトランジスタが P チャネル型の薄膜トランジスタで構成されている。一般に画素回路はこれに限られるものではなく、N チャネル型のトランジスタを用いることもできる。図 1 5 は、画素回路の他の参考例を表わしている。理解を容易にする為、図 2 に示した画素回路と対応する部分には対応する参照符号を用いてある。図示する様に本画素回路 2 は 5 個のトランジスタ  $T r 1 \sim T r 5$  と 2 個の容量素子  $C s 1$  ,  $C s 2$  と 1 個の発光素子  $E L$  とで構成されている。5 個のトランジスタのうち、ドライブトランジスタ  $T r 2$  のみが P チャネル型であり、残りのサンプリングトランジスタ  $T r 1$  、スイッチングトランジスタ  $T r 3$  、スイッチングトランジスタ  $T r 4$  、検出トランジスタ  $T r 5$  は全て N チャネル型である。ここで容量素子  $C s 1$  と  $C s 2$  が容量部を構成している。又検出トランジスタ  $T r 5$  とスイッチングトランジスタ  $T r 3$  が補正手段を構成している。

40

#### 【 0 0 5 4 】

ドライブトランジスタ  $T r 2$  のソース ( S 点 ) は電源電位  $V c c$  に接続し、ドレイン ( D 点 ) はスイッチングトランジスタ  $T r 4$  を介して発光素子  $E L$  のアノードに接続している。ドライブトランジスタ  $T r 2$  のゲート ( G 点 ) は検出トランジスタ  $T r 5$  を介して D 点に接続している。

50

## 【 0 0 5 5 】

一方サンプリングトランジスタ  $T r 1$  は信号線  $S L$  と  $A$  点との間に接続されている。  $A$  点と電源電位  $V c c$  との間に容量素子  $C s 2$  が接続されている。又  $A$  点と  $G$  点との間に容量素子  $C s 1$  が接続されている。スイッチングトランジスタ  $T r 3$  は  $A$  点と所定のオフセット電位  $V o f s$  との間に接続されている。

## 【 0 0 5 6 】

一方周辺のスキャナ部は、ライトスキャナ 4 とドライブスキャナ 5 と補正用スキャナ 7 とを含んでいる。ライトスキャナ 4 は走査線  $W S$  を介してサンプリングトランジスタ  $T r 1$  をオンオフ制御する。ドライブスキャナ 5 は走査線  $D S$  を介してスイッチングトランジスタ  $T r 4$  をオンオフ制御する。補正用スキャナ 7 は走査線  $A Z$  を介して検出トランジスタ  $T r 5$  及びスイッチングトランジスタ  $T r 3$  をオンオフ制御する。これらライトスキャナ 4、ドライブスキャナ 5 及び補正用スキャナ 7 の制御シーケンスを適切に設定することで、検出時間を短縮化でき、ドライブトランジスタ  $T r 2$  の  $V t h$  に加え  $\mu$  も同時に補正できる。

10

## 【 0 0 5 7 】

図 1 6 は、図 1 5 に示した画素回路の動作説明に供するタイミングチャートである。時間軸  $T$  に沿って、制御パルス  $W S$ 、 $A Z$ 、 $D S$  のレベル変化を表すと共に、ドライブトランジスタ  $T r 2$  のゲート電位と発光素子  $E L$  のアノード電位の変化を表してある。まずタイミング  $T 1$  で、制御パルス  $A Z$  がローレベルからハイレベルに立ち上がる一方、制御パルス  $D S$  は引き続きハイレベルに維持されている。この結果、サンプリングトランジスタ  $T r 1$  がオフ状態にある一方、残りのトランジスタ  $T r 3$ 、 $T r 4$ 、 $T r 5$  はオン状態にある。トランジスタ  $T r 5$  がオンする事でドライブトランジスタ  $T r 2$  のゲート電位 ( $G$ ) が急激に低下する。これによりドライブトランジスタ  $T r 2$  のゲート電圧  $V g s$  の絶対値が大きくなり、過渡電流  $I d s$  が発光素子  $E L$  に流れる。この結果発光素子  $E L$  のアノード電位は急激に上昇する。このとき流れる貫通電流によって容量素子  $C s 1$ 、 $C s 2$  の電位がリセットされる。

20

## 【 0 0 5 8 】

続いてタイミング  $T 2$  になると制御パルス  $D S$  がローレベルに切り替わり、スイッチングトランジスタ  $T r 4$  がオフになる。今までドライブトランジスタ  $T r 2$  に流れていた電流  $I d s$  は容量素子  $C s 1$  を充電する方向に流れ、ドライブトランジスタ  $T r 2$  のゲート電位が上昇する。

30

## 【 0 0 5 9 】

予め設定されたタイミング  $T 3$  に至ると制御パルス  $A Z$  がローレベルに切り替わり、スイッチングトランジスタ  $T r 3$  及び  $T r 5$  がオフする。スイッチングトランジスタ  $T r 5$  がオフすることで、保持容量  $C s 1$  に保持されたゲート電位が固定される。この結果、電源電位  $V c c$  とゲート電位との間に電位差  $V t h + V a$  が生じる。  $V t h$  はドライブトランジスタ  $T r 2$  の閾電圧補正分であり、これに移動度  $\mu$  の補正分  $V a$  が追加されている。

## 【 0 0 6 0 】

この様にして検出期間  $T 2 - T 3$  が終わると、タイミング  $T 4$  で制御パルス  $W S$  が立ち上がり、サンプリングトランジスタ  $T r 1$  がオンして映像信号をサンプリングし容量部 ( $C s 1 + C s 2$ ) に書き込む。本例では映像信号がたまたま黒レベルである為、ドライブトランジスタ  $T r 2$  のゲート電位は変化していない。したがってドライブトランジスタ  $T r 2$  のゲート電圧  $V g s$  は  $V t h + V a$  に保たれ、出力電流は 0 レベルに止まっている。したがって基本的には画面は黒表示になるはずであるが、前述したようにリセット期間  $T 1 - T 2$  に過渡電流が流れる為、その分発光素子  $E L$  が発光し、黒浮きの原因となる。

40

## 【 0 0 6 1 】

図 1 7 は、図 1 5 に示した画素回路の動作説明に供する模式図であり、リセット期間における各トランジスタの開閉状態を模式的に表してある。前述したようにリセット期間  $T 1 - T 2$  では、サンプリングトランジスタ  $T r 1$  がオフしている一方、残りのトランジスタ  $T r 3$ 、 $T r 4$ 、 $T r 5$  がオンしており且つドライブトランジスタ  $T r 2$  もオン状態で

50

ある。このため貫通電流  $I_{ds}$  が発光素子  $E_L$  を流れる。本画素回路においても移動度  $\mu$  のばらつき補正の効果を上げる為には貫通電流  $I_{ds}$  を大きくする必要がある。その為、電源電位  $V_{cc}$  と発光素子  $E_L$  のカソード電位との間の差を拡大する必要がある。この様にすると貫通電流  $I_{ds}$  が増大するので、黒浮きの問題が顕著になる。

#### 【0062】

図18はこの様な問題を解決する為に考案された画素回路であり、図15に示した画素回路の改良例に相当している。基本的に図18の画素回路は図15の画素回路と同様である。異なる点はドライブトランジスタ  $Tr_2$  のドレイン  $D$  と所定の接地電位  $V_{ss}$  との間にスイッチングトランジスタ  $Tr_6$  が配されている事である。このスイッチングトランジスタ  $Tr_6$  のゲートは制御線  $AZ_2$  を介して第二補正用スキャナ  $7_2$  に接続されている。一方スイッチングトランジスタ  $Tr_3$  及び  $Tr_5$  のゲートは走査線  $AZ_1$  を介して第一補正用スキャナ  $7_1$  に接続されている。本画素回路は、トランジスタ  $Tr_6$  をトランジスタ  $Tr_3$  ,  $Tr_5$  と別のタイミングで制御する必要がある為、補正用スキャナを2つに分けて、第一補正用スキャナ  $7_1$  及び第二補正用スキャナ  $7_2$  としている。スイッチングトランジスタ  $Tr_3$  及び  $Tr_5$  は第一補正用スキャナ  $7_1$  で制御する一方、スイッチングトランジスタ  $Tr_6$  は第二補正用スキャナ  $7_2$  で制御する。なお、所定の接地電位  $V_{ss}$  は発光素子  $E_L$  のカソード電位と同等もしくはそれ以下に設定する事が望ましい。

10

#### 【0063】

図19は、図18に示した画素回路の動作説明に供するタイミングチャートである。まずタイミング  $T_0$  で制御パルス  $DS$  が立ち下がり、スイッチングトランジスタ  $Tr_4$  がオフする。これにより発光素子  $E_L$  がドライブトランジスタ  $Tr_2$  から切り離され、非発光期間に入る。

20

#### 【0064】

続いてタイミング  $T_1$  に進むと制御パルス  $AZ_1$  及び  $AZ_2$  が同時に立ち上がり、スイッチングトランジスタ  $Tr_3$  ,  $Tr_5$  ,  $Tr_6$  がオンする。  $Tr_5$  がオンする結果ドライブトランジスタ  $Tr_2$  のゲート電圧  $V_{gs}$  の絶対値が大きくなり、出力電流  $I_{ds}$  が流れる。これにより容量部  $Cs_1$  ,  $Cs_2$  がリセットされる。またドレイン電流  $I_{ds}$  はトランジスタ  $Tr_4$  がオフしているため発光素子  $E_L$  には流れずバイパス用のスイッチングトランジスタ  $Tr_6$  に流れる。したがって発光素子  $E_L$  に異常発光をもたらすような貫通電流は流れない。

30

#### 【0065】

続いてタイミング  $T_2$  になると制御パルス  $AZ_2$  が立ち下がり、スイッチングトランジスタ  $Tr_6$  がオフする。この時点で過渡電流が容量部  $Cs_1$  ,  $Cs_2$  に流れ込み、ドライブトランジスタ  $Tr_2$  のゲート電位が上昇する。

#### 【0066】

続いてタイミング  $T_3$  で制御パルス  $AZ_1$  が立ち下がりスイッチングトランジスタ  $Tr_3$  及び  $Tr_5$  がオフする。この時点でドライブトランジスタ  $Tr_2$  のゲート電位が固定され、所定の検出動作が完了する。この検出期間  $T_2 - T_3$  で、ドライブトランジスタ  $Tr_2$  のゲート電位には、閾電圧のキャンセルに必要な電位  $V_{th}$  と移動度  $\mu$  のばらつき補正に必要な電圧  $V_a$  が書き込まれる。

40

#### 【0067】

この後タイミング  $T_4$  に至ると制御パルス  $WS$  が立ち上がり、サンプリングトランジスタ  $Tr_1$  がオンする。これにより映像信号がサンプリングされ容量部  $Cs_1$  ,  $Cs_2$  を介してドライブトランジスタ  $Tr_2$  のゲートに書き込まれる。図示の例では映像信号が黒レベルである為、ゲート電位に変動がなく、ゲート電圧  $V_{gs}$  は  $V_{th} + V_a$  に保たれている。

#### 【0068】

続いてタイミング  $T_5$  で制御パルス  $WS$  が立ち下がり、サンプリング期間  $T_4 - T_5$  が終了する。

#### 【0069】

50

この後タイミングT6に進むと制御パルスDSが立ち上がり、オン状態となってドライブトランジスタTr2と発光素子ELを直結し発光期間に入る。但し図示の例では映像信号が黒レベルである為、実際には発光用の出力電流は流れない。またリセット期間T1 - T2においても貫通電流が発光素子ELに流れない為、黒浮きは生じない。

#### 【0070】

最後に図20は、図18に示した画素回路の動作説明に供する模式図である。図20は、リセット期間における各トランジスタの開閉状態を表している。前述したように、リセット期間ではサンプリングトランジスタTr1及びスイッチングトランジスタTr4がオフしている一方、スイッチングトランジスタTr3, Tr5, Tr6がオンしている。同時にドライブトランジスタTr2もオン状態にある。したがってドライブトランジスタTr2にはドレイン電流Idsが流れるが、全てサンプリングトランジスタTr6側にバイパスされ、発光素子ELには流れない。したがって黒浮きを防止する事ができる。

10

#### 【0071】

以上説明した様に、本発明に係る表示装置は、基本的に画素アレイ部1とスキャナ部と信号部とで構成されている。画素アレイ部1は、行状に配された走査線WS, DS, AZと列状に配された信号線SLと両者が交差する部分に配された行列状の画素回路2とからなる。信号部は水平セクタ3からなり、信号線DSに映像信号Vsigを供給する。スキャナ部は、各走査線WS, DS, AZに制御パルスを供給して順次行毎に画素回路2を走査する。

#### 【0072】

各画素回路2は、少なくともサンプリングトランジスタTr1と容量部Cs1, Cs2とドライブトランジスタTr2と発光素子ELとを含む。サンプリングトランジスタTr1は、所定のサンプリング期間に走査線WSから供給されるサンプリング用制御パルスに応じ導通して信号線SLから供給された映像信号Vsigをサンプリングする。容量部Cs1, Cs2は、サンプリングされた映像信号Vsigに応じた入力電位Vgsを保持する。ドライブトランジスタTr2は、容量部Cs1, Cs2に保持された入力電位Vgsに応じて所定の発光期間に出力電流Idsを供給する。この出力電流Idsは特性式1で示す様にドライブトランジスタTr2のチャンネル領域のキャリア移動度 $\mu$ 及び閾電圧Vthに対して依存性を有する。発光素子ELは、ドライブトランジスタTr2から供給された出力電流Idsにより映像信号Vsigに応じた輝度で発光する。

20

30

#### 【0073】

画素回路2は、出力電流Idsのキャリア移動度 $\mu$ 及び閾電圧Vthに対する依存性を両方同時に補正する為の補正手段を備えている。この補正手段は検出トランジスタTr5とスイッチングトランジスタTr3とで構成されている。尚画素回路2はこの他にトランジスタTr4を有し、発光素子ELの発光期間と非発光期間を切換制御している。この補正手段(Tr5, Tr3)は、ドライブトランジスタTr2及び容量部(Cs1, Cs2)に接続しており、サンプリング期間T4 - T5に先行して設定された補正期間T1 - T3に動作する。補正期間T1 - T3はリセット期間T1 - T2と検出期間T2 - T3とに分かれている。リセット期間T1 - T2で、補正手段(Tr5, Tr3)は容量部(Cs1, Cs2)に通電して容量部が保持していた電位を一旦リセットする。続く検出期間T2 - T3で、補正手段(Tr5, Tr3)は通電を遮断し、ドライブトランジスタTr2に過渡電流Irefが流れている間に、ドライブトランジスタTr2のソース(S点)とゲート(G点)間に現われる電位差を検出する。容量部(Cs1, Cs2)は検出した電位差に応じた電位Vth + Vaを保持する。保持した電位Vth + Vaは、ドライブトランジスタTr2の出力電流Idsに対する閾電圧Vthの影響を減殺する分とキャリア移動度 $\mu$ の影響を減殺する分Vaの両方を含む。

40

#### 【0074】

特徴事項として画素回路2は、ドライブトランジスタTr2が発光素子ELに接続する点と所定の接地電位との間に配されたスイッチングトランジスタTr6を備えている。このスイッチングトランジスタTr6はリセット期間T1 - T2中に導通し、リセット期間

50

T1 - T2 中容量部 Cs1, Cs2 に通電する為にドライブトランジスタ Tr2 に流れる貫通電流 Ids をバイパスして、発光素子 EL の不要な発光を抑制する。場合により、画素回路 2 は更にドライブトランジスタ Tr2 と発光素子 EL との間に配された追加のスイッチングトランジスタ Tr7 を備えている。この追加のスイッチングトランジスタ Tr7 は、リセット期間 T1 - T2 中にオフして発光素子 EL をドライブトランジスタ Tr2 から切り離し、以ってドライブトランジスタ Tr2 に流れる貫通電流 Ids を発光素子 EL から遮断して、発光素子 EL の不要な発光を防止する。

【図面の簡単な説明】

【0075】

【図1】本発明にかかる表示装置の元となる基本構成を示すブロック図である。 10

【図2】図1に示した表示装置に含まれる画素回路の構成を示す回路図である。

【図3】図2に示した画素回路の動作説明に供する参考タイミングチャートである。

【図4】ドライブトランジスタの入力電圧 / 出力電流特性を示すグラフである。

【図5】図2に示した画素回路の改良例の動作説明に供するタイミングチャートである。

【図6】図2に示した画素回路の改良例に従った動作説明に供する回路図である。

【図7】本発明に従ったドライブトランジスタの入力電圧 / 出力電流特性を示すグラフである。

【図8】本発明にかかる表示装置の実施形態を示すグラフである。

【図9】図1に示した表示装置の動作説明に供するタイミングチャートである。

【図10】図8に示した表示装置の動作説明に供するタイミングチャートである。 20

【図11】本発明にかかる画素回路の実施形態を示す回路図である。

【図12】図11に示した画素回路の動作説明に供する模式図である。

【図13】本発明にかかる画素回路の他の実施形態を示す回路図である。

【図14】図13に示した画素回路の動作説明に供する模式図である。

【図15】画素回路の他の参考例を示す回路図である。

【図16】図15に示した画素回路の動作説明に供するタイミングチャートである。

【図17】図15に示した画素回路の動作説明に供する模式図である。

【図18】本発明にかかる画素回路の別の実施形態であり且つ図15に示した参考例の改良に相当する画素回路を示す回路図である

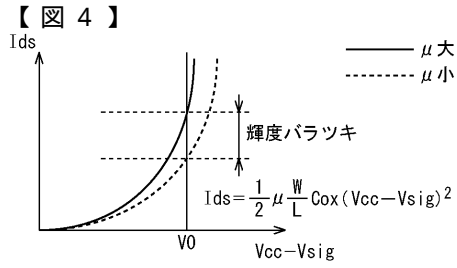
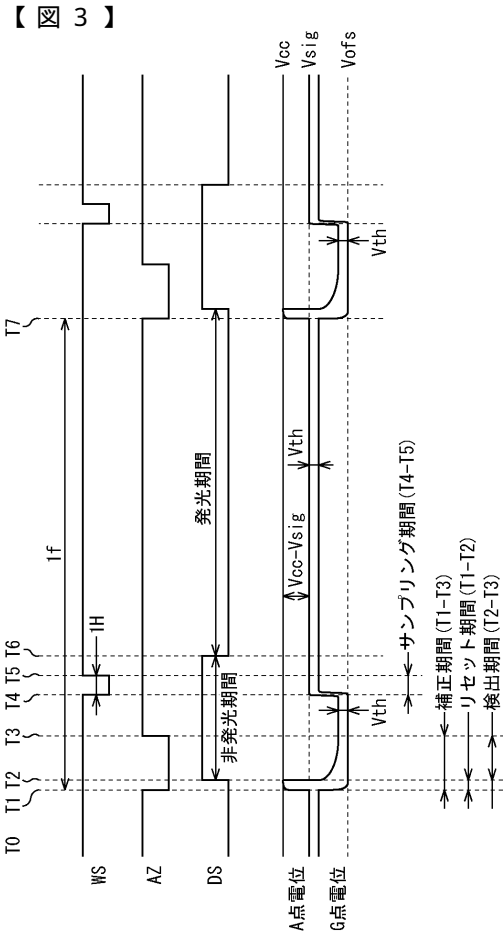
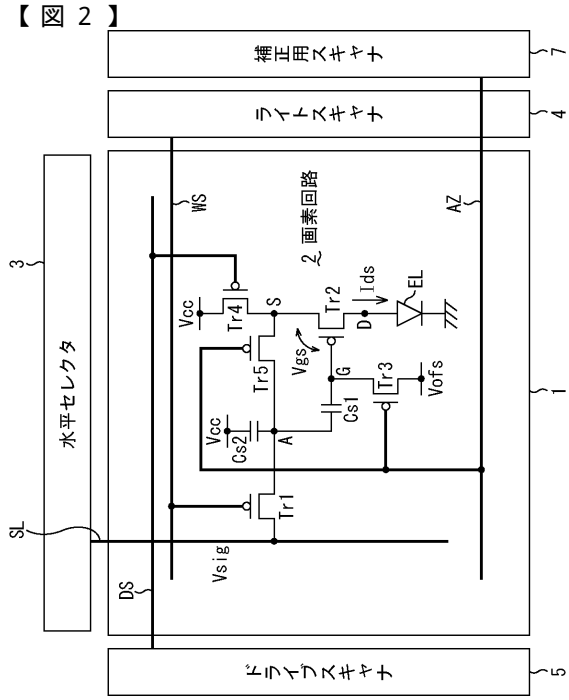
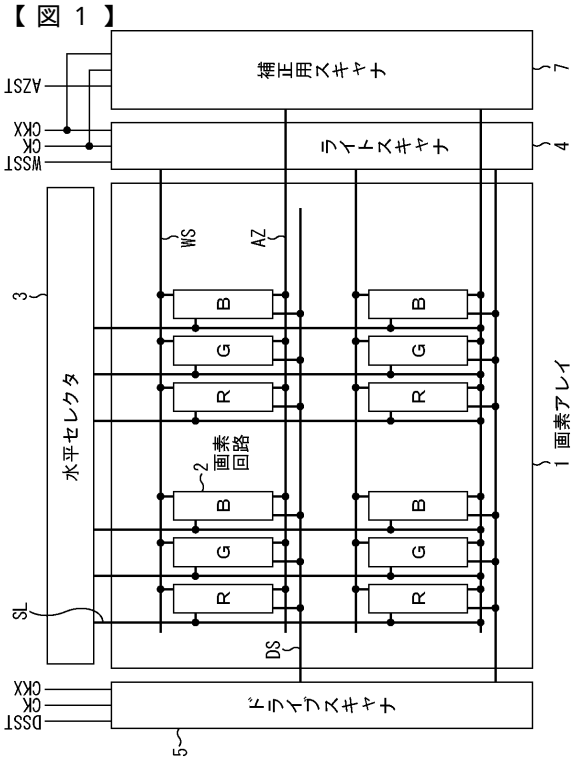
【図19】図18に示した画素回路の動作説明に供するタイミングチャートである。 30

【図20】図18に示した画素回路の動作説明に供する模式図である。

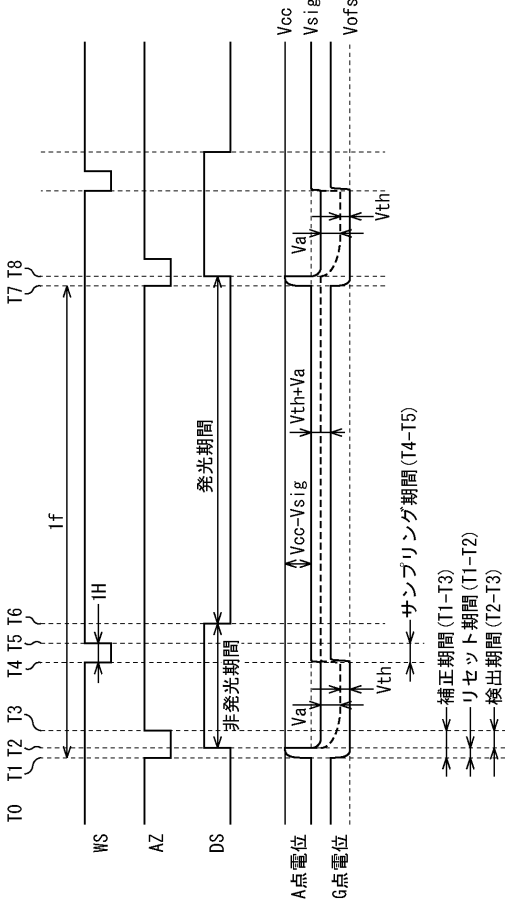
【符号の説明】

【0076】

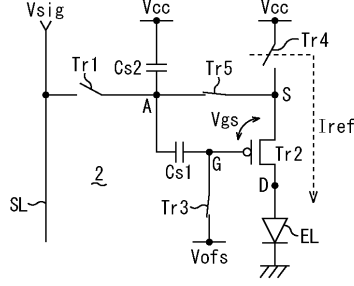
1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、7・・・補正用スキャナ、Tr1・・・サンプリングトランジスタ、Tr2・・・ドライブトランジスタ、Tr3・・・スイッチングトランジスタ、Tr4・・・スイッチングトランジスタ、Tr5・・・検出トランジスタ、Tr6・・・スイッチングトランジスタ、Tr7・・・スイッチングトランジスタ、EL・・・発光素子、Cs1・・・容量素子、Cs・・・2容量素子



【図5】



【図6】

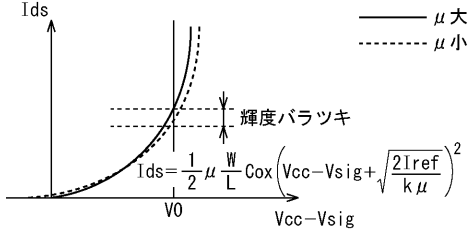


$$I_{ref} = \frac{1}{2} k \mu (V_s - V_{ofs} - |V_{th}|)^2 \quad \text{式4}$$

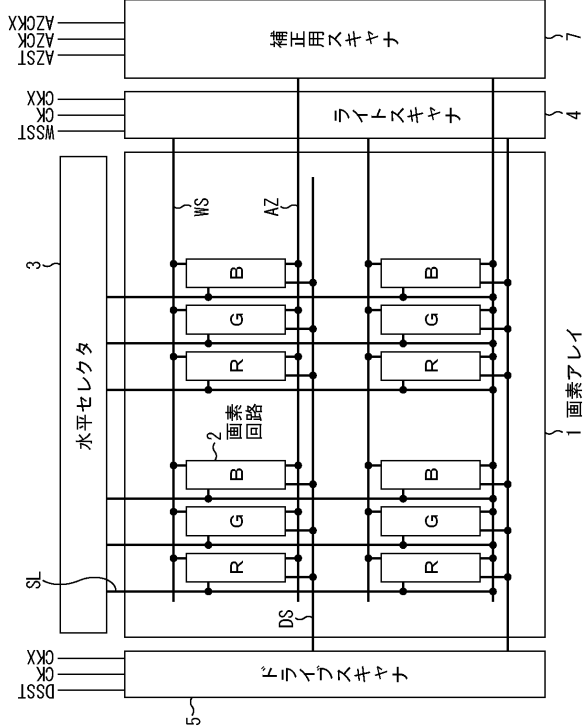
$$V_a = V_s - V_{ofs} - |V_{th}| = \sqrt{\frac{2I_{ref}}{k\mu}} \quad \text{式5}$$

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} \left( V_{cc} - V_{sig} + \sqrt{\frac{2I_{ref}}{k\mu}} \right)^2 \quad \text{式6}$$

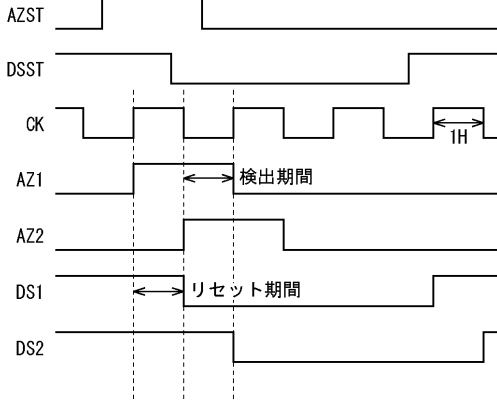
【図7】



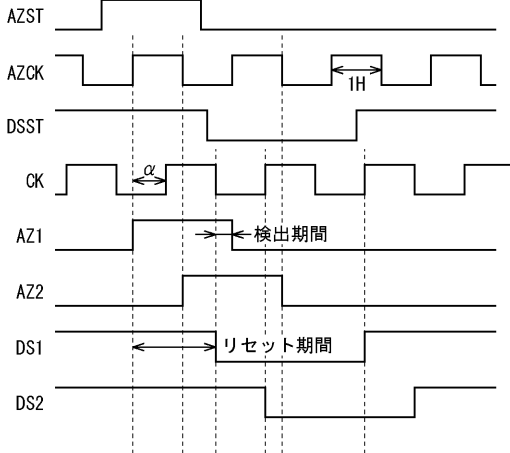
【図8】



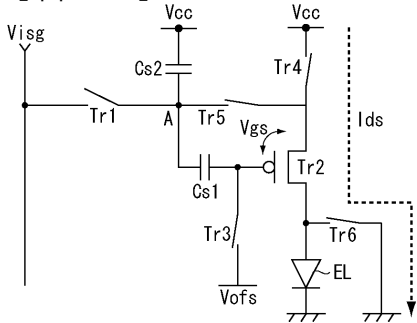
【図9】



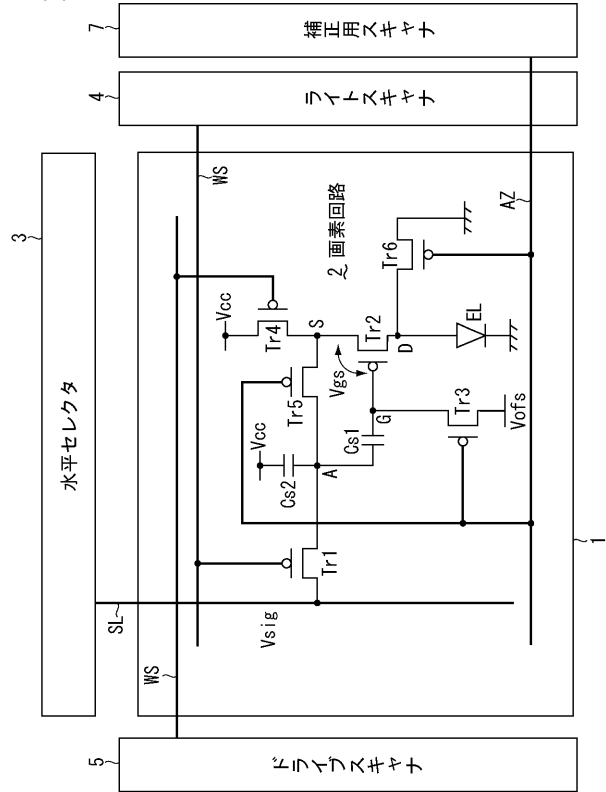
【図10】



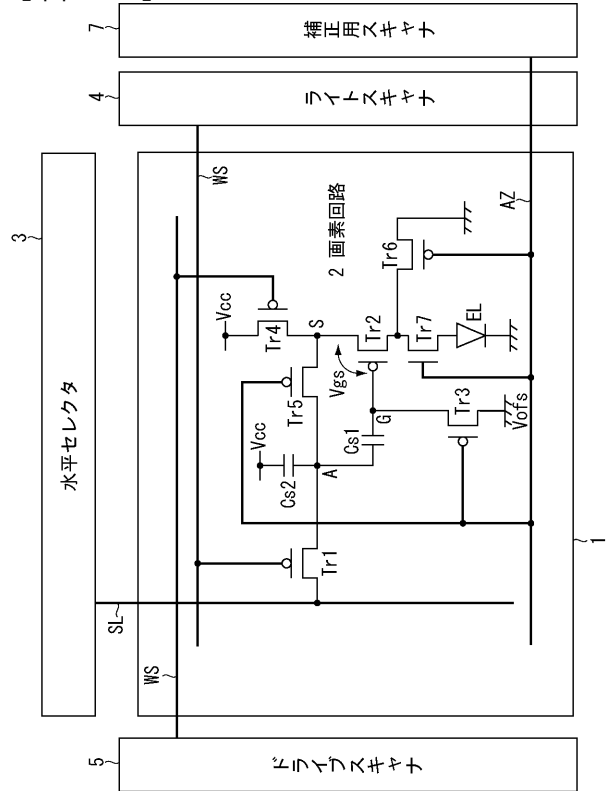
【図12】



【図11】

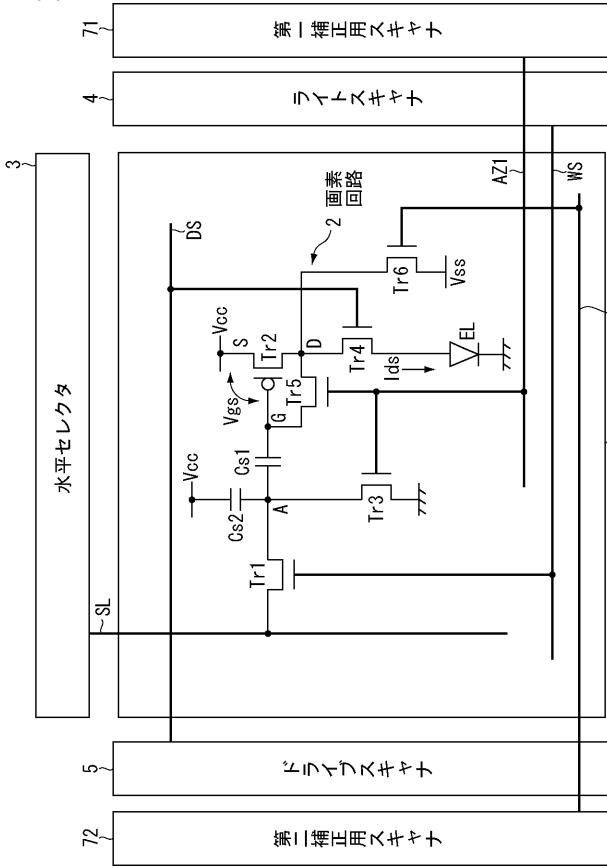


【図13】

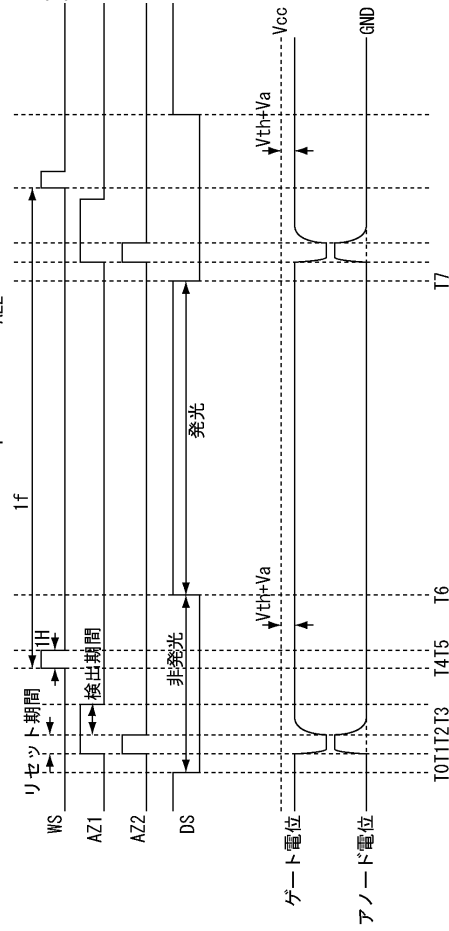




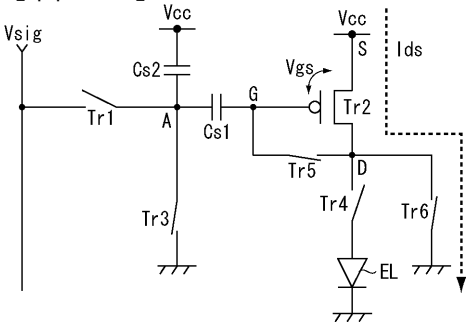
【図 18】



【図 19】



【図 20】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 2 1 A

专利名称(译)	画素回路		
公开(公告)号	<a href="#">JP2006317600A</a>	公开(公告)日	2006-11-24
申请号	JP2005138447	申请日	2005-05-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.621.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD05 5C080/DD26 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB23 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CD025 5C380/CD026 5C380/CD027 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA47		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

甲在通过电流从发光元件阻断补偿在受影响的同时校正所述抑制不必要的光发射的驱动晶体管的阈值电压和迁移率的输出电流的变化。在复位周期中，校正晶体管Tr5将电流传导到电容器Cs1以重置其电位。在检测期间，晶体管Tr5的之间的驱动晶体管Tr2断电暂态电流Iref流过，检测到的电位差出现的源极S和驱动晶体管Tr2的栅极G之间。电容部分Cs1保持与检测到的电位差对应的电位。它包含偏移抵消驱动晶体管Tr2的输出电流的阈值电压的影响的部分和载流子迁移的影响的部分两者。还包括开关晶体管Tr6的，在复位周期期间进行的，以绕过电流流过驱动晶体管Tr2，以激励电容器部CS1，抑制发光元件EL的不必要的发光。The 11

