

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-11095

(P2006-11095A)

(43) 公開日 平成18年1月12日(2006.1.12)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 612E	5C080
HO1L 51/50 (2006.01)	G09G 3/20 621M	
	G09G 3/20 622A	
	G09G 3/20 623A	

審査請求 未請求 請求項の数 12 O L (全 16 頁) 最終頁に続く

(21) 出願番号	特願2004-188835 (P2004-188835)	(71) 出願人	000006633 京セラ株式会社 京都府京都市伏見区竹田鳥羽殿町6番地
(22) 出願日	平成16年6月25日 (2004.6.25)	(71) 出願人	599142729 奇美電子股▲ふん▼有限公司 台湾台南県台南科学工業園区新市郷奇業路1号
		(74) 代理人	100089118 弁理士 酒井 宏明
		(72) 発明者	小野 晋也 神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内
		(72) 発明者	小林 芳直 神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内

最終頁に続く

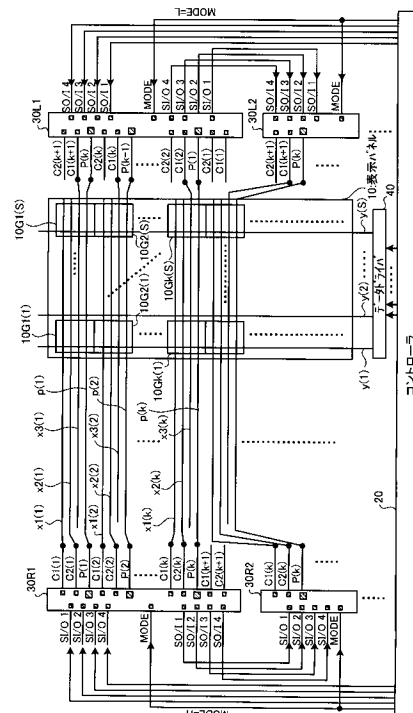
(54) 【発明の名称】 表示パネル用ドライバ手段および画像表示装置

(57) 【要約】

【課題】輝度ムラの発生を防止、省スペース化を図ること。

【解決手段】有機EL素子を有する画素回路10G1(1)~10Gk(s)がマトリクス状に配設された表示パネル10と、画素回路10G1(1)~10Gk(s)にそれぞれ接続され、電源供給用および発光制御用の信号が伝送される電源線p(1)、電源線p(2)、・・・と、画素回路10G1(1)~10Gk(s)にそれぞれ接続され、発光制御用の信号が伝送される第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)、・・・と、表示パネル10を挟んで両側に設けられ、電源線p(1)、電源線p(2)、・・・に双方接続されかつ第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)、・・・に分担接続された一対のゲートドライバ30R1およびゲートドライバ30L1とを備えている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

発光素子を有する表示パネルを駆動するための表示パネル用ドライバ手段において、前記発光素子の発光制御用の制御信号が伝送される制御線に電氣的に接続される制御用パッドと、

前記発光素子に電源を供給するための電源線に電氣的に接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、

前記制御用パッドと前記電源用パッドとが混在して列状に配列されており、且つ、前記制御用パッドと前記電源用パッドとの配列順序がパッドの配列方向に対称であること、

を特徴とする表示パネル用ドライバ手段。

10

【請求項 2】

前記制御用パッドと前記電源用パッドとの配列位置がパッドの配列方向に対称であることを特徴とする請求項 1 に記載の表示パネル用ドライバ手段。

【請求項 3】

発光素子を有する表示パネルを駆動するための表示パネル用ドライバ手段において、前記発光素子の発光制御用の制御信号が伝送される制御線に電氣的に接続される制御用パッドと、

該制御用パッドと同一形状を有する予備制御用パッドと、

前記発光素子に電源を供給するための電源線に電氣的に接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、

前記制御用パッド、前記予備制御用パッド、前記電源用パッドが混在して列状に配列されており、且つ、前記制御用パッドと前記予備制御用パッドとを同種のパッドとみなしたときに、これらの制御用パッドと前記電源用パッドとの配列順序がパッドの配列方向に関して対称であることを特徴とする表示パネル用ドライバ手段。

20

【請求項 4】

前記制御用パッドと前記予備制御用パッドとを同種のパッドとみなしたときに、これらの制御用パッドと前記電源用パッドとの配列位置がパッドの配列方向に対称であることを特徴とする請求項 3 に記載の表示パネル用ドライバ手段。

【請求項 5】

前記制御用パッドの数は、前記電源用パッドの数以上であることを特徴とする請求項 1 乃至請求項 4 のいずれか一つに記載の表示パネル用ドライバ手段。

30

【請求項 6】

前記制御用パッド及び前記予備制御用パッドは、各パッドに対応するフリップフロップ回路を有し、該フリップフロップ回路が直列的に接続されていることを特徴とする請求項 3 乃至請求項 5 のいずれか一つに記載の表示パネル用ドライバ手段。

【請求項 7】

電流注入により発光する発光素子を有する複数の画素回路がマトリクス状に配設された表示パネルと、

前記複数の画素回路にそれぞれ接続され、電源供給用および発光制御用の電源制御信号が伝送される電源線と、

前記複数の画素回路にそれぞれ接続され、発光制御用の制御信号が伝送される複数の制御線と、

前記表示パネルを挟んで両側に設けられ、前記電源線に双方接続されかつ前記複数の制御線に分担して接続され、前記電源制御信号および前記制御信号により前記複数の画素回路を駆動する一対のドライバ手段と、

を備えたことを特徴とする画像表示装置。

40

【請求項 8】

前記一対のドライバ手段は、請求項 1 乃至請求項 6 のいずれかに記載の表示パネル用ドライバ手段であることを特徴とする請求項 7 に記載の画像表示装置。

【請求項 9】

50

前記発光制御用の制御信号にはセレクト信号、リセット信号のいずれかが含まれることを特徴とする請求項 7 または請求項 8 に記載の画像表示装置。

【請求項 10】

前記電源線は、複数設けられており、前記一对のドライバ手段は、複数の電源線に双方接続されていることを特徴とする請求項 7 乃至請求項 9 のいずれか一つに記載の画像表示装置。

【請求項 11】

前記一对のドライバ手段は、回路デザインが同一であることを特徴とする請求項 7 乃至請求項 10 のいずれか一つに記載の画像表示装置。

【請求項 12】

前記発光素子は、有機 EL 素子であることを特徴とする請求項 7 乃至請求項 11 のいずれか一つに記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、有機 EL (Electronic Luminescent) 素子を用いた表示パネル用ドライバ手段および画像表示装置に関するものであり、特に、輝度ムラの発生を防ぎ、省スペース化を図ることができる表示パネル用ドライバ手段および画像表示装置に関するものである。

【背景技術】

【0002】

モバイルコンピューティングが盛んになるにつれて、平面型の表示装置に対する需要が増してきている。平面型の表示装置としては、従来、液晶表示装置が一般に用いられている。しかしながら、液晶表示装置には、視野角が狭い、応答特性が悪いといった問題がある。

【0003】

これに対して、視野角が広く、しかも応答特性がよい平面型の画像表示装置として、近年、有機 EL 素子を用いた画像表示装置が注目されている。この有機 EL 素子は、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有している。

【0004】

かかる画像表示装置は、例えば、行列状に配置された複数の画素回路と、複数の画素回路に対して、複数の信号線を介して後述する輝度信号を供給する信号線駆動回路と、画素回路に対して、複数の走査線を介して輝度信号を供給する画素回路を選択するための走査信号を供給する走査線駆動回路とを備える。

【0005】

図 8 は、従来の画像表示装置の構成を示すブロック図である。同図に示した画像表示装置は、有機 EL パネル 1、コントローラ 2、ゲートドライバ 3、ドレインドライバ 4 およびコモンドライバ 5 から構成されている。有機 EL パネル 1 における画素回路は、図中の等価回路図に示したように、有機 EL 素子 6 と、駆動用トランジスタ 7 と、選択用トランジスタ 8 と、キャパシタ C p とから構成されており、マトリクス状に配設されている。

【0006】

有機 EL 素子 6 は、閾値以上の電圧がアノード - カソード間に印加されることによって発光する発光素子である。有機 EL 素子 6 のアノード - カソード間に閾値以上の電圧が印加されると、有機 EL 層に電流が流れ、有機 EL 素子 6 は、発光する。有機 EL 素子 6 のアノードは、有機 EL パネル 1 の行 (図の横方向) 毎に設けられた共通線 C L に接続されている。

【0007】

駆動用トランジスタ 7 は、n チャンネルの T F T (薄膜トランジスタ) から構成される。駆動用トランジスタ 7 のゲートは、選択用トランジスタ 8 のソースに接続されている。また、駆動用トランジスタ 7 のドレインは、有機 EL 素子 6 のカソード電極に接続されてい

10

20

30

40

50

る。また、駆動用トランジスタ7のソースは、接地(0V)されている。

【0008】

この駆動用トランジスタ7は、有機EL素子6に供給する電力をオン・オフするスイッチとして使用される。駆動用トランジスタ7のゲートは、後述するドレインドライバ4から供給された駆動信号を保持する。

【0009】

駆動用トランジスタ7は、後述するコモンドライバ5から有機EL素子6にコモン信号が印加されたとき、オン抵抗が有機EL素子6の抵抗より十分小さくなり(例えば、10分の1以下)、オフ抵抗が有機EL素子6の抵抗より十分に大きくなる(例えば、10倍以上)特性を有している。このため、駆動用トランジスタ7がオンしているときは、コモンドライバ5から出力された電圧のほとんどが有機EL素子6に分圧され、駆動用トランジスタ7の特性のばらつきに関わらず、有機EL素子6はほぼ同じ光量の光を発する。

10

【0010】

一方、駆動用トランジスタ7がオフしているときは、コモンドライバ5から出力された電圧のほとんどが駆動用トランジスタ7のソースドレイン間に分圧され、有機EL素子6に閾値以上の電圧が印加されず、有機EL素子6は発光しない。

【0011】

選択用トランジスタ8は、nチャンネルのTFTから構成される。選択用トランジスタ8のゲートは有機ELパネル1の行(図の横方向)毎に設けられたゲート線GLに、ドレインは有機ELパネル1の列(図の縦方向)毎に設けられたドレイン線DLに接続されている。また、ソースは駆動用トランジスタ7のゲートに接続されている。選択用トランジスタ8は、後述するドレインドライバ4からの駆動信号の駆動用トランジスタ7のゲートへの供給をオン・オフするスイッチとして用いられる。

20

【0012】

キャパシタCpは、後述するドレインドライバ4から供給された駆動信号を少なくとも1サブフィールド期間保持する。キャパシタCpが保持する駆動信号は、駆動用トランジスタ7をオン・オフするために用いられ、キャパシタCpと駆動用トランジスタ7とで有機EL素子6を発光させるためのスイッチを形成する。

【0013】

ゲートドライバ3は、コントローラ2から供給されるゲート制御信号GCONTに従って、選択信号X1~Xnを出力する。選択信号X1~Xnは、同一タイミングではいずれか1つのみがアクティブとなり、有機ELパネル1のいずれかのゲート線GLを選択する。これにより、選択されたゲート線GLに接続された選択用トランジスタ8のゲートに選択信号X1~Xnが印加され、選択用トランジスタ8がオンする。

30

【0014】

ドレインドライバ4は、シフトレジスタ、ラッチ回路およびレベル変換回路から構成されている。シフトレジスタは、コントローラ2から供給されるドレイン制御信号DCONT中のスタート信号によって最初のビットに1(ハイレベルの信号)がセットされ、ドレイン制御信号DCONT中のシフト信号が供給される毎にビットシフトしていく。

【0015】

ラッチ回路は、シフトレジスタのビット数と対応する個数のラッチ回路から構成され、シフトレジスタの1となっているビットに対応するラッチ回路に、コントローラ2から供給された発光信号IMGをラッチする。ラッチ回路に1サブフィールド中の1行分の発光信号IMGがラッチされると、ドレイン制御信号DCONT中の切替信号に従って、次段のラッチ回路にその発光信号IMGがラッチされる。そして、ラッチ回路は、次の行の発光信号IMGをラッチする。

40

【0016】

レベル変換回路は、ドレイン制御信号DCONT中のアウトプットイネーブル信号に基づいてラッチ回路にラッチされた発光信号IMGに応じて所定の電圧レベルの駆動信号Y1~Ynを有機ELパネル1のドレイン線DLに出力する。レベル変換回路から出力される

50

駆動信号 Y1~Ynは、駆動用トランジスタ7のゲートに蓄積され、駆動用トランジスタ7をオンさせる。

【0017】

コモンドライバ5は、コントローラ2から供給されたコモン制御信号CCONTに基づいて、有機EL素子6のアノード電極に印加されるコモン信号Z1~Znを発生する。これらのコモン信号Z1~Znは、オン・オフの2値であり、コモン線CLを介して行毎の有機EL素子6のアノード電極に印加される。この印加されるオン電圧は有機EL素子6の閾値電圧より十分に大きい。

【0018】

ここで、コモン信号Z1~Znは、有機EL素子6へ供給する電源電圧であり、上述した選択信号X1~Xnや駆動信号Y1~Ynよりも電圧レベルが高い。従って、電圧レベルで線を判別した場合、コモン線CLが電源線であるのに対して、ゲート線GLおよびドレイン線DLは、制御線であるといえることができる。

10

【0019】

そして、駆動用トランジスタ7がオンされているときは有機EL素子6のアノード電極とカソード電極の間に有機EL素子6の発光輝度が飽和する電圧が印加される。一方、駆動用トランジスタ7がオフされているときに有機EL素子6のアノード電極とカソード電極の間に印加される電圧は、コモン信号Z1~Znの電圧のほとんどが駆動用トランジスタ7に分圧されるので、有機EL素子6の閾値電圧よりも小さいものとなる。

【0020】

20

ここで、ゲートドライバ3、ドレインドライバ4およびコモンドライバ5のそれぞれには、ゲート線GL、ドレイン線DL、コモン線CLに対応させて複数のパッド(端子に相当)が設けられている。各パッドは、対応するゲート線GL、ドレイン線DL、コモン線CLに電氣的に接続されている。

【0021】

また、電源線としてのコモン線CLには、制御線としてのゲート線GLやドレイン線DLに比して大電流が流れる。このことより、コモンドライバ5のパッド(電源線が接続される)は、大電流の影響を低減するために、ゲートドライバ3やドレインドライバ4のパッド(制御線が接続される)よりも面積を大きくする必要がある。

【0022】

30

【特許文献1】特開平10-333641号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

ところで、従来の画像表示装置では、有機ELパネル1が大型化するにしたがって、コモン線CL、ゲート線GL、ドレイン線DL等の各配線が長くなり、配線抵抗が大きくなる。特に、電源線としてのコモン線CLの場合には、コモン信号Z1~Znの電圧レベルが高いため、制御線としてのゲート線GLやドレイン線DLに比して、電圧降下も大きくなる。従って、従来の画像表示装置では、コモンドライバ5からのコモン線CLの長さ(電圧降下)の相違により、各有機EL素子6へ供給される電圧(コモン信号の電圧レベル)のバラツキが大きくなり、輝度ムラが生じるという問題があった。

40

【0024】

すなわち、コモンドライバ5に近い有機EL素子6の場合には、コモンドライバ5から有機EL素子6までのコモン線CLが短いため、電圧降下が小さく、所定の電圧が供給され、発光時に所定の輝度が得られる。これに対して、コモンドライバ5から遠い有機EL素子6の場合には、コモンドライバ5から有機EL素子6までのコモン線CLが長いため、電圧降下が大きく、低い電圧しか供給されず、発光時に輝度の低下が生じる。

【0025】

また、従来の画像表示装置では、制御線(ゲート線GL、ドレイン線DL)に関連するゲートドライバ3およびドレインドライバ4と、電源線(コモン線CL)に関連するコモ

50

ンドライバ5という3つものドライバを独立的に配置しているため、省スペース化のニーズに応えることができないという問題もあった。

【0026】

本発明は、上記に鑑みてなされたものであって、輝度ムラの発生を防ぎ、省スペース化を図ることができる表示パネル用ドライバ手段および画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0027】

上述した課題を解決し、目的を達成するために、本発明は、発光素子を有する表示パネルを駆動するための表示パネル用ドライバ手段において、前記発光素子の発光制御用の制御信号が伝送される制御線に電氣的に接続される制御用パッドと、前記発光素子に電源を供給するための電源線に電氣的に接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、前記制御用パッドと前記電源用パッドとが混在して列状に配列されており、且つ、前記制御用パッドと前記電源用パッドとの配列順序がパッドの配列方向に対称であること、を特徴とする。

10

【0028】

また、本発明は、発光素子を有する表示パネルを駆動するための表示パネル用ドライバ手段において、前記発光素子の発光制御用の制御信号が伝送される制御線に電氣的に接続される制御用パッドと、該制御用パッドと同一形状を有する予備制御用パッドと、前記発光素子に電源を供給するための電源線に電氣的に接続され、前記制御用パッドよりも面積が大きな電源用パッドと、を備え、前記制御用パッド、前記予備制御用パッド、前記電源用パッドが混在して列状に配列されており、且つ、前記制御用パッドと前記予備制御用パッドとを同種のパッドとみなしたときに、これらの制御用パッドと前記電源用パッドとの配列順序がパッドの配列方向に関して対称であることを特徴とする。

20

【0029】

また、本発明は、電流注入により発光する発光素子を有する複数の画素回路がマトリクス状に配設された表示パネルと、前記複数の画素回路にそれぞれ接続され、電源供給用および発光制御用の電源制御信号が伝送される電源線と、前記複数の画素回路にそれぞれ接続され、発光制御用の制御信号が伝送される複数の制御線と、前記表示パネルを挟んで両側に設けられ、前記電源線に双方接続されかつ前記複数の制御線に分担して接続され、前記電源制御信号および前記制御信号により前記複数の画素回路を駆動する一对のドライバ手段と、を備えたことを特徴とする。

30

【発明の効果】

【0030】

本発明によれば、制御用パッドと電源用パッドとが混在して列状に配列されており、且つ、制御用パッドと電源用パッドとの配列順序がパッドの配列方向に対称であることとしたので、一对の表示用ドライバ手段を表示パネルの両側に配置し、電源線を両側の電源用パッドに接続できるため、電源線における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができるという効果を奏する。

【0031】

また、本発明によれば、制御用パッド、予備制御用パッド、電源用パッドが混在して列状に配列されており、且つ、制御用パッドと予備制御用パッドとを同種のパッドとみなしたときに、これらの制御用パッドと電源用パッドとの配列順序がパッドの配列方向に関して対称であることとしたので、一对の表示用ドライバ手段を表示パネルの両側に配置し、電源線を両側の電源用パッドに接続できるため、電源線における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができるという効果を奏する。

40

【0032】

また、本発明によれば、表示パネルを挟んで両側に一对のドライバ手段を設け、一对のドライバ手段を電源線に双方接続しかつ複数の制御線に分担して接続し、電源制御信号および制御信号により複数の画素回路を駆動することとしたので、電源線における電圧降下

50

が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができるという効果を奏する。

【発明を実施するための最良の形態】

【0033】

以下に、本発明にかかる表示パネル用ドライバ手段および画像表示装置の実施例を図面に基づいて詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。

【実施例1】

【0034】

図1は、本発明にかかる実施例1による画像表示装置の構成を示すブロック図である。同図に示した画像表示装置は、表示パネル10、コントローラ20、ゲートドライバ30R1、ゲートドライバ30R2、・・・、ゲートドライバ30L1、ゲートドライバ30L2、・・・、およびデータドライバ40から構成されている。

10

【0035】

表示パネル10は、マトリクス状に配設された画素回路10G1(1)、・・・、画素回路10G1(s)、画素回路10G2(1)、・・・、画素回路10G2(s)、画素回路10Gk(1)、・・・、画素回路10Gk(s)、・・・から構成されている。

【0036】

ここで、表示パネル10においては、行(図の横方向)毎に4本の線(例えば、第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)、電源線p(1))を1組として、複数組の4本線が設けられている。

20

【0037】

具体的には、表示パネル10の画素回路10G1(1)、・・・、画素回路10G1(s)に対応する第1行目には、第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)および電源線p(1)という4本線が設けられている。

【0038】

また、表示パネル10の画素回路10G2(1)、・・・、画素回路10G2(s)に対応する第2行目には、第1制御線x1(2)、第2制御線x2(2)、第3制御線x3(2)および電源線p(2)という4本線が設けられている。

【0039】

以下同様にして、表示パネル10の画素回路10Gk(1)、・・・、画素回路10Gk(s)に対応する第k行目には、第1制御線x1(k)、第2制御線x2(k)、第3制御線x3(k)および電源線p(k)という4本線が設けられている。

30

【0040】

また、表示パネル10においては、列(図の縦方向)毎にs本のデータ線y(1)、・・・、データ線y(s)が設けられている。

【0041】

画素回路10G1(1)は、図2に示したように、有機EL素子11および制御回路12から構成されている。有機EL素子11は、閾値以上の電圧がアノード-カソード間に印加されることによって発光する発光素子である。有機EL素子11のカソードは、電源線p(1)に接続されている。なお、回路構成によっては、有機EL素子11のアノードとカソードの接続状態が逆の場合もある。

40

【0042】

制御回路12は、前述した駆動用トランジスタ7や選択用トランジスタ8やキャパシタCp等(図8参照)と同様の駆動用トランジスタ、選択用トランジスタやキャパシタ等を備えており、有機EL素子11の発光を制御する。

【0043】

この制御回路12には、第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)およびデータ線y(1)が接続されている。ここで、第1制御線x1(1)、第2制御線x2(1)および第3制御線x3(1)は、前述したゲート線GL、ドレイン線

50

DL (図8参照)等や、行選択用のセレクト信号が伝送される走査線、静電容量や発光素子に蓄積した電荷をリセットするためのリセット信号が伝送される制御線等に対応している。

【0044】

なお、図1に示した他の第1制御線 $x(2)$ 、第2制御線 $x(2)$ 、第3制御線 $x(2)$ やデータ線 $y(2)$ 等も同様にして、ゲート線GLやドレイン線DL(図8参照)等に対応している。

【0045】

また、図1に示した表示パネル10において、他の画素回路も、上述した画素回路10G1(1)と同一の構成とされている。

10

【0046】

コントローラ20は、ゲートドライバ30R1、ゲートドライバ30R2、・・・、ゲートドライバ30L1、ゲートドライバ30L2、・・・や、データドライバ40に接続されており、表示パネル10における画像表示を制御する。

【0047】

また、表示パネル10の両側には、同じ回路デザインのゲートドライバ30R1、ゲートドライバ30R2、・・・と、ゲートドライバ30L1、ゲートドライバ30L2、・・・とがそれぞれ設けられている。すなわち、表示パネル10の左側には、ゲートドライバ30R1、ゲートドライバ30R2、・・・が設けられている。一方、表示パネル10の右側には、ゲートドライバ30L1、ゲートドライバ30L2、・・・が設けられている。

20

【0048】

なお、実際には、ゲートドライバ30R1、ゲートドライバ30R2、・・・は、ゲートドライバ30L1、ゲートドライバ30L2、・・・と同様にして、表示パネル10の近傍に設けられている。

【0049】

これらのゲートドライバ30R1、ゲートドライバ30R2、・・・と、ゲートドライバ30L1、ゲートドライバ30L2、・・・とは、表示パネル10における複数の制御線を半分(制御線の本数が偶数の場合)または略半分(制御線の本数が奇数の場合)ずつそれぞれ担当する。

30

【0050】

ここで、図3を参照して、上述したゲートドライバ30R1、ゲートドライバ30R2、・・・、ゲートドライバ30L1、ゲートドライバ30L2、・・・を一般化した構成について説明する。同図には、ゲートドライバ30R1が一例として図示されている。

【0051】

ゲートドライバ30R1には、第1組～第k組および予備の複数のパッド(ハッチングされた正方形)が設けられている。すなわち、第1組は、制御用パッドC1(1)、制御用パッドC2(1)、・・・、制御用パッドCm(1)および電源用パッドP(1)である。第2組は、制御用パッドC1(2)、制御用パッドC1(2)、・・・、制御用パッドCm(2)および電源用パッドP(2)である。以下同様にして、第k組は、制御用パッドC1(k)、制御用パッドC2(k)、・・・、制御用パッドCm(k)および電源用パッドP(k)である。

40

【0052】

また、予備は、予備用パッドC1(k+1)、予備用パッドC2(k+1)、・・・、予備用パッドCm(k+1)である。これらの予備用パッドC1(k+1)、予備用パッドC2(k+1)、・・・、予備用パッドCm(k+1)は、制御用パッドC1(1)等と同面積で同種のパッドとみなすことができる。

【0053】

また、ゲートドライバ30R1には、入力用パッドSI/O1～入力用パッドSI/On(但し、 $n \leq m$)と、入力用パッドMODEと、出力用パッドSO/I1～出力用パッ

50

ドSO/Inとが設けられている。これらのパッドにおいて、電源用パッドP(1)、電源用パッドP(2)、電源用パッドP(k)、・・・、電源用パッドP(k+1)は、大電流が流れるため、他のパッド(制御用パッドC1(1)~制御用パッドC1(k+1)等)に比して大面積とされている。

【0054】

このようにゲートドライバ30R1においては、大面積のパッドと小面積のパッドとが混在して列状に配設されている。また、電源用パッドP(1)等と制御用パッドC1(1)等との配列順序(または配列位置)は、パッドの配列方向に対称である。さらに、制御用パッドC1(1)等の数は、電源用パッドP(1)等の数以上である。ここで、図3において、画素回路10G1(1)の制御線は、j本であり、第1制御線x1(1)~第1

10

【0055】

jが奇数である場合、制御用パッドCm(1)、制御用パッドCm(2)、・・・、制御用パッドCm(k)および制御用パッドCm(k+1)における「m」は、 $[j/2] + 1$ で表される。但し、 $[]$ は、ガウス記号である。一方、jが偶数である場合、制御用パッドCm(1)、制御用パッドCm(2)、・・・、制御用パッドCm(k)および制御用パッドCm(k+1)における「m」は、 $(j/2)$ で表される。

【0056】

図1に示したゲートドライバ30R1の場合には、jが3、mが2、nが4とされており、図2に示したゲートドライバが適用される。また、ゲートドライバ30L1も、ゲートドライバ30R1と同様の回路デザインであり、ゲートドライバ30R1の第1組に対応する組は、制御用パッドC2(k+1)、制御用パッドC1(k+1)および電源用パッドP(k)である。

20

【0057】

また、ゲートドライバ30R1の第2組に対応する組は、制御用パッドC2(k)、制御用パッドC1(k)および電源用パッドP(k-1)である。以下同様にして、ゲートドライバ30R1の第k組に対応する組は、制御用パッドC2(2)、制御用パッドC1(2)および電源用パッドP(1)である。また、ゲートドライバ30L1における予備は、制御用パッドC2(1)および制御用パッドC1(1)である。

【0058】

ここで、第1組に対応する第1制御線x1(1)、第2制御線x2(1)、第3制御線x3(1)および電源線p(1)において、電源線p(1)は、伝送する信号の電圧レベルが高く電圧降下を低減すべく、左端がゲートドライバ30R1の電源用パッドP(1)に接続されているとともに、右端がゲートドライバ30L1の電源用パッドP(k)に接続されている。

30

【0059】

これに対して、第1制御線x1(1)および第2制御線x2(1)の左端は、ゲートドライバ30R1の制御用パッドC1(1)および制御用パッドC2(1)に接続されている。なお、第1制御線x1(1)および第2制御線x2(1)の右端は、伝送する信号の電圧レベルが低く電圧降下の影響を無視できるため、ゲートドライバ30L1のいずれの制御用パッドにも接続されていない。

40

【0060】

また、第3制御線x3(1)の右端は、ゲートドライバ30L1の制御用パッドC1(k+1)に接続されている。なお、第3制御線x3(1)の左端は、伝送する信号の電圧レベルが低く電圧降下の影響を無視できるため、ゲートドライバ30R1のいずれの制御用パッドにも接続されていない。

【0061】

このように、第1組においては、電源線p(1)は、電圧降下を低減させるべく、ゲートドライバ30R1およびゲートドライバ30L1の双方に担当される。これに対して、第1制御線x1(1)および第2制御線x2(1)は、ゲートドライバ30R1に担当さ

50

れる。第3制御線 $x_3(1)$ は、ゲートドライバ30L1に担当される。以下、他の組についても同様である。

【0062】

ゲートドライバ30R1、ゲートドライバ30R2、・・・は、直列に接続されている。同様に、ゲートドライバ30L1、ゲートドライバ30L2、・・・も、直列に接続されている。

【0063】

データドライバ40は、コントローラ20から供給されるゲート制御信号に従って、データ線 $y(1) \sim y(s)$ に選択信号をそれぞれ出力する。各選択信号は、同一タイミングではいずれか1つのみがアクティブとなり、表示パネル10におけるいずれか一つの列を選択するための信号である。

【0064】

図4は、図1に示したゲートドライバ30R1の構成を示す図である。同図において、図1の各部に対応する部分には同一の符号を付ける。ゲートドライバ30R1は、シフトレジスタ31と、シフトレジスタ32とを備えている。

【0065】

シフトレジスタ31は、複数のフリップフロップ回路および論理回路から構成されており、図5に示したように、コントローラ20から供給される信号に基づいて、クロック信号CLKの立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、制御用パッドC1(1)、C1(2)、・・・(制御用パッドC2(1)、C2(2)・・・)に出力する。

【0066】

一方、図4に示したシフトレジスタ32も、複数のフリップフロップ回路、論理回路およびセクタ回路から構成されており、図5に示したように、コントローラ20から供給される信号に基づいて、クロック信号CLKの立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、電源用パッドP(1)、電源用パッドP(2)、・・・に出力する。

【0067】

ここで、図1に示したゲートドライバ30L1の電源用パッドP(k)、電源用パッドP(k-1)、・・・からも、ゲートドライバ30R1と同一のタイミングで信号が出力される。これらの信号は、各有機EL素子11(図2参照)に供給され、制御信号(オン/オフ)とともに、有機EL素子11を発光させるための電源電圧として機能している。

【0068】

従って、実施例1においては、両側のゲートドライバ30L1およびゲートドライバ30R1から電源線p(1)に信号を供給しているため、従来の片側のゲートドライバの場合に比して、信号の伝送経路長が大幅に短くなり、電圧降下が低減する。

【0069】

このように、コントローラ20の制御に基づいて、ゲートドライバ30R1およびゲートドライバ30L1等と、データドライバ40とから信号が表示パネル10に供給されることにより、有機EL素子11の発光が制御され、表示パネル10に画像が表示される。

【0070】

以上説明したように、実施例1によれば、表示パネル10を挟んで両側に一对のドライバ30R1およびゲートドライバ30L1を設け、これらのドライバ30R1およびゲートドライバ30L1を電源線p(1)、電源線p(2)、・・・に双方接続しかつ複数の第1制御線 $x_1(1)$ 、第1制御線 $x_1(2)$ 、・・・に分担して接続し、信号により画素回路10G1(1)~10Gk(s)を駆動することとしたので、電源線p(1)、電源線p(2)、・・・における電圧降下が低減され、輝度ムラの発生を防ぎ、省スペース化を図ることができる。

【0071】

なお、実施例1においては、ドライバ手段(ゲートドライバ30R1、ゲートドライバ

10

20

30

40

50

30L1等)に配列される各パッド(制御用パッドC1(1)、電源用パッドP(1)等)の面積が異なるために、パッドの配列を工夫しなければ、同じドライバ手段を表示パネル10の両側に配置したときに、表示パネル10での電源線や制御線の配線構造が複雑化する。

【0072】

そこで、実施例1では、ドライバ手段のパッドの配列を工夫(前述した予備制御用パッドの配置や対称配置等)することにより、表示パネル10の両側にドライバ手段を配置した場合であっても、表示パネル10の配線構造を複雑化することを良好に抑制できる。なお、各パッドは配列順序が対称であれば良い(順序は対称であるが、パッド間の間隔は上下対称ではなく、上下で異なっている場合を想定)が、配列位置が対称である方がより表示パネルの配線構造を単純化できる。

10

【実施例2】

【0073】

さて、前述した実施例1においては、図3に示したように、1組あたり電源線p(1)が1本の場合の構成例について説明したが、1組あたり電源線を2本(複数)とする構成例としてもよい。以下では、この構成例を実施例2として説明する。

【0074】

図6は、本発明にかかる実施例2に適用されるゲートドライバ50R1、画素回路10G1(1)'等の構成を示す図である。この図において、図3の各部に対応する部分には同一の符号を付ける。

20

【0075】

同図に示した画素回路10G1(1)'においては、j本の第1制御線x1(1)、・・・、第j制御線xj(1)と、2本の第1電源線p1(1)および第2電源線p2(1)とが行方向に設けられている。

【0076】

ゲートドライバ50R1には、第1組~第k組の複数のパッドが設けられている。すなわち、第1組は、制御用パッドC1(1)、制御用パッドCq(1)、制御用パッドCq+1(1)、制御用パッドCl(1)、制御用パッドCl+1(1)、制御用パッドCm(1)、電源用パッドP1(1)および電源用パッドP2(1)である。

【0077】

第2組は、制御用パッドC1(2)、制御用パッドCq(2)、制御用パッドCq+1(2)、制御用パッドCl(2)、制御用パッドCl+1(2)、制御用パッドCm(2)、電源用パッドP1(2)および電源用パッドP2(2)である。

30

【0078】

以下同様にして、第k組は、制御用パッドC1(k)、制御用パッドCq(k)、制御用パッドCq+1(k)、制御用パッドCl(k)、制御用パッドCl+1(k)、制御用パッドCm(k)、電源用パッドP1(k)および電源用パッドP2(k)である。

【0079】

また、画素回路10G1(1)'の制御線は、j本であり、第1制御線x1(1)~第j制御線xj(1)で図示されている。さらに、画素回路10G1(1)'の電源線は、第1電源線p1(1)および第2電源線p2(1)で図示されている。

40

【0080】

jが奇数である場合、実施例1と同様にして、制御用パッドCm(1)、制御用パッドCm(2)、・・・、制御用パッドCm(k)における「m」は、 $[j/2]+1$ で表される。一方、jが偶数である場合、制御用パッドCm(1)、制御用パッドCm(2)、・・・、制御用パッドCm(k)における「m」は、 $(j/2)$ で表される。

【0081】

また、実施例2においては、図1に示したゲートドライバ30L1に対応する位置には、図6に示したゲートドライバ50R1と同様の回路デザインのゲートドライバ(図示略)が設けられている。

50

【0082】

ここで、第1組に対応する第1制御線 $x_1(1)$ 、第2制御線 $x_2(1)$ 、・・・、第 j 制御線 $x_j(1)$ 、第1電源線 $p_1(1)$ および第2電源線 $p_2(1)$ において、第1電源線 $p_1(1)$ および第2電源線 $p_2(1)$ は、伝送する信号の電圧レベルが高く電圧降下を低減すべく、左端がゲートドライバ50R1の電源用パッド $P_1(1)$ および電源用パッド $P_2(1)$ に接続されているとともに、右端も、ゲートドライバ50R1と同一の回路デザインのゲートドライバ(図示略)の2つの電源用パッド(図示略)に接続されている。

【0083】

これに対して、第1制御線 $x_1(1)$ 、第2制御線 $x_2(1)$ 、・・・、第 j 制御線 $x_j(1)$ は、左側のゲートドライバ50R1の第1組の制御用パッドと、右側のゲートドライバ(図示略)の制御用パッドとに分担して接続されている。 10

【0084】

このように、第1組においては、第1電源線 $p_1(1)$ および第2電源線 $p_2(1)$ は、電圧降下を低減させるべく、左側のゲートドライバ50R1および右側のゲートドライバ(図示略)の双方に担当される。以下、他の組についても同様である。

【0085】

図7は、図6に示したゲートドライバ50R1の構成を示す図である。同図において、図6の各部に対応する部分には同一の符号を付ける。ゲートドライバ50R1は、シフトレジスタ51と、シフトレジスタ52とを備えている。 20

【0086】

シフトレジスタ51は、複数のフリップフロップ回路および論理回路から構成されており、コントローラ(図示略)から供給される信号に基づいて、クロック信号CLKの立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、制御用パッド $C_1(1)$ 、 $C_1(2)$ 、・・・(制御用パッド $C_2(1)$ 、 $C_2(2)$ ・・・)に出力する。

【0087】

一方、シフトレジスタ52も、複数のフリップフロップ回路、論理回路およびセレクト回路から構成されており、コントローラ(図示略)から供給される信号に基づいて、クロック信号CLKの立ち上がりのタイミングで、各フリップフロップ回路に保持された信号をシフトさせ、電源用パッド $P_1(1)$ (電源用パッド $P_2(1)$)、電源用パッド $P_1(2)$ (電源用パッド $P_2(2)$)、・・・に出力する。 30

【0088】

ここで、左側のゲートドライバ50R1に対応する右側のゲートドライバ(図示略)の各電源用パッド(図示略)からも、ゲートドライバ50R1と同一のタイミングで信号が出力される。これらの信号は、各有機EL素子11(図6参照)に供給され、制御信号(オン/オフ)とともに、有機EL素子11を発光させるための電源電圧として機能している。

【0089】

従って、実施例2においては、実施例1と同様にして、両側のゲートドライバ50R1およびゲートドライバ(図示略)から第1電源線 $p_1(1)$ および第2電源線 $p_2(1)$ に信号を供給しているため、従来の片側のゲートドライバの場合に比して、信号の伝送経路長が大幅に短くなり、電圧降下が低減する。 40

【0090】

以上説明したように、実施例2によれば、実施例1と同様の効果を奏する。

【産業上の利用可能性】

【0091】

以上のように、本発明にかかる表示パネル用ドライバ手段および画像表示装置は、輝度ムラの改善や省スペース化に対して有用である。

【図面の簡単な説明】

【 0 0 9 2 】

【図 1】本発明にかかる実施例 1 による画像表示装置の構成を示すブロック図である。

【図 2】図 1 に示したゲートドライバ 3 0 R 1 および画素回路 1 0 G 1 (1) の構成を示す図である。

【図 3】図 2 に示したゲートドライバ 3 0 R 1 および画素回路 1 0 G 1 (1) を一般化した構成を示す図である。

【図 4】図 1 に示したゲートドライバ 3 0 R 1 の構成を示す図である。

【図 5】図 1 に示したゲートドライバ 3 0 R 1 の動作を説明するタイミングチャートである。

【図 6】本発明にかかる実施例 2 に適用されるゲートドライバ 5 0 R 1 、画素回路 1 0 G 1 (1) ' 等の構成を示す図である。

【図 7】図 6 に示したゲートドライバ 5 0 R 1 の構成を示す図である。

【図 8】従来の画像表示装置の構成を示す図である。

【符号の説明】

【 0 0 9 3 】

1 0 表示パネル

1 0 G 1 (1) ~ 1 0 G k (s) 画素回路

2 0 コントローラ

3 0 R 1 、 3 0 R 2 、 3 0 L 1 、 3 0 L 2 ゲートドライバ

x 1 (1) 第 1 制御線

x 2 (1) 第 2 制御線

x 3 (1) 第 3 制御線

p (1) 電源線

4 0 データドライバ

5 0 R 1 ゲートドライバ

p 1 (1) 第 1 電源線

p 2 (1) 第 2 電源線

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 8 0 G
	H 0 5 B 33/14	A

(72)発明者 三和 宏一

神奈川県横浜市港北区新横浜 3 - 2 0 - 1 2

Fターム(参考) 3K007 AB02 AB17 AB18 BA06 DB03 GA00
5C080 AA06 BB05 DD05 EE28 FF11 JJ02 JJ03

专利名称(译)	显示面板驱动装置和图像显示装置		
公开(公告)号	JP2006011095A	公开(公告)日	2006-01-12
申请号	JP2004188835	申请日	2004-06-25
[标]申请(专利权)人(译)	京瓷株式会社 群创光电股份有限公司		
申请(专利权)人(译)	京瓷株式会社 奇美电子股▲ふん▼有限公司		
[标]发明人	小野晋也 小林芳直 三和宏一		
发明人	小野 晋也 小林 芳直 三和 宏一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/3275 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2320/0223 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.612.E G09G3/20.621.M G09G3/20.622.A G09G3/20.623.A G09G3/20.642.A G09G3/20.680.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/CC42 3K107/CC43 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB46 5C380/BA11 5C380/BA19 5C380/BB05 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA26 5C380/CB01 5C380/CC02 5C380/CC27 5C380/CC29 5C380/CC33 5C380/CC62 5C380/CC64 5C380/CC66 5C380/CD012 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF33 5C380/DA02		
代理人(译)	酒井宏明		
其他公开文献	JP4982663B2		
外部链接	Espacenet		

摘要(译)

解决的问题：防止出现亮度不均并节省空间。 解决方案：显示面板10中，具有有机EL元件的像素电路10G1(1)至10Gk(s)排列成矩阵，并且像素面板10G1(1)至10Gk(s)分别连接到电源。通过电源线p(1)，电源线p(2)，...，分别传输用于供电和发光控制的信号，以及用于发光控制的像素电路10G1(1)至10Gk(s)第一控制线x1(1)，第二控制线x2(1)，第三控制线x3(1)，...线p(1)，电源线p(2)，...以及第一控制线x1(1)，第二控制线x2(1)，第三控制线x3(1)，...提供了一对彼此共享并连接的栅极驱动器30R1和栅极驱动器30L1。 [选型图]图1

