

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A ) (11)特許出願公開番号

特開2003 - 152185

(P2003 - 152185A)

(43)公開日 平成15年5月23日(2003.5.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> ( 参考 )
H 0 1 L 29/786		G 0 9 F 9/30	338 3 K 0 0 7
G 0 9 F 9/30	338		365 Z 5 C 0 5 8
	365	H 0 1 L 27/08	331 E 5 C 0 9 4
H 0 1 L 21/336		H 0 4 N 5/66	B 5 F 0 4 8
21/8238		H 0 5 B 33/14	A 5 F 1 1 0
審査請求 未請求 請求項の数 24 O L ( 全 28数 ) 最終頁に続く			

(21)出願番号 特願2001 - 345273(P2001 - 345273)

(22)出願日 平成13年11月9日(2001.11.9)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半導

体エネルギー研究所内

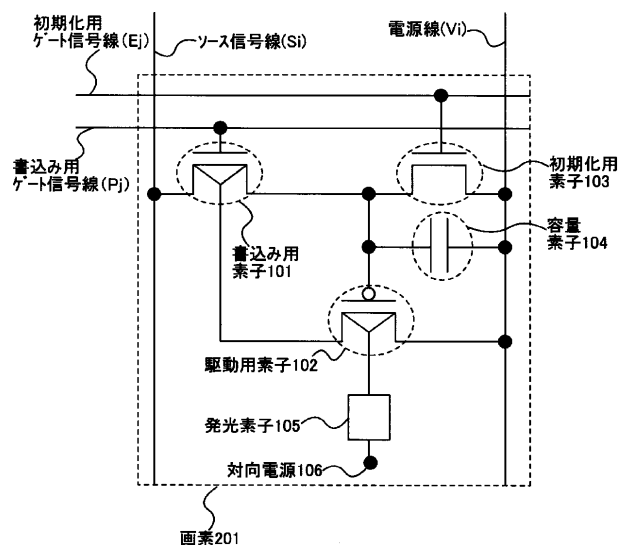
最終頁に続く

(54)【発明の名称】 半導体素子、電気回路、表示装置、発光装置及び電子機器

(57)【要約】

【課題】 小面積化が可能、素子数が少なく構成が簡易、低消費電力動作、製造における高歩留まりが見込める電流記憶回路を実現する。また、この電流記憶回路を O L E D 表示装置等の電流駆動型の表示装置に適用することにより、表示装置の画素開口率の向上、高信頼性化、高性能化等を実現する。

【解決手段】 ドレインまたはソースを複数有するトランジスタのような形状の新規な半導体素子を用いることを特徴とする。この半導体素子を書込み用素子と駆動用素子に用いる場合、電流値の読み込み、記憶、そして電流出力が、この半導体素子二つで行うことができ、小面積化が著しく容易となる。



## 【特許請求の範囲】

【請求項 1】ゲート電極、ソース電極および複数の異なるドレイン電極を有することを特徴とする電界効果トランジスタ型の半導体素子。

【請求項 2】ゲート電極、ドレイン電極および複数の異なるソース電極を有することを特徴とする電界効果トランジスタ型の半導体素子。

【請求項 3】ゲート電極、複数の異なるソース電極および複数の異なるドレイン電極を有することを特徴とする電界効果トランジスタ型の半導体素子。

【請求項 4】半導体層と、前記半導体層を覆って形成されたゲート絶縁膜と、前記ゲート絶縁膜に接するゲート電極とを有し、

前記半導体層はチャンネル形成領域と、少なくとも 3 つの不純物ドーパされたソースまたはドレイン領域を有し、前記チャンネル形成領域と前記ゲート電極は、前記ゲート絶縁膜を間に挟んで重なっており、

前記少なくとも 3 つの不純物領域は、前記チャンネル形成領域に接していることを特徴とする半導体素子。

【請求項 5】絶縁表面に接する半導体層と、前記半導体層を覆って前記絶縁表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜に接するゲート電極とを有し、前記半導体層はチャンネル形成領域と、少なくとも 3 つの不純物領域とを有し、前記チャンネル形成領域と前記ゲート電極は、前記ゲート絶縁膜を間に挟んで重なっており、前記少なくとも 3 つの不純物領域は、前記チャンネル形成領域に接していることを特徴とする半導体素子。

【請求項 6】絶縁表面に接するゲート電極と、前記ゲート電極を覆って前記絶縁表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜に接する半導体層とを有し、前記半導体層はチャンネル形成領域と、少なくとも 3 つの不純物領域とを有し、前記チャンネル形成領域と前記ゲート電極は、前記ゲート絶縁膜を間に挟んで重なっており、前記少なくとも 3 つの不純物領域は、前記チャンネル形成領域に接していることを特徴とする半導体素子。

【請求項 7】請求項 4 乃至請求項 6 のいずれか一項に記載の、前記半導体素子において、前記少なくとも 3 つの不純物領域と前記チャンネル形成領域との各境界部分のうち、少なくとも 1 つの境界部分には、低濃度不純物領域が存在し、該不純物領域と該チャンネル形成領域が間に前記低濃度不純物領域を介して接していることを特徴とする半導体素子。

【請求項 8】請求項 4 乃至請求項 6 のいずれか一項に記載の、前記半導体素子において、前記少なくとも 3 つの不純物領域と前記チャンネル形成領域との各境界部分のうち、少なくとも 1 つの境界部分には、オフセット領域が存在し、該不純物領域と該チャンネル形成領域が間に前記オフセット領域を介して接してい

ることを特徴とする半導体素子。

【請求項 9】請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を有することを特徴とする電気回路。

【請求項 10】請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を有し、且つ電流データを記憶する手段を有することを特徴とする電気回路。

【請求項 11】電流データを記憶し、該電流データに応じた電流を出力する機能を有する電気回路であって、

10 前記電気回路への電流データ信号を入力するか否かを選択する書込み用素子と、

前記電流データに応じた電流を出力する部分を有する駆動用素子とを有し、

前記書込み用素子と前記駆動用素子の少なくとも一方は、請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を用いていることを特徴とする電気回路。

【請求項 12】電流データを記憶し、該電流データに応じた電流を出力する機能を有する電気回路であって、電流データ信号線と、書込み用ゲート信号線と、電源線と、書込み用素子と、駆動用素子とを有し、

前記電流データは、前記電流データ信号線から、前記書込み用ゲート信号線の信号に基いて、前記書込み用素子を介して書込まれ、

前記駆動用素子として、請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子が使用され、

前記駆動用素子の複数ある不純物領域のうち、一つは前記電源線に接続され、他の一つは前記書込み用素子に接続され、残りの一つは電流の出力部に接続されていることを特徴とする電気回路。

【請求項 13】請求項 9 乃至請求項 12 のいずれか一項に記載の、前記電気回路を有することを特徴とする表示装置。

【請求項 14】電流駆動型の表示素子が備えられた画素を有する表示装置であって、

前記画素は、前記画素への電流値形式のビデオ信号の入力を選択する書込み用素子と、

前記表示素子に流れる電流量を制御する駆動用素子とを有し、

前記書込み用素子と前記駆動用素子の少なくとも一方は、請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を用いることを特徴とする表示装置。

【請求項 15】発光素子が備えられた画素を有する発光装置であって、

前記画素は、前記画素への電流値形式のビデオ信号の入力を選択する書込み用素子と、

前記発光素子に流れる電流量を制御する駆動用素子と、前記駆動用素子のゲート電圧を保持する容量素子とを有し、

前記書込み用素子と前記駆動用素子の少なくとも一方は、請求項 1 乃至請求項 8 のいずれか一項に記載の、前

50

記半導体素子を用いることを特徴とする発光装置。

【請求項 16】発光素子が備えられた画素を有する発光装置であって、

前記画素は、前記画素への電流値形式のビデオ信号の入力を選択する書込み用素子と、

前記発光素子に流れる電流量を制御する駆動用素子とを有し、

前記駆動用素子は、請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を用いることを特徴とする発光装置。

【請求項 17】発光素子が備えられた画素を有する発光装置であって、

前記画素は、前記画素への電流値形式のビデオ信号の入力を選択する書込み用素子と、

前記発光素子に流れる電流量を制御する駆動用素子と、前記駆動用素子のゲート電圧を保持する容量素子と、

前記容量素子における、前記ゲート電圧の保持又は解放を選択する初期化用素子とを有し、

前記駆動用素子は、請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を用いていることを特徴とする発光装置。

【請求項 18】発光素子が備えられた画素を有する発光装置であって、

前記画素は、ソース信号線と、書込み用ゲート信号線と、初期化用ゲート信号線と、電源線と、書込み用素子と、駆動用素子と、初期化用素子と、容量素子とを有し、

前記書込み用素子のゲート電極は、前記書込み用ゲート信号線に接続され、

前記書込み用素子の不純物領域のうち、一つは前記ソース信号線に接続され、他の一つは前記初期化用素子のソース領域及びドレイン領域の一方に接続され、さらに別の一つは前記駆動用素子の 3 つの不純物領域のうちのいずれか一つの不純物領域に接続され、

前記初期化用素子のゲート電極は、前記初期化用ゲート信号線と接続され、

前記初期化用素子のソース領域及びドレイン領域は、一方は前記電源線に接続され、他方は前記書込み用素子の不純物領域のうちのいずれか一つの不純物領域に接続され、

前記駆動用素子の不純物領域は、一つは前記電源線に接続され、他の一つは前記発光素子の画素電極に接続され、さらに別の一つは前記書込み用素子の不純物領域から選択された一つの不純物領域に接続されていることを特徴とする発光装置。

【請求項 19】絶縁表面に接する半導体層と、前記半導体層を覆って前記絶縁表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜に接する  $n$  個 ( $n$  は 2 以上の自然数) のゲート電極とを有し、

前記半導体層は  $n$  個のチャンネル形成領域と、少なくとも\*

$n + 1$  個の不純物領域とを有し、

前記  $n$  個の各チャンネル形成領域と、前記  $n$  個の各ゲート電極は、前記ゲート絶縁膜を間に挟んで重なっており、前記少なくとも  $n + 1$  個の不純物領域のうち  $n$  個の不純物領域は、それぞれ少なくとも 1 つの配線に接続され、前記  $n$  個の不純物領域は、前記  $n$  個のチャンネル形成領域のうち、互いに異なるいずれか 1 つの前記チャンネル形成領域に接していることを特徴とする半導体素子。

【請求項 20】電流駆動型の表示素子が備えられた画素を有する表示装置であって、

前記画素は、前記画素への電流値形式のビデオ信号の入力を選択する書込み用素子と、

前記表示素子に流れる電流量を制御する駆動用素子とを有し、

前記書込み用素子と前記駆動用素子の少なくとも一方は、請求項 19 に記載の前記半導体素子を用いることを特徴とする表示装置。

【請求項 21】請求項 1 乃至請求項 8 のいずれか一項に記載の、前記半導体素子を有することを特徴とする電子機器。

【請求項 22】請求項 9 乃至請求項 12 のいずれか一項に記載の、前記電気回路を有することを特徴とする電子機器。

【請求項 23】請求項 13 乃至請求項 14 または請求項 20 のいずれか一項に記載の、前記表示装置を具備することを特徴とする電子機器。

【請求項 24】請求項 15 乃至請求項 18 のいずれか一項に記載の、前記発光装置を具備することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の構造、および該素子を用いた電気回路に関する。また本発明は、発光素子及び該発光素子を制御する前記半導体素子が設けられた発光装置に関する。あるいは表示装置に関する。さらには、前記発光装置、表示装置を搭載した電子機器に関する。

【0002】

【従来の技術】近年、画像の表示を行う表示装置の重要性が増している。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして、携帯電話やパソコンをはじめとする種々の用途の表示装置として幅広く用いられている。

【0003】他方で、自発光素子である発光素子を用いた発光装置、発光表示装置の開発も進められている。この自発光素子には、有機材料、無機材料、薄膜材料、バルク材料、分散材料、広汎にわたり様々な種類の素子が存在する。

【0004】なかでも代表的な自発光素子は、有機発光

ダイオード（OLED）素子である。OLED素子を発光素子として用いたOLED表示装置は、既存の液晶表示装置以上に薄型、軽量である特長に加え、動画表示に適した高応答速度、高視野角、低電圧駆動などの特長を有しているため、携帯電話や携帯情報端末（PDA）をはじめテレビ、モニターなど、幅広い用途が見込まれ、次世代ディスプレイとして注目されている。

【0005】特にアクティブマトリクス（AM）型のOLED表示装置は、パッシブマトリクス（PM）型では困難な、高精細、大画面の表示も可能であるうえ、PM型を上回る低消費電力動作で高信頼性を有し、実用化への期待は大変強い。

【0006】

【発明が解決しようとする課題】OLED表示装置等の発光装置を実用化する上で必要となる様々な要素の一つに、発光輝度をほぼ一定に維持するということがある。とりわけOLED素子には、発光輝度が環境温度にかなり依存するという問題がある。多くのOLED素子は電圧一定条件では、高温下で電流量が多くなる。OLED素子に流れる電流量が大きければ大きいほど、OLED素子の輝度は高くなってしまふ。

【0007】するとOLED発光装置は、気温の変化に合わせて画面全体の表示が明暗変化する、不安定で非常に使い勝手の悪いものとなってしまう。

【0008】また現在のOLED素子には一般に、発光させることにより経時的に発光輝度が低下してしまう傾向が強いという問題がある。この発光輝度低下の度合いは、OLED素子の構成等により幅があるものの、かなり深刻な問題である。

【0009】発光量により経時的に発光輝度が低下してしまひ、発光素子の発光輝度をほぼ一定に維持することができないと、発光装置の表示は、全体の明暗が不安定となるだけでなく各画素での階調表示にも支障をきたすことになる。例えば、画面内の各画素において、発光輝度に著しく差がある静止画像を長時間表示したりすれば、画像の焼付きが生じて大変見苦しいものとなる。

【0010】特にR（赤）、G（緑）、B（青）に対応した三種類の発光素子を用いてカラーの画像を表示するOLED表示装置の場合では、発光の高効率化、低消費電力化の観点から、通常は色ごとに使用するOLED素子が異なる「三色塗りわけ方式」がとられる。すると、色ごとに発光輝度の温度依存性が異なることで、色ずれを起こしてしまう。あるいは、色ごとに異なる速度で各OLED素子の発光輝度が経時的に低下することで、発光装置の表示色が色ずれを起こしてしまう。

【0011】本発明はこれらの点に鑑み、環境温度の変化に左右されず、また経時的に発光輝度が大きく低下することなしに、ほぼ一定の輝度を発光素子が維持する発光装置を、簡便な構成にて提供することを課題とする。また色ずれなく所望のカラー表示を行うことが可能な発

光装置を、簡便な構成にて提供することを課題とする。そしてそのような発光装置を実現するために利用可能な半導体素子の構造、および該素子を用いた電気回路を提供することを課題とする。

【0012】

【課題を解決するための手段】OLED素子の発光輝度の経時的低下は、OLED素子に印加される電圧が一定である場合（定電圧駆動）の方が、OLED素子に流される電流が一定である場合（定電流駆動）と比較して、大きくなる。これは、以下の理由による。

【0013】一般にOLED素子の発光輝度Lは、OLED素子に流される電流量I（V）に比例するとされる。この比例定数をc（V）とすれば、 $L = c(V)I(V)$ のような関係が成り立っている。ここで、Vは輝度Lで発光させるのに必要なOLED素子への印加電圧である。

【0014】しかしOLED素子を発光させ続けると、c（V）とI（V）はいずれも徐々に減少する。ここでOLED素子の定電圧駆動の場合には、c（V）とI（V）の両方の減少がLの減少に反映される。他方OLED素子の定電流駆動の場合には、c（V）のみの減少がLの減少に反映される。したがってLの減少の大きさを比較すれば、定電圧駆動の場合の方が定電流駆動の場合よりも大きくなる。

【0015】c（V）が減少する背景には、もともとOLED素子は水分、酸素、光、熱などに弱く、これらによって素子自体の変性や劣化が、開始又は促進されやすい傾向にあることがある。ただし素子劣化の進行速度は、発光材料の種類、電極の材料、発光装置を駆動するデバイスの構造、作製環境や作製条件等により、かなり左右される。よって、これらの改良によりc（V）の経時的な減少を、ある程度抑制することは可能である。

【0016】またOLED素子の発光輝度の温度依存性についてみると、定電圧駆動の場合では温度依存性が著しいが、定電流駆動の場合では温度依存性が僅少であることが多い。これは、 $L = c(V)I(V)$ において、I（V）は大きな温度依存性を有するが、c（V）はほとんど温度依存性をもたないというように理解できる。

【0017】とすればOLED発光装置の発光素子を電圧駆動ではなく電流駆動することにより階調表示すれば、経時的に発光輝度が大きく低下することがなく、また環境温度の変化にも左右されずに、ほぼ一定の輝度を発光素子が維持することが可能となるはずである。

【0018】なおOLED素子以外の発光素子についても、温度依存性が小さいのは、種類にもよるが、一般的には定電圧駆動よりも定電流駆動である。その点では、定電流駆動が好ましいことに変わりない。

【0019】AM型のOLED表示装置等の発光装置においては、画素に電流記憶回路を組み込むことで、発光素子の電流駆動をすることが可能である。画素に組み込

む電流記憶回路は、薄膜トランジスタ(TFT)のようなアクティブ素子を用いて作製することができる。

【0020】もっとも電流記憶回路に限らず画素の回路は一般に、製造コスト削減、不良発生率抑制の観点から、できる限り簡便な構成のものが望まれる。

【0021】また省電力化や発光を安定化するために、発光面積率(開口率)向上も強く求められ、回路面積は小さいほど好ましい。発光面積率(開口率)が小さいと、所定の輝度を得るために、発光素子を高電流密度で発光させることが必要となり、発光素子の変性や劣化が促進されやすくなってしまう。

【0022】ここで発光面積率(開口率)を上昇させるための、最も直接的で効果的な方法は、発光方向と反対側に画素の回路を作り込んでしまうことである。しかし現状では、これは有効な解決法となっていない。発光方向側に画素の回路を作る方が、OLED素子を安定的に作成できるためである。

【0023】さらに、回路面積が小さいほど好ましい別の理由として、画素回路を高集積化し、高機能化を図ることができるということもある。

【0024】そこで本発明では、まず画素に発光素子と該発光素子を制御する駆動用素子、書込み用素子を設ける。そして通常であれば発光素子以外はTFTを用いて構成するわけであるが、その場合TFTの数が多くなり配線を含めた回路面積が大きくなってしまい不都合である。そこで本発明では次のような新規な素子を用いることで、回路の簡素化と小面積化を図る。

【0025】前記新規な素子は、ドレインを複数有するトランジスタのような形状のものとし、本明細書ではこれをマルチドレイントランジスタと称することにする。マルチドレイントランジスタは換言すれば、ゲート電極と、少なくとも3つの不純物領域を有する半導体素子である。

【0026】より詳しくは、マルチドレイントランジスタとは、半導体層と、該半導体層を覆って形成されたゲート絶縁膜と、該ゲート絶縁膜に接するゲート電極とを有し、前記半導体層はチャネル形成領域と、少なくとも3つの不純物ドーパされたソースまたはドレイン領域を有し、前記チャネル形成領域と前記ゲート電極は、前記ゲート絶縁膜を間に挟んで重なっており、前記少なくとも3つの不純物領域は、前記チャネル形成領域に接していることを特徴とする半導体素子である、と表現することができる。前記不純物領域のうち一つはソースであり、他はドレインとしておく。

【0027】ここでマルチドレイントランジスタは、使用方法によっては、マルチソーストランジスタ、あるいはマルチソースマルチドレイントランジスタ等と称する方が適当な場合もあることを付記しておく。一般にトランジスタ(特にTFT)のソースとドレインとは、構造的に同一である場合も多く、明確に区別できると限ら

い。本明細書中では以下、マルチソーストランジスタ、マルチソースマルチドレイントランジスタ等も含めて、マルチドレイントランジスタと総称する。

【0028】マルチドレイントランジスタの形状には、大きさ、対称性の有無を含めて特に制限はない。マルチドレイントランジスタをつくる半導体は、組成材料や、バルク、非晶質(アモルファス)薄膜、多結晶(ポリ)薄膜等の形態の別を問わない。もっとも発光素子を制御する駆動用素子には、現状では多結晶ケイ素(ポリシリコン)の薄膜半導体を用いるのが最も実用的である。マルチドレイントランジスタの各ドレイン又はソースのチャネル型についても、対称性の有無を含めて特に制限はない。

【0029】特にドレインが2個であるマルチドレイントランジスタを、ダブルドレイントランジスタと称する。以下では、ポリシリコン薄膜のダブルドレイントランジスタを用いたダブルドレイントランジスタを用いた電流記憶機能つき画素回路の例を中心に、本発明を説明する。

【0030】

【発明の実施の形態】(実施の形態1)本発明の発光装置における電流記憶機能つき画素回路の例を図2に示す。

【0031】図2に示す画素201は、ソース信号線Si(S1~Sxのうちの1つ)、書込み用ゲート信号線Pj(P1~Pyのうちの1つ)、初期化用ゲート信号線Ej(E1~Eyのうちの1つ)及び電源線Vi(V1~Vxのうちの1つ)を有している。また画素201は、書込み用素子101、駆動用素子102、初期化用素子103と、容量素子104及び発光素子105とを有している。

【0032】初期化用素子103は本発明に必須の要素ではないが、有用であるので図2では付加してある。また容量素子104は場合により、明示的に設けることをせず、寄生容量等でまかなうこともあり得る。

【0033】また必要に応じて、駆動用素子、書込み用素子、初期化用素子、容量素子、発光素子以外に、別の素子あるいは回路が付属していても構わない。

【0034】本発明では、駆動用素子と書込み用素子の少なくとも一方はマルチドレイントランジスタとするが、必ずしも双方がマルチドレイントランジスタでなくてもよく、一方は通常のトランジスタ(特に区別の必要のある場合には、以後シングルドレイントランジスタと称することにする)を用いて構成してもよい。図15には、駆動用素子のみがマルチドレイントランジスタの例を示す。

【0035】図2の画素回路では、駆動用素子と書込み用素子の双方にダブルドレイントランジスタを用いている。ダブルドレイントランジスタの任意の一方のドレインを第1ドレイン、他方のドレインを第2ドレインとして区別する。いずれのドレインを第1ドレインとし、第

2ドレインとするかは制限がなく、個々に任意に指定する。使用方法によっては、ソースと第1ドレイン、第2ドレインの区別も難しいことがあるが、その場合はソースも含めて任意に指定する。

【0036】一つのダブルドレイントランジスタ内の、ソース、第1ドレイン、第2ドレインに繋がるチャンネル部分(以下では、夫々、ソースチャンネル、第1ドレインチャンネル、第2ドレインチャンネルと称する。また、この三チャンネル総てを一括して、単にダブルドレイントランジスタの全チャンネルと呼称する。)の、各チャンネル長、チャンネル幅は全て任意であり、統一されていたり左右対称形となっていたりする必要はない。用途により各チャンネル長、チャンネル幅は自由に決められる。

【0037】本実施の形態では、書込み用素子101のダブルドレイントランジスタ(以下、単に書込み用素子)の全チャンネルはn型、駆動用素子102のダブルドレイントランジスタ(以下、単に駆動用素子)は全チャンネルはp型、初期化用素子103のチャンネルはn型とする。しかし、書込み用素子101と初期化用素子103は、pチャンネル型としてもよい。また、駆動用素子102の全チャンネルをn型にすることも可能である。さらに、元々ダブルドレイントランジスタ自体は、全チャンネル同型でなくてはならないわけでもない。

【0038】ダブルドレイントランジスタは、3つのノードの接続をゲート電極に印加する電圧で制御することができる。書込み用素子101のゲート電極は、書込み用ゲート信号線Pjに接続されている。そして書込み用素子101のソース、第1ドレイン、第2ドレインは、それぞれソース信号線Si、初期化用素子103のドレイン、駆動用素子102の第1ドレインに接続されている(図4(A)も参照)。スイッチング用素子101は、画素201に対する信号の書き込みを制御する機能を有する。

【0039】駆動用素子102のゲート電極は、初期化用素子103のドレイン領域に接続されている。そして駆動用素子102のソース領域、第1ドレイン領域、第2ドレイン領域は、それぞれ電源線Vi、書込み用素子101の第2ドレイン、発光素子105の画素電極に接続されている。駆動用素子102は、発光素子に流れる電流を制御する機能を有する。

【0040】発光素子105には種々のものを用いることができる。例えば、OLED素子、無機発光ダイオード素子、その他の発光ダイオード素子、無機EL素子、その他の固体系発光素子、FED素子、その他の真空系発光素子などである。ここでは発光素子105に、OLED素子を用いることにする。OLED素子は、陽極、陰極、該陽極陰極間に挟まれた有機発光層を有している。

【0041】本実施の形態では、OLED素子105は陽極を画素電極として、陰極を対向電極として使用する

ことにする。一般には、駆動用素子102の全チャンネルがp型の場合、陽極を画素電極として、陰極を対向電極として使用するのが好ましい。逆に、駆動用素子102の全チャンネルがn型の場合、陰極を画素電極として、陽極を対向電極として使用するのが好ましい。ただし、これに限定されるわけではない。他の使用方法も不可能ではない。

【0042】なお、有機発光層には公知の発光材料を用いて、OLED素子105を作製することが出来る。また有機発光層には、単層構造、積層構造、あるいは中間的な構造等、種々の構造があるが、本発明は公知のどのような構造を用いてもよい。有機発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(リン光)があるが、本発明にはどちらも適用することができる。

【0043】初期化用素子103のゲート電極は、初期化用ゲート信号線Ejに接続されている。初期化用素子103のソースは駆動用素子102のゲート電極に、ドレイン電源線Viに接続されている。

【0044】容量素子104が有する2つの電極は、一方が電源線Viに、他方が駆動用素子102のゲートに接続されている。より詳しくは、容量素子104が有する2つの電極は、駆動用素子102のゲートと、駆動用素子102のソースに接続されている。

【0045】本実施の形態では、電源線Viの電圧(電源電圧)と対向電極の電圧は一定の値に保つことにする。電源線Viの電圧(電源電圧)と対向電極の電圧を一定の値に保つことは、元々必須ではないが、説明を簡単にするために、そのようにしておく。電源電圧等を変化させて、発光素子105に、ある期間逆バイアスを印加することで、発光素子の信頼性向上を図ってもよい。

【0046】本実施の形態では画素電極がOLED素子の陽極であるから、対向電極の電圧は、電源電圧よりも低い所定の値とする。画素電極がOLED素子の陰極の場合であれば、対向電極の電圧は、電源電圧よりも高い所定の値とすることになる。

【0047】次に、図2の画素201を搭載した本発明の発光装置の、全体構成の概略図を図1に示す。200は画素部であり、図2の回路を備えた画素がマトリクス状に形成されている。また202はソース信号線駆動回路、203は書込み用ゲート信号線駆動回路、204は初期化用ゲート信号線駆動回路である。

【0048】図1では、ソース信号線駆動回路202、書込み用ゲート信号線駆動回路203及び初期化用ゲート信号線駆動回路204は一つずつ設けられているが、本発明はこの構成に限定されない。ソース信号線駆動回路202、書込み用ゲート信号線駆動回路203及び初期化用ゲート信号線駆動回路204の数は画素201の構成に応じて任意に設定することができる。例えば、画

素に初期化用素子103(図1)を設けない構成を採った場合、初期化用ゲート信号線駆動回路204に換えて、2つ目の書き込み用ゲート信号線駆動回路203を設置するなどしてもよい。

【0049】ソース信号線駆動回路202、書き込み用ゲート信号線駆動回路203、初期化用ゲート信号線駆動回路204は、ポリシリコンTFTを使用すれば、一枚のガラス基板上に作り込むことが可能である。しかしソース信号線駆動回路202、書き込み用ゲート信号線駆動回路203、初期化用ゲート信号線駆動回路204のうちの一部あるいは全てが、画素部200と異なる基板上(チップ等)に形成され、FPC等のコネクタを介して、画素部200と接続されていても良い。

【0050】また図1では図示していないが、画素部200には、ソース信号線 $S_1 \sim S_x$ 、電源線 $V_1 \sim V_x$ 、書き込み用ゲート信号線 $P_1 \sim P_y$ 、初期化用ゲート信号線 $E_1 \sim E_y$ が設けられている。なおソース信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の数は必ずしも同じであるとは限らない。また、書き込み用ゲート信号線 $P_1 \sim P_y$ と、初期化用ゲート信号線 $E_1 \sim E_y$ の数は必ずしも同じであるとは限らない。またこれらの配線を必ず全て有していなくとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

【0051】電源線 $V_1 \sim V_x$ は所定の電圧に保たれている。なお本実施の形態では、モノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線 $V_1 \sim V_x$ の電圧の高さを全て同じに保たずに、対応する色毎に変えるようにしても良い。

【0052】続いて、上述した本発明の発光装置の駆動方法について、図3及び図4を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 $T_a$ 、表示期間 $T_d$ 、初期化期間 $T_e$ 及び非表示期間 $T_u$ とに分けて説明することが可能であるが、図3に書き込み用ゲート信号線及び初期化用ゲート信号線のタイミングチャートを示す。なお本明細書では、書き込み用ゲート信号線及び初期化用ゲート信号線を総称してゲート信号線とよぶ。そしてゲート信号線が選択されている期間、言いかえると該ゲート信号線にゲート電極が接続されている半導体素子が全てオンの状態にある期間は、ONで示す。逆に、ゲート信号線が選択されていない期間、言いかえると該ゲート信号線にゲート電極が接続されている半導体素子が全てオフの状態にある期間は、OFFで示す。

【0053】図3は、画素201における書き込み期間 $T_a$ 、表示期間 $T_d$ 、初期化期間 $T_e$ 及び非表示期間 $T_u$ のタイミングチャートを簡単に示した図である。なお本実施の形態では、書き込み期間 $T_a$ と表示期間 $T_d$ 、初期化期間 $T_e$ と非表示期間 $T_u$ をそれぞれ別々にしたが、これに限定される必要はない。初期化期間 $T_e$ を表示期

間 $T_d$ に含めたり、書き込み期間 $T_a$ を非表示期間 $T_u$ に含めたりしてもよい。また図4(A)は、書き込み期間 $T_a$ 時の画素201における、電流の流れ方を示した図であり、図4(B)は表示期間 $T_d$ 時の画素201における、電流の流れ方を示した図である。画素201内に示す矢印が、電流の流れる向きである。

【0054】まず、1ライン目の画素において書き込み期間 $T_a$ が開始されると、書き込み用ゲート信号線 $P_1$ が選択され、書き込み用素子101がオンになる。初期化用ゲート信号線 $E_1$ は選択されていないので、初期化用素子103はオフになっている。そして、ソース信号線駆動回路202から画素201に入力されるビデオ信号に基づき、書き込み用素子101と駆動用素子102を介して、ソース信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ との間に電流が流れる。

【0055】この書き込み期間 $T_a$ における画素201中を流れる電流の様子を、図4(A)を用いてもう少し詳しく述べる。書き込み用ゲート信号線 $P_1$ が選択されると、書き込み用素子101のゲートが開いて、書き込み用素子101がオンになる。すると駆動用素子102は、ゲートと第1ドレインが短絡され、その結果ソースチャンネルと第1ドレインチャンネルを合わせた部分がダイオードとして動作する。

【0056】以降では便宜上、ダブルドレイントランジスタの、ソースと第 $n$ ドレインとその間のチャンネル部(ソースチャンネル、第 $n$ ドレインチャンネル)及びゲートを、ダブルドレイントランジスタの第 $n$ 要素トランジスタと称する。駆動用素子102の、ソースと第1ドレインとその間のチャンネル部及びゲートは、駆動用素子102の第1要素トランジスタとなる。

【0057】駆動用素子102の第1要素トランジスタがダイオードとして動作することで、ソース信号線 $S_i$ から画素201に入力されるビデオ信号電流は、そのまま書き込み用素子101、駆動用素子102の第1要素トランジスタを介して、電源線 $V_1 \sim V_x$ へ流れることになる。また同時に、ソース信号線 $S_i$ から画素201に入力されるビデオ信号電流に対応する、駆動用素子の第1要素トランジスタのゲート電圧が、書き込み用素子101を介して、容量素子104に蓄積される。容量素子104に蓄積される電圧は、駆動用素子102の第1要素トランジスタのゲート・ソース間電圧 $V_{gs}$ であるから、容量素子104の電圧に応じて、駆動用素子102の第1要素トランジスタがオンとなる。

【0058】なお書き込み期間 $T_a$ において、駆動用素子102の第1要素トランジスタは、ゲートとドレインが接続されているので、飽和領域で動作している。よって、 $V_{gs}$ をゲート・ソース間電圧、 $\mu$ を移動度、 $C_0$ を単位面積あたりのゲート容量、 $W/L$ をチャンネル形成領域のチャンネル幅 $W$ とチャンネル長 $L$ の比、 $V_{TH}$ を閾値とすると、駆動用素子102の第1要素トランジスタのドレ



イン電流  $I_{dn}$  は、以下の  $I_{dn} = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2$  で示される。

【0059】  $I_{dn} = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2$  において  $\mu$ 、 $C_0$ 、 $W / L$ 、 $V_{TH}$  は全て個々の素子によって決まる固定の値である。よって  $\mu$ 、 $V_{TH}$  が個々の素子間でバラつくと、同じ  $V_{GS}$  に対する  $I_{dn}$  であっても、全素子で必ずしも同一の値にならない。しかし駆動用素子102の第1要素トランジスタのドレイン電流  $I_{dn}$  をビデオ信号電流  $I_{vd}$  と同じ大きさに保てば、 $\mu$ 、 $V_{TH}$  のバラつきによらず、全駆動用素子102の第1要素トランジスタで  $I_{dn}$  は全て同一となる。

【0060】1ライン目の画素において書込み期間  $T_a$  が終了すると、書込み用ゲート信号線  $P_1$  の選択が終了する。そして、次に表示期間  $T_d$  が開始される。表示期間  $T_d$  においては、書込み用ゲート信号線  $P_1$  は選択されないの、書込み用素子101はオフになっている。また表示期間  $T_d$  においても、初期化用ゲート信号線  $E_1$  は選択されていないの、初期化用素子103はオフになっている。

【0061】図4(B)を用いて、表示期間  $T_d$  における画素201の電流の流れを説明する。駆動用素子102のゲート電極には、書込み期間  $T_a$  において定められた  $V_{GS}$  が容量素子104によって保持されている。しかし表示期間  $T_d$  においては、書込み用素子101はオフになっていることから、駆動用素子102の第1要素トランジスタの方へは電流は流れなくなり、第2要素トランジスタを介して発光素子へと電流が流れることになる。

【0062】ここで、駆動用素子102の第2要素トランジスタは、飽和領域で動作する。そうなるように予め、画素へ書込むビデオ信号電流  $I_{vd}$  や対向電極電圧は、適切に設定されておく必要がある。

【0063】飽和領域の動作であるから、駆動用素子102の第2要素トランジスタのドレイン電流  $I_{dn}$  は  $I_{dn} = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2$  で示される。  $I_{dn} = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2$  によればドレイン電流  $I_{dn}$  は、 $\mu$ 、 $V_{TH}$  等の値に依存するはずであるが、他方で書込む時に  $V_{GS}$  を、第1要素トランジスタのドレイン電流  $I_{dn}$  が  $I_{vd}$  となるようにしている。そのため、各画素の駆動用素子102内において、第1要素トランジスタと第2要素トランジスタの  $\mu$ 、 $V_{TH}$  等の値が等しければ、各画素における駆動用素子102の第2要素トランジスタ同士間の  $\mu$ 、 $V_{TH}$  等のバラつきは、第2要素トランジスタのドレイン電流  $I_{dn}$  には反映されない。

【0064】すなわち、 $\mu$ 、 $V_{TH}$  等のバラつきを抑制する必要性が、発光装置内の画面全体の画素の駆動用素子102から、各画素内の駆動用素子102の第1要素トランジスタと第2要素トランジスタの間にまで、大幅に圧縮できたことになる。しかも一つのダブルドレイントランジスタの中であれば、第1要素トランジスタと第2

要素トランジスタの  $\mu$ 、 $V_{TH}$  等は、元々バラつきは少ない。

【0065】こうして表示期間  $T_d$  においては、駆動用素子102の第2要素トランジスタのドレイン電流  $I_{dn}$  は、ビデオ信号電流  $I_{vd}$  に正確に対応したものとなる。つまり、電源線  $V_1$  から駆動用素子102の第2要素トランジスタを介して、発光素子105の対向電源に向かって所期の適切な電流が流れていく。発光素子105に流れる電流が正確になる結果、発光素子105は正確な輝度で発光する。勿論、ドレイン電流  $I_{dn}$  がゼロであれば、発光素子105は発光しない。

【0066】なお、ビデオ信号電流  $I_{vd}$  は、原則として正確な電流値であることを要する。例外は、ビデオ信号の内容が最暗階調「非点灯」の場合である。この場合には、ビデオ信号は駆動用素子102の要素トランジスタがオフとなるようにすればよいので、電圧値のデータでよい。

【0067】また、駆動用素子の第1ドレインチャンネルと第2ドレインチャンネルのチャンネル長、チャンネル幅を等しくしておけば、書込み期間に読み込むビデオ信号電流  $I_{vd}$  と表示期間に発光素子に供給される駆動電流  $I_{ei}$  は等しくなる。しかし第1ドレインと第2ドレインのチャンネル長、チャンネル幅を、敢えて揃えないことで、読み込むビデオ信号電流  $I_{vd}$  と表示期間に発光素子に供給される駆動電流  $I_{ei}$  との比率を調節することもできる(図16参照)。

【0068】この比率調整は実用上、非常に重宝するものである。例えば、小型かつ高精細の発光表示装置で低輝度の表示をする場合、表示期間に発光素子に供給される駆動電流  $I_{ei}$  は非常に小さな値となる。そこで寄生容量等の負荷を考慮すると、 $I_{ei}$  よりもビデオ信号電流  $I_{vd}$  を大きくしない限り、表示期間内に画素へ書込むことができないからである。

【0069】また、1ライン目の画素において書込み期間  $T_a$  が終了すると、書込み用ゲート信号線は  $P_2$  が選択され、2ライン目の画素において書込み期間  $T_a$  が開始される。よって、2ライン目の画素において書込み用素子101がオンになる。初期化用ゲート信号線  $E_2$  は選択されていないの、初期化用素子103はオフである。そして、ソース信号線駆動回路202から画素201に入力されるビデオ信号に基づき、信号線  $S_1 \sim S_x$  と電源線  $V_1 \sim V_x$  との間に、2ライン目の画素にある、書込み用素子101と駆動用素子102を介して、ビデオ信号電流が流れる。

【0070】次いでその後、2ライン目の画素において書込み期間  $T_a$  が終了し、表示期間  $T_d$  が開始される。表示期間  $T_d$  では、2ライン目の画素においても、上に述べた1ライン目の画素における時と同様に、ビデオ信号電流  $I_{vd}$  が記憶され、発光素子105が所定の輝度で発光する。また2ライン目の画素において書込み期間  $T$



a が終了すると、3 ライン目の画素において書き込み期間 T a が開始される。

【0071】以後同様に、3 ライン目の画素の表示期間 T d と 4 ライン目の画素の書き込み期間 T a が開始、4 ライン目の画素の書き込み期間 T a が終了し、4 ライン目の画素の表示期間 T d と 5 ライン目の画素の書き込み期間 T a が開始、・・・という動作が繰り返される。最終ラインである y ライン目の画素まで順に書き込み期間 T a が終了すると、1 フレーム分の書き込み期間が全て終了ということになる。

【0072】視覚は、1 フレーム分の表示期間 T d における像を、時間的に重ね合わせて一体のものとして捉えるので、1 フレーム分の表示期間 T d 全体で一コマの画像表示が行える。典型的な動画像表示では 60 Hz 駆動、すなわち 1 秒間中に 60 コマの画像表示を行う。

【0073】以上までが、初期化用素子 103 がいない場合には、動作の全容となる。初期化用素子 103 がある場合には、さらに以下の初期化動作を付加することが可能となる。初期化動作がない場合、各コマの画像は連続して表示されることになり、画像の動き方が滑らかさを十分に備えていない、やや低質の動画像表示になってしまう問題がある。初期化動作により、一コマ間の間に非表示のインターバルを設けると、簡便かつ効果的に、この動画質の低下を抑制できる。

【0074】初期化動作は、初期化用ゲート信号線駆動回路 204 から出力されるゲート信号により制御される。まず、初期化用ゲート信号線駆動回路 204 から出力されるゲート信号により、1 ライン目の初期化用ゲート信号線 E1 が選択されると、1 ライン目の画素において、初期化期間 T e が開始する。初期化用ゲート信号線 E1 が選択されると、初期化用素子 103 はオンになる。そうすると、電源線 V1 ~ Vx の電圧が、初期化用素子 103 を介して駆動用素子 102 のゲート電極に印加される。すると、駆動用素子 102 は強制的にオフされて、発光素子 105 に電流が供給されなくなり、その結果、発光素子 105 は発光しなくなる。

【0075】次いで、選択される初期化用ゲート信号線が、1 ライン目の E1 から 2 ライン目の E2 へと移る。これにより、1 ライン目では初期化期間 T e が終了し、非表示期間 T u が開始される。また同時に、2 ライン目の画素において初期化期間 T e が開始される。

【0076】初期化用ゲート信号線 E2 が選択され、2 ライン目の画素において初期化用素子 103 がオンになる。書き込み用ゲート信号線 P2 は選択されていないので、書き込み用素子 101 はオフになっている。このとき定電源線 V1 ~ Vx の電圧が、初期化用素子 103 を介して駆動用素子 102 のゲート電極へと加えられる。すると、駆動用素子 102 はオフになって、発光素子 105 に電流が供給されなくなり、その結果、発光素子 105 は発光しなくなる。

【0077】その次には、選択される初期化用ゲート信号線が、2 ライン目の E2 から 3 ライン目の E3 へと移るというように、y ライン目の画素まで順に初期化期間 T e が開始され、初期化期間 T e が終了すると、非表示期間 T u が開始されるという動作が繰り返される。こうして、全画素において、初期化動作が行われる。

【0078】初期化用素子 103 があり初期化動作を行う場合には、書き込み期間 T a、表示期間 T d、初期化期間 T e 及び非表示期間 T u により、1 フレーム期間が構成され、1 コマの画像が表示される。1 フレーム期間が終了すると、次のフレーム期間が開始され、上述した動作を繰り返す。初期化動作により、一コマ間の間に非表示のインターバルを設けると、簡便かつ効果的に、動画質の向上を図ることができる。なお、初期化期間 T e 及び非表示期間 T u は、必ずしも 1 フレーム期間に設けなくてはならないものではない。例えば、静止画像の時には、初期化期間 T e 及び非表示期間 T u は省略し、動画像の時のみ、初期化期間 T e 及び非表示期間 T u を設定してもよい。

【0079】各画素の階調は、書き込み期間 T a 及び表示期間 T d において発光素子 105 に流れる電流の大きさで決定される。そして、この電流値は、ソース信号線駆動回路 202 から画素 201 に入力される、ビデオ信号電流  $I_{vd}$  により制御される。そこで、n 階調分のビデオ信号電流  $I_{vd}$  を用意すれば、n 階調の画像表示ができる。一般に OLED 素子の発光輝度 L は、 $L = c(V)^{\gamma}$  (V) に示されるとおり、OLED 素子に流される電流量 I (V) に比例するとされる。よって、n 階調分のビデオ信号電流  $I_{vd}$  は、概ね比例配分された n 個の値となる。

【0080】以上に述べたように、図 2 のような画素回路構成をとることで、発光表示装置中にある OLED 素子等の発光素子に流れる電流を、次のような場合においても良好に維持することができる。発光素子の電気抵抗が環境温度に依存する場合、発光素子を電圧駆動すると経時的に発光輝度が低下してしまう場合、など。発光素子に流れる電流を良好に維持することにより、発光輝度を良好に保つことができる。その結果、RGB の各サブ画素を独立に形成する型のカラー表示装置では、色ずれの発生も回避できる。

【0081】また、図 2 のような画素回路構成をとり発光素子を電流駆動することにより、発光素子に流れる電流を制御している駆動用素子 102 の特性が画素間で異なっている場合でも、画素間において発光素子に流れる電流の大きさに著しいばらつきが生じるのを防ぐことができ、表示画面の輝度むらの発生を抑えることもできる。

【0082】さらに発光素子に流れる電流を所望の値に保つことができるので、配線抵抗による電位降下により階調が変化するのを防ぐことができる。発光素子を電圧

駆動する場合と比較すれば、これも特長となる。

【0083】マルチドレイントランジスタは、シングルドレイントランジスタのみでは構成しにくい回路や、構成は可能だが複雑になったり大きな面積を要したりしてしまう回路に、有効に使用し得る新規な素子である。図2あるいは図15に示したような、書込み用素子と駆動用素子とを用いて構成し、その二素子の一方もしくは双方にマルチドレイントランジスタを使用した、発光装置の画素回路は、その一例である。

【0084】なお書込み用素子と駆動用素子とを用いて構成し、その二素子の一方もしくは双方にマルチドレイントランジスタを使用した電流記憶回路（図17に一例を示す）は、発光装置の画素回路に限らず、電流信号バッファなど幅広い用途に使用できる。例えば、発光装置のソース信号線駆動回路202（図1）に、マルチドレイントランジスタ使用の電流記憶回路を利用した電流信号バッファを設けることもできる。

【0085】場合によっては、図2のような発光素子ではなく、非発光素子を用いた表示装置に適用することもできる。

【0086】（実施の形態2）実施の形態1では、本発明の半導体素子マルチドレイントランジスタ、該マルチドレイントランジスタを使用した電流記憶回路、該電流記憶回路を画素に用いた発光装置、の各々につき一例を説明した。もっとも実施の形態1で説明した発光装置は、ビデオ信号がアナログ電流値の場合（以下、アナログ駆動と称する）であった。しかし、ビデオ信号をデジタルにして用い駆動させること（以下、デジタル駆動と称する）も可能である。

【0087】デジタルのビデオ信号を用いる場合、階調は2進数でコード化されて入力される。そこで階調表示方法として、2進数コードのビデオ信号を、画素へそのまま書込み、発光時の輝度を一定としつつ、発光時間または発光面積などを2進数コードに合わせて制御するのが簡易で有用である。本実施の形態2では、発光時間を2進数コードに合わせて制御する方法（デジタル時間階調法）の一例を簡単に説明する。なお、より詳しい内容については、特願2000-359032号等を参照することができる。

【0088】本実施の形態2では、図2の画素回路を使用することにする。デジタル時間階調法の場合、1フレーム期間中に書込み期間 $T_a$ と表示期間 $T_d$ が繰り返し出現することで、1つの画像を表示することが可能である。

【0089】例えば $n$ ビットのビデオ信号によって画像を表示する場合、少なくとも $n$ 個の書込み期間と、 $n$ 個の表示期間とが1フレーム期間内に設ける。 $n$ 個の書込み期間（ $T_{a1} \sim T_{an}$ ）と、 $n$ 個の表示期間（ $T_{d1} \sim T_{dn}$ ）は、ビデオ信号の各ビットに対応している。

【0090】さらに、必須ではないが、 $n$ 個以下の初期

化期間と $n$ 個以下の非表示期間とを1フレーム期間内に設けることもできる。むしろ信号線駆動回路をガラス基板上に作りこんだ、実用的な表示装置または発光装置を製造しようとする場合には、少なくとも下位ビットについては初期化期間と非表示期間を設けないと、現在のTFT製造技術を前提とすると著しい困難がある。詳しくは、特願2001-257163号等を参照することができる。

【0091】書込み期間 $T_{am}$ （ $m$ は1～ $n$ の任意の数）の次には、該ビットに対応する表示期間 $T_{dm}$ が出現する。該ビットに初期化期間 $T_{em}$ と非表示期間 $T_{um}$ が設定されている場合には、さらに続いて初期化期間 $T_{em}$ と非表示期間 $T_{um}$ が出現する。書込み期間 $T_a$ 、表示期間 $T_d$ 、初期化期間 $T_e$ 、非表示期間 $T_u$ （初期化期間 $T_e$ 、非表示期間 $T_u$ については存在する場合のみ）よりなる一連の期間を、サブフレーム期間 $S_F$ と呼ぶ。 $m$ ビット目に対応する書込み期間 $T_{am}$ 、表示期間 $T_{dm}$ を含むサブフレーム期間は $S_{Fm}$ となる。

【0092】サブフレーム期間 $S_{F1} \sim S_{Fn}$ の長さの比は、 $S_{F1} : S_{F2} : \dots : S_{Fn} = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たすようにする。

【0093】各サブフレーム期間において、発光素子を発光させるか否かが、デジタルのビデオ信号の各ビットによって選択される。そして、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調数を制御することができる。

【0094】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良い。

【0095】画素回路の動作や駆動回路は、実施の形態1の場合とほぼ同様である。ただしソース信号線駆動回路は、電流値として、発光素子を発光させるときの所定の一つの値さえ正確に出力できればよい。その結果、階調数分のアナログ電流値が必要な実施の形態1の場合と比較し、構成は大幅に簡略化できる利点がある。ソース信号線駆動回路より、発光素子を発光させない信号を出力する場合には、実施の形態1において階調ゼロの信号を出力するのと同様、電圧値のデータでよい。

【0096】

【実施例】（実施例1）本実施例では、図1に示したソース信号線駆動回路202の例について説明する。ソース信号線駆動回路202は、画素201に入力されるビデオ信号の電圧に見合った大きさの電流（信号電流 $I_{vd}$ ）を各ソース信号線 $S_1 \sim S_x$ に供給することが可能である。本実施例では、まずデジタル駆動する場合の、ソース信号線駆動回路の一例302について図5を用いて説明する。次に、アナログ駆動する場合の、ソース信号線駆動回路の一例402について図6を用いて説明する。その後ゲート信号線駆動回路の一例について図7を用いて説明する。

【0097】最初にデジタル駆動する場合の、ソース信号線駆動回路の例302について図5を用いて説明する。ソース信号線駆動回路302は、シフトレジスタ302a、デジタルビデオ信号を記憶することができるラッチ(A)302b、ラッチ(B)302c及び電圧電流変換回路(V/C変換回路)302dとを有している。

【0098】シフトレジスタ302aには、クロック信号(CLK)、スタートパルス信号(SP)が入力される。クロック信号(CLK)とスタートパルス信号(SP)を元に、シフトレジスタ402aは順次、ビデオ信号をサンプリングするタイミング信号を生成していく。この各タイミング信号に基づいて、ラッチ(A)302bは、ビデオ信号線からビデオ信号を読み込み、記憶する。

【0099】ラッチ(A)302bに記憶されたビデオ信号は、ラッチパルスのタイミングに従って、ラッチ(B)302cに読取られ、記憶される。ラッチ(B)302cにデータが読まれると、V/C変換回路302dは、そのデータがオンの場合には、所定の電流データ20を出力する。そのデータがオフの場合、別の所定の電流データを出力するようにしてもよいが、電圧データを出力するようにした方が効率的で好ましい。

【0100】デジタル駆動は、発光素子がオンの状態(明るさが100%の状態)と、オフの状態(明るさが0%の状態)の2つの状態によって駆動される方式である。上記のソース信号線駆動回路の構成により、デジタル駆動の発光装置は、発光素子がオンの状態又はオフの状態のどちらかになることによって、階調を表現する。

【0101】続いて、アナログ駆動する場合の、ソース30信号線駆動回路の例402について図6を用いて説明する。図6(A)に示す本実施例のソース信号線駆動回路402は、シフトレジスタ402a、バッファ402b、サンプリング回路402c、電流変換回路402dを有している。

【0102】シフトレジスタ402aには、クロック信号(CLK)、スタートパルス信号(SP)が入力される。クロック信号(CLK)とスタートパルス信号(SP)を元に、シフトレジスタ402aは順次、ビデオ信号をサンプリングするためのタイミング信号を生成して40いく。

【0103】このタイミング信号は、バッファ402bにおいて緩衝的に増幅されて、サンプリング回路402cに入力される。もっとも、必要に応じて、バッファの代わりにレベルシフタを設けて、タイミング信号を電圧増幅してもよい。また、バッファとレベルシフタを両方設けてもよい。逆にバッファもレベルシフタも設けずに、タイミング信号を格別増幅しなくてもよい。

【0104】この必要に応じて増幅された各タイミング信号に基づいて、サンプリング回路402cはビデオ信50

号を取込み、V/C変換回路へ伝達する。

【0105】図6(B)にサンプリング回路402c、電流変換回路402dの具体的な構成を示す。なおサンプリング回路402cは、端子410においてバッファ402bの出力部と接続されている。

【0106】サンプリング回路402cには、複数のスイッチ411が設けられている。そして各スイッチ411はタイミング信号に同期して、ビデオ信号線406からアナログビデオ信号をサンプリングし、後段の電流変換回路402dへ伝達する。なお図6(B)では、電流変換回路402dはサンプリング回路402cが有するスイッチ411の1つに接続されている電流変換回路だけを示しているが、各スイッチ411の後段に、図6(B)に示したような電流変換回路402dが接続されている。

【0107】なお本実施例では、スイッチ411にトランジスタを一つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0108】サンプリングされたアナログビデオ信号は、電流変換回路402dが有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号電圧に相応の電流(信号電流 $I_{vd}$ )を出力する。なお図6ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力されたビデオ信号に見合った値の電流を出力することができる回路であれば良い。

【0109】該信号電流 $I_{vd}$ は、同じく電流変換回路402dが有するリセット回路417に入力される。リセット回路417は、2つのアナログスイッチ413、414と、インバータ416と、電源415を有している。

【0110】アナログスイッチ414はリセット信号(Res)により制御される。アナログスイッチ413は、インバータ416で反転されたリセット信号(Res)により制御される。よってアナログスイッチ413とアナログスイッチ414は、反転したリセット信号とリセット信号にそれぞれ同期して動作するから、一方がオンのとき他方はオフになる。

【0111】そして、アナログスイッチ413がオンのときには、ソース信号線へ信号電流が入力される。逆に、アナログスイッチ414がオンのときには、ソース信号線へ電源415の電圧が印加され、ソース信号線がリセットされる。なお、電源415の電圧は、画素に設けられた電源線の電圧とほぼ同じ高さであることが望ましく、ソース信号線がリセットされているときにソース信号線にながれる電流が0に近ければ近いほど良い。

【0112】なおソース信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間

以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0113】なお、シフトレジスタの代わりに、例えばデコーダ回路のような別の回路を用いて、ソース信号線の選択ができるようにしても良い。

【0114】次に、書込み用ゲート信号線駆動回路 203 及び初期化用ゲート信号線駆動回路 204 の構成について、図 7 を用いて説明する。

【0115】図 7 (A) は書込み用ゲート信号線駆動回路 203 の構成を示すブロック図である。書込み用ゲート信号線駆動回路 203 は、それぞれシフトレジスタ 203a、バッファ 203b を有している。なお場合によっては、さらにレベルシフタを有していても良いし、バッファ 203b はなくてもよい。

【0116】書込み用ゲート信号線駆動回路 203 において、シフトレジスタ 203a にクロック CLK 及びスタートパルス信号 SP が入力されることによって、順次タイミング信号が生成される。生成された各タイミング信号はバッファ 203b において緩衝的に増幅され、対応する書込み用ゲート信号線に供給される。

【0117】書込み用ゲート信号線には、1 ライン分の画素の書込み用素子 101 のゲート電極が接続されている。そして、1 ライン分の画素の書込み用素子 101 を一斉にオンにしないといけないので、バッファ 203b は大きな電流を流すために用いられる。

【0118】次いで図 7 (B) は初期化用ゲート信号線駆動回路 204 の構成を示すブロック図である。書込み用ゲート信号線駆動回路 204 は、それぞれシフトレジスタ 204a、バッファ 204b を有している。なお場合によっては、さらにレベルシフタを有していても良いし、バッファ 203b はなくてもよい。

【0119】初期化用ゲート信号線駆動回路 204 において、シフトレジスタ 204a にクロック CLK 及びスタートパルス信号 SP が入力されることによって、順次タイミング信号が生成される。生成された各タイミング信号はバッファ 204b において緩衝的に増幅され、対応する初期化用ゲート信号線に供給される。

【0120】初期化用ゲート信号線には、1 ライン分の画素の初期化用素子 103 のゲート電極が接続されている。そして、1 ライン分の画素の初期化用素子 103 を一斉にオンにしないといけないので、バッファ 204b は大きな電流を流すことが可能なものが用いられる。

【0121】なお、例えばデコーダ回路のような別の回路を、シフトレジスタの代わりに用いて、ゲート信号線（走査線）の選択ができるようにしても良い。

【0122】また本実施例では、書込み用ゲート信号線駆動回路 203 と初期化用ゲート信号線駆動回路 204 とは同じ構成をしているが、異なる構成をしていてもよい。本発明の発光装置を駆動するソース信号線駆動回路、書込み用ゲート信号線駆動回路及び初期化用ゲート

信号線駆動回路は、本実施例で示す構成に限定されるわけではない。

【0123】本実施例の構成は、実施の形態 1 ~ 2 に示した構成と自由に組み合わせて実施することが可能である。

【0124】（実施例 2）本実施例では、本発明の発光装置に用いる半導体素子の一例について、図 8 を用いて説明する。図 8 (A) は、本発明の半導体素子の上面図であり、図 8 (B) は、図 8 (A) の破線 A - A' における断面図に相当し、図 8 (C) は、図 8 (A) の破線 B - B' における断面図に相当する。

【0125】本発明の半導体素子は、半導体層 501 と、該半導体層に接するゲート絶縁膜 502 と、ゲート絶縁膜 502 に接するゲート電極 503 とを有している。半導体層 501 は、チャネル形成領域 504 と、導電型を付与する不純物が添加された不純物領域 505、506、507 を有している。不純物の典型例としては、p チャネル型であればホウ素、n チャネル型であればリンが挙げられる。ゲート電極 503 とチャネル形成領域 504 は、ゲート絶縁膜を間に挟んで重なっている。

【0126】不純物領域 505、506、507 はそれぞれチャネル形成領域 504 に接している。なお本実施例では、全ての不純物領域がそれぞれチャネル形成領域 504 に接しているが、本発明はこの構成に限定されない。不純物領域とチャネル形成領域の間に、不純物領域よりも不純物濃度の低い低濃度不純物領域（LDD 領域）が設けられていても良いし、ゲート電極と重ならない不純物の添加されていない領域（オフセット領域）が設けられていても良い。

【0127】半導体層 501 の不純物領域 505、506、507 を覆うように、ゲート絶縁膜 502 上に絶縁膜 508 が形成されている。そして、絶縁膜 508 及びゲート絶縁膜 502 に形成されたコンタクトホールを介して、不純物領域 505、506、507 にそれぞれ接続された接続配線 509、510、511 が形成されている。なお、図 8 ではゲート絶縁膜 502 が不純物領域 505、506、507 を覆っているが、本発明はこの構成に限定されない。不純物領域 505、506、507 は必ずしもゲート絶縁膜 502 に覆われている必要はなく、露出していても良い。

【0128】図 8 に示した半導体素子は、ゲート電極 503 に印加される電圧によって、各接続配線 509、510、511 間の抵抗が同時に制御される。

【0129】図 8 の半導体素子の最も簡単な使用方法は、3 つのノード、具体的にはノード 509、510、511 を同時に接続したり、開放したりすることである。なお、本明細書において接続とは、特に記載のない限り電気的な接続を意味する。

【0130】しかし、マルチドレイントランジスタの利

用方法は、それに限定されない。たとえば、ノード509を高電位、ノード510を低電位、ノード511を中電位にしておき、ゲート電極503はノード511と接続させることで、ノード509又はノード510のいずれか一方が、選択的にノード511との間で電流を流すようにすることもできる。

【0131】一般にシングルドレイントランジスタを用いて3つのノードの接続を制御する場合、2つ以上のトランジスタを用いる必要がある。その一例を図18に示す。しかし本発明では一つのマルチドレイントランジスタを用いることで、トランジスタ等の半導体素子が占有する総面積を小さく抑えることができる。その結果、表示装置の画素回路に適用すれば、画素の開口率を下げずに、高精細化あるいは高機能化させることができる。

【0132】本実施例の構成は、実施の形態1～2、実施例1に示した構成と自由に組み合わせて実施することが可能である。

【0133】(実施例3)本実施例では、接続配線に接続された各不純物領域間に、2つ以上のチャネル形成領域が設けられた、所謂マルチゲート構造を有する本発明の半導体素子について説明する。なお本実施例では、各接続配線間にチャネル形成領域が2つ設けられたダブルゲート構造の半導体素子について説明するが、本発明はダブルゲート構造に限定されず、各接続配線間にチャネル形成領域が3つ以上設けられたマルチゲート構造を有していても良い。

【0134】本実施例の半導体素子の構成について、図9を用いて説明する。図9(A)は、本発明の発光装置に用いられる半導体素子の上面図であり、図9(B)は、図9(A)の破線A-A'における断面図に相当し、図9(C)は、図9(A)の破線B-B'における断面図に相当する。

【0135】本発明の半導体素子は、半導体層601と、該半導体層に接するゲート絶縁膜602と、ゲート絶縁膜602に接するゲート電極603a、603b、603cとを有している。ゲート電極603a、603b、603cは電気的に接続されており、本実施例では全てのゲート電極がゲート配線613の一部である。半導体層601は、チャネル形成領域604a、604b、604cと、導電性を付与する不純物が添加された不純物領域605、606、607、612を有している。不純物の典型例としては、pチャネル型であればホウ素、nチャネル型であればリンが挙げられる。

【0136】ゲート電極603aとチャネル形成領域604aは、ゲート絶縁膜602を間に挟んで重なっている。ゲート電極603bとチャネル形成領域604bは、ゲート絶縁膜602を間に挟んで重なっている。ゲート電極603cとチャネル形成領域604cは、ゲート絶縁膜602を間に挟んで重なっている。

【0137】不純物領域605、606、607はそれ

ぞれチャネル形成領域604a、604b、604cに接している。そして、不純物領域612は、全てのチャネル形成領域形成領域604a、604b、604cに接している。よって、不純物領域605と606の間には2つのチャネル形成領域604a、604bが設けられており、不純物領域606と607の間には2つのチャネル形成領域604b、604cが設けられており、不純物領域607と605の間には2つのチャネル形成領域604c、604aが設けられている。

【0138】なお本実施例では、全ての不純物領域がそれぞれチャネル形成領域に接しているが、本発明はこの構成に限定されない。不純物領域とチャネル形成領域の間に、不純物領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)が設けられていても良いし、ゲート電極と重ならない不純物の添加されていない領域(オフセット領域)が設けられていても良い。

【0139】半導体層601の不純物領域605、606、607を覆うように、ゲート絶縁膜602上に絶縁膜608が形成されている。そして、絶縁膜608及びゲート絶縁膜602に形成されたコンタクトホールを介して、不純物領域605、606、607にそれぞれ接続された接続配線609、610、611が形成されている。なお、図9ではゲート絶縁膜602が不純物領域605、606、607を覆っているが、本発明はこの構成に限定されない。不純物領域605、606、607は必ずしもゲート絶縁膜602に覆われている必要はなく、露出していても良い。

【0140】図9に示した半導体素子は、ゲート電極603a、603b、603cに印加される電圧によって、各接続配線609、610、611間の抵抗が制御される。

【0141】図9の半導体素子は、3つのノード、具体的には接続配線609、610、611を同時に接続することができる。

【0142】上記構成により、半導体素子の面積を抑えることができる。その結果、表示装置の画素回路に適用すれば、半導体素子の画素に占める面積を抑えることができ、画素の開口率を下げずに、高精細化あるいは高機能化させることができる。一方、ダブルゲートの3端子のトランジスタを用いて3つのノードの接続を制御する場合、例えば図18(B)のように行うことになるが、これは明らかに図9(A)のスイッチ素子よりも大きな面積を占有してしまう。

【0143】また、マルチゲート構造は、シングルゲート構造に比べて、オフ電流をさらに微小化することができる。したがって、トランジスタをスイッチ素子として用いる場合には、より適している。

【0144】本実施例の構成は、実施の形態1～2、実施例1～2に示した構成と自由に組み合わせて実施することが可能である。

【0145】(実施例4)本実施例では、基板と半導体層の間にゲート電極が形成されている、ボトムゲート型の本発明の半導体素子について説明する。

【0146】本発明の半導体素子の構成について、図10を用いて説明する。図10(A)は、本発明の半導体素子の上面図であり、図10(B)は、図10(A)の破線A-A'における断面図に相当し、図10(C)は、図10(A)の破線B-B'における断面図に相当する。

【0147】本実施例の半導体素子は、ゲート電極701と、該ゲート電極701に接するゲート絶縁膜702と、該ゲート絶縁膜702に接する活性層703とを有している。半導体層703は、チャネル形成領域704と、導電性を付与する不純物が添加された不純物領域705、706、707を有している。ゲート電極701とチャネル形成領域704は、ゲート絶縁膜702を間に挟んで重なっている。なお、708はチャネル形成領域を形成する際に用いるマスクであり、絶縁膜から形成されている。

【0148】不純物領域705、706、707はそれぞれチャネル形成領域704に接している。なお本実施例では、全ての不純物領域がそれぞれチャネル形成領域704に接しているが、本発明はこの構成に限定されない。不純物領域とチャネル形成領域の間に、不純物領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)が設けられていても良いし、ゲート電極と重ならない不純物の添加されていない領域(オフセット領域)が設けられていても良い。

【0149】半導体層703の不純物領域705、706、707を覆うように絶縁膜708が形成されている。そして、絶縁膜708に形成されたコンタクトホールを介して、不純物領域705、706、707にそれぞれ接続された接続配線709、710、711が形成されている。

【0150】図10に示した半導体素子は、ゲート電極701に印加される電圧によって、各接続配線709、710、711間の抵抗が制御される。

【0151】図10の半導体素子は、3つのノード、具体的には接続配線709、710、711を同時に接続することができる。

【0152】上記構成により、半導体素子の面積を抑えることができる。その結果、表示装置の画素回路に適用すれば、画素の開口率を下げずに、高精細化あるいは高機能化させることができる。

【0153】なお、各接続配線間にチャネル形成領域を2つ以上設けてマルチゲート構造としても良い。

【0154】本実施例の構成は、実施の形態1~2、実施例1~実施例3に示した構成と自由に組み合わせる実施することが可能である。

【0155】(実施例5)本発明の発光装置の作製方法

の一例について、図11及び図12を用いて説明する。本実施例では、図2に示した画素を有する発光装置の作製方法について示す。なお、ここでは代表的に、初期化用素子103を示す。なお書込み用素子101及び駆動用素子102については特に図示しないが、本実施例の作製方法に従って作製することが可能である。

【0156】また本実施例では、発光素子としてOLED素子を用いた発光装置の例を示すが、発光素子のみを他に置き換えた発光装置も作製することができる。

【0157】まず、図11(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜5002aを10~200[nm](好ましくは50~100[nm])形成し、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0158】島状半導体層5005、5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5005、5006の厚さは25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム( $\text{SiGe}$ )合金などで形成すると良い。

【0159】レーザー結晶化法で結晶質半導体膜を作製する場合は、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm<sup>2</sup>](代表的には200~300[mJ/cm<sup>2</sup>])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm<sup>2</sup>](代表的には350~500[mJ/cm<sup>2</sup>])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行う。

【0160】なおレーザーは、連続発振またはパルス発振の気体レーザーもしくは固体レーザーを用いることができる。気体レーザーとして、エキシマレーザー、Arレーザー、Krレーザーなどがあり、固体レーザーとして、YAGレーザー、YVO<sub>4</sub>レーザー、YLFレーザー、YAlO<sub>3</sub>レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti：サファイアレーザーなどが挙げられる。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO<sub>4</sub>、YLF、YAlO<sub>3</sub>などの結晶を使ったレーザー等も使用可能である。当該レーザーの基本波はドーピングする材料によって異なり、1μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0161】非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd：YVO<sub>4</sub>レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用するのが望ましい。具体的には、出力10Wの連続発振のYVO<sub>4</sub>レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm<sup>2</sup>程度（好ましくは0.1～10MW/cm<sup>2</sup>）が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。

【0162】次いで、島状半導体層5005、5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波（13.56[MHz]）、電力密度0.5～0.8[W/cm<sup>2</sup>]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0163】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、

第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0164】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は20[μΩ/cm]程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は180[μΩ/cm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることが出来る。

【0165】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン（WF<sub>6</sub>）を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩ/cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999または99.99[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μΩ/cm]を実現することが出来る。

【0166】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル（Ta<sub>3</sub>N<sub>5</sub>）で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル（Ta<sub>3</sub>N<sub>5</sub>）で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル（Ta<sub>3</sub>N<sub>5</sub>）で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0167】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF（13.56[MHz]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100[W]のRF（13.56[MHz]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa



膜とも同程度にエッチングされる。

【0168】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20[\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には $3$ )であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50[\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 $5013$ 、 $5014$ (第1の導電層 $5013a$ 、 $5014a$ と第2の導電層 $5013b$ 、 $5014b$ )を形成する。このとき、ゲート絶縁膜 $5007$ においては、第1の形状の導電層 $5013$ 、 $5014$ で覆われない領域は $20 \sim 50[\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0169】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}[\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60 \sim 100[\text{keV}]$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層 $5013$ 、 $5014$ がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $5017$ 、 $5018$ が形成される。第1の不純物領域 $5017$ 、 $5018$ には $1 \times 10^{20} \sim 1 \times 10^{21}[\text{atoms}/\text{cm}^3]$ の濃度範囲でn型を付与する不純物元素を添加する。

(図11(B))

【0170】次に、図11(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層 $5028$ 、 $5029$ (第1の導電層 $5028a$ 、 $5029a$ と第2の導電層 $5028b$ 、 $5029b$ )を形成する。このとき、ゲート絶縁膜 $5007$ においては、第2の形状の導電層 $5028$ 、 $5029$ で覆われない領域はさらに $20 \sim 50[\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0171】W膜やTa膜の $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である $\text{WF}_6$ が極端に高く、その他の $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$ は同程度である。従って、 $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスではW膜及びTa膜共にエッチン

グされる。しかし、この混合ガスに適量の $\text{O}_2$ を添加すると $\text{CF}_4$ と $\text{O}_2$ が反応して $\text{CO}$ と $\text{F}$ になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 $\text{O}_2$ を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0172】そして、図11(D)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120[\text{keV}]$ とし、 $1 \times 10^{13}[\text{atoms}/\text{cm}^2]$ のドーズ量で行い、図11(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層 $5028$ 、 $5029$ を不純物元素に対するマスクとして用い、第1の導電層 $5028a$ 、 $5029a$ の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域 $5034$ 、 $5035$ が形成される。この第3の不純物領域 $5034$ 、 $5035$ に添加されたリン(P)の濃度は、第1の導電層 $5028a$ 、 $5029a$ のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層 $5028a$ 、 $5029a$ のテーパ部と重なる半導体層において、第1の導電層 $5028a$ 、 $5029a$ のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0173】次に、図12(A)に示すように第3のエッチング処理を行う。エッチングガスに $\text{CHF}_3$ を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層 $5028a$ 、 $5029a$ のテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層 $5039$ 、 $5040$ (第1の導電層 $5039a$ 、 $5040a$ と第2の導電層 $5039b$ 、 $5040b$ )を形成する。このとき、ゲート絶縁膜 $5007$ においては、第3の形状の導電層 $5039$ 、 $5040$ で覆われない領域はさらに $20 \sim 50[\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0174】第3のエッチング処理によって、第3の不純物領域 $5034$ 、 $5035$ においては、第1の導電層 $5039a$ 、 $5040a$ と重なる第3の不純物領域 $5034a$ 、 $5035a$ と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域 $5034b$ 、 $5035$

bとが形成される。

【0175】そして、図12(B)に示すように、pチャネル型TFTを形成する島状半導体層5005に第1の導電型とは逆の導電型の第4の不純物領域5049~5054を形成する。第3の形状の導電層5040bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5006はレジストマスク5200で全面を被覆しておく。不純物領域5049~5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン( $B_2H_6$ )を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$  [atoms/cm<sup>3</sup>]となるようにする。

【0176】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5039、5040がゲート電極として機能する。

【0177】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [°C]、代表的には500~600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5039、5040に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0178】なお、レーザーアニール法を用いて活性化を行う場合、結晶化の際に用いたレーザーを使用することが可能である。活性化の場合は、移動速度は結晶化と同じにし、0.01~100 MW/cm<sup>2</sup>程度(好ましくは0.01~10 MW/cm<sup>2</sup>)のエネルギー密度が必要となる。

【0179】さらに、3~100 [%]の水素を含む雰囲気中で、300~450 [°C]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0180】次いで、図13(C)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホール

を形成し、各配線5059~5062をパターニング形成した後、接続配線5062に接する画素電極5064をパターニング形成する。

【0181】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5 [μm](さらに好ましくは2~4 [μm])とすれば良い。

【0182】コンタクトホール形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域5017またはp型の不純物領域5049、5054に達するコンタクトホールをそれぞれ形成する。

【0183】また、配線(接続配線、信号線を含む)5059~5062として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0184】また、本実施例では、画素電極5064としてITO膜を110 [nm]の厚さに形成し、パターニングを行った。画素電極5064を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20 [%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5064が発光素子の陽極となる。(図12(A))

【0185】次に、図12(D)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500 [nm]の厚さに形成し、画素電極5064に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでない場合、段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0186】次に、有機発光層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層5066の膜厚は80~200 [nm](典型的には100~120 [nm])、陰極5067の厚さは180~300 [nm](典型的には200~250 [nm])とすれば良い。

【0187】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタル

マスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機発光層を形成するのが好ましい。

【0188】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0189】ここではRGBに対応した3種類の発光素子を形成する方式を用いたが、白色発光の発光素子とカラーフィルタを組み合わせた方式、青色または青緑発光の発光素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応した発光素子を重ねる方式などを用いても良い。

【0190】なお、有機発光層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層となる4層構造を有機発光層とすれば良い。

【0191】次に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0192】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、有機発光層5066を水分等から保護することができ、発光素子の信頼性をさらに高めることが出来る。

【0193】こうして図12(D)に示すような構造の発光装置が完成する。

【0194】ところで、本実施例の発光装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0195】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0196】本実施例の場合、nチャネル型TFTの活

性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域（ $L_{OV}$ 領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域（ $L_{OFF}$ 領域）およびチャネル形成領域を含む。

【0197】また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0198】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、 $L_{OV}$ 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0199】なお、実際には図12(D)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると発光素子の信頼性が向上する。

【0200】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ、FPC（フレキシブルプリントサーキット）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では発光装置という。

【0201】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0202】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0203】本実施例の構成は、実施の形態1～2、実施例1～実施例4に示した構成と自由に組み合わせて実施することが可能である。

【0204】（実施例6）本実施例では、本発明の発光

装置の実施例の外観について、図 13 を用いて説明する。本実施例では、発光素子は O L E D 素子としておく。ただし O L E D 素子以外の発光素子を用いてもよい。

【0205】図 13 は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 13 ( B ) は、図 13 ( A ) の A - A ' における断面図、図 13 ( C ) は図 13 ( A ) の B - B ' における断面図である。

【0206】基板 4001 上に設けられた画素部 4002 と、ソース信号線駆動回路 4003 と、書込み用及び初期化用ゲート信号線駆動回路 4004 a、b とを囲むようにして、シール材 4009 が設けられている。また画素部 4002 と、ソース信号線駆動回路 4003 と、書込み用及び初期化用ゲート信号線駆動回路 4004 a、b との上にシーリング材 4008 が設けられている。よって画素部 4002 と、ソース信号線駆動回路 4003 と、書込み用及び初期化用ゲート信号線駆動回路 4004 a、b とは、基板 4001 とシール材 4009 とシーリング材 4008 とによって密封されている。4210 の部分は中空部であるが、充填材を入れてもよい。

【0207】また基板 4001 上に設けられた画素部 4002 と、ソース信号線駆動回路 4003 と、書込み用及び初期化用ゲート信号線駆動回路 4004 a、b とは、複数の T F T を有している。図 13 ( B ) では代表的に、下地膜 4010 上に形成された、ソース信号線駆動回路 4003 に含まれる T F T (以下、駆動回路 T F T。ここでは n チャンネル型 T F T と p チャンネル型 T F T の各 1 個のみを図示。) 4201 及び画素部 4002 に含まれる駆動用素子 4202 を図示した。

【0208】本実施例では、駆動回路 T F T 4201 には公知の方法で作製された p チャンネル型 T F T または n チャンネル型 T F T が用いられ、初期化用素子 103 (図 13 においては図示せず) には公知の方法で作製された n チャンネル型 T F T が用いられる。

【0209】駆動回路 T F T 4201 及び駆動用素子 4202 上には層間絶縁膜 (平坦化膜) 4301 が形成され、その上に駆動用素子 4202 のドレインと電気的に接続する画素電極 (陽極) 4203 が形成される。画素電極 4203 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。

【0210】そして、画素電極 4203 の層の上層には絶縁膜 4302 が形成され、絶縁膜 4302 は画素電極 4203 上に開口部が形成されている。この開口部において、画素電極 4203 の上には有機発光層 4204 が

形成される。有機発光層 4204 には公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いてもよい。

【0211】有機発光層 4204 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせた積層構造にすることができる。ただし単層構造としてもよい。

【0212】有機発光層 4204 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4205 が形成される。また、陰極 4205 と有機発光層 4204 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層 4204 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4205 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

【0213】以上のようにして、画素電極 (陽極) 4203、有機発光層 4204 及び陰極 4205 からなる発光素子 4303 が形成される。そして発光素子 4303 を覆うように、絶縁膜 4302 上に保護膜 4303 が形成されている。保護膜 4303 は、発光素子 4303 に酸素や水分等が入り込むのを防ぐのに効果的である。

【0214】4005 a は電源線に接続された引回し配線であり、駆動用素子 4202 のソース領域に電気的に接続されている。引き回し配線 4005 a はシール材 4009 と基板 4001 との間を通り、異方導電性フィルム 4300 を介して F P C 4006 が有する F P C 用配線 4301 に電気的に接続される。

【0215】シーリング材 4008 としては、ガラス材、金属材 (代表的にはステンレス材)、セラミックス材、プラスチック材 (プラスチックフィルムも含む) を用いることができる。プラスチック材としては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0216】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0217】また、充填材 4103 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニル

ロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【0218】また充填材4103を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0219】図13(C)に示すように、画素電極4203が形成されると同時に、引回し配線4005a上に20接するように導電性膜4203aが形成される。

【0220】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0221】本実施例の構成は、実施の形態1~2、実施例1~実施例5に示した構成と自由に組み合わせる30ことができる。

【0222】(実施例7)発光素子に用いられる発光材料は低分子系と高分子系に大別される。本発明の発光装置は、低分子系の発光材料でも高分子系の発光材料でも、どちらでも用いることができる。また場合によっては、低分子系、高分子系いずれにも分類し難い材料(例えば、特願2001-167508等を参照)を用いてもよい。

【0223】低分子系の発光材料は、蒸着法により成膜される。したがって積層構造をとりやすく、ホール輸送層、電子輸送層などの機能が異なる膜を積層することで40高効率化しやすい。もっとも、ホール輸送層、電子輸送層等は必ずしも明確に存在せず、混合状態のような層が単層ないし複数層存在し(例えば、特願2001-020817等を参照)、素子の高寿命化、高発光効率化などが図られていてもよい。

【0224】低分子系の発光材料としては、キノリノールを配位子としたアルミニウム錯体Alq<sub>3</sub>、トリフェニルアミン誘導体(TPD)等が代表的に挙げられる。

【0225】一方、高分子系の発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布50

により成膜することが可能であるので、素子の作製が比較的容易である。

【0226】高分子系の発光材料を用いた発光素子の構造は、低分子系の発光材料を用いたときと基本的には同じであり、陰極/有機発光層/陽極となる。しかし、高分子系の発光材料を用いた有機発光層を形成する際には、低分子系の発光材料を用いたときのような積層構造を形成させることは難しく、知られている中では2層の積層構造が有名である。具体的には、陰極/発光層/正孔輸送層/陽極という構造である。なお、高分子系の発光材料を用いた発光素子の場合には、陰極材料としてCaを用いることも可能である。

【0227】なお、素子の発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が代表的に挙げられる。

【0228】ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン)[PPV]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)[RO-PPV]、ポリ(2-(2'-エチル-ヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン)[MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン)[ROPPh-PPV]等が挙げられる。

【0229】ポリパラフェニレン系には、ポリパラフェニレン[PPP]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレン)[RO-PPP]、ポリ(2,5-ジヘキソキシ-1,4-フェニレン)等が挙げられる。

【0230】ポリチオフェン系には、ポリチオフェン[PT]の誘導体、ポリ(3-アルキルチオフェン)[PAT]、ポリ(3-ヘキシルチオフェン)[PHIT]、ポリ(3-シクロヘキシルチオフェン)[PCHIT]、ポリ(3-シクロヘキシル-4-メチルチオフェン)[PCHMT]、ポリ(3,4-ジシクロヘキシルチオフェン)[PDCHIT]、ポリ[3-(4-オクチルフェニル)-チオフェン][POPT]、ポリ[3-(4-オクチルフェニル)-2,2ピチオフェン][PTOPT]等が挙げられる。

【0231】ポリフルオレン系には、ポリフルオレン[PF]の誘導体、ポリ(9,9-ジアルキルフルオレン)[PDAF]、ポリ(9,9-ジオクチルフルオレン)[PDOF]等が挙げられる。

【0232】なお、正孔輸送性の高分子系の発光材料を、陽極と発光性の高分子系発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には

不溶であるため、上述した発光性の発光材料との積層が可能である。

【0233】正孔輸送性の高分子系の発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。

【0234】本実施例の構成は、実施の形態1~2、実施例1~実施例6に示した構成と自由に組み合わせる実施することが可能である。

【0235】(実施例8)発光装置は、用いている発光素子の長所を生かして、様々な機器の表示部に用いることができる。例えば、発光素子としてOLEDを用いた発光装置は、液晶ディスプレイに比べ、明暗のコントラストが強い点、視認性に優れる点、また視野角が広い点は、モニター用途に有利である。さらに高速応答性がある点は、動画表示装置に、かなり有利である。薄型軽量という点は、携帯機器向けに有利である。

【0236】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図14に示す。

【0237】図14(A)は発光素子表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0238】図14(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0239】図14(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の

発光装置は表示部2203に用いることができる。

【0240】図14(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0241】図14(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0242】図14(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0243】図14(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0244】図14(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0245】なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0246】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。そのため高応答速度の発光素子を用いた発光装置は、たいへん価値がある。

【0247】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0248】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1～8 に示したいずれの構成の発光装置を用いても良い。

#### 【0249】

【発明の効果】本発明の半導体素子であるマルチドレイントランジスタを利用することにより、従来のシングルドレイントランジスタのみでは構成しにくい回路を、実現することができる。あるいは、従来のシングルドレイントランジスタのみでも構成は可能だが、複雑になったり大きな面積を要したりしてしまう回路を、マルチドレイントランジスタを利用することにより、そのような不都合なく設けることができる。

【0250】本発明の電流記憶回路は、書き込み用素子と駆動用素子とを用いて構成し、その二素子の一方もしくは双方にマルチドレイントランジスタを使用する。したがって、電流信号バッファなど電流記憶機能が必要となる様々な回路の簡素化、小面積化、高集積化に有用である。また、素子数が少ないため、製造上の高歩留まりも見込める。

【0251】本発明の発光装置は、発光素子を電流駆動することにより、発光表示装置中にある発光素子に流れる電流を、次のような場合においても良好に維持することができる。発光素子の電気抵抗が環境温度に大きく依存する場合、発光素子を電圧駆動すると経時的に発光輝度が低下してしまう場合、など。発光素子に流れる電流を良好に維持することにより、発光輝度を良好に保つことができる。その結果、RGB の各サブ画素を独立に形成する型のカラー表示装置では、色ずれの発生も回避できる

【0252】また発光素子を電流駆動することにより、発光素子に流れる電流を制御している駆動用素子の特性が画素間で異なっている場合でも、画素間において発光素子に流れる電流の大きさに著しいバラつきが生じるのを防ぐことができ、表示画面の輝度むらの発生を抑えることもできる。

【0253】さらに発光素子に流れる電流を所望の値に保つことができるので、配線抵抗による電位降下により階調が変化するのを防ぐことができる。発光素子を電圧

駆動する場合と比較すれば、これも特長となる。

【0254】しかも本発明の発光装置は、本発明の半導体素子マルチドレイントランジスタを画素回路に使用することにより、画素回路の小面積化を行うことが可能である。その結果、開口率が上昇することから発光素子に流れる電流密度が低下し、その結果、省電力化、発光素子自体の劣化抑制を図ることができる。

【0255】本発明の表示装置も、本発明の半導体素子マルチドレイントランジスタを画素回路に使用することにより、画素回路の小面積化、高集積化、高性能化を行うことが可能である。

【0256】本発明の電子機器は、上記の特長を有する本発明の発光装置または表示装置を搭載することにより、高性能かつ高信頼性という特長を備える。

#### 【0257】

##### 【図面の簡単な説明】

【図 1】 本発明の発光装置の構成概略例を示す図。

【図 2】 本発明の発光装置の画素回路例を示す図。

【図 3】 ゲート信号線に入力される信号のタイミングチャートを示す図

【図 4】 書き込み期間及び表示期間における画素の概略図。

【図 5】 ソース信号線駆動回路例のブロック図。

【図 6】 ソース信号線駆動回路例のブロック図。

【図 7】 書き込み用ゲート信号線駆動回路例、初期化用ゲート信号線駆動回路例のブロック図。

【図 8】 本発明の半導体素子の構成例を示す図。

【図 9】 本発明の半導体素子の構成例を示す図。

【図 10】 本発明の半導体素子の構成例を示す図。

【図 11】 本発明の発光装置の作製工程を示す図。

【図 12】 本発明の発光装置の作製工程を示す図。

【図 13】 本発明の発光装置の外観を示す図。

【図 14】 本発明の電子機器を示す図。

【図 15】 本発明の発光装置の画素回路例を示す図。

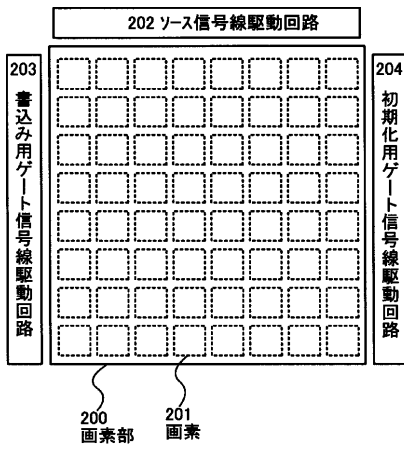
【図 16】 本発明の半導体素子の構成例を示す図。

【図 17】 本発明の電気回路の構成例を示す図。

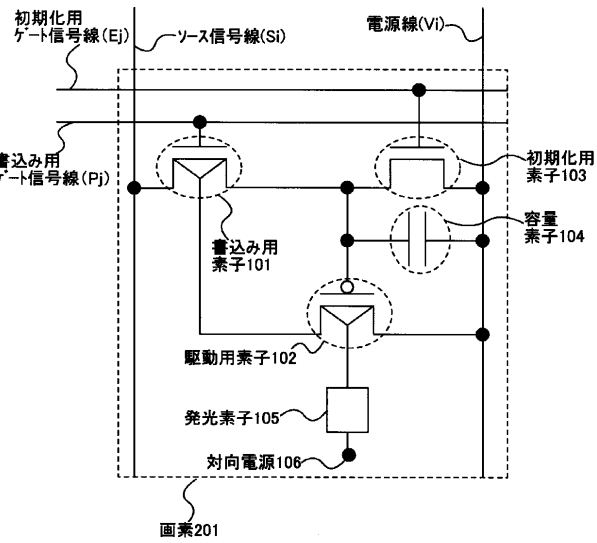
【図 18】 従来の TFT で 3 ノードを接続する例を示す図。



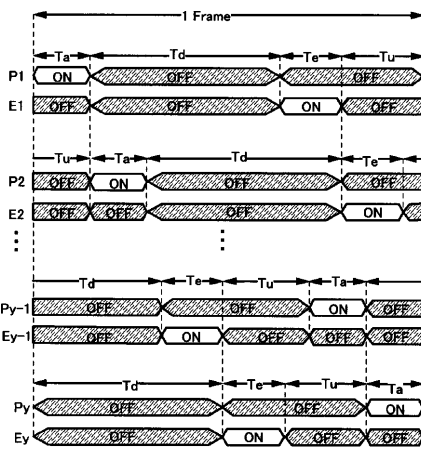
【図1】



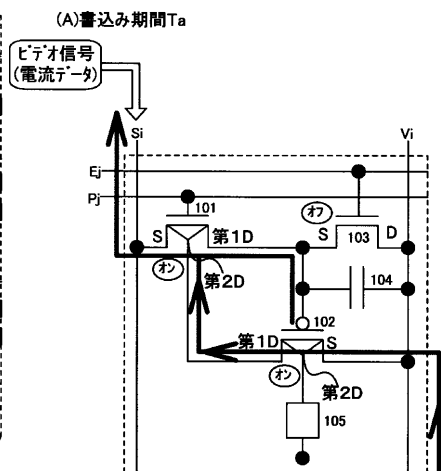
【図2】



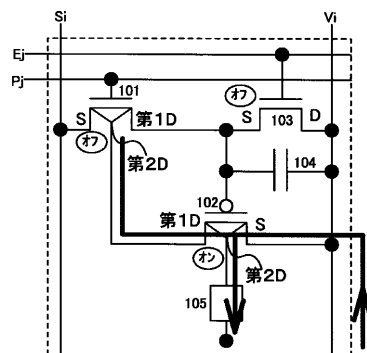
【図3】



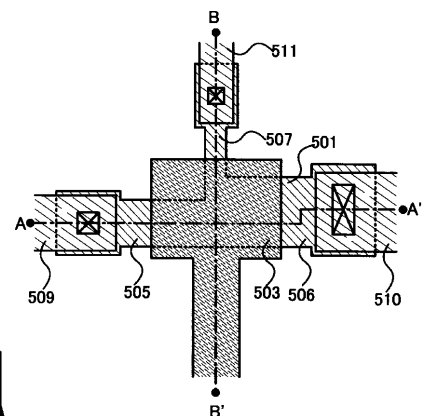
【図4】



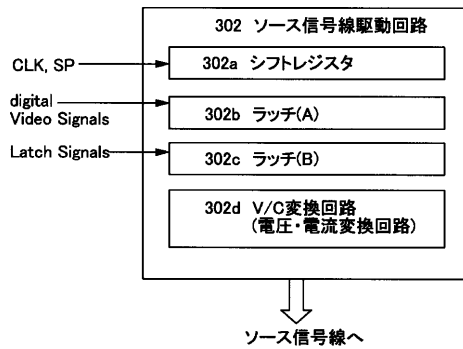
(B)表示期間Td



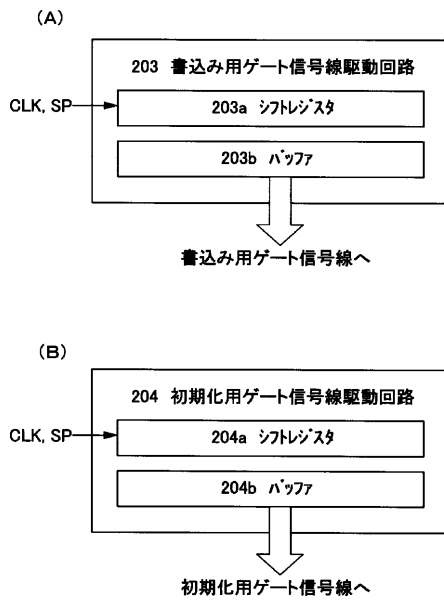
【図16】



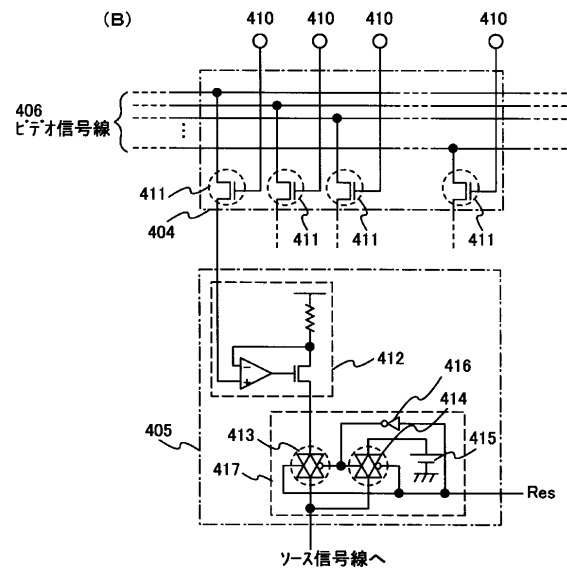
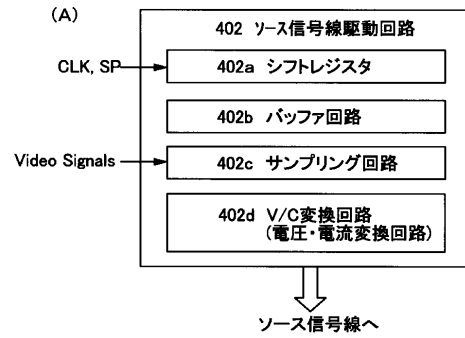
【図5】



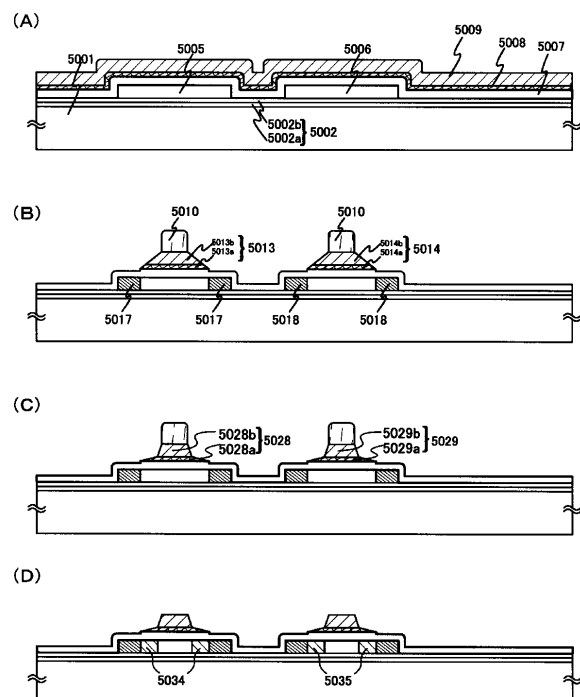
【図7】



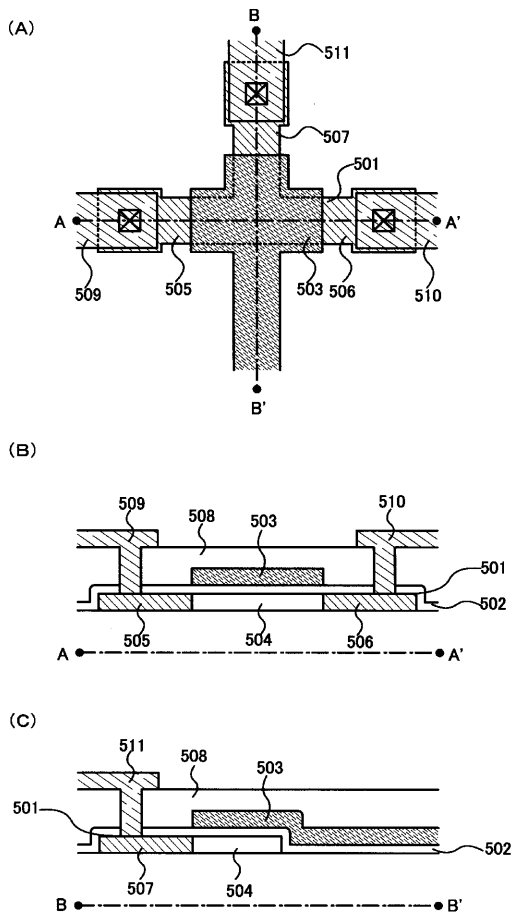
【図6】



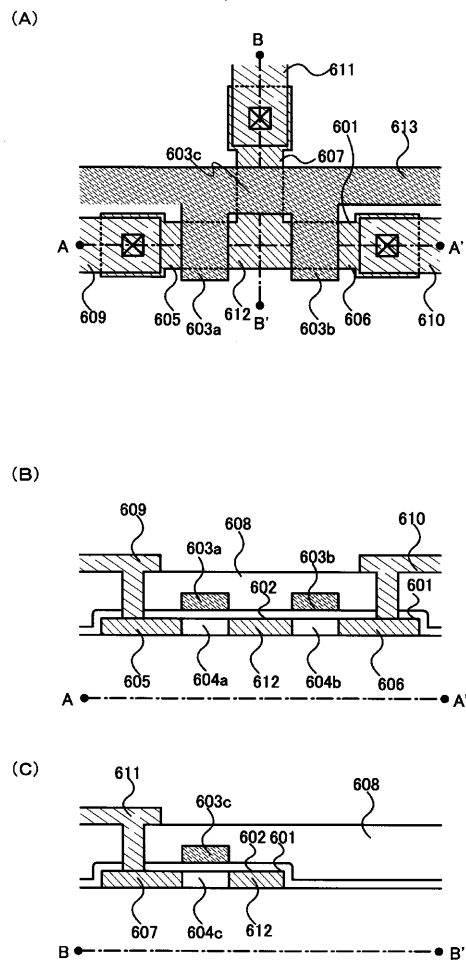
【図11】



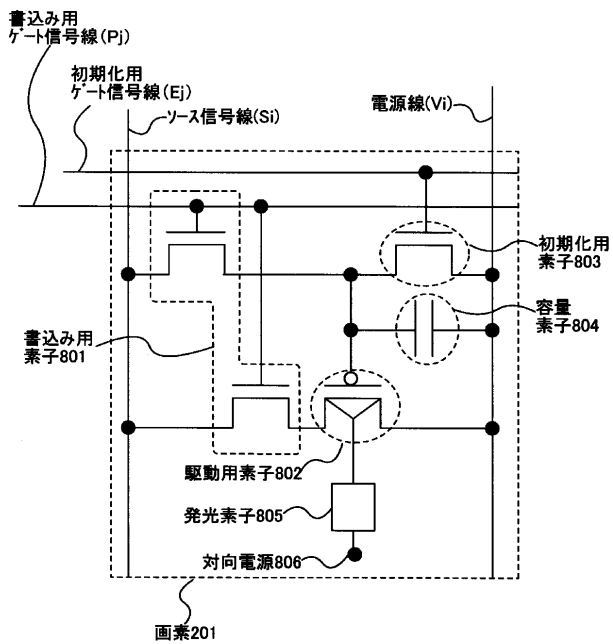
【図8】



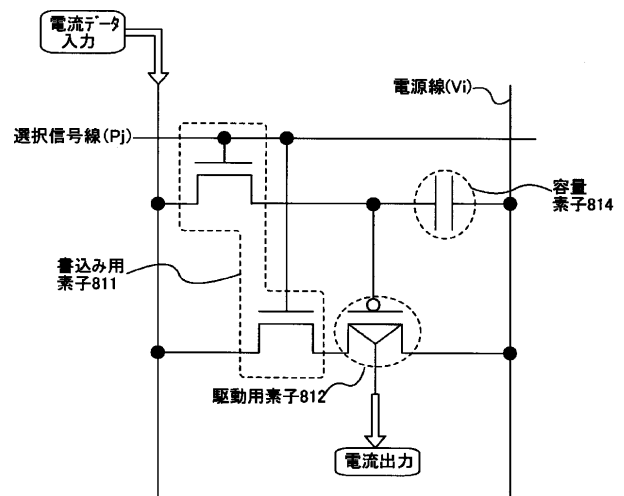
【図9】



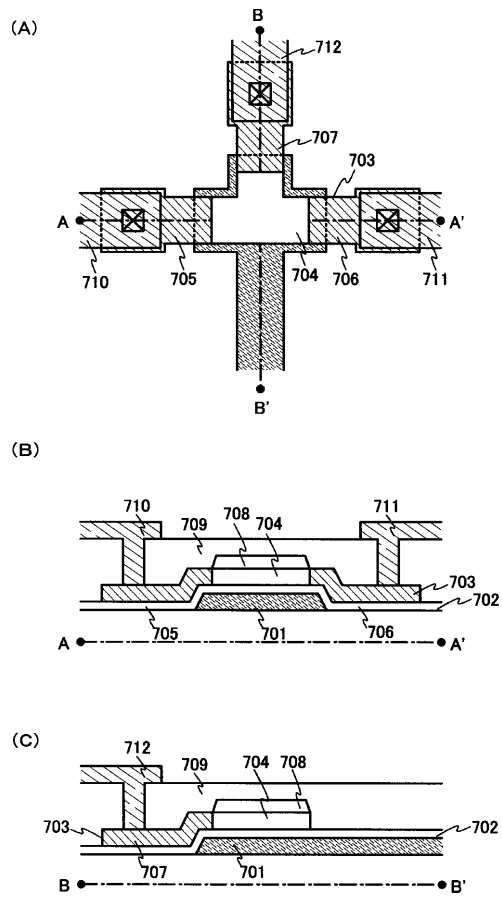
【図15】



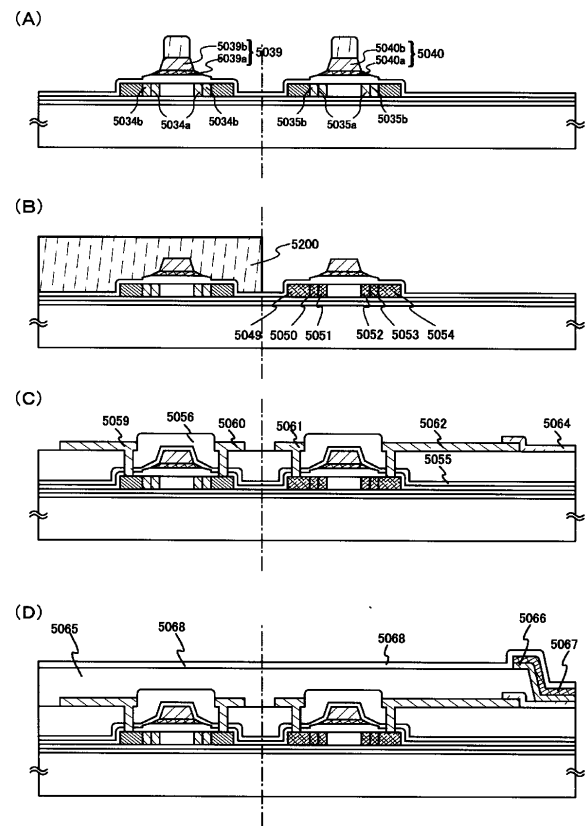
【図17】



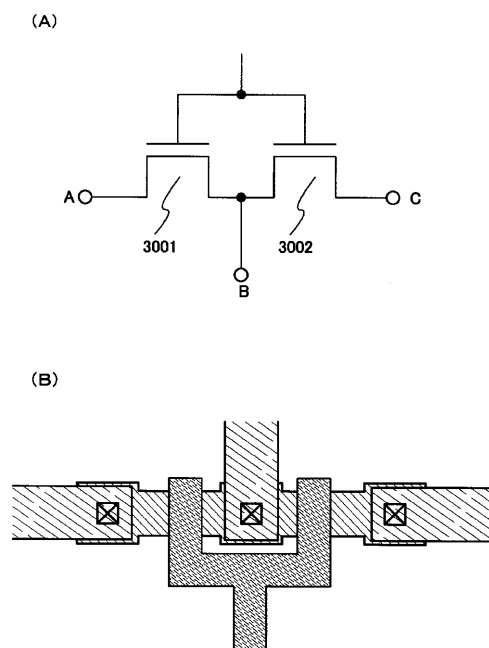
【図10】



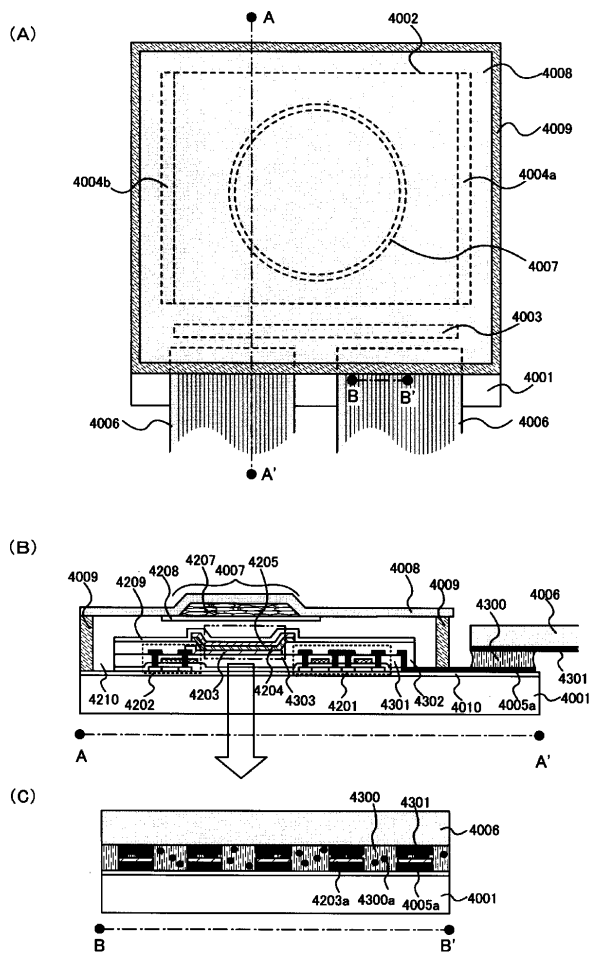
【図12】



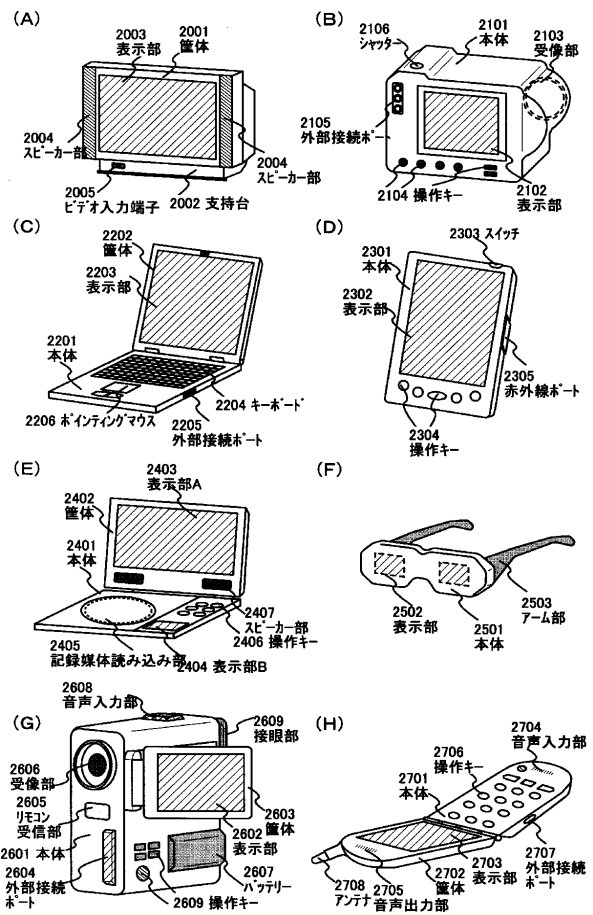
【図18】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/08  
27/092  
H 0 4 N 5/66  
H 0 5 B 33/14

識別記号

3 3 1

F I

H 0 1 L 29/78

27/08

テ-マ-コ-ト<sup>\*</sup> (参考)

6 1 6 S  
6 1 4  
6 1 6 A  
6 1 7 A  
3 2 1 E  
3 2 1 C

F ターム(参考) 3K007 AB02 AB11 AB18 BA06 BB07  
DA01 DB03 EB00 GA04  
5C058 AA13 BA01 BB25  
5C094 AA03 AA07 AA10 AA15 AA22  
AA31 AA42 AA43 AA45 BA03  
BA09 BA27 CA19 DA13 DB01  
DB04 EA04 FA01 FA02 FB01  
FB12 FB14 FB15 FB20 GA10  
5F048 AB07 AC04 AC10 BA16 BB02  
BB06 BB07 BC02 BC03 BC06  
BD01  
5F110 AA04 AA14 BB02 BB04 CC02  
CC08 DD02 DD13 DD14 DD15  
DD17 EE01 EE02 EE03 EE04  
EE06 EE09 EE14 EE23 EE28  
EE44 EE45 FF02 FF04 FF28  
FF30 FF36 GG01 GG02 GG13  
GG23 GG25 HJ01 HJ04 HJ12  
HJ13 HJ23 HL04 HL06 HL12  
HL23 HM04 HM12 HM14 HM15  
NN03 NN04 NN22 NN27 NN71  
NN73 NN78 PP01 PP03 PP04  
PP05 PP06 QQ04 QQ11 QQ19  
QQ24 QQ25

专利名称(译)	半导体器件，电路，显示器件，发光器件和电子器件		
公开(公告)号	<a href="#">JP2003152185A</a>	公开(公告)日	2003-05-23
申请号	JP2001345273	申请日	2001-11-09
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	犬飼和隆		
发明人	犬飼 和隆		
IPC分类号	H01L51/50 G09F9/30 H01L21/336 H01L21/77 H01L21/8238 H01L21/84 H01L27/08 H01L27/092 H01L27/12 H01L27/32 H01L29/423 H01L29/49 H01L29/78 H01L29/786 H04N5/66 H05B33/14		
CPC分类号	H01L27/1214 H01L27/1222 H01L27/1251 H01L27/3244 H01L29/42384 H01L29/4908 H01L29/66757 H01L29/78621 H01L29/78645 H01L29/78696 H01L2029/7863		
FI分类号	G09F9/30.338 G09F9/30.365.Z H01L27/08.331.E H04N5/66.B H05B33/14.A H01L29/78.616.S H01L29/78.614 H01L29/78.616.A H01L29/78.617.A H01L27/08.321.E H01L27/08.321.C G09F9/30.365 H01L27/088.331.E H01L27/092.C H01L27/092.E H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB11 3K007/AB18 3K007/BA06 3K007/BB07 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 5C058/AA13 5C058/BA01 5C058/BB25 5C094/AA03 5C094/AA07 5C094/AA10 5C094/AA15 5C094/AA22 5C094/AA31 5C094/AA42 5C094/AA43 5C094/AA45 5C094/BA03 5C094/BA09 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5C094/GA10 5F048/AB07 5F048/AC04 5F048/AC10 5F048/BA16 5F048/BB02 5F048/BB06 5F048/BB07 5F048/BC02 5F048/BC03 5F048/BC06 5F048/BD01 5F110/AA04 5F110/AA14 5F110/BB02 5F110/BB04 5F110/CC02 5F110/CC08 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE09 5F110/EE14 5F110/EE23 5F110/EE28 5F110/EE44 5F110/EE45 5F110/FF02 5F110/FF04 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG23 5F110/GG25 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM04 5F110/HM12 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN27 5F110/NN71 5F110/NN73 5F110/NN78 5F110/PP01 5F110/PP03 5F110/PP04 5F110/PP05 5F110/PP06 5F110/QQ04 5F110/QQ11 5F110/QQ19 5F110/QQ24 5F110/QQ25 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC36 3K107/CC43 3K107/CC45 3K107/EE04 3K107/HH05		
其他公开文献	JP4202012B2 JP2003152185A5		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

可以实现可以小型化，元件数量少，结构简单，功耗低，制造时的成品率高的电流存储电路。此外，通过将该电流存储电路应用于诸如OLED显示装置的电流驱动型显示装置，实现了显示装置的像素开口率，高可靠性，高性能等的改善。使用具有诸如具有多个漏极或源极的晶体管的形状的新型半导体元件。当将该半导体元件用作写入元件和驱动元件时，可以通过两个半导体元件执行电流值的读取，电流的存储和输出，并且可以显著减小面积。



