

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/029795

発行日 平成24年2月2日 (2012.2.2)

(43) 国際公開日 平成22年3月18日 (2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
HO1L 51/50 (2006.01)	G09G 3/20 642L	5C380
	G09G 3/20 624B	
	G09G 3/20 623C	

審査請求 有 予備審査請求 未請求 (全 45 頁) 最終頁に続く

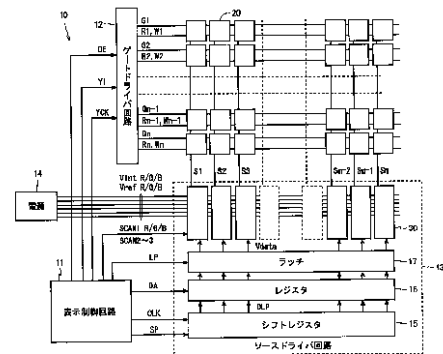
出願番号 特願2010-528679 (P2010-528679)	(71) 出願人 00005049
(21) 国際出願番号 PCT/JP2009/060034	シャープ株式会社
(22) 国際出願日 平成21年6月2日 (2009.6.2)	大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号 特願2008-231807 (P2008-231807)	(74) 代理人 100104695
(32) 優先日 平成20年9月10日 (2008.9.10)	弁理士 島田 明宏
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100121348
	弁理士 川原 健児
	(72) 発明者 岸 宣孝
	大阪府大阪市阿倍野区長池町22番22号
	シャープ株式会社内
	Fターム(参考) 3K107 AA01 BB01 CC07 CC14 CC31
	CC33 EE03 HH04 HH05
	5C080 AA06 BB05 CC03 DD05 DD26
	EE29 EE30 FF11 FF12 HH10
	JJ02 JJ03 JJ04 JJ05
	最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

画素回路20は、有機EL素子25と、駆動用TFT21と、駆動用TFT21のゲート-ソース間に設けられたスイッチ用TFT23を含む。画素回路20への書き込み時には、駆動用TFT21のゲート端子に初期電圧を印加し、駆動用TFT21が導通状態である間にスイッチ用TFT23を一時的に導通状態に制御し、そのときの駆動用TFT21のゲート端子電位を用いて補正されたデータ電圧を駆動用TFT21のゲート端子に印加する。人間は青色の色度の違いには敏感であるが、緑色の色度の違いには鈍感である。青色用の画素回路には閾値補正の精度が高くなる初期電圧Vint_Bを使用し、緑色用の画素回路には消費電力が低くなる初期電圧Vint_Gを使用する。これにより、高画質で低消費電力の電流駆動型カラー表示装置を提供する。

図11



- 14 POWER SOURCE
- 12 GATE DRIVER CIRCUIT
- 11 DISPLAY CONTROL CIRCUIT
- 17 LATCH
- 16 REGISTER
- 15 SHIFT REGISTER
- 13 SOURCE DRIVER CIRCUIT

【特許請求の範囲】

【請求項 1】

カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第 1 の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第 2 の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも 2 種類の画素回路間で異なることを特徴とする、表示装置。

【請求項 2】

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記 3 種類の画素回路の中では前記緑色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最小となるように、前記初期電位差が設定されていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記 3 種類の画素回路の中では前記青色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最大となるように、前記初期電位差が設定されていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、少なくとも 2 種類の画素回路間で異なる初期電圧を前記データ線に印加することを特徴とする、請求項 1 に記載の表示装置。

【請求項 5】

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第 1 の電極を前記データ線に接続し、前記容量の第 2 の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする、請求項 4 に記載の表示装置。

【請求項 6】

前記参照電圧は、少なくとも 2 種類の画素回路間で異なることを特徴とする、請求項 5 に記載の表示装置。

【請求項 7】

前記画素回路は、第 1 の電極が前記駆動素子の制御端子に接続された容量と、前記容量の第 2 の電極と前記データ線との間に設けられた書き込み用スイッチング素子と、前記容量の 2 個の電極に所定の初期電圧を印加するか否かを切り替える初期化用スイッチング素子とを含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記データ線に前記データ電圧を印加すると共に、前記容量の第 1 の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を非導通状態に制御すると共に、前記容量の第 2 の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、

10

20

30

40

50

前記初期電圧は、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なることを特徴とする、請求項１に記載の表示装置。

【請求項８】

前記駆動素子の第２の導通端子には、前記初期電位差が与えられるように、少なくとも２種類の画素回路間で異なる電源電圧が印加されることを特徴とする、請求項１に記載の表示装置。

【請求項９】

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第１の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路を有する表示装置の駆動方法であって、

10

前記走査線を用いて書き込み対象の画素回路を選択するステップと、

選択した画素回路について、前記駆動素子の制御端子と第２の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御するステップと、

選択した画素回路について、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加するステップとを備え、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも２種類の画素回路間で異なることを特徴とする、表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置に関し、より特定的には、有機ＥＬディスプレイやＦＥＤなどの電流駆動素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【０００２】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機ＥＬ（Electro Luminescence）ディスプレイやＦＥＤ（Field Emission Display）に関する研究開発が活発に行われている。

30

【０００３】

有機ＥＬディスプレイに含まれる有機ＥＬ素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機ＥＬ素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機ＥＬディスプレイに電圧制御型の駆動方式を適用すると、有機ＥＬ素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機ＥＬ素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機ＥＬディスプレイには電流制御型の駆動方式を適用することが好ましい。

【０００４】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、ＣＧ（Continuous Grain）シリコンなどで構成されたＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を用いて構成される。ところが、ＴＦＴの特性（例えば、閾値電圧や移動度）には、ばらつきが生じやすい。そこで、有機ＥＬディスプレイの画素回路にはＴＦＴの特性のばらつきを補償する回路が設けられ、この回路の作用により有機ＥＬ素子の輝度のばらつきが抑えられる。

40

【０００５】

電流駆動型の駆動方式においてＴＦＴの特性のばらつきを補償する方式は、駆動用ＴＦＴに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧の

50

ばらつきのみを補償することができる。

【0006】

ところが、電流プログラム方式には、第1に、非常に微少量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTFT作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

【0007】

電流駆動型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図14は、特許文献1に記載された画素回路と出力スイッチの回路図である。図14において、画素回路120はトランジスタT1～T4、有機EL素子OLEDおよびコンデンサCsを備え、出力スイッチ121はトランジスタT5～T8およびコンデンサC1を備えている。画素回路120は、電源配線Vp、共通陰極Vcom、走査線G1i、G2iおよびデータ線Sjに接続される。トランジスタT5～T8の一端には、それぞれ、電圧V0、データ電圧Vdata、閾値補正電圧Vpreおよび電圧Vaが印加される。電圧Vaは、トランジスタT3の閾値電圧に近い電圧である。

【0008】

画素回路120は、図15に示すタイミングチャートに従って動作する。図15に示すように、閾値電圧書き込み期間の前半では、トランジスタT1、T2、T5、T7は導通状態になり、トランジスタT4、T6、T8は非導通状態になる。このとき、データ線Sjには閾値補正電圧Vpreが印加され、トランジスタT3のゲート端子とドレイン端子にも同じ電圧が印加される。閾値電圧書き込み期間の後半では、トランジスタT7は非導通状態になる。このとき、コンデンサCsに蓄積されていた電荷はトランジスタT1～T3を経由して放電され、トランジスタT3のゲート端子電位はトランジスタT3の閾値電圧に応じたレベルVtまで上昇する。また、閾値電圧書き込み期間の後半では、トランジスタT8が所定の時間だけ導通状態になる。これにより、データ線Sjには浮遊容量Cfを充電するための電圧Vaが印加され、トランジスタT3のゲート端子電位は短時間でVtに到達する。

【0009】

表示データ電圧書き込み期間では、トランジスタT2、T6は導通状態になり、トランジスタT1、T4、T5、T7、T8は非導通状態になる。閾値電圧書き込み期間から表示データ電圧書き込み期間に遷移するときに、コンデンサC1の電極間電圧は変化しない。このため、コンデンサC1の一方の電極(トランジスタT5、T6に接続された電極)の電位がV0からVdataに変化すると、コンデンサC1の他方の電極の電位も同じ量だけ変化する。これにより得られた電位($Vt + Vdata - V0$)は、トランジスタT2を介してトランジスタT3のゲート端子に印加される。

【0010】

発光期間では、トランジスタT4は導通状態になり、トランジスタT1、T2、T5～T7は非導通状態になる。表示データ電圧書き込み期間から発光期間に遷移するときに、コンデンサCsはトランジスタT3のゲート-ソース間電圧を保持する。このため、発光期間では、トランジスタT3のゲート端子電位は($Vt + Vdata - V0$)のままである。トランジスタT3を流れる電流の量はゲート-ソース間電圧によって定まり、有機EL素子OLEDはトランジスタT3を流れる電流の量に応じた輝度で発光する。トランジスタT3を流れる電流の量はトランジスタT3の閾値電圧に依存しないので、有機EL素子OLEDはトランジスタT3の閾値電圧に依存しない輝度で発光する。

【0011】

このように画素回路120を図15に示す方法で駆動することにより、画素回路120の内部に閾値補正用のコンデンサを設けることなく、トランジスタT3のゲート端子にト

10

20

30

40

50

ランジスタ T 3 の閾値電圧に応じた電位を印加し、トランジスタ T 3 の閾値電圧にかかわらず、有機 E L 素子 O L E D を所望の輝度で発光させることができる。

【 0 0 1 2 】

図 1 6 は、特許文献 2 に記載された画素回路の回路図である。図 1 6 に示す画素回路 1 3 0 は、トランジスタ M 1 ~ M 6、有機 E L 素子 O L E D およびコンデンサ C s t を備えている。画素回路 1 3 0 は、電源配線 V p、共通陰極 V c o m、初期電圧 V i n t が印加されたプリチャージ線、走査線 G A i、G B i および制御線 E i に接続される。画素回路 1 3 0 は、図 1 3 (後述) に示すタイミングチャートに従って動作する。画素回路 1 3 0 の動作は、本発明の第 2 の実施形態に係る画素回路の動作と同様であるので、ここではその説明を省略する。画素回路 1 3 0 を図 1 3 に示す方法で駆動することにより、トランジスタ M 1 のゲート端子にトランジスタ M 1 の閾値電圧に応じた電位を印加し、トランジスタ M 1 の閾値電圧にかかわらず、有機 E L 素子 O L E D を所望の輝度で発光させることができる。

10

【 0 0 1 3 】

なお、上記以外にも有機 E L ディスプレイの例は、本出願と出願人および発明者が共通する別の出願 (国際特許出願 P C T / 2 0 0 7 / 6 9 1 8 4、出願日 2 0 0 7 年 1 0 月 1 日、優先日 2 0 0 7 年 3 月 8 日) にも記載されている。

【先行技術文献】

【特許文献】

【 0 0 1 4 】

【特許文献 1】日本国特開 2 0 0 5 - 3 5 2 4 1 1 号公報

【特許文献 2】日本国特開 2 0 0 7 - 1 3 3 3 6 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 5 】

ところで、従来から知られているように、人間が有する色の判別力は色によって異なる。図 1 7 は、マッカダムの色度判別閾を示す図である。図 1 7 には、x y 色度座標上に複数の楕円が描かれている。各楕円は、人間が同じ色度と判別する範囲を示す (ただし、図面を見やすくするために、楕円は実際の 1 0 倍の大きさで描かれている)。人間は、小さい楕円の近傍では色度の違いに敏感であり、大きい楕円の近傍では色度の違いに鈍感である。図 1 7 から分かるように、人間は、赤色、緑色および青色の中では、青色の色度の違いに最も敏感であり、次に赤色の色度の違いに敏感であり、緑色の色度の違いには最も鈍感である。

30

【 0 0 1 6 】

上述した有機 E L ディスプレイでは、有機 E L 素子に流れる電流の量を制御する駆動素子 (図 1 4 ではトランジスタ T 3、図 1 6 ではトランジスタ M 1) の閾値補正を行うときに、駆動素子のゲート端子に所定の初期電圧 (図 1 4 では V p r e、図 1 6 では V i n t) が印加される。このときに駆動素子のゲート - ソース間電圧の絶対値が大きくなる初期電圧を印加すれば、閾値補正の精度は高くなり画質は向上するが、信号線の充放電による消費電力は増大する。一方、駆動素子のゲート - ソース間電圧の絶対値が小さくなる初期電圧を印加すれば、消費電力は減少するが、閾値補正の精度は低くなり画質は低下する。このように初期電圧を決定するときに、画質と消費電力はトレードオフの関係にある。

40

【 0 0 1 7 】

従来のカラー表示を行う有機 E L ディスプレイでは、装置全体で 1 種類の初期電圧が使用され、初期電圧は例えばある色を基準として決定される。緑色を基準として初期電圧を決定した場合、閾値補正の精度は低くて済むので、駆動素子のゲート - ソース間電圧の絶対値は小さくなり、消費電力は減少する。ところが、緑色よりも敏感に判別可能な青色や赤色では閾値補正の精度が不十分となるので、青色や赤色では色のばらつきが目立ち、画質が低下する。一方、青色を基準として初期電圧を決定した場合、駆動素子のゲート - ソース間電圧の絶対値は大きくなり、すべての色について駆動素子の閾値補正を高い精度で

50

行うことができる。ところが、青色よりも鈍感にしか判別できない緑色や赤色についても青色と同じ初期電圧を使用するために、消費電力は必要以上に増大する。

【0018】

それ故に、本発明は、高画質で低消費電力の電流駆動型カラー表示装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明の第1の局面は、カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも2種類の画素回路間で異なることを特徴とする。

【0020】

本発明の第2の局面は、本発明の第1の局面において、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記3種類の画素回路の中では前記緑色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最小となるように、前記初期電位差が設定されていることを特徴とする。

【0021】

本発明の第3の局面は、本発明の第1の局面において、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、

前記3種類の画素回路の中では前記青色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最大となるように、前記初期電位差が設定されていることを特徴とする。

【0022】

本発明の第4の局面は、本発明の第1の局面において、

前記画素回路は、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子をさらに含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記初期電位差が与えられるように、少なくとも2種類の画素回路間で異なる初期電圧を前記データ線に印加することを特徴とする。

【0023】

本発明の第5の局面は、本発明の第4の局面において、

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第1の電極を前記データ線に接続し、前記容量の第2の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする。

【0024】

本発明の第6の局面は、本発明の第5の局面において、

前記参照電圧は、少なくとも2種類の画素回路間で異なることを特徴とする。

【0025】

10

20

30

40

50

本発明の第7の局面は、本発明の第1の局面において、

前記画素回路は、第1の電極が前記駆動素子の制御端子に接続された容量と、前記容量の第2の電極と前記データ線との間に設けられた書き込み用スイッチング素子と、前記容量の2個の電極に所定の初期電圧を印加するか否かを切り替える初期化用スイッチング素子とを含み、

前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、前記データ線に前記データ電圧を印加すると共に、前記容量の第1の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を非導通状態に制御すると共に、前記容量の第2の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、

前記初期電圧は、前記初期電位差が与えられるように、少なくとも2種類の画素回路間で異なることを特徴とする。

【0026】

本発明の第8の局面は、本発明の第1の局面において、

前記駆動素子の第2の導通端子には、前記初期電位差が与えられるように、少なくとも2種類の画素回路間で異なる電源電圧が印加されることを特徴とする。

【0027】

本発明の第9の局面は、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路を有する表示装置の駆動方法であって、

前記走査線を用いて書き込み対象の画素回路を選択するステップと、

選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御するステップと、

選択した画素回路について、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加するステップとを備え、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも2種類の画素回路間で異なることを特徴とする。

【発明の効果】

【0028】

本発明の第1または第9の局面によれば、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与えることができる。このため、人間が色度の違いに敏感な色（例えば、青色）については、大きな初期電位差を与えて閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な色（例えば、緑色）については、小さな初期電位差を与えて信号線の過剰な充放電を減らし、消費電力を削減することができる。このように、駆動素子の制御端子と第2の導通端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替えることにより、画質を高くし、消費電力を削減することができる。

【0029】

本発明の第2の局面によれば、補償用スイッチング素子の導通期間に補償用スイッチング素子を流れる電流は青色用の画素回路で最大となるので、人間が色度の違いに敏感な青色について駆動素子の閾値補正を行うときに、閾値補正を高い精度で行い、画質を高くすることができる。

【0030】

本発明の第3の局面によれば、補償用スイッチング素子の導通期間に補償用スイッチング素子を流れる電流は緑色用の画素回路で最小となるので、人間が色度の違いに鈍感な緑色について駆動素子の閾値補正を行うときに、信号線の過剰な充放電を減らし、消費電力を削減することができる。

10

20

30

40

50

【 0 0 3 1 】

本発明の第4の局面によれば、駆動素子の閾値補正を行うときに、書き込み用スイッチング素子を導通状態に制御し、少なくとも2種類の画素回路間で異なる初期電圧をデータ線に印加することにより、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

【 0 0 3 2 】

本発明の第5の局面によれば、補償用スイッチング素子の導通期間終了後に、駆動素子の制御端子電位を駆動回路内の容量の第1の電極に印加し、容量の第2の電極に印加する電圧を参照電圧からデータ電圧に切り替えることにより、補償用スイッチング素子の導通期間終了時における駆動素子の制御端子電位を用いて補正されたデータ電圧を駆動素子の制御端子に印加することができる。したがって、画素回路内に閾値補正用の容量を設けることなく、駆動素子の閾値補正を行うことができる。

10

【 0 0 3 3 】

本発明の第6の局面によれば、少なくとも2種類の画素回路間で異なる参照電圧を使用することにより、データ電圧のゼロ点を揃えることができる。

【 0 0 3 4 】

本発明の第7の局面によれば、書き込み用スイッチング素子を導通状態に制御し、データ線にデータ電圧を印加することにより、データ線を経由して駆動素子の制御端子にデータ電圧を印加することができる。また、初期化用スイッチング素子を制御して画素回路内の容量の2つの電極に順に初期電圧を印加することにより、補償用スイッチング素子の導通期間終了時における駆動素子の制御端子電位を用いて補正されたデータ電圧を駆動素子の制御端子に印加し、駆動素子の閾値補正を行うことができる。この際に少なくとも2種類の画素回路間で異なる初期電圧を用いることにより、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

20

【 0 0 3 5 】

本発明の第8の局面によれば、少なくとも2種類の画素回路間で異なる電源電圧を駆動素子の第2の導通端子に印加することにより、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

30

【 図面の簡単な説明 】

【 0 0 3 6 】

【 図 1 】 本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

【 図 2 】 図1に示す表示装置に含まれる画素回路の回路図である。

【 図 3 】 図1に示す表示装置に含まれる出力回路の回路図である。

【 図 4 】 図1に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【 図 5 】 ダイオード接続されたTFTにおけるゲート-ソース間電圧の時間的変化の例を示す図である。

【 図 6 】 参考例に係る表示装置の構成を示すブロック図である。

40

【 図 7 】 図6に示す表示装置に含まれる画素回路の回路図である。

【 図 8 】 本発明の第1の実施形態の変形例に係る表示装置の構成を示すブロック図である。

【 図 9 】 図8に示す表示装置に含まれる画素回路の回路図である。

【 図 10 】 図8に示す表示装置に含まれる出力回路の回路図である。

【 図 11 】 本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。

【 図 12 】 図11に示す表示装置に含まれる画素回路の回路図である。

【 図 13 】 図11に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【 図 14 】 従来の表示装置(第1の例)に含まれる画素回路と出力スイッチの回路図であ

50

る。

【図 1 5】図 1 4 に示す画素回路の駆動方法を示すタイミングチャートである。

【図 1 6】従来の表示装置（第 2 の例）に含まれる画素回路の回路図である。

【図 1 7】マッカダムの色度判別閾を示す図である。

【発明を実施するための形態】

【0037】

図 1 ~ 図 1 3 を参照して、本発明の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコン T F T や C G シリコン T F T やアモルファスシリコン T F T などによって構成することができる。これら T F T の構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機 E L 素子であるとする。有機 E L 素子の構成も公知であるので、ここではその説明を省略する。以下、 m は 3 の倍数、 n は 2 以上の整数、 i は 1 以上 n 以下の整数、 j は 1 以上 m 以下の整数、 k は 1 以上 $(m / 3)$ 以下の整数であるとする。

10

【0038】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。図 1 に示す表示装置 1 0 は、表示制御回路 1 1、ゲートドライバ回路 1 2、ソースドライバ回路 1 3、電源 1 4、および、 $(m \times n)$ 個の画素回路 2 0 を備え、R G B 3 色によるカラー表示を行う。

20

【0039】

表示装置 1 0 には、互いに平行な n 本の走査線 G_i と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路 2 0 は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 G_i と平行に、互いに平行な制御線 W_i 、 R_i が n 本ずつ配置されている。走査線 G_i と制御線 W_i 、 R_i はゲートドライバ回路 1 2 に接続され、データ線 S_j はソースドライバ回路 1 3 に接続されている。さらに、画素回路 2 0 の配置領域には、電源配線 V_p と共通陰極 V_{com} （いずれも図示せず）が配置されている。以下、走査線 G_i が伸延する方向（図 1 では横方向）を行方向、データ線 S_j が伸延する方向（図 1 では縦方向）を列方向という。

30

【0040】

画素回路 2 0 は、赤色を表示するもの、緑色を表示するもの、および、青色を表示するものに分類される（以下、それぞれ、R 画素回路、G 画素回路および B 画素回路という）。画素回路 2 0 の各列には、同じ色を表示する画素回路が配置される。具体的には、 $(3k - 2)$ 列目には R 画素回路が配置され、 $(3k - 1)$ 列目には G 画素回路が配置され、 $3k$ 列目には B 画素回路が配置される。以下、 $(3k - 2) \sim 3k$ 列目の画素回路に対応したデータ線を S_{k_R} 、 S_{k_G} 、 S_{k_B} ともいう。

【0041】

表示制御回路 1 1 は、ゲートドライバ回路 1 2 に対してタイミング信号 O E、スタートパルス Y I およびクロック Y C K を出力する。また、表示制御回路 1 1 は、ソースドライバ回路 1 3 に対して、スタートパルス S P、クロック C L K、データ電圧 D A およびラッチパルス L P を出力する。さらに、表示制御回路 1 1 は、ソースドライバ回路 1 3 に接続される 5 本の制御線 S C A N 1 __ R、S C A N 1 __ G、S C A N 1 __ B、S C A N 2、S C A N 3 の電位を制御する。

40

【0042】

ゲートドライバ回路 1 2 とソースドライバ回路 1 3 は、画素回路 2 0 の駆動回路である。ゲートドライバ回路 1 2 は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック Y C K に同期してスタートパルス Y I を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 O E との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i と制御線 W_i 、 R_i に与えられる。1 本の走査線 G_i

50

には m 個の画素回路 20 が接続されており、画素回路 20 は走査線 G_i を用いて m 個ずつ一括して選択される。

【0043】

ソースドライバ回路 13 は、 m ビットのシフトレジスタ 15、レジスタ 16、ラッチ 17、および、 m 個の出力回路 30 を含み、1 行分の画素回路 20 に同じタイミングで電圧を書き込む線順次走査を行う。より詳細には、シフトレジスタ 15 は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルス SP をクロック CLK に同期して転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 16 にはアナログのデータ電圧 DA が供給される。レジスタ 16 は、タイミングパルス DLP に従い、データ電圧 DA を記憶する。レジスタ 16 に 1 行分のデータ電圧 DA が記憶されると、表示制御回路 11 はラッチ 17 に対してラッチパルス LP を出力する。ラッチ 17 は、ラッチパルス LP を受け取ると、レジスタ 16 に記憶されたデータ電圧を保持する。なお、データ電圧 DA は、例えば、表示装置 10 の外部に設けられた D/A 変換器（図示せず）においてデジタルの表示データをアナログ信号に変換することにより得られる。

10

【0044】

出力回路 30 は、データ線 S_j に対応して設けられる。出力回路 30 は、ゲートドライバ回路 12 によって選択された画素回路 20 から出力された電圧をデータ線 S_j 経由で受け取り、受け取った電圧とラッチ 17 から出力されたデータ電圧（以下、 V_{data} という）とに基づく電圧をデータ線 S_j に印加する。出力回路 30 の作用により、画素回路 20 に含まれる駆動用 TFT の閾値補正を行うことができる（詳細は後述）。

20

【0045】

電源 14 は、表示装置 10 の各部に電源電圧を供給する。より詳細には、電源 14 は、画素回路 20 に対して電源電圧 VDD 、 VSS （ただし、 $VDD > VSS$ ）を供給すると共に、出力回路 30 に対して初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} と参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を供給する。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、駆動用 TFT 21 の閾値補正を行うときに駆動用 TFT 21 のゲート端子に最初に印加される電圧である。なお、図 1 では、電源 14 と画素回路 20 を接続する配線は省略されている。

30

【0046】

ソースドライバ回路 13 は、線順次走査に代えて、各画素回路 20 に 1 つずつ順に電圧を書き込む点順次走査を行ってもよい。点順次走査を行うときには、ある走査線 G_i が選択されている間、データ線 S_j の電圧はデータ線 S_j の容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

【0047】

図 2 は、画素回路 20 の回路図である。図 2 に示すように、画素回路 20 は、駆動用 TFT 21、スイッチ用 TFT 22 ~ 24、有機 EL 素子 25、および、コンデンサ 26 を備えている。駆動用 TFT 21 は P チャネル型のエンハンスメント型、スイッチ用 TFT 22、23 は N チャネル型、スイッチ用 TFT 24 は P チャネル型である。スイッチ用 TFT 22 は書き込み用スイッチング素子として機能し、スイッチ用 TFT 23 は補償用スイッチング素子として機能する。

40

【0048】

画素回路 20 は、電源配線 Vp 、共通陰極 $Vcom$ 、走査線 G_i 、制御線 Wi 、 Ri 、および、データ線 S_j に接続されている。電源配線 Vp には電源 14 から供給された電源電圧 VDD が印加され、共通陰極 $Vcom$ には電源 14 から供給された電源電圧 VSS が印加される。共通陰極 $Vcom$ は、表示装置 10 内のすべての有機 EL 素子 25 に共通する陰極となる。

【0049】

画素回路 20 では、電源配線 Vp と共通陰極 $Vcom$ との間に、電源配線 Vp 側から順に、駆動用 TFT 21、スイッチ用 TFT 24 および有機 EL 素子 25 が直列に設けられ

50

ている。駆動用TFT21のゲート端子とデータ線S_jとの間には、スイッチ用TFT22が設けられている。駆動用TFT21のゲート端子とドレイン端子との間にはスイッチ用TFT23が設けられ、駆動用TFT21のゲート端子と電源配線V_pとの間にはコンデンサ26が設けられている。スイッチ用TFT22～24のゲート端子は、それぞれ、走査線G_i、制御線W_iおよび制御線R_iに接続されている。走査線G_iと制御線W_i、R_iの電位はゲートドライバ回路12によって制御され、データ線S_jの電位はソースドライバ回路13によって制御される。以下、駆動用TFT21のゲート端子が接続される節点をAという。

【0050】

図3は、出力回路30の回路図である。出力回路30は、R画素回路に対応するもの、G画素回路に対応するもの、および、B画素回路に対応するものに分類される（以下、それぞれ、R出力回路、G出力回路およびB出力回路という）。図3に示すように、R出力回路30_r、G出力回路30_gおよびB出力回路30_bは、いずれも、Nチャンネル型のスイッチ31～36とコンデンサ37を備えている。これら3個の出力回路30に対応して、アナログバッファ38が1個設けられる。アナログバッファ38は、ボルテージホロワ回路（ユニティゲインアンプ）である。以下、コンデンサ37の一方の電極（図3では上側の電極）が接続される節点をB、他方の電極が接続される節点をCという。

10

【0051】

R出力回路30_rは、以下の構成を有する。スイッチ31の一端はデータ線S_k__Rに接続され、他端は節点Bに接続される。スイッチ32の一端は節点Cに接続され、他端には参照電圧V_{ref}__Rが印加される。スイッチ33の一端は節点Cに接続され、他端にはラッチ17から出力されたデータ電圧V_{data}が印加される。スイッチ34の一端は節点Bに接続され、他端はアナログバッファ38の入力に接続される。スイッチ35の一端はデータ線S_k__Rに接続され、他端はアナログバッファ38の出力に接続される。スイッチ36の一端はデータ線S_k__Rに接続され、他端には初期電圧V_{int}__Rが印加される。スイッチ31、32のゲート端子は制御線SCAN2に接続され、スイッチ33～35のゲート端子は制御線SCAN1__Rに接続され、スイッチ36のゲート端子は制御線SCAN3に接続される。

20

【0052】

G出力回路30_gおよびB出力回路30_bの構成は、R出力回路30_rと同様である。ただし、G出力回路30_gでは、スイッチ31、35、36の一端はデータ線S_k__Gに接続され、スイッチ36の他端には初期電圧V_{int}__Gが印加され、スイッチ33～35のゲート端子は制御線SCAN1__Gに接続される。B出力回路30_bでは、スイッチ31、35、36の一端はデータ線S_k__Bに接続され、スイッチ36の他端には初期電圧V_{int}__Bが印加され、スイッチ33～35のゲート端子は制御線SCAN1__Bに接続される。

30

【0053】

以下、R画素回路、G画素回路およびB画素回路内の駆動用TFT21の閾値電圧を、それぞれ、V_{th}__R、V_{th}__GおよびV_{th}__B（ただし、いずれも負の値）とする。また、駆動用TFT21のゲート端子に閾値電圧が印加されているとき、駆動用TFT21は閾値状態にあるという。初期電圧V_{int}__Rと参照電圧V_{ref}__Rは、R画素回路内の駆動用TFT21の閾値補正に使用される。同様に、初期電圧V_{int}__Gと参照電圧V_{ref}__GはG画素回路内の駆動用TFT21の閾値補正に使用され、初期電圧V_{int}__Bと参照電圧V_{ref}__BはB画素回路の駆動用TFT21の閾値補正に使用される。

40

【0054】

図4は、画素回路20の駆動方法を示すタイミングチャートである。以下、図4を参照して、R出力回路30_r、G出力回路30_gおよびB出力回路30_b（以下、総称して3個の出力回路30ともいう）を用いて、走査線G_iとデータ線S_k__R、S_k__G、S_k__Bに接続された3個の画素回路20に対して、それぞれのデータ電圧V_{data}を書き

50

込むときの動作を説明する。図4では、時刻 t_0 から時刻 t_4 までが3個の画素回路20の選択期間となる。時刻 t_2 より前では、3個の画素回路20の駆動用TFT21のゲート端子電位を並列に検知する処理が行われ、時刻 t_2 より後では、3個の画素回路20に対して補正後のデータ電圧を順に書き込む処理が行われる。

【0055】

時刻 t_0 より前では、走査線 G_i と制御線 W_i 、 R_i の電位はローレベルに制御される。このため、3個の画素回路20では、スイッチ用TFT22、23は非導通状態にあり、スイッチ用TFT24は導通状態にある。このとき駆動用TFT21は導通状態にあるので、電源配線 V_p から駆動用TFT21とスイッチ用TFT24を経由して有機EL素子25に電流が流れ、有機EL素子25は発光する。このように時刻 t_0 より前では、3

10

【0056】

時刻 t_0 において走査線 G_i と制御線 W_i 、 R_i の電位がハイレベルに変化すると、3個の画素回路20では、スイッチ用TFT22、23が導通状態に変化し、スイッチ用TFT24が非導通状態に変化する。また、時刻 t_0 では制御線 $SCAN_3$ の電位がハイレベルに変化するので、3個の出力回路30ではスイッチ36が導通状態に変化する。このため、データ線 Sk_R とR画素回路内の節点Aの電位は V_{int_R} になる。同様に、データ線 Sk_G とG画素回路内の節点Aの電位は V_{int_G} になり、データ線 Sk_B とB画素回路内の節点Aの電位は V_{int_B} になる。時刻 t_0 以降、3個の画素回路20では、駆動用TFT21を通過した電流は、スイッチ用TFT23を経由して節点A

20

【0057】

次に時刻 t_1 において制御線 $SCAN_3$ の電位がローレベルに変化すると、3個の出力回路ではスイッチ36が非導通状態に変化する。時刻 t_1 以降も、3個の画素回路20では駆動用TFT21を通過した電流は、スイッチ用TFT23を経由して節点Aに流れ込み、節点Aの電位は駆動用TFT21が導通状態である間は上昇する。このときスイッチ用TFT22は導通状態にあるので、データ線 Sk_R 、 Sk_G 、 Sk_B の電位は、3個の画素回路20内の節点Aの電位にそれぞれ等しい。

【0058】

時刻 t_0 から時刻 t_2 までの間、制御線 $SCAN_1_R$ 、 $SCAN_1_G$ 、 $SCAN_1_B$ の電位はローレベルに、制御線 $SCAN_2$ の電位はハイレベルに制御される。このため、3個の出力回路30ではスイッチ31、32は導通状態となり、スイッチ33、34は非導通状態となる。したがって、R出力回路30rでは、節点Cの電位は V_{ref_R} になり、節点Bの電位はデータ線 Sk_R の電位およびR画素回路内の節点Aの電位に等しくなる。同様に、G出力回路30gでは、節点Cの電位は V_{ref_G} になり、節点Bの電位はデータ線 Sk_G の電位およびG画素回路内の節点Aの電位に等しくなる。また、B出力回路30bでは、節点Cの電位は V_{ref_B} になり、節点Bの電位はデータ線 Sk_B の電位およびB画素回路内の節点Aの電位に等しくなる。

30

【0059】

次に時刻 t_2 において制御線 W_i の電位がローレベルに変化すると、3個の画素回路20ではスイッチ用TFT23が非導通状態に変化する。また、時刻 t_2 では制御線 $SCAN_2$ の電位がローレベルに変化するので、3個の出力回路30ではスイッチ31、32が非導通状態に変化する。時刻 t_2 の直前におけるR画素回路、G画素回路およびB画素回路内の節点Aの電位を、それぞれ、 $(V_{DD} + V_{x_R})$ 、 $(V_{DD} + V_{x_G})$ および $(V_{DD} + V_{x_B})$ とする。ただし、電圧 V_{x_R} 、 V_{x_G} 、 V_{x_B} はいずれも負の値であり、 $|V_{x_R}| > |V_{th_R}|$ 、 $|V_{x_G}| > |V_{th_G}|$ 、 $|V_{x_B}| > |V_{th_B}|$ を満たすとする。

40

【0060】

時刻 t_2 においてスイッチ31、32が非導通状態に変化したとき、R出力回路30r内のコンデンサ37には電圧 $(V_{DD} + V_{x_R} - V_{ref_R})$ が保持される。同様に

50

、G出力回路30g内のコンデンサ37には電圧 $(V_{DD} + V_{x_G} - V_{ref_G})$ が保持され、B出力回路30b内のコンデンサ37には電圧 $(V_{DD} + V_{x_B} - V_{ref_B})$ が保持される。

【0061】

上述したように、R画素回路内の節点Aの電位は、駆動用TFT21が導通状態である間は上昇する。したがって、十分な時間があれば、R画素回路内の節点Aの電位は、駆動用TFT21のゲート-ソース間電圧が閾値電圧 V_{th_R} （負の値）になる（すなわち、駆動用TFT21が閾値状態になる）まで上昇し、最終的に $(V_{DD} + V_{th_R})$ に到達する。しかし、表示装置10では、駆動用TFT21が導通状態である間に（すなわち、駆動用TFT21が閾値状態になる前に）、時刻 t_2 になる。このため、時刻 t_2 の直前における節点Aの電位 $(V_{DD} + V_{x_R})$ は $(V_{DD} + V_{th_R})$ よりも低い。電圧 V_{x_R} は閾値電圧 V_{th_R} に応じて変化し、閾値電圧 V_{th_R} の絶対値が大きいほど電圧 V_{x_R} の絶対値は大きくなる。同様に、時刻 t_2 の直前におけるG画素回路内の節点Aの電位 $(V_{DD} + V_{x_G})$ は $(V_{DD} + V_{th_G})$ よりも低く、閾値電圧 V_{th_G} の絶対値が大きいほど電圧 V_{x_G} の絶対値は大きくなる。また、時刻 t_2 の直前におけるB画素回路内の節点Aの電位 $(V_{DD} + V_{x_B})$ は $(V_{DD} + V_{th_B})$ よりも低く、閾値電圧 V_{th_B} の絶対値が大きいほど電圧 V_{x_B} の絶対値は大きくなる。

10

【0062】

次に時刻 t_3 から時刻 t_4 までの間に、制御線SCAN1_R、SCAN1_G、SCAN1_Bの電位が所定時間ずつハイレベルになり、これに同期して、ラッチ17から出力されるデータ電圧 V_{data} は V_{d_R} 、 V_{d_G} 、 V_{d_B} と変化する。

20

【0063】

制御線SCAN1_Rの電位がハイレベルである間、R出力回路30r内の節点Cにはラッチ17から出力されたデータ電圧 V_{d_R} が印加され、節点Bはスイッチ34とアナログバッファ38を介してデータ線Sk_Rに接続される。R出力回路30rでは、コンデンサ37が電圧 $(V_{DD} + V_{x_R} - V_{ref_R})$ を保持している間に、節点Cの電位が V_{ref_R} から V_{d_R} に変化する。したがって、節点Bの電位も、同じ量 $(V_{d_R} - V_{ref_R})$ だけ変化して $(V_{DD} + V_{x_R}) + (V_{d_R} - V_{ref_R}) = (V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R})$ となる。このときR出力回路30r内のスイッチ34、35は導通状態にあり、アナログバッファ38の入力電圧と出力電圧は等しいので、データ線Sk_Rの電位はR出力回路30r内の節点Bと同じく $(V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R})$ となる。このときR画素回路ではスイッチ用TFT22が導通状態にあるので、節点Aはデータ線Sk_Rと同じ電位になる。

30

【0064】

同様に、制御線SCAN1_Gの電位がハイレベルである間、G出力回路30g内の節点Bの電位は $(V_{DD} + V_{x_G} + V_{d_G} - V_{ref_G})$ となり、データ線Sk_GおよびG画素回路内の節点Aの電位はこれに等しくなる。また、制御線SCAN1_Bの電位がハイレベルである間、B出力回路30b内の節点Bの電位は $(V_{DD} + V_{x_B} + V_{d_B} - V_{ref_B})$ となり、データ線Sk_BおよびB画素回路内の節点Aの電位はこれに等しくなる。

40

【0065】

次に時刻 t_4 において走査線Giと制御線Riの電位がローレベルに変化すると、3個の画素回路20ではスイッチ用TFT22が非導通状態に変化し、スイッチ用TFT24が導通状態に変化する。また、時刻 t_4 以降、制御線SCAN1_R、SCAN1_G、SCAN1_Bの電位はローレベルになるので、3個の出力回路30ではスイッチ33、34は非導通状態になる。

【0066】

時刻 t_4 において、R画素回路内のコンデンサ26には、駆動用TFT21のゲート-ソース間電圧 $(V_{x_R} + V_{d_R} - V_{ref_R})$ が保持される。同様に、G画素回路

50

内のコンデンサ 26 には電圧 ($V_{x_G} + V_{d_G} - V_{ref_G}$) が保持され、B 画素回路内のコンデンサ 26 には電圧 ($V_{x_B} + V_{d_B} - V_{ref_B}$) が保持される。なお、制御線 R_i に与えられるオン電位 (ローレベル電位) は、スイッチ用 T F T 24 が線形領域で動作するように決定される。

【0067】

時刻 t_4 以降、3 個の画素回路 20 内のコンデンサ 26 に保持された電圧は変化しない。このため、R 画素回路内の節点 A の電位は ($V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R}$) のままである。同様に、G 画素回路内の節点 A の電位は ($V_{DD} + V_{x_G} + V_{d_G} - V_{ref_G}$) のままであり、B 画素回路内の節点 A の電位は ($V_{DD} + V_{x_B} + V_{d_B} - V_{ref_B}$) のままである。したがって、3 個の画素回路 20 では、時刻 t_4 以降、次に制御線 R_i の電位がハイレベルとなるまで、電源配線 V_p から駆動用 T F T 21 とスイッチ用 T F T 24 を経由して有機 E L 素子 25 に電流が流れ、有機 E L 素子 25 は発光する。このときに駆動用 T F T 21 を流れる電流の量は節点 A の電位に応じて増減するが、以下に示すように、駆動用 T F T 21 の閾値電圧が異なってもデータ電圧が同じであれば電流量を同じにすることができる。

10

【0068】

例として、R 画素回路について説明する。R 画素回路内の駆動用 T F T 21 を飽和領域で動作させたとき、ドレイン - ソース間を流れる電流 I_{EL} は、チャンネル長変調効果を無視すれば、次式 (1) で与えられる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \times (V_g - V_{DD} - V_{th_R})^2 \quad \dots (1)$$

20

ただし、上式 (1) において、 W/L は駆動用 T F T 21 のアスペクト比、 C_{ox} はゲート容量、 μ は移動度、 V_g はゲート端子電位 (節点 A の電位) である。

【0069】

式 (1) に示す電流 I_{EL} は、一般には、閾値電圧 V_{th_R} に応じて変動する。R 画素回路では、有機 E L 素子 25 が発光するときに駆動用 T F T 21 のゲート端子電位 V_g は ($V_{DD} + V_{x_R} + V_{d_R} - V_{ref_R}$) となるので、電流 I_{EL} は次式 (2) に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot \{V_{d_R} - V_{ref_R} + (V_{x_R} - V_{th_R})\}^2 \quad \dots (2)$$

30

式 (2) において電圧 V_{x_R} が閾値電圧 V_{th_R} に一致すれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。また、電圧 V_{x_R} が閾値電圧 V_{th_R} に一致しなくても、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。

【0070】

表示装置 10 では、R 画素回路内の 2 つの T F T 間で電圧 V_{x_R} の差が閾値電圧 V_{th_R} の差とほぼ同じになるように、閾値補正期間 (時刻 t_1 から時刻 t_2 までの期間) の長さや初期電圧 V_{int_R} のレベルが決定される。このため、式 (2) に含まれる電圧差 ($V_{x_R} - V_{th_R}$) はほぼ一定になる。したがって、R 画素回路では、閾値電圧 V_{th_R} の値にかかわらず、有機 E L 素子 25 にはデータ電圧 V_{d_R} に応じた量の電流が流れ、有機 E L 素子 25 はデータ電圧 V_{d_R} に応じた輝度で発光する。

40

【0071】

同様に、G 画素回路では、閾値電圧 V_{th_G} の値にかかわらず、有機 E L 素子 25 にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機 E L 素子 25 はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B 画素回路では、閾値電圧 V_{th_B} の値にかかわらず、有機 E L 素子 25 にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機 E L 素子 25 はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置 10 では、閾値補正は画素回路 20 の外部に設けられた出力回路 30 によって行われるが、出力回路 30 には複雑な論理回路やメモリなどを設ける必要がない。

【0072】

以下、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} について説明する。画素回

50

路 20 では、図 4 に示す時刻 t_0 でスイッチ用 T F T 2 3 が導通状態になると、駆動用 T F T 2 1 はダイオード接続された状態になる。従来の有機 E L ディスプレイでは、駆動用 T F T がダイオード接続されてから、駆動用 T F T のゲート - ソース間電圧 V_{gs} が閾値電圧 V_{th} に十分に近づくまでの期間が、閾値補正期間となる。電圧 V_{gs} が閾値電圧 V_{th} に十分に近づけば、2 つの駆動用 T F T 間の閾値電圧の差を検出できるからである。

【 0 0 7 3 】

ところが、高精細の表示装置では、画素回路の選択期間が短く、選択期間内に電圧 V_{gs} を閾値電圧 V_{th} に十分に近づけられないことがある。特に、本実施形態に係る表示装置 10 では、駆動用 T F T 2 1 の閾値電圧 V_{th} を検知するときに、コンデンサ 3 7 とデータ線 S_j の寄生容量を充電する必要があるため、選択期間内に閾値電圧を検知する処理と補正後のデータ電圧を書き込む処理を行うためには工夫が必要である。

10

【 0 0 7 4 】

そこで表示装置 10 では、補正後のデータ電圧を書き込む処理を開始する前に閾値電圧のばらつきを検知するために、スイッチ 3 6 の作用によりデータ線 S_{k_R} 、 S_{k_G} 、 S_{k_B} に、それぞれ、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が固定的に与えられる。これにより、駆動用 T F T 2 1 の閾値電圧 V_{th} に応じた電圧がデータ線 S_j に出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

【 0 0 7 5 】

初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、閾値補正期間の長さや閾値補正に要求される精度などに基つき決定される。スイッチ用 T F T 2 3 が導通状態にあり、駆動用 T F T 2 1 がダイオード接続されているとき、駆動用 T F T 2 1 の電流バランスに関して次式 (3) が成立する。

20

【 数 1 】

$$k(V_{gs}(t) - V_{th})^2 = -C \frac{dV_{gs}(t)}{dt} \quad \dots (3)$$

ただし、式 (3) において、 k は定数、 C は保持容量と信号線容量の和である。

【 0 0 7 6 】

この微分方程式を解くと、次式 (4) が得られる。

30

【 数 2 】

$$V_{gs}(t) = \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} + V_{th} \quad \dots (4)$$

ただし、式 (4) において、 V_{gs0} は電圧 V_{gs} の初期値である。

【 0 0 7 7 】

閾値電圧が V_{th} だけ異なる 2 つの T F T を考えたとき、所定時間経過後に 2 つの T F T 間で電圧 V_{gs} の差が V_{th} に近ければ、各 T F T の閾値電圧を検出できたと言える。電圧 V_{gs} の差は、次式 (5) で与えられる。

40

【 数 3 】

$$\Delta V_{gs}(t) = \Delta V_{th} + \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th} - \Delta V_{th}}} - \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} \quad \dots (5)$$

したがって、許容時間内に式 (5) に示す $V_{gs}(t)$ が V_{th} に十分に近づくように電圧 V_{gs} の初期値 V_{gs0} を決定し、それに応じて初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を求めればよい。

【 0 0 7 8 】

図 5 は、ダイオード接続された駆動用 T F T のゲート - ソース間電圧 V_{gs} の時間的変

50

化の例を示す図である。図5には、閾値電圧が異なる2個のTFT ($V_{th} = -0.8V$ と $V_{th} = -1.0V$)に対して、予め2種類の電圧 V_{gs0} ($V_{gs0} = -5V$ と $V_{gs0} = -1.5V$)を与え、その後にソース端子とドレイン端子を短絡してTFTをダイオード接続したときのゲート-ソース間電圧 V_{gs} の変化が記載されている。

【0079】

2個のTFTに予め電圧 V_{gs0} を与え、 $30\mu s$ 経過後の電圧 V_{gs} の絶対値 $|V_{gs}|$ を比較する。 $|V_{gs0}| = 5V$ の場合、 $30\mu s$ 後に2つの値 $|V_{gs}|$ はそれぞれの最終値($0.8V$ と $1.0V$)から離れているが、両者の差は既に最終値($0.2V$)にほぼ等しくなっている。これに対して、 $|V_{gs0}| = 1.5V$ の場合、 $30\mu s$ 後に2つの値 $|V_{gs}|$ はそれぞれの最終値に接近しているが、両者の差は依然として最終値から離れている。このように $|V_{gs0}|$ が大きいときほど、2つの値 $|V_{gs}|$ の差は速く増大するので、閾値補正期間を短くすることができる。したがって、高い精度で閾値補正を行うためには、 $|V_{gs0}|$ を大きくすることが好ましい。一方、 $|V_{gs0}|$ を大きくすると、データ線 S_j とコンデンサ 37 の充放電によって消費電力が増加する。

10

【0080】

この点を考慮して、表示装置10では、3種類の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用される。R画素回路には初期電圧 V_{int_R} が使用され、G画素回路には初期電圧 V_{int_G} が使用され、B画素回路には初期電圧 V_{int_B} が使用される。これら3種類の初期電圧は、以下のようにして決定される。以下、R画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_R} を印加したときのゲート-ソース間電圧($V_{DD} - V_{int_R}$)を V_{gs0_R} という。同様に、G画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_G} を印加したときのゲート-ソース間電圧を V_{gs0_G} といい、B画素回路内の駆動用TFT21のゲート端子に初期電圧 V_{int_B} を印加したときのゲート-ソース間電圧を V_{gs0_B} という。

20

【0081】

表示装置10では、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の初期電圧 V_{int_G} とB画素回路用の初期電圧 V_{int_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たすことがより好ましい。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、いずれも電源電圧 V_{DD} よりも低いレベルに設定される。このように初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を設定した場合、スイッチ用TFT23の導通期間にスイッチ用TFT23を流れる電流は、3種類の画素回路の中でB画素回路において最大となり、G画素回路において最小となる。

30

【0082】

以下、参考例に係る表示装置と対比して、本実施形態に係る表示装置10の効果を説明する。図6は、参考例に係る表示装置の構成を示すブロック図である。図6に示す表示装置110は、出力回路30を含むソースドライバ回路13に代えて、出力回路115を含むソースドライバ回路113を備えている。図7は、出力回路115の回路図である。図6に示す電源114は、画素回路20に対して電源電圧 V_{DD} 、 V_{SS} を供給すると共に、出力回路115に対して初期電圧 V_{int} と参照電圧 V_{ref} を1種類ずつ供給する。表示装置110は、表示装置10と同じタイミングチャート(図4)に従って動作する。なお、表示装置110は、本出願と出願人および発明者が共通する別の出願(国際特許出願PCT/2007/69184)に記載されたものである。

40

【0083】

本実施形態に係る表示装置10と参考例に係る表示装置110では、駆動用TFT21の閾値補正を行うときに、駆動用TFT21のゲート端子に初期電圧が印加される。このとき、上述したように、駆動用TFT21のゲート-ソース間電圧の初期値の絶対値 $|V_{gs0}|$ が大きくなる初期電圧を使用すれば、閾値補正の精度が高くなり、 $|V_{gs0}|$

50

が小さくなる初期電圧を使用すれば、消費電力が減少する。

【0084】

参考例に係る表示装置110では、装置全体で1種類の初期電圧 V_{int} が使用される。このため、緑色を基準として初期電圧 V_{int} を決定すると、 $|V_{gs0}|$ は小さくなり、消費電力は減少するが、青色や赤色では閾値補正の精度が不十分となり、画質が低下する。一方、青色を基準として初期電圧 V_{int} を決定すると、 $|V_{gs0}|$ は大きくなり、画質は良くなるが、青色よりも鈍感にしか判別できない緑色や赤色についても同じ初期電圧を使用するために、消費電力が必要以上に増大する。

【0085】

これに対して、本実施形態に係る表示装置10では、複数の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用され、このうち少なくとも2つ以上が異なっている。このため、例えば、B画素回路には $|V_{gs0}|$ が大きくなる初期電圧 V_{int_B} を使用し、G画素回路には $|V_{gs0}|$ が小さくなる初期電圧 V_{int_G} を使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用TFT21のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用TFT21のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らし、消費電力を削減することができる。また、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用すれば、上記の効果をさらに高めることができる。

10

20

【0086】

このように本実施形態に係る表示装置10によれば、駆動用TFT21の閾値補正を行うときに、表示色に応じた初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用することにより、駆動用TFT21のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

【0087】

また、表示色に応じて異なる初期電圧を使用するときには、データ電圧 V_{data} のゼロ点を揃えることが好ましい。例えば、図5に示す例では、 $30\mu s$ 経過後の駆動用TFTのゲート-ソース間電圧の絶対値 $|V_{gs}|$ は、 $|V_{gs0}| = 5V$ の場合でも $|V_{gs0}| = 1.5V$ の場合でも、最終値と異なっている。このため、表示色に応じて異なる初期電圧を使用して所定時間経過後の駆動用TFT21のゲート端子電圧を検出すると、検出された電圧には表示色に応じて異なるオフセットが加算される。この結果、例えば、黒表示を行うときに、R画素回路とG画素回路は完全な黒色になるが、B画素回路は完全な黒色にならないなどの現象が起こり得る。

30

【0088】

そこで、本実施形態に係る表示装置10では、複数の参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} が使用される。式(2)に示すように、駆動用TFT21のドレイン-ソース間を流れる電流 I_{EL} は、参照電圧 V_{ref_R} などに依存する。したがって、参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を調整することにより、各色のデータ電圧 V_{data} のゼロ点を揃え、データ電圧の振幅を揃えることができる。このように表示装置10の内部でデータ電圧のゼロ点を揃えることにより、表示装置10の外部で行われるD/A変換を簡単化することができる。

40

【0089】

なお、上述した表示装置10では、駆動用TFT21のゲート端子とソース端子との間に表示色に応じた初期電位差を与えるために、データ線に印加する初期電圧を表示色に応じて切り替えることとしたが、これに代えて、駆動用TFT21のソース端子に印加される電源電圧を表示色に応じて切り替えてもよい。図8は、本発明の第1の実施形態の変形例に係る表示装置の構成を示すブロック図である。図8に示す表示装置40は、出力回路30を含むソースドライバ回路13に代えて、出力回路45を含むソースドライバ回路4

50

3を備え、電源14に代えて電源44を備えている。図9は表示装置40に含まれる画素回路20の回路図であり、図10は出力回路45の回路図である。

【0090】

図8に示す電源44は、画素回路20に対して電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} 、 V_{SS} を供給すると共に、出力回路30に対して初期電圧 V_{int} と参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を供給する。図9に示すように、R画素回路20rは電源配線 V_{p_R} に接続され、G画素回路20gは電源配線 V_{p_G} に接続され、B画素回路20bは電源配線 V_{p_B} に接続される。電源配線 V_{p_R} には電源44から供給された電源電圧 V_{DD_R} が印加され、電源配線 V_{p_G} には電源44から供給された電源電圧 V_{DD_G} が印加され、電源配線 V_{p_B} には電源44から供給された電源電圧 V_{DD_B} が印加される。図10に示すR出力回路45r、G出力回路45gおよびB出力回路45bでは、スイッチ36の一方の端子には電源44から供給された同じ初期電圧 V_{int} が印加される。

10

【0091】

表示装置40では、電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の電源電圧 V_{DD_G} とB画素回路用の初期電圧 V_{DD_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす(すなわち、 $V_{DD_G} < V_{DD_R} < V_{DD_B}$ を満たす)ことがより好ましい。

20

【0092】

このように構成された表示装置40でも、表示色に応じた電源電圧 V_{DD_R} 、 V_{DD_G} 、 V_{DD_B} を使用することにより、駆動用TFT21の閾値補正を行うときに、駆動用TFT21のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。また、複数の参照電圧 V_{ref_R} 、 V_{ref_G} 、 V_{ref_B} を用いることにより、表示装置40の内部でデータ電圧のゼロ点を揃え、表示装置40の外部で行われるD/A変換を簡単化することができる。

【0093】

なお、以上の説明では、3本のデータ線 S_{k_R} 、 S_{k_G} 、 S_{k_B} に対応してアナログバッファを設けることとしたが、アナログバッファを p (p は1以上の任意の整数)本のデータ線に対応して設けてもよい。

30

【0094】

(第2の実施形態)

図11は、本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。図11に示す表示装置50は、表示制御回路51、ゲートドライバ回路52、ソースドライバ回路53、電源54、および、 $(m \times n)$ 個の画素回路60を備え、RGB3色によるカラー表示を行う。本実施形態の構成要素のうち第1の実施形態と同一の要素については、同一の参照符号を付して説明を省略し、以下では第1の実施形態に係る表示装置10との相違点を説明する。

40

【0095】

表示装置50には、互いに平行な n 本の走査線 G_{Ai} と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路60は、走査線 G_{Ai} とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 G_{Ai} と平行に、互いに平行な走査線 G_{Bi} と制御線 E_i が n 本ずつ配置されている。走査線 G_{Ai} 、 G_{Bi} と制御線 E_i はゲートドライバ回路52に接続され、データ線 S_j はソースドライバ回路53に接続されている。画素回路60の配置領域には、電源配線 V_p 、共通陰極 V_{com} および3系統のプリチャージ線(いずれも図示せず)が配置されている。

【0096】

第1の実施形態と同様に、画素回路60はR画素回路、G画素回路およびB画素回路に

50

分類される。(3k-2)列目にはR画素回路が配置され、(3k-1)列目にはG画素回路が配置され、3k列目にはB画素回路が配置される。

【0097】

表示制御回路51は、第1の実施形態に係る表示制御回路11から制御線SCAN1__R、SCAN1__G、SCAN1__B、SCAN2、SCAN3の電位を制御する機能を削除したものである。ゲートドライバ回路52は、第1の実施形態に係るゲートドライバ回路12と同様の構成を有し、走査線Gai、Gbiと制御線Eiの電位を制御する。ソースドライバ回路53は、mビットのシフトレジスタ15、レジスタ16、ラッチ17、および、m個のアナログバッファ55を含み、線順次走査を行う。アナログバッファ55は、ボルテージホロワ回路(ユニティゲインアンプ)であり、データ線Sjに対応して設けられる。

10

【0098】

電源54は、表示装置50の各部に電源電圧を供給する。より詳細には、電源54は、画素回路60に対して電源電圧VDD、VSSを供給すると共に、画素回路60に対して初期電圧Vint__R、Vint__G、Vint__Bを供給する。なお、図11では、電源54と画素回路60を接続する配線は省略されている。

【0099】

図12は、画素回路60の回路図である。図12には、R画素回路60r、G画素回路60gおよびB画素回路60b(以下、総称して3個の画素回路60ともいう)が記載されている。図12に示すように、3個の画素回路60は、いずれも、駆動用TFT61、スイッチ用TFT62~66、有機EL素子67、および、コンデンサ68を備えている。駆動用TFT61はPチャネル型のエンハンスメント型、スイッチ用TFT62~66はPチャネル型である。スイッチ用TFT62は書き込み用スイッチング素子として機能し、スイッチ用TFT63は補償用スイッチング素子として機能し、スイッチ用TFT65、66は初期化用スイッチング素子として機能する。

20

【0100】

R画素回路60rは、電源配線Vp、共通陰極Vcom、1本のプリチャージ線、走査線Gai、Gbi、制御線Ei、および、データ線Sk__Rに接続されている。電源配線Vpには電源54から供給された電源電圧VDDが印加され、共通陰極Vcomには電源54から供給された電源電圧VSSが印加され、プリチャージ線には電源54から供給された初期電圧Vint__Rが印加される。共通陰極Vcomは、表示装置50内のすべての有機EL素子67に共通する陰極となる。

30

【0101】

R画素回路60rでは、電源配線Vpと共通陰極Vcomとの間に、電源配線Vp側から順に、駆動用TFT61、スイッチ用TFT64および有機EL素子67が直列に設けられている。駆動用TFT61のゲート端子とデータ線Sk__Rの間には、ゲート端子側から順に、コンデンサ68とスイッチ用TFT62が直列に設けられている。以下、コンデンサ68の一方の電極(駆動用TFT61側の電極)が接続される節点をD、他方の電極が接続される節点をEという。駆動用TFT61のゲート端子とドレイン端子の間にはスイッチ用TFT63が設けられ、節点Eと初期電圧Vint__Rが印加されたプリチャージ線との間にはスイッチ用TFT65が設けられ、駆動用TFT61のドレイン端子と当該プリチャージ線との間にはスイッチ用TFT66が設けられている。スイッチ用TFT62、63のゲート端子は走査線Gaiに接続され、スイッチ用TFT66のゲート端子は走査線Gbiに接続され、スイッチ用TFT64、65のゲート端子は制御線Eiに接続されている。

40

【0102】

G画素回路60gとB画素回路60bの構成は、R画素回路60rと同様である。ただし、G画素回路60gでは、スイッチ用TFT65、66の一端は、初期電圧Vint__Gが印加されたプリチャージ線に接続される。また、B画素回路60bでは、スイッチ用TFT65、66の一端は、初期電圧Vint__Bが印加されたプリチャージ線に接続さ

50

れる。

【0103】

以下、R画素回路60r、G画素回路60gおよびB画素回路60b内の駆動用TFT61の閾値電圧を、それぞれ、 V_{th_R} 、 V_{th_G} および V_{th_B} （ただし、いずれも負の値）とする。初期電圧 V_{int_R} は、R画素回路60r内の駆動用TFT61の閾値補正に使用される。同様に、初期電圧 V_{int_G} はG画素回路60g内の駆動用TFT61の閾値補正に使用され、初期電圧 V_{int_B} はB画素回路60b内の駆動用TFT61の閾値補正に使用される。

【0104】

図13は、画素回路60の駆動方法を示すタイミングチャートである。以下、図13を参照して、3個のアナログバッファ55を用いて、走査線Giとデータ線Sk_R、Sk_G、Sk_Bに接続された3個の画素回路60に対して、それぞれのデータ電圧Vdataを書き込むときの動作を説明する。図13では、時刻t0から時刻t4までが3個の画素回路60の選択期間となる。時刻t2より前では、3個の画素回路60の駆動用TFT61のゲート端子電位を並列に検知する処理が行われ、時刻t2より後では、3個の画素回路60に対してそれぞれのデータ電圧を並列に書き込む処理が行われる。

10

【0105】

時刻t0より前では、走査線GAi、GBiの電位はハイレベルに、制御線Eiの電位はローレベルに制御される。このため、3個の画素回路60では、スイッチ用TFT62、63、66は非導通状態にあり、スイッチ用TFT64、65は導通状態にある。このとき駆動用TFT61は導通状態にあるので、電源配線Vpから駆動用TFT61とスイッチ用TFT64を経由して有機EL素子67に電流が流れ、有機EL素子67は発光する。このように時刻t0より前では、3個の画素回路60内の有機EL素子67はいずれも発光状態にある。

20

【0106】

時刻t0において制御線Eiの電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT64、65が非導通状態に変化する。このため、電源配線Vpから有機EL素子67に流れる電流は遮断され、有機EL素子67は発光を停止する。

【0107】

次に時刻t1において走査線GAi、GBiの電位がローレベルに変化すると、3個の画素回路60ではスイッチ用TFT62、63、66が導通状態に変化する。このため、節点Dはスイッチ用TFT63、66を介してプリチャージ線に接続され、節点Eはスイッチ用TFT62を介してデータ線Sjに接続される。走査線GAiの電位がローレベルである間、データ線Sk_R、Sk_G、Sk_Bには、それぞれ、ラッチ17から出力されたデータ電圧Vd_R、Vd_G、Vd_Bが印加される。したがって、R画素回路60rでは、節点Dの電位は V_{int_R} となり、節点Eの電位は V_{d_R} となる。同様に、G画素回路60gでは節点Dの電位は V_{int_G} となり、節点Eの電位は V_{d_G} となる。また、B画素回路60bでは節点Dの電位は V_{int_B} となり、節点Eの電位は V_{d_B} となる。

30

【0108】

次に時刻t2において走査線GBiの電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT66が非導通状態に変化する。時刻t2以降、電源配線Vpから駆動用TFT61とスイッチ用TFT63を経由して駆動用TFT61のゲート端子に電流が流れ込み、節点Dの電位は駆動用TFT61が導通状態である間は上昇する。

40

【0109】

次に時刻t3において走査線GAiの電位がハイレベルに変化すると、3個の画素回路60ではスイッチ用TFT62、63が非導通状態に変化する。時刻t3の直前におけるR画素回路60r、G画素回路60gおよびB画素回路60b内の節点Dの電位を($V_{DD} + V_{x_R}$)、($V_{DD} + V_{x_G}$)および($V_{DD} + V_{x_B}$)とする。ただし、電圧 V_{x_R} 、 V_{x_G} 、 V_{x_B} は負の値であり、 $|V_{x_R}| > |V_{th_R}|$ 、 $|V$

50

$x_G | > | V_{th_G} |$ 、 $| V_{x_B} | > | V_{th_B} |$ を満たすとする。

【0110】

時刻 t_3 においてスイッチ用 T F T 6 2、6 3 が非導通状態に変化したとき、R 画素回路 6 0 r 内のコンデンサ 6 8 には電圧 ($V_{DD} + V_{x_R} - V_{d_R}$) が保持される。同様に、G 画素回路 6 0 g 内のコンデンサ 6 8 には電圧 ($V_{DD} + V_{x_G} - V_{d_G}$) が保持され、B 画素回路 6 0 b 内のコンデンサ 6 8 には電圧 ($V_{DD} + V_{x_B} - V_{d_B}$) が保持される。

【0111】

上述したように、R 画素回路 6 0 r 内の節点 D の電位は、駆動用 T F T 6 1 が導通状態である間は上昇する。したがって、十分な時間があれば、R 画素回路 6 0 r 内の節点 D の電位は、駆動用 T F T 6 1 のゲート-ソース間電圧が閾値電圧 V_{th_R} (負の値) になる (駆動用 T F T 6 1 が閾値状態になる) まで上昇し、最終的に ($V_{DD} + V_{th_R}$) に到達する。しかし、表示装置 5 0 では、駆動用 T F T 6 1 が導通状態である間に、時刻 t_3 になる。このため、時刻 t_3 の直前における節点 D の電位 ($V_{DD} + V_{x_R}$) は ($V_{DD} + V_{th_R}$) よりも低い。電圧 V_{x_R} は閾値電圧 V_{th_R} に応じて変化し、閾値電圧 V_{th_R} の絶対値が大きいほど電圧 V_{x_R} の絶対値は大きくなる。同様に、時刻 t_3 の直前における G 画素回路 6 0 g 内の節点 D の電位 ($V_{DD} + V_{x_G}$) は ($V_{DD} + V_{th_G}$) よりも低く、閾値電圧 V_{th_G} の絶対値が大きいほど電圧 V_{x_G} の絶対値は大きくなる。また、時刻 t_3 の直前における B 画素回路 6 0 b 内の節点 D の電位 ($V_{DD} + V_{x_B}$) は ($V_{DD} + V_{th_B}$) よりも低く、閾値電圧 V_{th_B} の絶対値が大きいほど電圧 V_{x_B} の絶対値は大きくなる。

10

20

【0112】

次に時刻 t_4 において制御線 E_i の電位がローレベルに変化すると、3 個の画素回路 6 0 ではスイッチ用 T F T 6 4、6 5 が導通状態に変化する。R 画素回路 6 0 r では、コンデンサ 6 8 が電圧 ($V_{DD} + V_{x_R} - V_{d_R}$) を保持している間に、節点 E の電位が V_{d_R} から V_{int_R} に変化する。したがって、節点 D の電位も、同じ量 ($V_{int_R} - V_{d_R}$) だけ変化して ($V_{DD} + V_{x_R}$) + ($V_{int_R} - V_{d_R}$) = ($V_{DD} + V_{x_R} + V_{int_R} - V_{d_R}$) となる。同様に、G 画素回路 6 0 g 内の節点 D の電位は ($V_{DD} + V_{x_G} + V_{int_G} - V_{d_G}$) となり、B 画素回路 6 0 b 内の節点 D の電位は ($V_{DD} + V_{x_B} + V_{int_B} - V_{d_B}$) となる。

30

【0113】

時刻 t_4 以降、3 個の画素回路 6 0 内のコンデンサ 6 8 に保持された電圧は変化しない。このため、R 画素回路 6 0 r 内の節点 D の電位は ($V_{DD} + V_{x_R} + V_{int_R} - V_{d_R}$) のままである。同様に、G 画素回路 6 0 g 内の節点 D の電位は ($V_{DD} + V_{x_G} + V_{int_G} - V_{d_G}$) のままであり、B 画素回路 6 0 b 内の節点 D の電位は ($V_{DD} + V_{x_B} + V_{int_B} - V_{d_B}$) のままである。したがって、3 個の画素回路 6 0 では、時刻 t_4 以降、次に制御線 E_i の電位がハイレベルとなるまで、電源配線 V_p から駆動用 T F T 6 1 とスイッチ用 T F T 6 4 を経由して有機 E L 素子 6 7 に電流が流れ、有機 E L 素子 6 7 は発光する。このときに駆動用 T F T 6 1 を流れる電流の量は節点 D の電位に応じて増減するが、以下に示すように、駆動用 T F T 6 1 の閾値電圧が異なってもデータ電圧が同じであれば電流量を同じにすることができる。

40

【0114】

例として、R 画素回路 6 0 r について説明する。R 画素回路 6 0 r では、有機 E L 素子 6 7 が発光するときに駆動用 T F T 6 1 のゲート端子電位 V_g は ($V_{DD} + V_{x_R} + V_{int_R} - V_{d_R}$) となる。したがって、式 (1) より、駆動用 T F T 6 1 のドレイン-ソース間を流れる電流 I_{EL} は、次式 (6) に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \cdot \{ V_{int_R} - V_{d_R} + (V_{x_R} - V_{th_R}) \}^2 \quad \dots (6)$$

式 (6) において電圧 V_{x_R} が閾値電圧 V_{th_R} に一致すれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。また、電圧 V_{x_R} が閾値電圧 V_{th_R} に一致しなくて

50

も、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th_R} には依存しない。

【0115】

表示装置50では、第1の実施形態と同様に、R画素回路内の2つのTFT間で電圧 V_{x_R} の差が閾値電圧 V_{th_R} の差とほぼ同じになるように、閾値補正期間の長さや初期電圧 V_{int_R} のレベルが決定される。このため、式(6)に含まれる電圧差 ($V_{x_R} - V_{th_R}$) はほぼ一定になる。したがって、R画素回路60rでは、閾値電圧 V_{th_R} の値にかかわらず、有機EL素子67にはデータ電圧 V_{d_R} に応じた量の電流が流れ、有機EL素子67はデータ電圧 V_{d_R} に応じた輝度で発光する。

【0116】

同様に、G画素回路60gでは、閾値電圧 V_{th_G} の値にかかわらず、有機EL素子67にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機EL素子67はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B画素回路60bでは、閾値電圧 V_{th_B} の値にかかわらず、有機EL素子25にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機EL素子67はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置50では、第1の実施形態に係る表示装置10と比べて画素回路60の構成は複雑になるが、ソースドライバ回路53の構成は簡単になる。

【0117】

表示装置50では、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} のうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の初期電圧 V_{int_G} とB画素回路用の初期電圧 V_{int_B} が異なり、 $|V_{gs0_G}| < |V_{gs0_B}|$ を満たすことが好ましい。また、初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が互いにすべて異なり、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たすことがより好ましい。初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} は、いずれも電源電圧 V_{DD} よりも低いレベルに設定される。

【0118】

本実施形態に係る表示装置50は、第1の実施形態に係る表示装置10と同様の効果を奏する。図16に示す画素回路130を備えた従来の表示装置では、装置全体で1種類の初期電圧 V_{int} が使用される。このため、従来の表示装置には、緑色を基準として初期電圧 V_{int} を決定すると画質が低下し、青色を基準として初期電圧 V_{int} を決定すると消費電力が増大するという問題がある。

【0119】

これに対して、本実施形態に係る表示装置50では、複数の初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} が使用され、このうち少なくとも2つ以上が異なっている。このため、例えば、B画素回路には $|V_{gs0}|$ が大きくなる初期電圧 V_{int_B} を使用し、G画素回路には $|V_{gs0}|$ が小さくなる初期電圧 V_{int_G} を使用することができる。これにより、人間が色度の違いに敏感な青色については、駆動用TFT61のゲート端子とソース端子との間に大きな初期電位差を与え、閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な緑色については、駆動用TFT61のゲート端子とソース端子との間に小さな初期電位差を与え、信号線の過剰な充放電を減らして消費電力を削減することができる。また、 $|V_{gs0_G}| < |V_{gs0_R}| < |V_{gs0_B}|$ を満たす初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用すれば、上記の効果をさらに高めることができる。

【0120】

このように本実施形態に係る表示装置50によれば、表示色に応じた初期電圧 V_{int_R} 、 V_{int_G} 、 V_{int_B} を使用することにより、駆動用TFT61の閾値補正を行うときに、駆動用TFT61のゲート端子とソース端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替え、画質を高くし、消費電力を削減することができる。

【0121】

なお、本実施形態についても、第1の実施形態と同様に、3種類の画素回路を別個の電

10

20

30

40

50

源配線に接続した変形例を構成することができる。この変形例に係る表示装置では、R画素回路60rに接続された電源配線には電源電圧VDD_Rが印加され、G画素回路60gに接続された電源配線には電源電圧VDD_Gが印加され、B画素回路60bに接続された電源配線には電源電圧VDD_Bが印加される。

【0122】

以上に示すように、本発明の表示装置によれば、駆動素子の閾値補正を行ってカラー表示を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じた初期電位差を与えることにより、画質を高くし、消費電力を削減することができる。

【産業上の利用可能性】

【0123】

本発明の表示装置は、高画質で低消費電力であるという特徴を有するので、各種の電子機器の表示装置として利用することができる。

【符号の説明】

【0124】

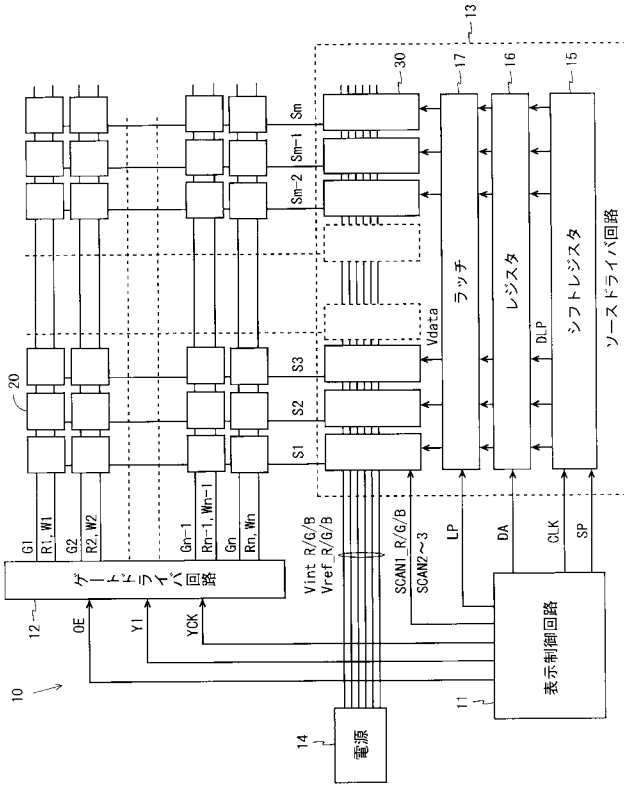
- 10、40、50 ... 表示装置
- 11、51 ... 表示制御回路
- 12、52 ... ゲートドライバ回路
- 13、43、53 ... ソースドライバ回路
- 14、44、54 ... 電源
- 15 ... シフトレジスタ
- 16 ... レジスタ
- 17 ... ラッチ
- 20、60 ... 画素回路
- 21、61 ... 駆動用TFT
- 22～24、62～66 ... スイッチ用TFT
- 25、67 ... 有機EL素子
- 26、37、68 ... コンデンサ
- 30、45 ... 出力回路
- 31～36 ... スイッチ
- 38、55 ... アナログバッファ

10

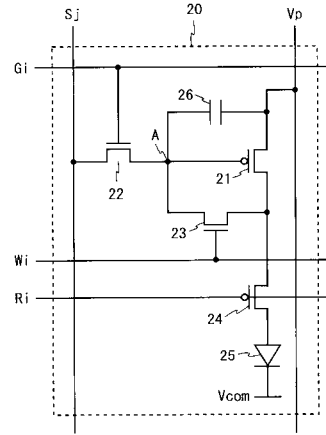
20

30

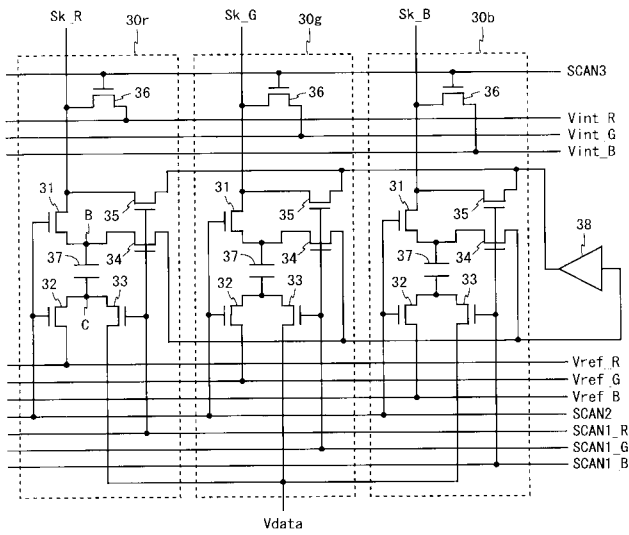
【 図 1 】



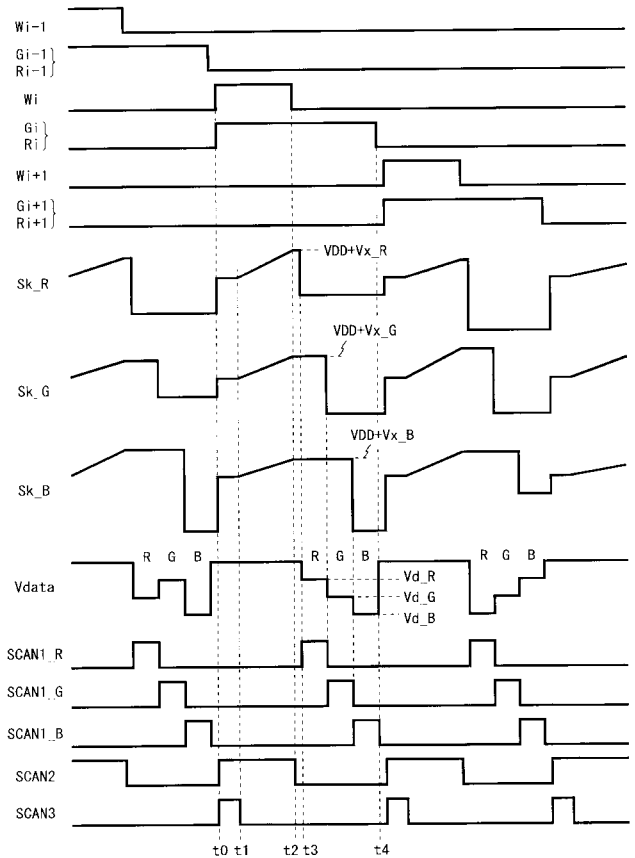
【 図 2 】



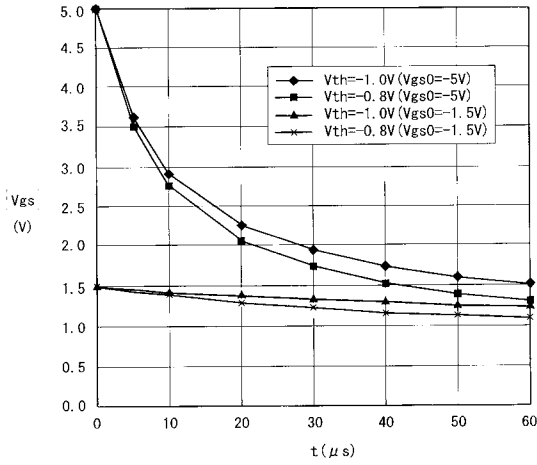
【 図 3 】



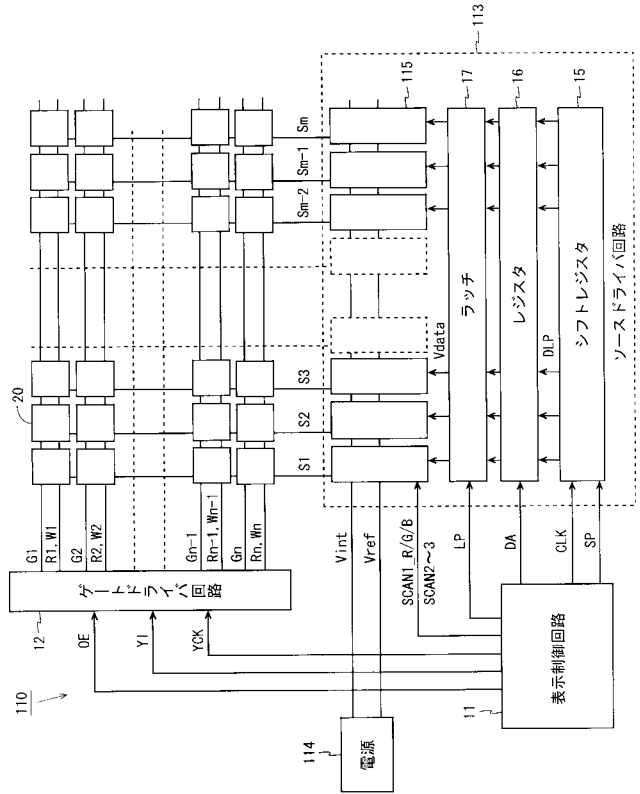
【 図 4 】



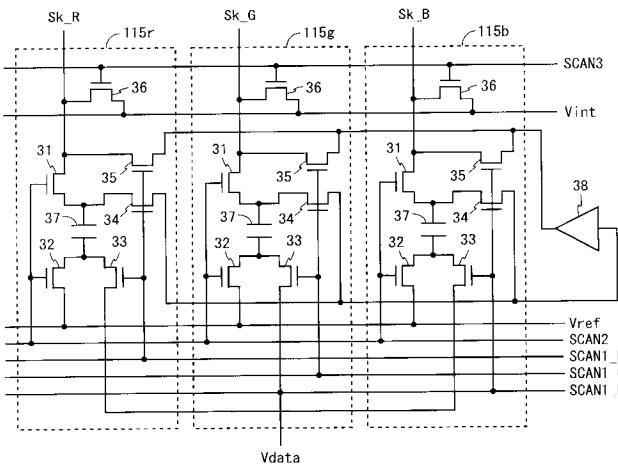
【図5】



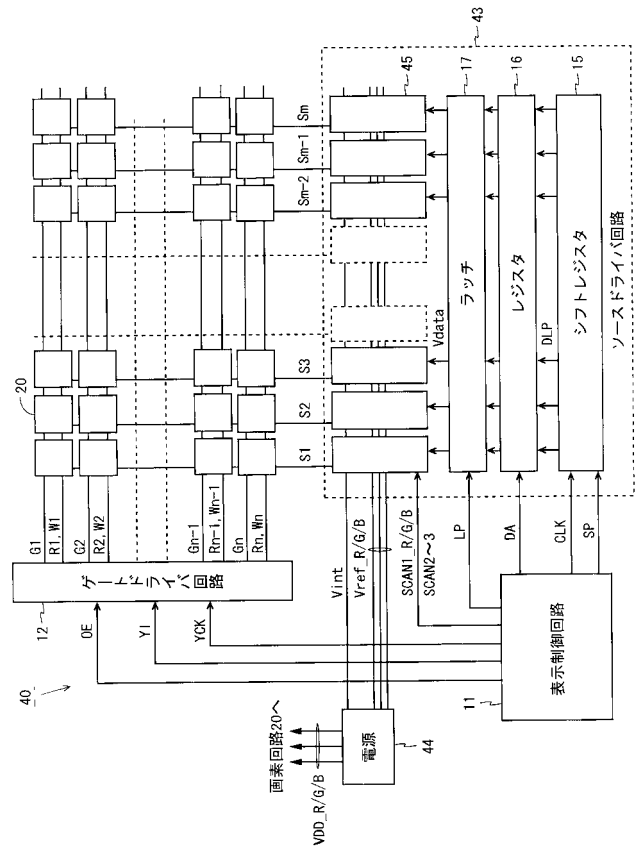
【図6】



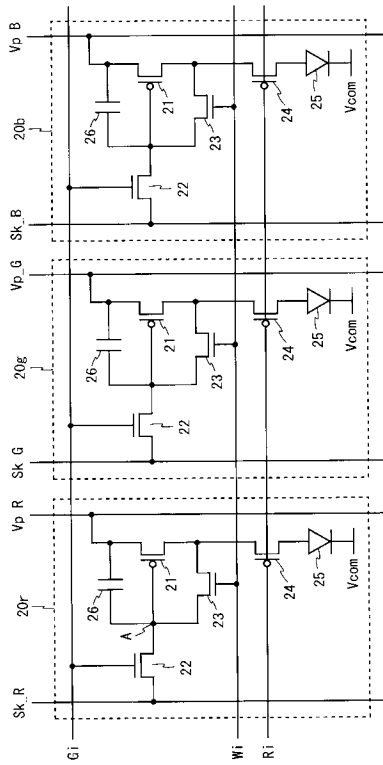
【図7】



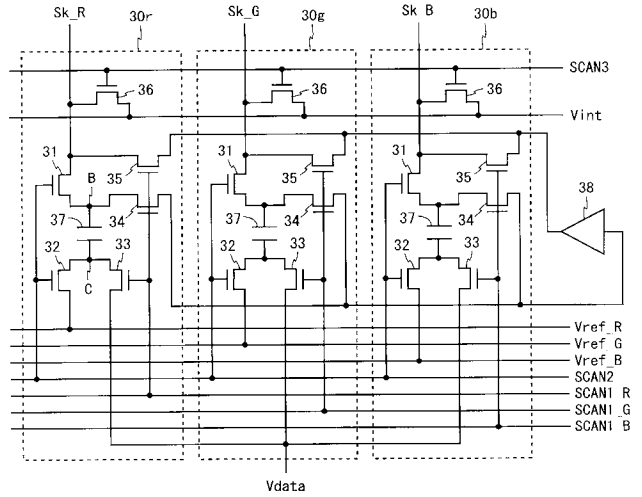
【図8】



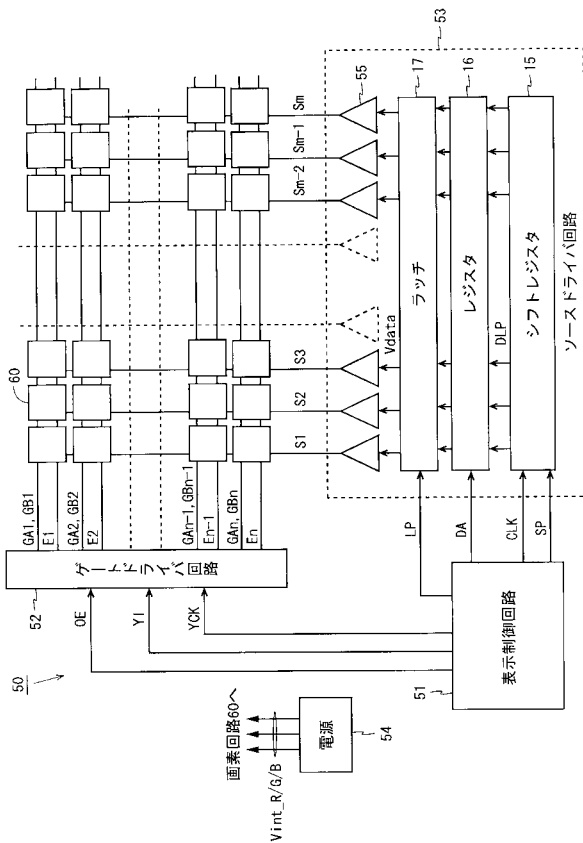
【図9】



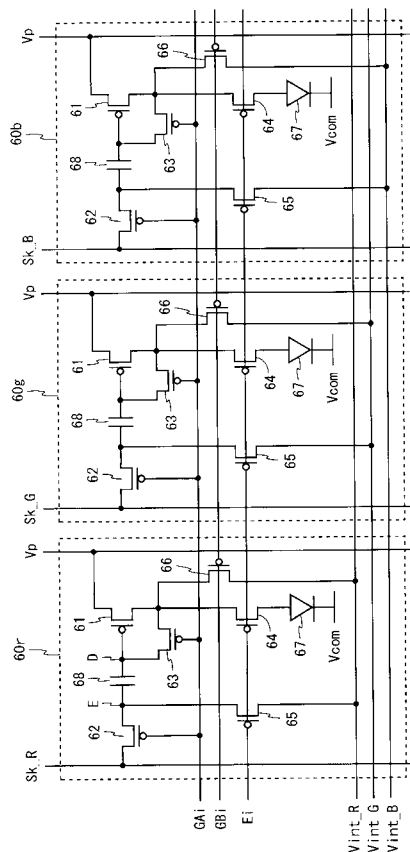
【図10】



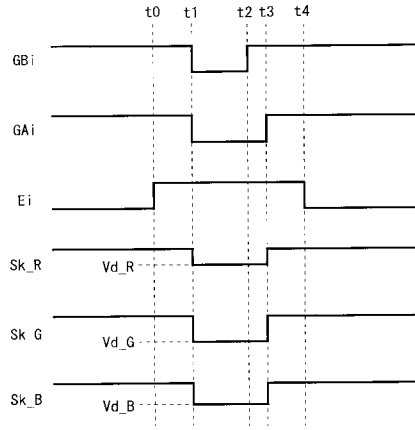
【図11】



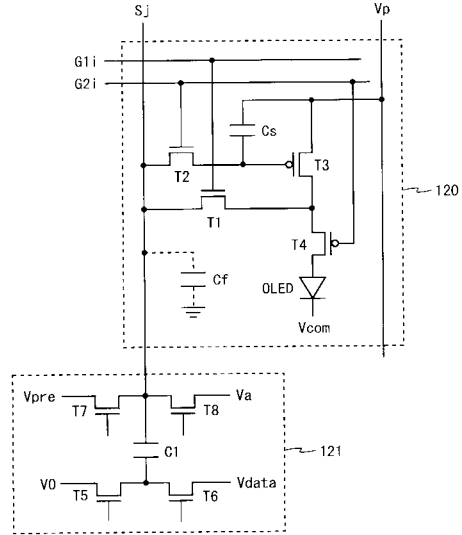
【図12】



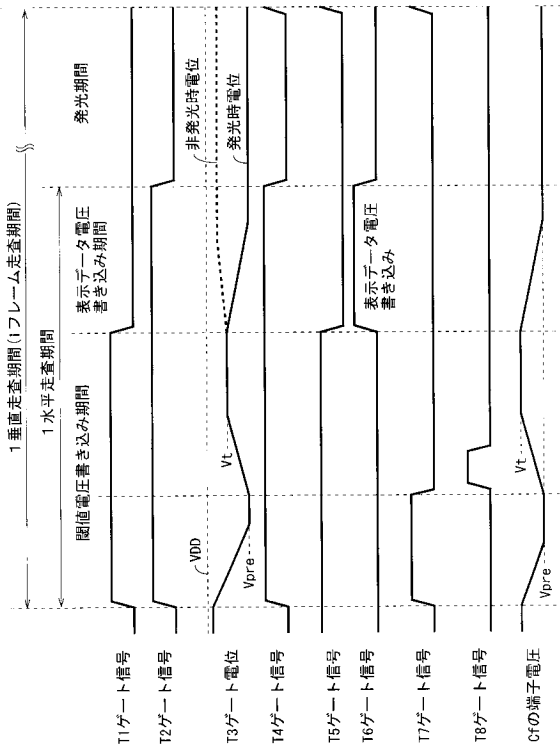
【 図 1 3 】



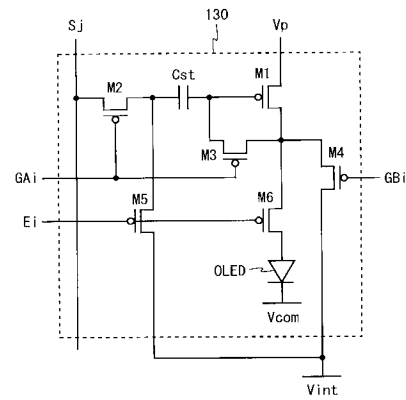
【 図 1 4 】



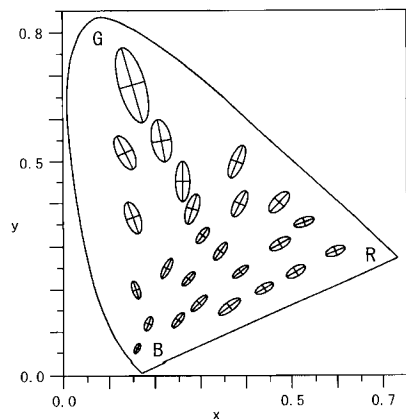
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



【手続補正書】

【提出日】平成23年2月1日(2011.2.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

電流制御型の駆動方式においてTFTの特性のばらつきを補償する方式は、駆動用TFTに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

電流制御型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図14は、特許文献1に記載された画素回路と出力スイッチの回路図である。図14において、画素回路120はトランジスタT1~T4、有機EL素子OLEDおよびコンデンサCsを備え、出力スイッチ121はトランジスタT5~T8およびコンデンサC1を備えている。画素回路120は、電源配線Vp、共通陰極Vcom、走査線G1i、G2iおよびデータ線Sjに接続される。トランジスタT5~T8の一端には、それぞれ、電圧V0、データ電圧Vdata、閾値補正電圧Vpreおよび電圧Vaが印加される。電圧Vaは、トランジスタT3の閾値電圧に近い電圧である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

図16は、特許文献2に記載された画素回路の回路図である。図16に示す画素回路130は、トランジスタM1~M6、有機EL素子OLEDおよびコンデンサCstを備えている。画素回路130は、電源配線Vp、共通陰極Vcom、初期電圧Vintが印加されたプリチャージ線、走査線GAi、GBi、制御線Eiおよびデータ線Sjに接続される。画素回路130は、図13(後述)に示すタイミングチャートに従って動作する。画素回路130の動作は、本発明の第2の実施形態に係る画素回路の動作と同様であるので、ここではその説明を省略する。画素回路130を図13に示す方法で駆動することにより、トランジスタM1のゲート端子にトランジスタM1の閾値電圧に応じた電位を印加し、トランジスタM1の閾値電圧にかかわらず、有機EL素子OLEDを所望の輝度で発光させることができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【補正の内容】

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 0

【補正方法】 変更

【補正の内容】

【 0 0 2 0 】

本発明の第 1 の局面は、カラー表示を行う電流駆動型の表示装置であって、
複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学
素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御
端子と第 1 の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回
路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記デー
タ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第 2 の導通端
子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッ
チング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終
了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子
の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも 2
種類の画素回路間で異なり、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、
前記 3 種類の画素回路の中では前記緑色用の画素回路において、前記補償用スイッ
チング素子の導通期間に前記補償用スイッチング素子を流れる電流が最小となるように、前記
初期電位差が設定されていることを特徴とする。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 1

【補正方法】 変更

【補正の内容】

【 0 0 2 1 】

本発明の第 2 の局面は、カラー表示を行う電流駆動型の表示装置であって、
複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学
素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御
端子と第 1 の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回
路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記デー
タ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第 2 の導通端
子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッ
チング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終
了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子
の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも 2
種類の画素回路間で異なり、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、
前記 3 種類の画素回路の中では前記青色用の画素回路において、前記補償用スイッ
チング素子の導通期間に前記補償用スイッチング素子を流れる電流が最大となるように、前記
初期電位差が設定されていることを特徴とする。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 2

【補正方法】 変更

【補正の内容】

【0022】

本発明の第3の局面は、カラー表示を行う電流駆動型の表示装置であって、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子と、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子を含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、少なくとも2種類の画素回路間で異なる初期電圧を前記データ線に印加することを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の第4の局面は、本発明の第3の局面において、

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第1の電極を前記データ線に接続し、前記容量の第2の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の第5の局面は、本発明の第4の局面において、

前記参照電圧は、少なくとも2種類の画素回路間で異なることを特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第6の局面は、カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子と、第1の電極が前記駆動素子の制御端子に接続された容量と、前記容量の第2の電極と前記データ線との間に設けられた書き込み用スイッチング素子と、前記容量の2個の電極に所定の初期電圧を印

加するか否かを切り替える初期化用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行うために、前記書き込み用スイッチング素子を導通状態に制御し、前記データ線に前記データ電圧を印加すると共に、前記容量の第1の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を非導通状態に制御すると共に、前記容量の第2の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記初期電圧は少なくとも2種類の画素回路間で異なることを特徴とする。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の第7の局面は、カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動素子の第2の導通端子には少なくとも2種類の画素回路間で異なる電源電圧が印加されることを特徴とする。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】削除

【補正の内容】

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

本発明の第1～第7の局面によれば、駆動素子の閾値補正を行うときに、駆動素子の制

御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与えることができる。このため、人間が色度の違いに敏感な色（例えば、青色）については、大きな初期電位差を与えて閾値補正を高い精度で行い、画質を高くすることができる。一方、人間が色度の違いに鈍感な色（例えば、緑色）については、小さな初期電位差を与えて信号線の過剰な充放電を減らし、消費電力を削減することができる。このように、駆動素子の制御端子と第2の導通端子との間に与える初期電位差を人間の視覚特性を考慮して表示色に応じて切り替えることにより、画質を高くし、消費電力を削減することができる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

本発明の第1の局面によれば、補償用スイッチング素子の導通期間に補償用スイッチング素子を流れる電流は緑色用の画素回路で最小となるので、人間が色度の違いに鈍感な緑色について駆動素子の閾値補正を行うときに、信号線の過剰な充放電を減らし、消費電力を削減することができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

本発明の第2の局面によれば、補償用スイッチング素子の導通期間に補償用スイッチング素子を流れる電流は青色用の画素回路で最大となるので、人間が色度の違いに敏感な青色について駆動素子の閾値補正を行うときに、閾値補正を高い精度で行い、画質を高くすることができる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

本発明の第3の局面によれば、駆動素子の閾値補正を行うときに、書き込み用スイッチング素子を導通状態に制御し、少なくとも2種類の画素回路間で異なる初期電圧をデータ線に印加することにより、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

本発明の第4の局面によれば、補償用スイッチング素子の導通期間終了後に、駆動素子の制御端子電位を駆動回路内の容量の第1の電極に印加し、容量の第2の電極に印加する電圧を参照電圧からデータ電圧に切り替えることにより、補償用スイッチング素子の導通期間終了時における駆動素子の制御端子電位を用いて補正されたデータ電圧を駆動素子の制御端子に印加することができる。したがって、画素回路内に閾値補正用の容量を設けることなく、駆動素子の閾値補正を行うことができる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

本発明の第5の局面によれば、少なくとも2種類の画素回路間で異なる参照電圧を使用することにより、データ電圧のゼロ点を揃えることができる。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

本発明の第6の局面によれば、書き込み用スイッチング素子を導通状態に制御し、データ線にデータ電圧を印加することにより、データ線を経由して駆動素子の制御端子にデータ電圧を印加することができる。また、初期化用スイッチング素子を制御して画素回路内の容量の2つの電極に順に初期電圧を印加することにより、補償用スイッチング素子の導通期間終了時における駆動素子の制御端子電位を用いて補正されたデータ電圧を駆動素子の制御端子に印加し、駆動素子の閾値補正を行うことができる。この際に少なくとも2種類の画素回路間で異なる初期電圧を用いることにより、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

本発明の第7の局面によれば、少なくとも2種類の画素回路間で異なる電源電圧を駆動素子の第2の導通端子に印加することにより、駆動素子の閾値補正を行うときに、駆動素子の制御端子と第2の導通端子との間に表示色に応じて異なる初期電位差を与え、画質を高くし、消費電力を削減することができる。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

【図1】本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

【図2】図1に示す表示装置に含まれる画素回路の回路図である。

【図3】図1に示す表示装置に含まれる出力回路の回路図である。

【図4】図1に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【図5】ダイオード接続されたTFTにおけるゲート-ソース間電圧の時間的変化の例を示す図である。

【図6】参考例に係る表示装置の構成を示すブロック図である。

【図7】図6に示す表示装置に含まれる出力回路の回路図である。

【図8】本発明の第1の実施形態の変形例に係る表示装置の構成を示すブロック図である。

【図9】図8に示す表示装置に含まれる画素回路の回路図である。

【図10】図8に示す表示装置に含まれる出力回路の回路図である。

【図11】本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。

【図12】図11に示す表示装置に含まれる画素回路の回路図である。

【図13】図11に示す表示装置における画素回路の駆動方法を示すタイミングチャートである。

【図14】従来の表示装置（第1の例）に含まれる画素回路と出力スイッチの回路図である。

【図15】図14に示す画素回路の駆動方法を示すタイミングチャートである。

【図16】従来の表示装置（第2の例）に含まれる画素回路の回路図である。

【図17】マッカダムの色度判別閾を示す図である。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

【補正の内容】

【0090】

図8に示す電源44は、画素回路20に対して電源電圧VDD_R、VDD_G、VDD_B、VSSを供給すると共に、出力回路45に対して初期電圧Vintと参照電圧Vref_R、Vref_G、Vref_Bを供給する。図9に示すように、R画素回路20rは電源配線Vp_Rに接続され、G画素回路20gは電源配線Vp_Gに接続され、B画素回路20bは電源配線Vp_Bに接続される。電源配線Vp_Rには電源44から供給された電源電圧VDD_Rが印加され、電源配線Vp_Gには電源44から供給された電源電圧VDD_Gが印加され、電源配線Vp_Bには電源44から供給された電源電圧VDD_Bが印加される。図10に示すR出力回路45r、G出力回路45gおよびB出力回路45bでは、スイッチ36の一方の端子には電源44から供給された同じ初期電圧Vintが印加される。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正の内容】

【0091】

表示装置40では、電源電圧VDD_R、VDD_G、VDD_Bのうち、少なくとも2つが互いに異なるように設定される。具体的には、G画素回路用の電源電圧VDD_GとB画素回路用の電源電圧VDD_Bが異なり、 $|Vgs0_G| < |Vgs0_B|$ を満たすことが好ましい。また、電源電圧VDD_R、VDD_G、VDD_Bが互いにすべて異なり、 $|Vgs0_G| < |Vgs0_R| < |Vgs0_B|$ を満たす（すなわち、 $VDD_G < VDD_R < VDD_B$ を満たす）ことがより好ましい。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正の内容】

【0104】

図13は、画素回路60の駆動方法を示すタイミングチャートである。以下、図13を参照して、3個のアナログバッファ55を用いて、走査線GAi、GBiとデータ線Sk_R、Sk_G、Sk_Bに接続された3個の画素回路60に対して、それぞれのデータ電圧Vdataを書き込むときの動作を説明する。図13では、時刻t0から時刻t4までが3個の画素回路60の選択期間となる。時刻t2より前では、3個の画素回路60の駆動用TFT61のゲート端子電位を並列に検知する処理が行われ、時刻t2より後では

、 3 個の画素回路 6 0 に対してそれぞれのデータ電圧を並列に書き込む処理が行われる。

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 6

【補正方法】変更

【補正の内容】

【0 1 1 6】

同様に、G画素回路 6 0 g では、閾値電圧 V_{th_G} の値にかかわらず、有機 EL 素子 6 7 にはデータ電圧 V_{d_G} に応じた量の電流が流れ、有機 EL 素子 6 7 はデータ電圧 V_{d_G} に応じた輝度で発光する。また、B画素回路 6 0 b では、閾値電圧 V_{th_B} の値にかかわらず、有機 EL 素子 6 7 にはデータ電圧 V_{d_B} に応じた量の電流が流れ、有機 EL 素子 6 7 はデータ電圧 V_{d_B} に応じた輝度で発光する。表示装置 5 0 では、第 1 の実施形態に係る表示装置 1 0 と比べて画素回路 6 0 の構成は複雑になるが、ソースドライバ回路 5 3 の構成は簡単になる。

【手続補正 2 6】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

カラー表示を行う電流駆動型の表示装置であって、
複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第 1 の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第 2 の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも 2 種類の画素回路間で異なり、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、前記 3 種類の画素回路の中では前記緑色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最小となるように、前記初期電位差が設定されていることを特徴とする、表示装置。

【請求項 2】

カラー表示を行う電流駆動型の表示装置であって、
複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第 1 の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第 2 の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終

了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、前記初期電位差は少なくとも2種類の画素回路間で異なり、

前記画素回路には少なくとも赤色用、緑色用および青色用の画素回路が含まれており、前記3種類の画素回路の中では前記青色用の画素回路において、前記補償用スイッチング素子の導通期間に前記補償用スイッチング素子を流れる電流が最大となるように、前記初期電位差が設定されていることを特徴とする、表示装置。

【請求項3】

カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子と、前記データ線と前記駆動素子の制御端子との間に設けられた書き込み用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動回路は、前記書き込み用スイッチング素子を導通状態に制御し、少なくとも2種類の画素回路間で異なる初期電圧を前記データ線に印加することを特徴とする、表示装置。

【請求項4】

前記駆動回路は、前記データ線に対応した容量を含み、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を導通状態に制御したままで、前記容量の第1の電極を前記データ線に接続し、前記容量の第2の電極に印加する電圧を参照電圧から前記データ電圧に切り替えることを特徴とする、請求項3に記載の表示装置。

【請求項5】

前記参照電圧は、少なくとも2種類の画素回路間で異なることを特徴とする、請求項4に記載の表示装置。

【請求項6】

カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子と、第1の電極が前記駆動素子の制御端子に接続された容量と、前記容量の第2の電極と前記データ線との間に設けられた書き込み用スイッチング素子と、前記容量の2個の電極に所定の初期電圧を印加するか否かを切り替える初期化用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行うために、前記書き込み用スイッチング素子を導通状態に制御し、前記データ線に前記データ電圧を印加すると共に、前記容量の第1の電極に前

記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、前記補償用スイッチング素子の導通期間終了後に、前記書き込み用スイッチング素子を非導通状態に制御すると共に、前記容量の第2の電極に前記初期電圧が印加されるように前記初期化用スイッチング素子を制御し、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記初期電圧は少なくとも2種類の画素回路間で異なることを特徴とする、表示装置。

【請求項7】

カラー表示を行う電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、前記電気光学素子に流れる電流の量を制御する駆動素子と、前記駆動素子の制御端子と第1の導通端子との間に設けられた補償用スイッチング素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択し、選択した画素回路に前記データ線を用いてデータ電圧を書き込む駆動回路とを備え、

前記駆動回路は、選択した画素回路について、前記駆動素子の制御端子と第2の導通端子との間に初期電位差を与え、前記駆動素子が導通状態である間に前記補償用スイッチング素子を一時的に導通状態に制御する動作と、前記補償用スイッチング素子の導通期間終了時における前記駆動素子の制御端子電位を用いて補正されたデータ電圧を前記駆動素子の制御端子に印加する動作とを行い、

前記画素回路は表示色によって複数の種類に分類され、

少なくとも2種類の画素回路間で異なる初期電位差が与えられるように、前記駆動素子の第2の導通端子には少なくとも2種類の画素回路間で異なる電源電圧が印加されることを特徴とする、表示装置。

【手続補正27】

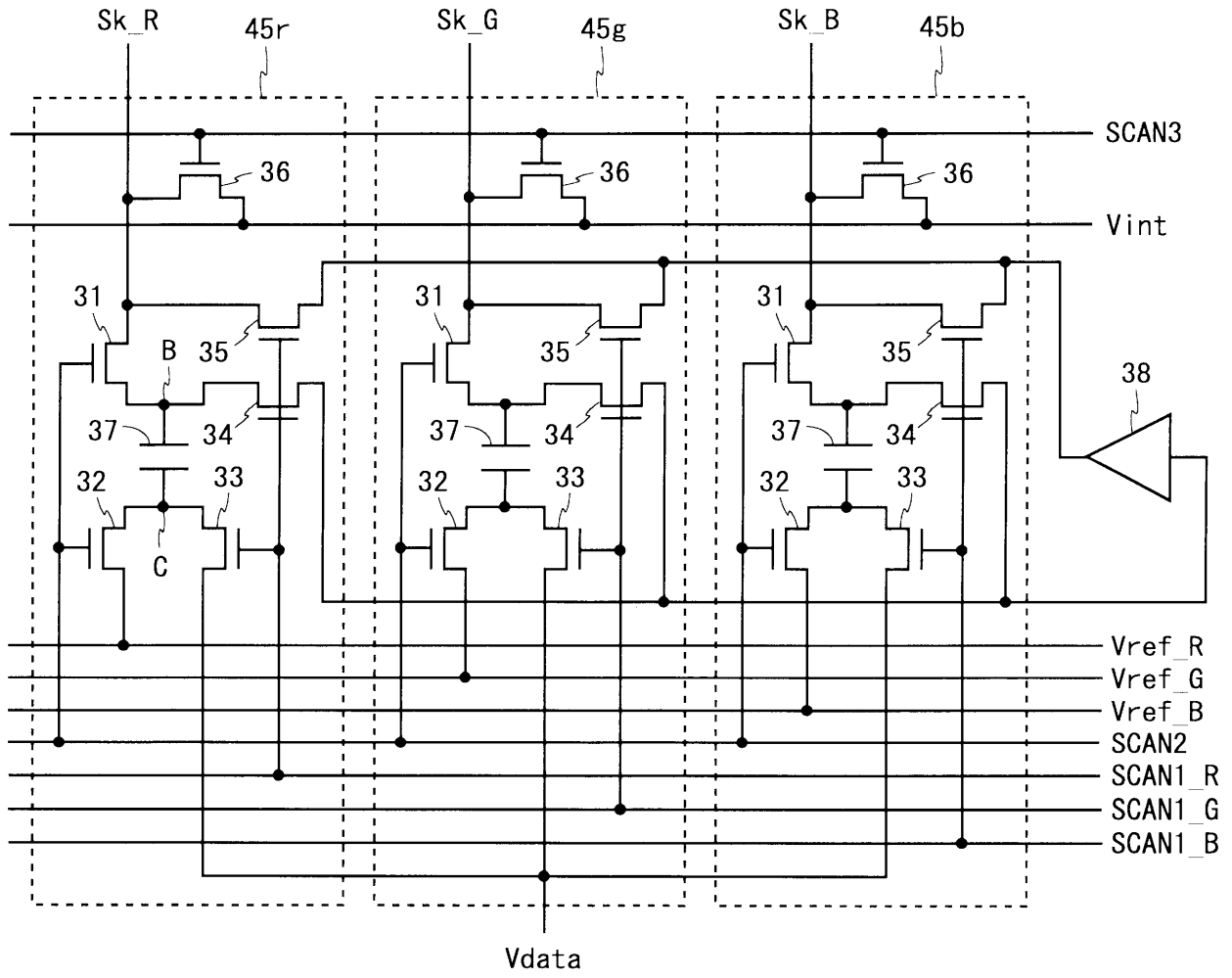
【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】変更

【補正の内容】

【 図 1 0 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2009/060034
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-199347 A (Seiko Epson Corp.), 09 August, 2007 (09.08.07), Par. Nos. [0016] to [0048], [0052] to [0053]; Figs. 1 to 8, 11 (Family: none)	1, 9
A	JP 2004-170787 A (Toshiba Corp.), 17 June, 2004 (17.06.04), Full text; all drawings & US 2004/0104870 A1 & TW 252707 B & KR 10-2004-0045348 A	1-9
A	JP 2005-309150 A (Seiko Epson Corp.), 04 November, 2005 (04.11.05), Full text; all drawings & US 2005/0237273 A1	1, 8-9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 31 July, 2009 (31.07.09)		Date of mailing of the international search report 11 August, 2009 (11.08.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.
Facsimile No.		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060034

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-309151 A (Seiko Epson Corp.), 04 November, 2005 (04.11.05), Full text; all drawings & US 2005/0237283 A1 & KR 10-2006-0043679 A & CN 1691116 A	1, 8-9
A	JP 2005-352411 A (Sharp Corp.), 22 December, 2005 (22.12.05), Full text; all drawings (Family: none)	1, 4-6, 9
A	JP 2007-133354 A (Samsung SDI Co., Ltd.), 31 May, 2007 (31.05.07), Full text; all drawings & US 2007/0124633 A1 & KR 10-2007-0049905 A & KR 10-2007-0049906 A & CN 1963905 A	1, 7, 9
P,A	WO 2008/108024 A1 (Sharp Corp.), 12 September, 2008 (12.09.08), Full text; all drawings (Family: none)	1, 4-6, 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060034

Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)
<p>This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:</p> <p>1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:</p> <p>2. <input type="checkbox"/> Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:</p> <p>3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).</p>	
Box No. III	Observations where unity of invention is lacking (Continuation of item 3 of first sheet)
<p>This International Searching Authority found multiple inventions in this international application, as follows: Document 1 (JP 2007-199347 A) discloses a display device including all the configurations of the invention of claim 1. Accordingly, the invention of claim 1 has no novelty or special technical feature when compared to the invention disclosed in Document 1. Accordingly, the inventions of claims 1-9 have no common special technical feature and the inventions of claims 1-9 do not satisfy the requirement of unity of invention.</p> <p>1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.</p> <p>2. <input checked="" type="checkbox"/> As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.</p> <p>3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:</p> <p>4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:</p> <p>Remark on Protest the</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.</p> <p><input type="checkbox"/> No protest accompanied the payment of additional search fees.</p>	

国際調査報告		国際出願番号 PCT/JP2009/060034									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2009年										
日本国実用新案登録公報	1996-2009年										
日本国登録実用新案公報	1994-2009年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X	JP 2007-199347 A (セイコーエプソン株式会社) 2007.08.09, 段落【0016】 - 【0048】, 【0052】 - 【0053】, 【図1】 - 【図8】, 【図11】 (ファミリーなし)	1,9									
A	JP 2004-170787 A (株式会社東芝) 2004.06.17, 全文全図 & US 2004/0104870 A1 & TW 252707 B & KR 10-2004-0045348 A	1-9									
A	JP 2005-309150 A (セイコーエプソン株式会社) 2005.11.04, 全文全図 & US 2005/0237273 A1	1,8-9									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 31.07.2009		国際調査報告の発送日 11.08.2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 長井 真一	2G 3805								
		電話番号 03-3581-1101 内線 3226									

国際調査報告		国際出願番号 PCT/J P 2 0 0 9 / 0 6 0 0 3 4
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-309151 A (セイコーエプソン株式会社) 2005.11.04, 全文 全図 & US 2005/0237283 A1 & KR 10-2006-0043679 A & CN 1691116 A	1, 8-9
A	JP 2005-352411 A (シャープ株式会社) 2005.12.22, 全文全図 (フ ァミリーなし)	1, 4-6, 9
A	JP 2007-133354 A (三星エスディアイ株式会社) 2007.05.31, 全文 全図 & US 2007/0124633 A1 & KR 10-2007-0049905 A & KR 10-2007-0049906 A & CN 1963905 A	1, 7, 9
P, A	WO 2008/108024 A1 (シャープ株式会社) 2008.09.12, 全文全図 (フ ァミリーなし)	1, 4-6, 9

国際調査報告

国際出願番号 PCT/J P 2009/060034

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1 (JP 2007-199347 A) には、請求項1に係る発明の構成をすべて含む表示装置が記載されており、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有さない。よって、請求項1-9に係る発明に共通する特別な技術的特徴はないため、請求項1-9に係る発明は発明の単一性の要件を満たしていない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2007年4月)

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 1 2 E
	G 0 9 G 3/20	6 2 1 F

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

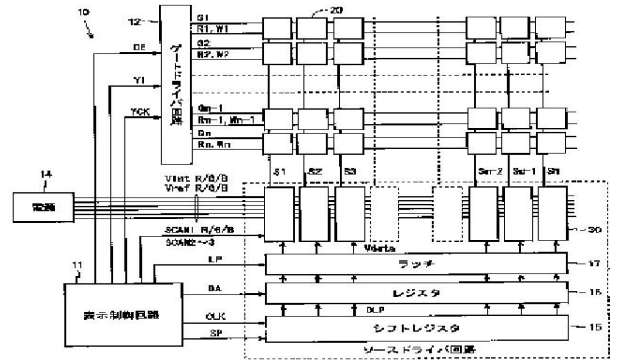
F ターム(参考) 5C380 AA01 AB06 AB22 AB24 AB34 BA01 BA11 BA13 BA19 BA38
 BA39 BB03 BB05 BB06 BB14 BC02 BC13 CA02 CA08 CA09
 CA12 CA17 CA24 CA29 CA54 CB01 CB14 CB16 CB17 CB33
 CC09 CC26 CC30 CC33 CC39 CC64 CD014 CD016 CE19 CF06
 CF07 CF09 CF22 CF31 CF43 CF48 CF51 DA02 DA32 FA02
 FA21 HA03 HA05

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2010029795A1	公开(公告)日	2012-02-02
申请号	JP2010528679	申请日	2009-06-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3291 G09G3/2003 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2310/0251 G09G2320/02 G09G2320/0242 G09G2320/029 G09G2330/02 G09G2330/021 G09G2330/028		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.642.L G09G3/20.624.B G09G3/20.623.C G09G3/20.623.R G09G3/20.611.A G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/20.641.D G09G3/20.612.E G09G3/20.621.F		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC07 3K107/CC14 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/BA01 5C380/BA11 5C380/BA13 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB05 5C380/BB06 5C380/BB14 5C380/BC02 5C380/BC13 5C380/CA02 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA17 5C380/CA24 5C380/CA29 5C380/CA54 5C380/CB01 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB33 5C380/CC09 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CE19 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF31 5C380/CF43 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA32 5C380/FA02 5C380/FA21 5C380/HA03 5C380/HA05		
代理人(译)	岛田彰 川原贤治		
优先权	2008231807 2008-09-10 JP		
其他公开文献	JP5172963B2		
外部链接	Espacenet		

摘要(译)

像素电路20包括有机EL元件25，驱动TFT 21和设置在驱动TFT 21的栅极与源极之间的开关TFT23。在写入像素电路20时，向栅极端子施加初始电压。在驱动TFT 21处于导通状态时，开关TFT 23被暂时控制为导通状态，并且施加使用此时获得的驱动TFT 21的栅极端子电势校正的数据电压。对于驱动TFT 21的栅极端子，人对蓝色色度差异敏感，而对绿色色度差异不敏感。增加阈值校正的精度初始电压Vint_B用于蓝色像素电路，并且减小功耗的初始电压Vint_G用于绿色像素电路。这样，提供了具有高图像质量和低功耗的电流驱动型彩色显示装置。



- 14 POWER SOURCE
- 12 GATE DRIVER CIRCUIT
- 11 DISPLAY CONTROL CIRCUIT
- 17 LATCH
- 16 REGISTER
- 15 SHIFT REGISTER
- 13 SOURCE DRIVER CIRCUIT