

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5157467号
(P5157467)

(45) 発行日 平成25年3月6日(2013.3.6)

(24) 登録日 平成24年12月21日(2012.12.21)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	6 1 1 H
HO 1 L 51/50 (2006.01)	G09G 3/20	6 2 4 B
	G09G 3/20	6 2 4 Z
	G09G 3/20	6 4 1 D
請求項の数 4 (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2008-9001 (P2008-9001)
 (22) 出願日 平成20年1月18日 (2008.1.18)
 (65) 公開番号 特開2009-169239 (P2009-169239A)
 (43) 公開日 平成21年7月30日 (2009.7.30)
 審査請求日 平成22年3月17日 (2010.3.17)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 富田 昌嗣
 東京都港区港南1丁目7番1号 ソニーイ
 ーエムシーエス株式会社内
 (72) 発明者 浅野 慎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 自発光型表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

第2の電圧線にカソードが接続された発光ダイオードと、前記発光ダイオードのアノードと第1の電圧線との間に接続された駆動トランジスタと、前記駆動トランジスタの制御ノードと信号線との間に接続されたサンプリングトランジスタと、前記制御ノードに結合した保持キャパシタとを含む画素回路と、

前記第2の電圧線の電位を第1レベルより高い所定レベルで固定した状態で、前記第1の電圧線の電位と、前記サンプリングトランジスタのオンおよびオフを制御する駆動回路と、

を有し、

前記駆動回路は、

前記第1の電圧線の電位を、前記発光ダイオードを逆バイアスしないで発光停止を行うために前記第1レベルより高い第2レベルとした状態から、前記発光ダイオードを逆バイアスする前記第1レベルに変化させ、

前記第1の電圧線の電位を前記第2レベルおよび前記所定レベルより高い第3レベルに変化させて、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持キャパシタに設定し、

前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに供給するとともに前記保持電圧を前記駆動トランジスタの駆動力に応じて補正し、

前記サンプリングトランジスタをオフすることで、前記発光ダイオードを発光可能な

状態にバイアスする、
自発光型表示装置。

【請求項 2】

前記駆動回路は、前記第 1 の電圧線の電位を、前記第 3 レベルに変化させる前に、前記第 1 レベルで一定期間保持する、

請求項 1 に記載の自発光型表示装置。

【請求項 3】

前記駆動回路は、1 フレームまたは 1 フィールド期間内に、前記第 1 の電圧線の電位を、前記第 1 レベル、前記第 3 レベルおよび前記第 2 レベルの順に変化させる、

請求項 1 または 2 に記載の自発光型表示装置。

10

【請求項 4】

第 2 の電圧線にカソードが接続された発光ダイオードと、前記発光ダイオードのアノードと第 1 の電圧線との間に接続された駆動トランジスタと、前記駆動トランジスタの制御ノードと信号線との間に接続されたサンプリングトランジスタと、前記制御ノードに結合した保持キャパシタとを含む画素回路を備える自発光型表示装置に対し、前記第 2 の電圧線の電位を第 1 レベルより高い所定レベルで固定した状態で、前記第 1 の電圧線の電位と、前記サンプリングトランジスタのオンおよびオフを制御する駆動方法であって、

前記第 1 の電圧線の電位を、前記発光ダイオードを逆バイアスしないで発光停止を行うために前記第 1 レベルより高い第 2 レベルとした、発光停止処理ステップと、

前記第 1 の電圧線の電位を、前記発光ダイオードを逆バイアスする前記第 1 レベルに変化させて、前記保持キャパシタの保持電圧を初期化する、一定期間の初期化ステップと、

20

前記第 1 の電圧線の電位を前記第 2 レベルおよび前記所定レベルより高い第 3 レベルに変化させて、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持キャパシタに設定し、前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに書き込むとともに、前記保持電圧を前記駆動トランジスタの駆動力に応じて補正する、補正・書き込みステップと、

前記サンプリングトランジスタをオフすることで、前記発光ダイオードを発光可能な状態にバイアスする、発光可能バイアスの印加ステップと、

を含む、

自発光型表示装置の駆動方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バイアス電圧が印加されたときに自発光する発光ダイオードと、その駆動電流を制御する駆動トランジスタと、駆動トランジスタの制御ノードに結合する保持キャパシタとを、画素回路内に有する自発光型表示装置と、その駆動方法に関する。

【背景技術】

【0002】

自発光型表示装置に用いられる電気光学素子として、有機エレクトロルミネッセンス (Organic Electro Luminescence) 素子が知られている。有機エレクトロルミネッセンス素子は、一般に、OLED (Organic Light Emitting Diode) と称され、発光ダイオードの一種である。

40

【0003】

OLED は、下部電極と上部電極との間に、有機正孔輸送層や有機発光層などとして機能する複数の有機薄膜を積層させている。OLED は、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、OLED を流れる電流値を制御することで発色の階調を得ている。そのため、OLED を電気光学素子として用いる表示装置は、OLED の電流量を制御するための駆動トランジスタと、駆動トランジスタの制御電圧を保持するキャパシタとを含む画素回路が画素ごとに設けられている。

【0004】

50

画素回路は様々なものが提案され、主なものでは4トランジスタ(4T)・1キャパシタ(1C)型、4T・2C型、5T・1C型、3T・1C型などが知られている。

これらは何れもTFT(Thin Film Transistor)から形成されるトランジスタの特性バラツキに起因する画質低下を防止するものであり、データ電圧が一定ならば画素回路内部で駆動電流が一定となるように制御し、これによって画面全体のユニフォミティ(輝度の均一性)を向上させることを目的とする。とくに画素回路内でOLEDを電源に接続するときに、入力する映像信号の画素データに応じて電流量を制御する駆動トランジスタの特性バラツキが、直接的にOLEDの発光輝度に影響を与える。

【0005】

駆動トランジスタの特性バラツキで最大のものは閾値電圧のバラツキである。このため、駆動トランジスタの閾値電圧バラツキに因る影響が駆動電流からキャンセルされるように、駆動トランジスタのゲートソース間電圧を補正する必要がある。以下、この補正を「閾値電圧補正または閾値補正」という。

10

さらに、閾値電圧補正を行うことを前提に、駆動トランジスタの電流駆動能力から閾値バラツキ起因成分等を減じた駆動能力成分(一般には、移動度と称されている)の影響がキャンセルされるように上記ゲートソース間電圧を補正すると、より一層高いユニフォミティが得られる。以下、この駆動能力成分の補正を「移動度補正」という。

駆動トランジスタの閾値電圧や移動度の補正については、例えば、特許文献1に詳しく説明されている。

【特許文献1】特開2006-215213号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記特許文献1に記載されているように、画素回路の構成によっては、閾値電圧や移動度の補正時に発光ダイオード(有機EL素子)を非発光とするため、当該発光ダイオードを逆バイアスした状態で上記補正を行う場合がある。この場合、表示画面が切り替わる際に、時として、画面全体の明るさが瞬間的に変化する現象が生じる。この現象は、瞬間的に画面が明るく光るような場合が特に目立つことから、以下、「フラッシュ現象」と称する。

本発明は、この画面全体の明るさが瞬間的に変化する(フラッシュ)現象を防止または抑制することができる自発光型表示装置と、その駆動方法に関する。

30

【課題を解決するための手段】

【0007】

発明の一形態(第1形態)に関わる自発光型表示装置は、第2の電圧線にカソードが接続された発光ダイオードと、前記発光ダイオードのアノードと第1の電圧線との間に接続された駆動トランジスタと、前記駆動トランジスタの制御ノードと信号線との間に接続されたサンプリングトランジスタと、前記制御ノードに結合した保持キャパシタとを含む画素回路と、前記第2の電圧線の電位を第1レベルより高い所定レベルで固定した状態で、前記第1の電圧線の電位と、前記サンプリングトランジスタのオンおよびオフを制御する駆動回路と、を有する。

40

前記駆動回路は、前記第1の電圧線の電位を、前記発光ダイオードを逆バイアスしないで発光停止を行うために前記第1レベルより高い第2レベルとした状態から、前記発光ダイオードを逆バイアスする前記第1レベルに変化させ、前記第1の電圧線の電位を前記第2レベルおよび前記所定レベルより高い第3レベルに変化させて、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持キャパシタに設定し、前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに供給するとともに前記保持電圧を前記駆動トランジスタの駆動力に応じて補正し、前記サンプリングトランジスタをオフすることで、前記発光ダイオードを発光可能な状態にバイアスする。

【0009】

本発明の他の形態(第3形態)に関わる自発光型表示装置の駆動方法は、第2の電圧線

50

にカソードが接続された発光ダイオードと、前記発光ダイオードのアノードと第1の電圧線との間に接続された駆動トランジスタと、前記駆動トランジスタの制御ノードと信号線との間に接続されたサンプリングトランジスタと、前記制御ノードに結合した保持キャパシタとを含む画素回路を備える自発光型表示装置に対し、前記第2の電圧線の電位を第1レベルより高い所定レベルで固定した状態で、前記第1の電圧線の電位と、前記サンプリングトランジスタのオンおよびオフを制御する駆動方法であって、前記第1の電圧線の電位を、前記発光ダイオードを逆バイアスしないで発光停止を行うために前記第1レベルより高い第2レベルとした、発光停止処理ステップと、前記第1の電圧線の電位を、前記発光ダイオードを逆バイアスする前記第1レベルに変化させて、前記保持キャパシタの保持電圧を初期化する、一定期間の初期化ステップと、前記第1の電圧線の電位を前記第2レベルおよび前記所定レベルより高い第3レベルに変化させて、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持キャパシタに設定し、前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに書き込むとともに、前記保持電圧を前記駆動トランジスタの駆動力に応じて補正する、補正・書き込みステップと、前記サンプリングトランジスタをオフすることで、前記発光ダイオードを発光可能な状態にバイアスする、発光可能バイアスの印加ステップと、を含む。

10

【0010】

ところで、本発明者等は、前述した「フラッシュ現象」の原因を解析した結果、この現象は、発光ダイオード（有機EL素子等）の逆バイアス期間の長短に関係していることを見出している。

20

有機EL素子の逆バイアスについて、上記特許文献1には、5T・1C型の画素回路において、有機発光ダイオードOLED（有機EL素子）を逆バイアスした状態で閾値電圧補正を行う制御が記載されている（上記特許文献1の第1および第2実施形態参照、例えば第1実施形態における段落[0046]等の記載参照）。特許文献1では、1つの画素に対する駆動のみに着目した説明をしているため記載されていないが、実際の有機ELディスプレイにおいては、有機EL素子の逆バイアスは、1フィールド前の画面表示期間（1F）における発光終点から開始され、補正期間を経て次の発光時に解消される。そのため、逆バイアスの長さ（始点）が、有機EL素子の発光許可期間の長さに依存し、時として変化する。

【0011】

30

有機EL素子は、流れる電流量が極端に大きくなると経時変化により、その特性が低下する。この特性の低下は、前述した閾値電圧や移動度の補正である程度補償（補正）されるが、極端な特性低下は完全に補正できないため、特性低下は最初から小さいほうが望ましい。このため、発光輝度を上げる制御を行う場合、駆動電流量を上げるのではなく発光許可期間を長くする制御（パルスのデューティ比制御）を行うことがある。

また、画面周囲の環境が明るいときは全体の発光輝度を上げて画面を見やすくするために、上記補正の限界を考慮して発光許可期間を長くする制御を行うことがある。さらに、低消費電力化の要請から輝度を下げるが、このとき駆動電流量を下げるのではなく発光時間を短くして対処する場合がある。

【0012】

40

画面の明るさを、平均的な画素の発光輝度を上下して変化させる場合、その画面の切り替え時に「フラッシュ現象」が観測されることから、逆バイアス期間の長短に依存して、フラッシュ現象の出方が変わってくる。この観点から、本発明者らは、発光ダイオード（有機EL素子等）を逆バイアスするときに、発光ダイオードの等価容量値が時間的に変化し、これが補正の精度に影響を与えるため、輝度が画面全体で変化しているという結論を得ている。

【0013】

よって、本発明の上述した第1～第3形態では、発光ダイオードに対し発光停止を行う際には、発光ダイオードを逆バイアスしないで発光だけ停止するための第2レベルの駆動信号を印加し、第1レベルの駆動信号を印加して発光ダイオードを逆バイアスする期間を

50

一定にすることを可能としている。

このことを利用して、発光可能期間が変更されたときは第2レベルの（発光停止処理）期間を可変として、発光可能期間の変動を吸収することができる。

このため、逆バイアス期間を一定としても、実際に発光させる発光許可期間の長さを変更することが容易である。

【0014】

逆バイアス印加時間が一定なら、閾値電圧や移動等の補正後に、同じデータ電圧を入力した画素回路間でほぼ同じ程度に、発光ダイオードの制御ノードのバイアス電圧が揃う。つまり、逆バイアス印加時間が異なることによる発光ダイオードに対する発光前のバイアス電圧の誤差成分は発生しない。よって、より補正の精度が向上し、同じデータ電圧が入力されているならば、画素の発光強度はほぼ一定となる。

10

【発明の効果】

【0015】

本発明に関わる自発光型表示装置とその駆動方法によれば、逆バイアス印加時間を一定にできることから、同じデータ電圧が入力されているならば、画素の発光強度はほぼ一定となり、結果として、いわゆるフラッシュ現象を有効に防止または抑制可能である。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施形態を、2T・1C型の画素回路を有する有機ELディスプレイを例として、図面を参照して説明する。

20

【0017】

<全体構成>

図1に、本発明の実施形態に関わる有機ELディスプレイの主要構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路(PXLC)3(i,j)がマトリクス状に配置されている画素アレイ2と、画素アレイ2を駆動する垂直駆動回路(Vスキャナ)4および水平駆動回路(Hセクタ:HSEL)5とを含む。

Vスキャナ4は、画素回路3の構成により複数設けられている。ここではVスキャナ4が、水平画素ライン駆動回路(Drive Scan)41と、書き込み信号走査回路(Write Scan)42とを含んで構成されている。Vスキャナ4およびHセクタ5は「駆動回路」の一部であり、「駆動回路」は、Vスキャナ4とHセクタ5の他に、これらにクロック信号を与える回路や制御回路(CPU等)など、不図示の回路も含む。とくに水平画素ライン駆動回路41と、その駆動のためのクロック信号を与える回路や制御回路(CPU等)を「駆動信号発生回路」と称する。

30

【0018】

図1に示す画素回路の符号「3(i,j)」は、当該画素回路が垂直方向(縦方向)のアドレスi(i=1,2)と、水平方向(横方向)のアドレスj(j=1,2,3)を持つことを意味する。これらのアドレスiとjは最大値をそれぞれ「n」と「m」とする1以上の整数をとる。ここでは図の簡略化のためn=2、m=3の場合を示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

40

【0019】

画素回路3(1,1)、3(2,1)が垂直方向の映像信号線DTL(1)に接続されている。同様に、画素回路3(1,2)、3(2,2)が垂直方向の映像信号線DTL(2)に接続され、画素回路3(1,3)、3(2,3)が垂直方向の映像信号線DTL(3)に接続されている。映像信号線DTL(1)~DTL(3)は、Hセクタ5によって駆動される。

第1行の画素回路3(1,1)、3(1,2)および3(1,3)が書込走査線WSL(1)に接続されている。同様に、第2行の画素回路3(2,1)、3(2,2)および3(2,3)が書込走査線WSL(2)に接続されている。書込走査線WSL(1)、WSL(2)は、書き込み信号走査回路42によって駆動される。

50

また、第1行の画素回路 $3(1,1)$ 、 $3(1,2)$ および $3(1,3)$ が電源走査線 $DSL(1)$ に接続されている。同様に、第2行の画素回路 $3(2,1)$ 、 $3(2,2)$ および $3(2,3)$ が電源走査線 $DSL(2)$ に接続されている。電源走査線 $DSL(1)$ 、 $DSL(2)$ は、水平画素ライン駆動回路41によって駆動される。

【0020】

映像信号線 $DTL(1) \sim DTL(3)$ を含む m 本の映像信号線の何れか1本を、以下、符号「 $DTL(j)$ 」により表記する。同様に、書込走査線 $WSL(1)$ 、 $WSL(2)$ を含む n 本の書込走査線の何れか1本を符号「 $WSL(i)$ 」により表記し、電源走査線 $DSL(1)$ 、 $DSL(2)$ を含む n 本の電源走査線の何れか1本を符号「 $DSL(i)$ 」により表記する。

10

映像信号線 $DTL(j)$ に対し、表示画素行（表示ラインともいう）を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の映像信号線 $DTL(j)$ に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

【0021】

<画素回路>

図2に、画素回路 $3(i,j)$ の一構成例を示す。

図解する画素回路 $3(i,j)$ は、有機発光ダイオードOLEDを制御する回路である。画素回路は、有機発光ダイオードOLEDの他に、NMOSタイプのTFTからなる駆動トランジスタ Md およびサンプリングトランジスタ Ms と、1つの保持キャパシタ Cs とを有する。

20

【0022】

有機発光ダイオードOLEDは、特に図示しないが、例えば上面発光型の場合、透明ガラス等からなる基板に形成されたTFT構造の上にアノード電極を最初に形成し、その上に、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機多層膜を構成する積層体を形成し、積層体の上に透明電極材料からなるカソード電極を形成した構造を有する。アノード電極が正側の電源に接続され、カソード電極が負側の電源に接続される。

【0023】

有機発光ダイオードOLEDのアノードとカソードの電極間に所定の電界が得られるバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に有機多層膜が自発光する。有機発光ダイオードOLEDは、有機多層膜を構成する有機材料を適宜選択することで赤(R)、緑(G)、青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR、G、Bの発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色でR、G、Bの区別を行ってもよい。R、G、Bの他にW(ホワイト)を加えた4色構成でもよい。

30

【0024】

駆動トランジスタ Md は、有機発光ダイオードOLEDに流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタ Md のドレインが、電源電圧の供給を制御する電源走査線 $DSL(i)$ に接続され、ソースが有機発光ダイオードOLEDのアノードに接続されている。

40

【0025】

サンプリングトランジスタ Ms は、画素階調を決めるデータ電位 $Vsig$ の供給線（映像信号線 $DTL(j)$ ）と駆動トランジスタ Md のゲート（制御ノード NDc ）との間に接続されている。サンプリングトランジスタ Ms のソースとドレインの一方が駆動トランジスタ Md のゲート（制御ノード NDc ）に接続され、もう片方が映像信号線 $DTL(j)$ に接続されている。映像信号線 $DTL(j)$ に、Hセクタ5（図1参照）からデータ電位 $Vsig$ を持つデータパルスが所定の間隔で供給される。サンプリングトランジスタ Ms は、データ電位の供給期間（データパルスの持続時間(duration time)）の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電位 $Vsig$ を持つデータパルスの前部または後部における、レベルが

50

不安定な遷移期間の表示映像に与える影響を排除するためである。

【0026】

駆動トランジスタM_dのゲートとソース（有機発光ダイオードOLEDのアノード）との間に、保持キャパシタC_sが接続されている。保持キャパシタC_sの役割については、後述の動作説明で明らかにする。

【0027】

図2では、水平画素ライン駆動回路41により、電源駆動パルスD_{S(i)}が駆動トランジスタM_dのドレインに供給され、駆動トランジスタM_dの補正時や有機発光ダイオードOLEDが実際に発光する時の電源供給が行われる。電源駆動パルスD_{S(i)}の波形については後述する。

10

また、書き込み信号走査回路42により、比較的短い持続時間の書込駆動パルスW_{S(i)}がサンプリングトランジスタM_sのゲートに供給され、サンプリング制御が行われる。

なお、電源供給の制御は、駆動トランジスタM_dのドレインと電源電圧の供給線との間にトランジスタをもう1つ挿入し、そのゲートを水平画素ライン駆動回路41により制御する構成であってもよい（後述の変形例参照）。

【0028】

図2では有機発光ダイオードOLEDのアノードが駆動トランジスタM_dを介して正側の電源から電源電圧の供給を受け、有機発光ダイオードOLEDのカソードがカソード電位V_{cath}を供給する所定の電圧線（負側の電源線）に接続されている。

20

【0029】

通常、画素回路内の全てのトランジスタはTFTで形成されている。TFTのチャンネルが形成される薄膜半導体層は、多結晶シリコン（ポリシリコン）または非晶質シリコン（アモルファスシリコン）等の半導体材料からなる。ポリシリコンTFTは移動度を高くとれるが特性ばらつきが大きいいため、表示装置の大画面化に適さない。よって、大画面を有する表示装置では、一般に、アモルファスシリコンTFTが用いられる。ただし、アモルファスシリコンTFTではPチャンネル型TFTが形成し難いため、上述した画素回路3(i, j)のように、すべてのTFTをNチャンネル型とすることが望ましい。

【0030】

ここで、画素回路3(i, j)は、本実施形態で適用可能な画素回路の一例、即ち2トランジスタ(2T)・1キャパシタ(1C)型の基本構成例である。よって、本実施形態で用いることができる画素回路は、上記画素回路3(i, j)を基本構成として、さらにトランジスタやキャパシタを付加した画素回路であってもよい（後述の変形例参照）。また、基本構成において、保持キャパシタC_sを電源電圧の供給線と駆動トランジスタM_dのゲートとの間に接続するものもある。

30

具体的に、本実施形態で採用可能な2T・1C型以外の画素回路として、後述する変形例で幾つかを簡単に述べるが、例えば、4T・1C型、4T・2C型、5T・1C型、3T・1C型などであってもよい。

【0031】

時や移動度補正時に有機発光ダイオードOLEDを逆バイアスすると、詳細は後述するが、有機発光ダイオードOLEDの逆バイアス時の等価容量値が保持キャパシタC_sの値より十分大きくできるため、有機発光ダイオードOLEDのアノードが電位的にほぼ固定され、補正精度が向上する。このため、逆バイアス状態で補正を行うことが望ましい。

40

カソード電位V_{cath}を接地せずに、カソードを電位制御が可能な所定の電圧線に接続しているのは、逆バイアスを行うためである。有機発光ダイオードOLEDを逆バイアスするには、例えば、電源駆動パルスD_{S(i)}の基準電位（低電位V_{cc_L}）より、カソード電位V_{cath}を大きくする。

【0032】

<表示制御>

図2の回路におけるデータ書き込み時の動作を、閾値電圧と移動度の補正動作と併せて

50

説明する。これらの一連の動作を「表示制御」という。

最初に、補正対象となる駆動トランジスタと有機発光ダイオードOLEDの特性について説明する。

【0033】

図2に示す駆動トランジスタMdの制御ノードNDcには、保持キャパシタCsが結合されている。映像信号線DTL(j)を伝送するデータパルスの有効電位であるデータ電位VsigがサンプリングトランジスタMsでサンプリングされ、これにより得られた電位が制御ノードNDcに印加され、保持キャパシタCsで保持される。駆動トランジスタMdのゲートに所定の電位が印加された時、そのドレイン電流Idsは、印加電位に応じた値を持つゲートソース間電圧Vgsに応じて決まる。

10

ここで駆動トランジスタMdのソース電位Vsを、上記データパルスの基準電位(データ基準電位Vo)に初期化してから、サンプリングを行うとする。サンプリング後のデータ電位Vsig、より正確には、データ基準電位Voとデータ電位Vsigとの電位差で規定されるデータ電圧Vinの大きさに応じたドレイン電流Idsが駆動トランジスタMdに流れ、これがほぼ有機発光ダイオードOLEDの駆動電流Idとなる。

よって、駆動トランジスタMdのソース電位Vsがデータ基準電位Voで初期化されている場合、有機発光ダイオードOLEDがデータ電位Vsigに応じた輝度で発光する。

【0034】

図3に、有機発光ダイオードOLEDのI-V特性のグラフと、駆動トランジスタMdのドレイン電流Ids(OLEDの駆動電流Idにほぼ相当)の一般式を示す。

20

有機発光ダイオードOLEDは、よく知られているように、熱によりI-V特性が図3のように変化する。このとき、図2の画素回路では、駆動トランジスタMdが一定のドレイン電流Idsを流そうとしても、図3に示すグラフから分かるように有機発光ダイオードOLEDの印加電圧が大きくなるため、有機発光ダイオードOLEDのソース電位Vsが上昇する。このとき駆動トランジスタMdのゲートはフローティング状態であるため、ほぼ一定のゲートソース間電圧Vgsが維持されるように、ソース電位と共にゲート電位も上昇し、ドレイン電流Idsはほぼ一定に保たれ、このことが有機発光ダイオードOLEDの発光輝度を変化させないように作用する。

【0035】

しかしながら、画素回路ごとに駆動トランジスタMdの閾値電圧Vth、移動度μが異なっているため、図3の式に応じて、ドレイン電流Idsにバラツキが生じ、表示画面内で与えられているデータ電位Vsigが同じ2つの画素であっても、当該2つの画素間で発光輝度が異なる。

30

【0036】

なお、図3の式において、符号“Ids”は、飽和領域で動作する駆動トランジスタMdのドレインとソース間に流れる電流を表す。また、当該駆動トランジスタMdにおいて、“Vth”が閾値電圧を、“μ”が移動度を、“W”が実効チャネル幅(実効ゲート幅)を、“L”が実効チャネル長(実効ゲート長)を、それぞれ表す。また、“Cox”が当該駆動トランジスタMdの単位ゲート容量、即ち単位面積当たりのゲート酸化膜容量と、ソースやドレインとゲート間のフリンジング容量との総和を表す。

40

【0037】

Nチャンネル型の駆動トランジスタMdを有する画素回路は、駆動能力が高く製造プロセスを簡略化できる利点があるが、閾値電圧Vthや移動度μのばらつきを抑えるため、それらの補正動作を、発光可能なバイアス設定に先立って行う必要がある。

【0038】

図4(A)~図4(E)は、表示制御における各種信号や電圧の波形を示すタイミングチャートである。ここでの表示制御では行単位でデータ書き込みを順次行うものとする。図4では、第1行の画素回路3(1,j)が書き込み対象の行(表示ライン)であり、第1行の表示ラインに対し、フィールドF(1)において表示制御を行う場合を示している。なお、図4では、それより前のフィールドF(0)の制御については、その一部(発光停止の制

50

御)を示している。

【0039】

図4(A)は、映像信号 S_{sig} の波形図である。図4(B)は、書込対象の表示ラインに供給される書込駆動パルス WS の波形図である。図4(C)は、書込対象の表示ラインに供給される電源駆動パルス DS の波形図である。図4(E)は、書込対象の表示ラインに属する1つの画素回路 $3(1,j)$ における駆動トランジスタ Md のゲート電位 V_g (制御ノード NDc の電位)の波形図である。図4(F)は、書込対象の表示ラインに属する1つの画素回路 $3(1,j)$ における駆動トランジスタ Md のソース電位 V_s (有機発光ダイオード $OLED$ のアノード電位)の波形図である。

【0040】

[期間の定義]

図4(A)の上部に記載しているように、1フィールド(または1フレーム)前画面の発光許可期間($LM0$)の後に、前画面の発光停止処理期間($LM-STOP$)が続いている。ここから次画面の処理が始まり、時系列の順で、「補正準備期間」としての初期化期間(INT)、閾値電圧補正期間(VTC)、書込み&移動度補正期間($W\&\mu$)、発光許可期間($LM1$)、発光停止処理期間($LM-STOP$)と、各処理期間が推移する。

【0041】

[駆動パルスの概略]

図4では、波形図の適当な箇所に時間表示を、符号“ $T0Ca, T0Cb, T15, \dots, T19, T1A, T1B, T1Ca, T1Cb$ ”により示している。時間“ $T0Ca, T0Cb$ ”がフィールド $F(0)$ に対応し、時間“ $T15 \sim T1Cb$ ”がフィールド $F(1)$ に対応する。

【0042】

書込駆動パルス WS は、図4(B)に示すように、“ L ”レベルで非アクティブ、“ H ”レベルでアクティブの所定数のサンプリングパルス $SP1$ を画面(1フィールド)ごとに含む。サンプリングパルス $SP1$ の後に書き込みパルス WP が重畳されている。このように、サンプリングパルス $SP1$ と書き込みパルス WP から書込駆動パルス WS が構成される。

【0043】

m 本(数百~千数百本)の映像信号線 $DTL(j)$ (図1および図2参照)に供給される映像信号 S_{sig} は、線順次表示では m 本の映像信号線 $DTL(j)$ に同時に供給される。図4では、第1行の表示に重要な映像信号パルス $PP(1)$ のみ示す。映像信号パルス $PP(1)$ のデータ基準電位 V_o からの波高値が、当該表示制御で表示させたい(書き込みたい)階調値、即ちデータ電圧 V_{in} に該当する。この階調値($=V_{in}$)は、第1行の各画素で同じ場合(単色表示の場合)もあるが、通常、表示画素行の階調値に応じて変化している。

【0044】

図4は、主として、第1行内における1つの画素についての動作を説明するためのものであるが、同一行の他の画素では、この表示階調値が異なることがある以外、制御自体は、図示の画素駆動制御と時間をずらして並列に実行される。

【0045】

本実施形態における発光制御の特徴は、電源駆動パルス DS の電位を3値に制御することである。

図4(C)に示すように、電源駆動パルス DS の制御は、図1および図2に示す水平画素ライン駆動回路41が行う。

電源駆動パルス DS がとる3値は、「第1レベル」としての低電位 V_{cc_L} と、「第3レベル」としての高電位 V_{cc_H} と、低電位 V_{cc_L} と高電位 V_{cc_H} の間の所定電位である「第2レベル」としての中電位 V_{cc_M} とである。

第2レベル(中電位 V_{cc_M})は、有機発光ダイオード $OLED$ を逆バイアスしない

10

20

30

40

50

が非発光とするアノード電位を与えるための電位である。第1レベル(低電位 V_{cc_L})は、有機発光ダイオードOLEDを逆バイアスする非発光のアノード電位を与えるための電位である。第3レベル(高電位 V_{cc_H})は、有機発光ダイオードOLEDのアノードを発光可能にバイアスするための電位である。

3値の電源駆動パルスDSは、図1および図2に示す水平画素ライン駆動回路41により発生する。

【0046】

[3値発生回路例]

図5に、3値の電源駆動パルスDSを発生する水平画素ライン駆動回路41のより詳細なブロック図を示す。

図5に図解する水平画素ライン駆動回路41は、デューティ比が異なる2種類の同期パルス(第1パルスP1と第2パルスP2)を発生し、シフトするシフトレジスタ411と、第1パルスP1と第2パルスP2を入力し、3値の電源駆動パルスDSを発生するDS発生回路412とを有する。

【0047】

図6(C)と図6(D)に、第1パルスP1と第2パルスP2の4フィールド相当の波形図を示す。

図6(C)に示す第1パルスP1は、図6(A)に示す発光停止処理期間(LM-STOP)と初期化期間(INT)との合計時間に相当する“H”レベルをとり、1フィールド内のその他の期間は“L”レベルをとる波形を有する。

図6(D)に示す第2パルスP2は、初期化期間(INT)に“L”レベルをとり、1フィールド内のその他の期間は“H”レベルをとる波形を有する。

【0048】

図5に示すシフトレジスタ411は、不図示のクロック発生回路からクロック信号を入力し、クロック信号から、図6(C)と図6(D)に示す1フィールド分の第1および第2パルスP1, P2を発生して、発生した2つのパルスをそれぞれシフトさせる回路である。あるいは、シフトレジスタ411は、他の不図示のパルス発生回路で発生した第1および第2パルスP1, P2を単に、シフトさせるものでもよい。

シフトレジスタ411に、第1および第2パルスP1, P2の出力のための出力タップが、パルスごとにn個、合計2n個設けられている。この数「n」は、画素アレイ2が有する画素行数nと同じ数であり、各画素行に対して、第1パルスP1の出力タップと第2パルスP2の出力タップが対で設けられている。

【0049】

DS発生回路412は、同じ構成のユニット412Uをn個含んで構成されている。

ユニット412Uは、第1入力(in1)と第2入力(in2)と出力(out)とを有し、第1入力(in1)から入力される第1パルスP1と、第2入力(in2)から入力される第2パルスP2を波形合成して3値の電源駆動パルスDSを発生し出力(out)から出力する回路である。各ユニット412Uは同じ構成を有する。

【0050】

図7に、1つのユニット412Uの回路例を示す。本例では、第1レベル(低電位 V_{cc_L})が第1基準電位 V_{ss1} 、第2レベル(中電位 V_{cc_M})が第2基準電位 V_{ss2} 、第3レベル(高電位 V_{cc_H})が電源電位 V_{dd} である。

図7に示すユニット412Uは、2つのNMOS構成のトランジスタN1, N2と、1つのPMOS構成のトランジスタPA1と、2入力をもつ2つのAND回路AND1, AND2と、1つのインバータINV1とを有する。

【0051】

トランジスタPA1とN1が、電源電位 V_{dd} の供給線と第2基準電位 V_{ss2} の供給線との間に縦続接続され、トランジスタPA1とN1間のノードが出力(out)に接続されている。出力(out)と第1基準電位 V_{ss1} の供給線との間に、トランジスタN2が接続されている。

10

20

30

40

50

トランジスタ P A 1 のゲートと、アンド回路 A N D 1 の一方入力と、アンド回路 A N D 2 の一方入力とが、第 1 入力 (i n 1) に接続されている。アンド回路 A N D 1 の他方入力が第 2 入力 (i n 2) に接続され、アンド回路 A N D 2 の他方入力がインバータ I N V 1 を介して第 2 入力 (i n 2) に接続されている。

アンド回路 A N D 1 の出力がトランジスタ N 1 のゲートに接続され、アンド回路 A N D 2 の出力がトランジスタ N 2 のゲートに接続されている。

【 0 0 5 2 】

図 7 に示す回路の動作を、図 6 を参照して説明する。

図 6 (C) および図 6 (D) に示すように、時間 t_0 以前は、第 1 パルス P 1 が “ H ” レベル、第 2 パルス P 2 が “ L ” レベルである。このとき、トランジスタ P A 1 がオフ、アンド回路 A N D 1 の出力が “ L ” でトランジスタ N 1 がオフ、アンド回路 A N D 2 の出力が “ H ” でトランジスタ N 2 がオンしているため、出力 (out) は第 1 基準電位 $V_{s s 1}$ を出力している (図 6 (B))。

10

【 0 0 5 3 】

発光許可期間 (L M) に対応する時間 $t_0 \sim t_1$ の区間になると第 1 パルス P 1 が “ H ” レベルから “ L ” レベルに遷移し、第 2 パルス P 2 が “ L ” レベルから “ H ” レベルに遷移する。このため、図 7 において、トランジスタ P A 1 がターンオンし、アンド回路 A N D 2 の出力が “ H ” から “ L ” に遷移し、トランジスタ N 2 がオフする。このときアンド回路 A N D 1 の入力が共に反転するものの、出力は “ L ” を維持するためトランジスタ N 1 はオフのままである。よって、出力 (out) は、第 1 基準電位 $V_{s s 1}$ の出力状態から、電源電位 $V_{d d}$ の出力状態に切り替わる (図 6 (B))。

20

【 0 0 5 4 】

発光停止処理期間 (L M - S T O P) に対応する時間 $t_1 \sim t_2$ の区間になると第 1 パルス P 1 が “ L ” レベルから “ H ” レベルに遷移する。このため、図 7 において、トランジスタ P A 1 がオフし、アンド回路 A N D 1 の入力に “ H ” が揃うため、その出力が “ L ” から “ H ” に遷移し、トランジスタ N 1 がターンオンする。このときアンド回路 A N D 2 の一方入力が反転するものの、他方入力が “ L ” のままであるため出力は “ L ” を維持し、トランジスタ N 2 はオフのままである。よって、出力 (out) は、電源電位 $V_{d d}$ の出力状態から、第 2 基準電位 $V_{s s 2}$ の出力状態に切り替わる (図 6 (B))。

【 0 0 5 5 】

初期化期間 (I N T) に対応する時間 $t_2 \sim t_3$ の区間になると第 2 パルス P 2 が “ H ” レベルから “ L ” レベルに遷移する。このため、図 7 において、アンド回路 A N D 2 の入力に “ H ” が揃うため、その出力が “ L ” から “ H ” に遷移し、トランジスタ N 2 がターンオンする。このときアンド回路 A N D 1 の他方入力が “ H ” から “ L ” 反転するため、その出力も “ H ” から “ L ” に反転し、トランジスタ N 1 がオフする。第 1 パルス P 1 は “ H ” レベルを維持するため、トランジスタ P A 1 はオフのままである。よって、出力 (out) は、第 2 基準電位 $V_{s s 2}$ の出力状態から第 1 基準電位 $V_{s s 1}$ の出力状態に切り替わる (図 6 (B))。

30

以上ようにして、3 値を有する波形の電源駆動パルス D S が発生し、同じ 3 値波形が続く他のフィールドでも同様に繰り返される。

40

【 0 0 5 6 】

なお、第 2 行 (の画素回路 $3(2, j)$)、第 3 行 (の画素回路 $3(3, j)$) については、特に図示しないが、例えば、1 水平期間ずつ各パルス (書込駆動パルス W S と電源駆動パルス D S) が順次遅れて印加される。

よって、ある行に対して「閾値電圧補正」と「書込み & 移動度補正」とを行っている期間に、それより前の行に対しては「発光停止処理」と「初期化」が実行されることから、「閾値電圧補正」と「書込み & 移動度補正」に限ってみると行単位でシームレスな処理が実行される。よって、無駄な期間は発生しない。

【 0 0 5 7 】

つぎに、以上のパルス制御の下における、図 4 (D) および図 4 (E) に示す駆動トラ

50

ンジスタM dのソースやゲートの電位変化と、それに伴う動作を、図4(A)に示す期間ごとに説明する。

なお、ここでは図8(A)~図10(B)に示す第1行の画素回路3(1,j)の動作説明図、ならびに、図2等を適宜参照する。

【0058】

[前画面の発光許可期間(LM0)]

第1行の画素回路3(1,j)について、時間T0Ca以前のフィールドF(0)(前画面)における発光許可期間(LM0)では、図4(B)に示すように書込駆動パルスWSが“L”レベルであるため、サンプリングトランジスタMsがオフしている。このとき図4(C)に示すように、電源駆動パルスDSが高電位Vcc_Hの印加状態にある。

10

【0059】

図8(A)に示すように、前画面のデータ書き込み動作によって駆動トランジスタM dのゲートにデータ電圧Vin0が入力され保持されている。このときデータ電圧Vin0に応じて、有機発光ダイオードOLEDが発光状態にあるとする。駆動トランジスタM dは飽和領域で動作するように設定されているため、有機発光ダイオードOLEDに流れる駆動電流Id(=Ids)は、保持キャパシタCsに保持されている駆動トランジスタM dのゲートソース間電圧Vgsに応じて、前述した図3に示す式から算出される値をとる。

【0060】

[発光停止処理期間(LM-STOP)]

図4において時間T0Caで発光停止処理が開始される。

20

時間T0Caになると、水平画素ライン駆動回路41(図2参照)が、図4(C)に示すように、電源駆動パルスDSの電位を高電位Vcc_Hから中電位Vcc_Mに切り替える。中電位Vcc_Mは、有機発光ダイオードOLEDに逆バイアスがかからないが発光は停止する電位である。例えば、中電位Vcc_Mは、駆動トランジスタM dによる電位ドロップが無視できるほど小さい仮定の下では、有機発光ダイオードOLEDにゼロバイアスを印加する電位を下限とし、有機発光ダイオードOLEDの発光閾値電圧を上限とする電位である。ここで「発光閾値電圧」とは、有機発光ダイオードOLEDに電流が流れ始める(電流)閾値電圧と一致するとは限らず、有機発光ダイオードOLEDは閾値電圧を超えても暫く発光できない場合が多い。「発光閾値電圧」は、「(電流)閾値電圧」より大きい値を有し、実際に発光が開始する電圧のことである。

30

【0061】

電源駆動パルスDSの電位が中電位Vcc_Mになると、駆動トランジスタM dは、今までドレインとして機能していたノードの電位が中電位Vcc_Mにまで急激に落とされ、ソースとドレインの電位が逆転するため、今までドレインであったノードをソースとし、今までソースであったノードをドレインとして、当該ドレインの電荷(ただし、図の表記ではソース電位Vsのままとする)を引き抜くディスチャージ動作が行われる。

したがって、図8(B)に示すように、今までとは逆向きのドレイン電流Idsが駆動トランジスタM dに流れる。

【0062】

発光停止処理期間(LM-STOP)が開始すると、図4(E)に示すように、時間T0Caを境に駆動トランジスタM dのソース(現実の動作上はドレイン)が急激に放電され、ソース電位Vsが中電位Vcc_Mの近くまで低下する。サンプリングトランジスタMsのゲートはフローティング状態であるため、ソース電位Vsの低下に伴ってゲート電位Vgも低下する。

40

このとき、中電位Vcc_Mが有機発光ダイオードOLEDの発光閾値電圧Vth_oled.とカソード電位Vcathの和よりも小さいとき、つまり“Vcc_M < Vth_oled. + Vcath”であれば有機発光ダイオードOLEDは消光する。ただし、この段階では有機発光ダイオードOLEDは逆バイアスされていない。

【0063】

発光許可期間LM0の終点(時間T0Ca)は、発光時間の長さによって次のフィール

50

ドF(1)の開始点(時間T0Cb)を越えない範囲で時間軸上の位置が変動する。よって、発光停止処理期間(LM-STOP)も、発光時間の長さに応じて期間長が変動する。ただし、発光停止処理期間(LM-STOP)は逆バイアス期間でないため、この期間で逆バイアス期間が変動することはない。

【0064】

[初期化期間(INT)]

時間T0CbになるとフィールドF(1)の初期化期間(INT)が始まる。

初期化期間(INT)になると、水平画素ライン駆動回路41(図2参照)が、図4(C)に示すように、電源駆動パルスDSの電位が中電位Vcc_Mから低電位Vcc_Lに切り替える。

電源駆動パルスDSの電位が低電位Vcc_Lになると、駆動トランジスタMdは、図8(B)に示す放電が再度行われる。このため、図4(E)に示すように、時間T0Cb境に駆動トランジスタMdのソース(現実の動作上はドレイン)がさらに放電され、ソース電位Vsが低電位Vcc_Lの近くまで低下する。サンプリングトランジスタMsのゲートはフローティング状態であるため、ソース電位Vsの低下に伴ってゲート電位Vgも低下する。

このとき、“ $V_{cc_L} < V_{th_oled} + V_{cath}$ ”となるため引き続き有機発光ダイオードOLEDは消光する。初期化期間(INT)における放電によってソース電位Vsがさらに低下する途中で、有機発光ダイオードOLEDが逆バイアスされる。

【0065】

図4(B)に示すように、初期化期間(INT)の途中の時間T15にて、書き込み信号走査回路42(図2参照)が書込走査線WSL(1)の電位を“L”レベルから“H”レベルに遷移させて発生するサンプリングパルスSP1を、サンプリングトランジスタMsのゲートに与える。

時間T15までには、映像信号Ssigの電位がデータ基準電位Voに切り替えられている。したがって、サンプリングトランジスタMsは、映像信号Ssigのデータ基準電位Voをサンプリングして、サンプリング後のデータ基準電位Voを駆動トランジスタMdのゲートに伝達する。

このサンプリング動作によって、図4(D)および図4(E)に示すように、ゲート電位Vgの値がデータ基準電位Voに収束し、それに伴ってソース電位Vsの値は低電位Vcc_Lに収束する。

ここでデータ基準電位Voは、電源駆動パルスDSの高電位Vcc_Hより低く、低電位Vcc_Lより高い所定の電位である。

【0066】

このサンプリング動作により、補正動作の初期状態を整える、保持キャパシタCsの保持電圧の初期化が行われる。

保持電圧の初期化では、駆動トランジスタMdのゲートソース間電圧Vgs(=保持電圧)が駆動トランジスタMdの閾値電圧Vth以上となるように電源駆動パルスDSの低電位Vcc_Lを設定している。具体的には、図8(C)に示すように、ゲート電位Vgがデータ基準電位Voになると、これに連動してソース電位Vsが電源駆動パルスDSの低電位Vcc_Lとなるため、保持キャパシタCsの保持電圧が低下し、“ $V_o - V_{cc_L}$ ”となる。この保持電圧“ $V_o - V_{cc_L}$ ”はゲートソース間電圧Vgsそのものであり、ゲートソース間電圧Vgsが駆動トランジスタMdの閾値電圧Vthよりも大きくないと、その後閾値電圧補正動作を行なうことができないために、“ $V_o - V_{cc_L} > V_{th}$ ”とするように電位関係が決められている。

【0067】

図4(B)に示すサンプリングパルスSP1は、時間T15から十分な時間が経過した時間T17にて終了し、サンプリングトランジスタMsがオフする。

その前の時間T16でフィールドF(1)に対する処理が開始される。

【0068】

10

20

30

40

50

[閾値補正期間 (V T C)]

時間 T 1 6 では図 4 (B) に示すように最初のサンプリングパルス S P 1 が立ち上がっており、サンプリングトランジスタ M s がオンしている。この状態で、時間 T 1 6 にて電源駆動パルス D S の電位が低電位 V c c _ L から高電位 V c c _ H に切り替わり、閾値補正期間 (V T C) が開始する。

【 0 0 6 9 】

閾値補正期間 (V T C) の開始時 (時間 T 1 6) の直前において、オン状態のサンプリングトランジスタ M s がデータ基準電位 V o をサンプリングしている状態であるため、図 9 (A) に示すように、駆動トランジスタ M d のゲート電位 V g は、一定のデータ基準電位 V o で電氣的に固定された状態にある。

10

この状態で時間 T 1 6 にて、電源駆動パルス D S の電位が低電位 V c c _ L から高電位 V c c _ H に遷移すると、駆動トランジスタ M d のソースとドレイン間に電源駆動パルス D S の最大振幅値に相当する電源電位 V d d が印加される。そのため、駆動トランジスタ M d がオンし、ドレイン電流 I d s が流れる。

【 0 0 7 0 】

ドレイン電流 I d s によって駆動トランジスタ M d のソースが充電され、図 4 (E) に示すようにソース電位 V s が上昇するため、それまで “ V o - V c c _ L ” の値をとっていた駆動トランジスタ M d のゲートソース間電圧 V g s (保持キャパシタ C s の保持電圧) は、徐々に小さくなっていく (図 9 (A) 参照) 。

ゲートソース間電圧 V g s の低下速度が速い場合、図 4 (E) に示すように、閾値補正期間 (V T C) 内にソース電位 V s の上昇が飽和する。この飽和は駆動トランジスタ M d がソース電位上昇によりカットオフするために起こる。よって、ゲートソース間電圧 V g s (保持キャパシタ C s の保持電圧) は、駆動トランジスタ M d の閾値電圧 V t h とほぼ等しい値に収束する。

20

【 0 0 7 1 】

なお、図 9 (A) の動作では、駆動トランジスタ M d を流れるドレイン電流 I d s が保持キャパシタ C s の一方電極を充電する以外に、有機発光ダイオード O L E D の容量 C o l e d . を充電する。このとき、有機発光ダイオード O L E D の容量 C o l e d . が保持キャパシタ C s より十分大きいという前提では、ドレイン電流 I d s の殆どが保持キャパシタ C s の充電に使用され、その場合、ゲートソース間電圧 V g s の収束点が閾値電圧 V t h にほぼ等しい値をとる。

30

上記正確な閾値電圧補正を保証するには、容量 C o l e d . を十分大きくする意図で、予め、有機発光ダイオード O L E D を逆バイアスした状態で、補正動作を開始する。

【 0 0 7 2 】

図 4 (B) に示すように、閾値補正期間 (V T C) は時間 T 1 9 で終了するが、その前の時間 T 1 7 で書込駆動パルス W S が非アクティブにされサンプリングパルス S P 1 が終了している。これにより、図 9 (B) に示すように、サンプリングトランジスタ M s がオフし、駆動トランジスタ M d のゲートがフローティング状態となる。このときのゲート電位 V g はデータ基準電位 V o を維持している。

サンプリングパルス S P 1 が時間 T 1 7 で終了し、時間 T 1 9 までの時間 T 1 8 にて映像信号パルス P P (1) を印加する、即ち映像信号 S s i g の電位をデータ電位 V s i g に遷移させる必要がある。これは、時間 T 1 9 のデータサンプリング時にデータ電位 V s i g が安定な所定レベルとなって、データ電圧 V i n を正しく書き込むために、データ電位 V s i g の安定化を待つためである。よって時間 T 1 8 ~ T 1 9 の長さは、データ電位安定化に十分な時間に設定されている。

40

【 0 0 7 3 】

[閾値電圧補正の効果]

ここで仮に、駆動トランジスタのゲートソース間電圧が “ V i n ” だけ大きくなるとすると、ゲートソース間電圧は “ V i n + V t h ” となる。また、閾値電圧 V t h が大きい駆動トランジスタと、これが小さい駆動トランジスタを考える。

50

前者の閾値電圧 V_{th} が大きい駆動トランジスタは、閾値電圧 V_{th} が大きい分だけゲートソース間電圧が大きく、逆に閾値電圧 V_{th} が小さい駆動トランジスタは、閾値電圧 V_{th} が小さいためゲートソース間電圧が小さくなる。よって、閾値電圧 V_{th} に関していえば、閾値電圧補正動作により、そのバラツキをキャンセルして、同じデータ電圧 V_{in} なら同じドレイン電流 I_{ds} を駆動トランジスタに流すことができる。

【0074】

なお、閾値電圧補正期間 (VTC) においては、ドレイン電流 I_{ds} が専ら保持キャパシタ C_s の一方電極側、すなわち有機発光ダイオード OLED の容量 C_{oled} の一方電極側に流入することにのみ消費され、有機発光ダイオード OLED がオンしないようにする必要がある。有機発光ダイオード OLED の端子間電圧を “ V_{oled} .”、その発光閾値電圧を “ V_{th_oled} .”、そのカソード電位を “ V_{cath} ” と表記すると、有機発光ダイオード OLED をオフ状態に維持する条件は、“ $V_{oled} = V_{cath} + V_{th_oled}$.” が常に成り立つことである。

10

【0075】

ここで有機発光ダイオード OLED のカソード電位 V_{cath} を低電位 V_{cc_L} (例えば接地電圧 GND) で一定とした場合、発光閾値電圧 V_{th_oled} が非常に大きいときは、この式を常に成立させることも可能である。しかし、発光閾値電圧 V_{th_oled} は有機発光ダイオード OLED の作製条件で決まり、また、低電圧で効率的な発光のためには発光閾値電圧 V_{th_oled} を余り大きくできない。よって、本実施形態では、閾値電圧補正期間 (VTC) が終了するまでは、カソード電位 V_{cath} を低電位 V_{cc_L} より大きく設定することによって、有機発光ダイオード OLED を逆バイアスさせておく。

20

【0076】

逆バイアスのためにカソード電位 V_{cath} は、図4に示す期間中ずっと一定のままである。ただし、閾値電圧補正によって逆バイアスが解除される値に、カソード電位 V_{cath} の一定電位が設定される。したがって、閾値電圧補正時よりソース電位 V_s が高くなる時間 T_{19} より後に逆バイアスが解除され、この状態で移動度補正や発光のための処理が行われ、その後の発光停止処理で再び有機発光ダイオード OLED が逆バイアス状態となる。

【0077】

[書込み & 移動度補正期間 (W & μ)]

時間 T_{19} から、書込み & 移動度補正期間 (W & μ) が開始する。このときの状態は図9(B)と同じであり、サンプリングトランジスタ M_s がオフ、駆動トランジスタ M_d がカットオフしている。駆動トランジスタ M_d のゲートがデータ基準電位 V_o で保持され、ソース電位 V_s が “ $V_o - V_{th}$ ”、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が “ V_{th} ” となっている。

30

【0078】

図4(B)に示すように、映像信号パルス $PP(1)$ を印加中の時間 T_{19} で、書き込みパルス WP がサンプリングトランジスタ M_s のゲートに供給される。すると、図10(A)に示すように、サンプリングトランジスタ M_s がオンし、映像信号線 $DTL(j)$ のデータ電位 V_{sig} ($= V_{in} + V_o$) のうち、ゲート電位 V_g ($= V_o$) との差分、すなわちデータ電圧 V_{in} が、駆動トランジスタ M_d のゲートに入力される。この結果、ゲート電位 V_g が “ $V_o + V_{in}$ ” となる。

40

ゲート電位 V_g がデータ電圧 V_{in} だけ上昇すると、これに連動してソース電位 V_s も上昇する。このとき、データ電圧 V_{in} がそのままソース電位 V_s に伝達される訳ではなく、容量結合比 g に応じた比率の変化分 V_s 、すなわち “ $g * V_{in}$ ” だけソース電位 V_s が上昇する。このことを次式(1)に示す。

【0079】

[数1]

$$V_s = V_{in} (= V_{sig} - V_o) \times C_s / (C_s + C_{oled}) \dots (1)$$

ここで保持キャパシタ C_s の容量値を同じ符号 “ C_s ” により示す。符号 “ C_{oled} .” は有機発光ダイオード OLED の等価容量値である。

50

以上より、移動度補正を考慮しなければ、変化後のソース電位 V_s は “ $V_o - V_{th} + g * V_{in}$ ” となる。その結果、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} は、 “ $(1 - g) V_{in} + V_{th}$ ” となる。

【 0 0 8 0 】

ここで、移動度 μ によるバラツキについて説明する。

先に行った閾値電圧補正で、実は、ドレイン電流 I_{ds} を流すたびに移動度 μ による誤差が含まれていたものの、閾値電圧 V_{th} のバラツキが大きいと移動度 μ による誤差成分を厳密に議論しなかった。このとき容量結合比 g を用いずに、単に “ 上昇(up) ” や “ 低下(down) ” により表記して説明したのは、移動度のバラツキを説明することによる煩雑さを回避するためである。

10

一方、既に説明したことであるが、厳密に閾値電圧補正が行われた後は、そのとき保持キャパシタ C_s に閾値電圧 V_{th} が保持されているため、その後、駆動トランジスタ M_d をオンさせると、閾値電圧 V_{th} の大小によってドレイン電流 I_{ds} が変動しない。そのため、この閾値電圧補正後の駆動トランジスタ M_d の導通で、仮に、当該導通時の駆動電流 I_d によって保持キャパシタ C_s の保持電圧（ゲートソース間電圧 V_{gs} ）の値に変動が生じたとすると、その変動量 V （正または負の極性をとることが可能）は、駆動トランジスタ M_d の移動度 μ のバラツキ、より厳密には、半導体材料の物性パラメータである純粋な意味での移動度のほかに、トランジスタの構造上あるいは製造プロセス上で電流駆動力に影響を与える要因の総合的なバラツキを反映したものととなる。

【 0 0 8 1 】

20

以上のことを踏まえた上で動作説明に戻ると、図 10 (A) において、サンプリングトランジスタ M_s がオンしてゲート電位 V_g にデータ電圧 V_{in} が加わったときに、駆動トランジスタ M_d は、そのデータ電圧 V_{in} （階調値）に応じた大きさのドレイン電流 I_{ds} をソースとドレイン間に流そうとする。このときドレイン電流 I_{ds} が移動度 μ に応じてばらつき、その結果、ソース電位 V_s は、 “ $V_o - V_{th} + g * V_{in}$ ” に上記移動度 μ による変動量 V を加えた “ $V_o - V_{th} + g * V_{in} + V$ ” となる。

【 0 0 8 2 】

このとき有機発光ダイオード $OLED$ を発光させないためには、 “ $V_s (= V_o - V_{th} + g * V_{in} + V) < V_{th_oled} + V_{cath}$ ” が満たされるように、データ電圧 V_{in} や容量結合比 g 等に応じたカソード電位 V_{cath} を予め設定するとよい。

30

この設定を予め行っていると、有機発光ダイオード $OLED$ は逆バイアスされ、ハイインピーダンス状態にあるため発光することはなく、また、ダイオード特性ではなく単純な容量特性を示すようになる。

【 0 0 8 3 】

このとき “ $V_s (= V_o - V_{th} + g * V_{in} + V) < V_{th_oled} + V_{cath}$ ” の式が満たされている限り、ソース電位 V_s が、有機発光ダイオード $OLED$ の発光閾値電圧 V_{th_oled} とカソード電位 V_{cath} との和を越えないため、ドレイン電流 I_{ds} （駆動電流 I_d ）は保持キャパシタ C_s の容量値（同じ符号 C_s で表記）と有機発光ダイオード $OLED$ の逆バイアス時等価容量の容量値（寄生容量と同じ符号 C_{oled} で表記）とを加算した容量 “ $C = C_s + C_{oled}$ ” を充電するために用いられる。これにより、駆動トランジスタ M_d のソース電位 V_s は上昇していく。このとき、駆動トランジスタ M_d の閾値電圧補正動作は完了しているため、駆動トランジスタ M_d が流すドレイン電流 I_{ds} は移動度 μ を反映したものととなる。

40

【 0 0 8 4 】

図 4 (D) および図 4 (E) で “ $(1 - g) V_{in} + V_{th} - V$ ” の式により示しているように、保持キャパシタ C_s に保持されるゲートソース間電圧 V_{gs} においては、ソース電位 V_s に加わる変動量 V が閾値電圧補正後のゲートソース間電圧 $V_{gs} (= (1 - g) V_{in} + V_{th})$ から差し引かれることになるため、負帰還がかかるように当該変動量 V が保持キャパシタ C_s に保持される。よって、以下、変動量 V を「負帰還量」ともいう。

この負帰還量 V は、有機発光ダイオード $OLED$ に逆バイアスをおかけた状態では、

50

$V = t * I_{ds} / (C_{oled} + C_s + C_{gs})$ という式で表すことができる。この式から、変動量 V は、ドレイン電流 I_{ds} の変動に比例して変化するパラメータであることが分かる。

【 0 0 8 5 】

上記負帰還量 V の式から、ソース電位 V_s に付加される負帰還量 V は、ドレイン電流 I_{ds} の大きさ（この大きさは、データ電圧 V_{in} の大きさ、即ち階調値と正の相関関係にある）と、ドレイン電流 I_{ds} が流れる時間、すなわち、図 4 (B) に示す、移動度補正に要する時間 T_{19} から時間 T_{1A} までの時間 (t) に依存している。つまり、階調値が大きいほど、また、時間 (t) を長くとるほど、負帰還量 V が大きくなる。

したがって、移動度補正の時間 (t) は必ずしも一定である必要はなく、逆にドレイン電流 I_{ds} (階調値) に応じて調整することが好ましい場合がある。たとえば、白表示に近くドレイン電流 I_{ds} が大きい場合、移動度補正の時間 (t) は短めにし、逆に、黒表示に近くなりドレイン電流 I_{ds} が小さくなると、移動度補正の時間 (t) を長めに設定するとよい。この階調値に応じた移動度補正時間の自動調整は、その機能を図 2 に示す書き込み信号走査回路 4 2 等に予め設けることにより実現可能である。

【 0 0 8 6 】

[発光許可期間 (L M 1)]

時間 T_{1A} で書き込み & 移動度補正期間 ($W \& \mu$) が終了すると、発光許可期間 (L M 1) が開始する。

時間 T_{1A} で書き込みパルス W_P が終了するためサンプリングトランジスタ M_s がオフし、駆動トランジスタ M_d のゲートが電氣的にフローティング状態となる。

【 0 0 8 7 】

ところで、発光許可期間 (L M 1) より前の書き込み & 移動度補正期間 ($W \& \mu$) においては、駆動トランジスタ M_d はデータ電圧 V_{in} に応じたドレイン電流 I_{ds} を流そうとするが、実際に流せるとは限らない。その理由は、サンプリングトランジスタ M_s がオンしているため、駆動トランジスタ M_d のゲート電位 V_g が “ $V_o + V_{in}$ ” に固定され、そこからゲートソース間電圧 V_{gs} (= “ $(1 - g) V_{in} + V_{th} - V$ ”) 下がった電位 (“ $V_o - V_{th} + g * V_{in} + V$ ”) にソース電位 V_s が収束しようとするからである。よって、移動度補正の時間 (t) を幾ら長くしてもソース電位 V_s は上記収束点を超える電位にはなれない。移動度補正は、その収束までの速さの違いで移動度 μ の違いをモニタし、補正するものである。このため、最大輝度の白表示のデータ電圧 V_{in} が入力され場合でも、上記収束になるかならないかの程度に、移動度補正の時間 (t) が決められる。

【 0 0 8 8 】

発光許可期間 (L M 1) が開始して駆動トランジスタ M_d のゲートがフローティングとなると、そのソース電位 V_s は、さらに上昇可能となる。よって、駆動トランジスタ M_d は、入力されたデータ電圧 V_{in} に応じた駆動電流 I_d を流すように動作する。

その結果、ソース電位 V_s (有機発光ダイオード O L E D のアノード電位) が上昇し、図 1 0 (B) に示すように、ドレイン電流 I_{ds} が駆動電流 I_d として有機発光ダイオード O L E D に流れ始めるため、有機発光ダイオード O L E D が実際に発光を開始する。発光が開始して暫くすると、駆動トランジスタ M_d は、入力されたデータ電圧 V_{in} に応じたドレイン電流 I_{ds} で飽和し、ドレイン電流 I_{ds} (= I_d) が一定となると、有機発光ダイオード O L E D がデータ電圧 V_{in} に応じた輝度の発光状態となる。

【 0 0 8 9 】

発光許可期間 (L M 1) の開始から輝度が一定となるまでの間に有機発光ダイオード O L E D のアノード電位の上昇は、駆動トランジスタ M_d のソース電位 V_s の上昇に他ならず、これを、有機発光ダイオード O L E D のアノード電圧 V_{oled} の上昇量という意味で “ V_{oled} ” とする。駆動トランジスタ M_d のソース電位 V_s は、 “ $V_o - V_{th} + g * V_{in} + V + V_{oled}$ ” となる (図 4 (E) 参照) 。

一方、ゲート電位 V_g は、ゲートがフローティング状態であるため、図 4 (D) に示すように、ソース電位 V_s に連動して、その上昇量 V_{oled} と同じだけ上昇し、ドレイン

10

20

30

40

50

電流 I_{ds} の飽和に伴ってソース電位 V_s が飽和すると、ゲート電位 V_g も飽和する。

その結果、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) について、移動度補正時の値 ($(1 - g)V_{in} + V_{th} - V$) が、発光許可期間 ($LM1$) 中も維持される。

【0090】

発光許可期間 ($LM1$) においては、駆動トランジスタ M_d が定電流源として動作することから、有機発光ダイオード $OLED$ の $I - V$ 特性が経時変化し、これに伴って駆動トランジスタ M_d のソース電位 V_s が変化することがある。

しかしながら、有機発光ダイオード $OLED$ の $I - V$ 特性が経時変化の有無に関係なく、保持キャパシタ C_s の保持電圧が $(1 - g)V_{in} + V_{th} - V$ に保たれる。そして、保持キャパシタ C_s の保持電圧は、駆動トランジスタ M_d の閾値電圧 V_{th} を補正する成分 ($+V_{th}$) と、移動度 μ による変動を補正する成分 ($-V$) とを含むことから、閾値電圧 V_{th} や移動度 μ が、異なる画素間でばらついても駆動トランジスタ M_d のドレイン電流 I_{ds} 、つまり、有機発光ダイオード $OLED$ の駆動電流 I_d が一定に保たれる。

10

【0091】

具体的には、駆動トランジスタ M_d は、閾値電圧 V_{th} が大きいほど、上記保持電圧の閾値電圧補正成分 ($+V_{th}$) によってソース電位 V_s を下げて、ドレイン電流 I_{ds} (駆動電流 I_d) をより流すようにソースドレイン間電圧を大きくする。このため閾値電圧 V_{th} の変動があってもドレイン電流 I_{ds} は一定となる。

また、駆動トランジスタ M_d は、移動度 μ が小さくて上記変動量 V が小さい場合は、保持キャパシタ C_s の保持電圧の移動度補正成分 ($-V$) によって当該保持電圧の低下量も小さくなるため、相対的に、大きなソースドレイン間電圧が確保され、その結果、ドレイン電流 I_{ds} (駆動電流 I_d) をより流すように動作する。このため移動度 μ の変動があってもドレイン電流 I_{ds} は一定となる。

20

【0092】

図11は、閾値電圧と移動度の補正を行っていない初期状態 (A)、閾値電圧補正のみ行った状態 (B)、閾値電圧と移動度の補正を行った状態 (C) における、データ電位 V_{sig} の大きさとドレイン電流 I_{ds} との関係 (駆動トランジスタ M_d の入出力特性) の変化を模式的に示す。

図11から、大きく乖離していた画素 A と画素 B の特性カーブが、まず閾値電圧補正で大きく近づき、つぎに移動度補正を行うとほとんど同じとみなせる程度まで近づくことが分かる。

30

【0093】

以上より、画素間で駆動トランジスタ M_d の閾値電圧 V_{th} や移動度 μ がばらついても、さらに、駆動トランジスタ M_d の特性が経時変化しても、データ電圧 V_{in} が同じである限り、有機発光ダイオード $OLED$ の発光輝度も一定に保たれる。

【0094】

つぎに、本実施形態で電源駆動パルス DS を3値制御して、逆バイアス期間を一定とする効果を、電源駆動パルス DS を2値制御する比較例を用いて説明する。

【0095】

<比較例>

図12(A)~図12(E)は、比較例の発光制御における各種信号や電圧の波形を示すタイミングチャートである。図12において、図4と重複するパルス、時間 (タイミング)、電位変化等は全て同じ符号を付して表している。よって、同じ符号に関する限り、今までの説明は当該比較例においても適用される。以下、図12の制御が図4の制御と異なる点のみ説明する。

40

【0096】

図12を図4と比較すると明らかなように、図12に示す制御では、図4に示す制御における電源駆動パルス DS が3値制御であるのに対し、図12に示す制御では電源駆動パルス DS の電位が高電位 V_{cc_H} と低電位 V_{cc_L} の2値をとる。電源駆動パルス D

50

Sの電位は、フィールドF(0)の発光停止処理期間(LM-STOP)の期間(時間T0C~時間T16)中、低電位Vcc_Lをとり、その他の期間で高電位Vcc_Hをとる。

【0097】

図12の制御における発光停止処理期間(LM-STOP)は、図4の制御における発光停止処理期間(LM-STOP)と異なり、途中の時間T0Dにて書込駆動パルスWSがハイレベルに活性化されるため図4の制御における初期化期間(INT)を兼ねる処理期間である。

よって、閾値補正期間(VTC)の処理の直前に行う補正準備(初期化)は、発光停止期間(LM-STOP)で行われる。

10

【0098】

ところが、発光停止期間(LM-STOP)は有機ELディスプレイ1を搭載したシステム(機器)の仕様により、その長さを変更される場合があり、そのことが原因となって、次に説明する、いわゆる“フラッシュ現象”が生じる。

【0099】

図13は、フラッシュ現象の原因を説明するための図である。

図13(A)には、図12(C)に約1フィールド(1F)分だけ示していた電源駆動パルスDSの波形を、4フィールド(4F)に亘って示している。

先に説明した図4において、発光許可期間(LM0, LM1)に比べて閾値補正期間(VTC)、書込み&移動度補正期間(W&μ)は時間的に僅かである。このため、図13(A)では閾値補正期間(VTC)と書込み&移動度補正期間(W&μ)の図示を省略し、1F期間の最初から発光許可期間(LM)が始まっている。ここで発光許可期間(LM)は電源駆動パルスDSの電位が高電位Vcc_Hをとる期間であり、その後の低電位Vcc_Lの期間は、図12に示す発光停止処理期間(LM-STOP)に相当する。

20

【0100】

図13(B)に、図13(A)と同期したタイミングで変化する発光強度Lを模式的に示している。ここではデータ電圧Vinが同じ画素行を4F期間、連続表示した場合を示している。

図13(A)に示すように、最初の2F期間は、発光停止期間(LM-STOP)が比較的短いのに対し、その後の2F期間は発光停止期間(LM-STOP)が比較的長くなっている。この制御は、有機ELディスプレイ1を搭載するシステム(機器)において、例えば機器を屋外から屋内に移動させたこと等に対応して機器内のCPU等(不図示)が、周辺環境が暗くなったと判断し、見易さ向上のために表示の明るさを全体的に下げることがある。同じような処理は、低消費電力モードへの移行によって行われることもある。一方、有機発光ダイオードOLEDの長寿命化を意図して駆動電流を常に一定とする制御をCPU等が行う場合がある。例えば、データ電圧Vinが大きいときは駆動電流が上がり過ぎることを阻止するため駆動電流は一定で発光許可期間(LM)を長くすることにより上記データ電圧Vinに応じた発光輝度の確保を行う。その逆の場合、即ち図示のように駆動電流は大きい値で一定のまま発光許可期間(LM)を短くすることにより、データ電圧Vinの低下に対応して所定の発光輝度を得る場合がある。

30

40

【0101】

有機発光ダイオードOLEDは、逆バイアスを印加して図8(A)等に示す容量C_{oled}の値が安定するまでに時間がかかる。この時間は1F期間に比べて長く、ゆっくりと容量値が変化することが原因で、逆バイアス期間が長いほど容量C_{oled}の値が大きくなる。このため、前述した式(1)から、容量C_{oled}の値が大きいほどソース電位V_sの変化分V_sが小さくなり、駆動トランジスタM_dのゲートソース間電圧V_{gs}が、同じデータ電圧Vinを入力していた時間的に前の他のフィールドよりも大きくなる。このゲートソース間電圧V_{gs}がフィールド間で大きくなると、図13(B)に示すように、次のフィールドの表示から発光強度Lが“L”だけ増大し、表示面全体が一瞬のうちに明るくなる“フラッシュ現象”が発生する。

50

これとは逆に、初期化期間（INT）が急に短くなると、逆バイアス期間が小さくなり、上記と逆の理由からゲートソース間電圧 V_{gs} が急に小さくなるため、発光強度 L が下がって表示画面が一瞬のうちに暗くなる現象（フラッシュ現象の一種）が発生する。

【0102】

図14（A）と図14（B）は、図13（A）と図13（B）に対応する、電源駆動パルス DS の波形図と発光強度 L を示す図である。

上記フラッシュ現象を防止するために、本実施形態に関わる図14（A）および図4（C）に示す表示制御では、電源駆動パルス DS の低電位 V_{cc_L} により規定され、システムの要求で長さが変動することがある初期化を兼ねた発光停止処理期間（LM-STOP）を時間的に固定する。その代わりに、有機発光ダイオードOLEDに逆バイアスが印加されないレベルを有する中電位 V_{cc_M} を電源駆動パルス DS の電位として設ける。中電位 V_{cc_M} の印加時間は、発光許可期間の時間変動を吸収するように長さが制御される。

したがって、発光強度 L に影響する逆バイアス期間は常に一定となり、上述したフラッシュ現象が有効に防止される。具体的には、図14（B）に示すように、発光時間を短くした後のフィールドにおいて、図13（B）で発生していた発光強度 L の増大分 L が生じない。

【0103】

本実施形態における変形例を述べる。

【0104】

<変形例1>

画素回路は図2に示すものに限定されない。

図2の画素回路ではデータ基準電位 V_o は映像信号 S_{sig} のサンプリングにより与えられるが、データ基準電位 V_o を、別のトランジスタを介して駆動トランジスタ M_d のソースやゲートに与えることもできる。

図2の画素回路ではキャパシタは保持キャパシタ C_s のみであるが、他の保持キャパシタを、例えば駆動トランジスタ M_d のドレインとゲート間にもう1つ設けてもよい。

【0105】

<変形例2>

画素回路が有機発光ダイオードOLEDの発光と非発光を制御する駆動方法には、画素回路内のトランジスタを走査線により制御する方法と、電源電圧の供給線を駆動回路によりAC駆動する方法（電源AC駆動方法）とがある。

図2の画素回路は、後者の電源AC駆動方法の一例であるが、この方法において有機発光ダイオードOLEDのカソード側をAC駆動して駆動電流を流す、流さないを制御してもよい。

一方、前者の発光制御を走査線により制御する方法では、駆動トランジスタ M_d のドレイン側、または、ソースと有機発光ダイオードOLEDとの間に、他のトランジスタを挿入し、そのゲートを電源駆動制御の走査線で駆動する。

【0106】

<変形例3>

図4に示す表示制御は、閾値補正期間（VTC）を1回の補正で行っていたが、複数回の連続した（初期化を間に挟まないとの意味）処理によって閾値補正を行ってもよい。

その他、発光許可期間中に、駆動トランジスタ M_d のゲートをフローティングとしたまま、発光を一時的に停止するなどの制御は、任意に行ってもよい。

【0107】

本発明の実施形態によれば、フィールドごとに発光許可期間を変更しても、逆バイアス印加期間の長短が原因で非発光許可期間（発光停止期間）中に生じていた有機発光ダイオードのバイアス変動の影響を受けることなく、同じデータ電圧が入力されたのであればフィールドごとの輝度が同じになるため、いわゆるフラッシュ現象を有効に防止できるという利益が得られる。

10

20

30

40

50

【図面の簡単な説明】

【0108】

【図1】本発明の実施形態に関わる有機ELディスプレイの主要構成例を示すブロック図である。

【図2】本発明の実施形態に関わる画素回路の基本構成を含むブロック図である。

【図3】有機発光ダイオードの特性を示すグラフと式を示す図である。

【図4】本発明の実施形態に関わる表示制御における各種信号や電圧の波形を示すタイミングチャートである。

【図5】本発明の実施形態に関わり、3値の電源駆動パルスを発生する回路のブロック図である。

10

【図6】図5に示すシフトレジスタから出力される第1および第2パルスP1, P2を示すための波形図である。

【図7】図5に示すユニットの一構成例を示す回路図である。

【図8】発光停止期間までの動作説明図である。

【図9】閾値電圧補正の終了前までの動作説明図である。

【図10】発光許可期間までの動作説明図である。

【図11】補正効果の説明図である。

【図12】本発明の実施形態に対する比較例に関わり、表示制御における各種信号や電圧の波形を示すタイミングチャートである。

【図13】フラッシュ現象を説明するための信号波形と発光強度の変化を示すタイミングチャートである。

20

【図14】本発明を適用した実施形態における信号波形と発光強度の変化を示すタイミングチャートである。

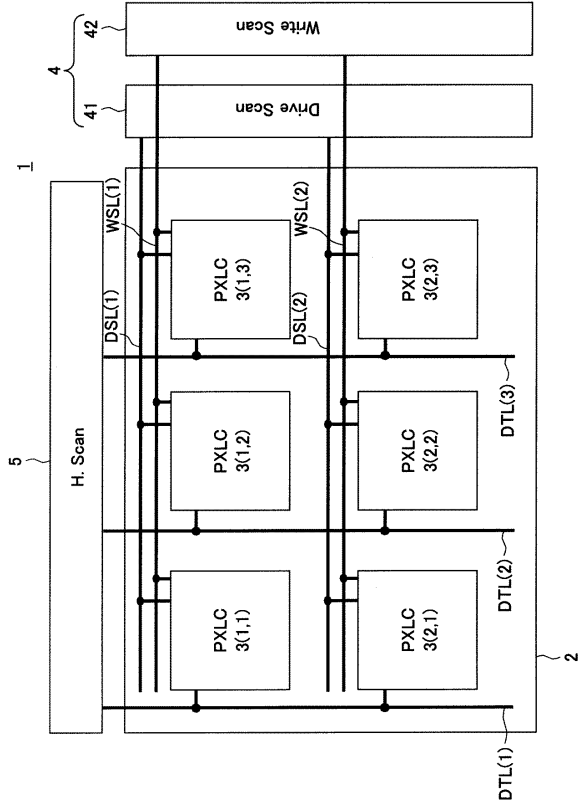
【符号の説明】

【0109】

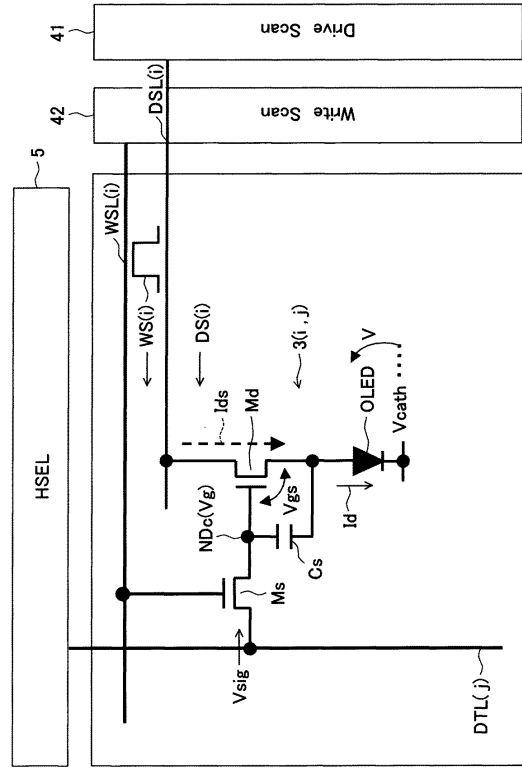
1...有機ELディスプレイ、2...画素アレイ、3...画素回路、4...Vスキャナ、5...Hセクタ、41...水平画素ライン駆動回路、42...書き込み信号走査回路、OLED...有機発光ダイオード、Md...駆動トランジスタ、Ms...サンプリングトランジスタ、Cs...保持キャパシタ、NDc...制御ノード、DSL...電源走査線、DS...電源駆動パルス、DTL...映像信号線、WSL...書込走査線、WS...書込駆動パルス、Vsig, Vin...データ電位、Vo...データ基準電位、Vcc_H...高電位、Vcc_M...中電位、Vcc_L...低電位

30

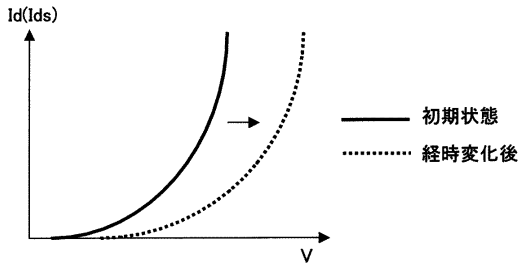
【図1】



【図2】

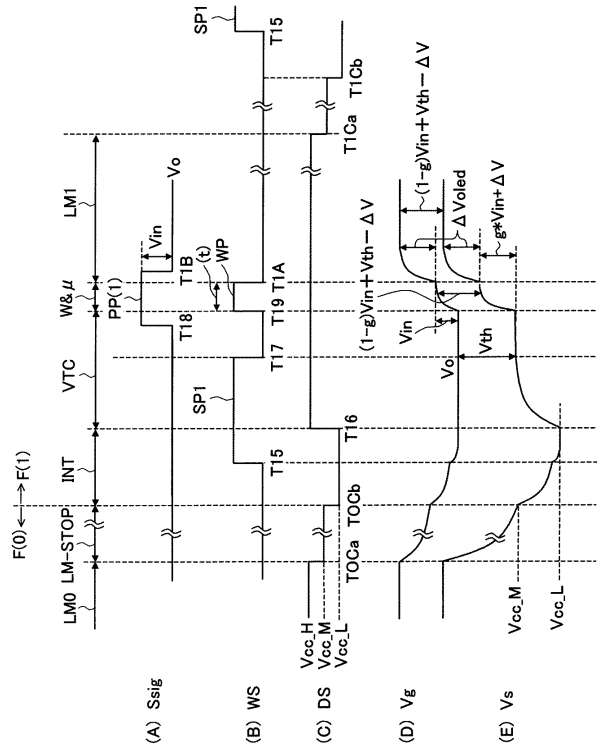


【図3】

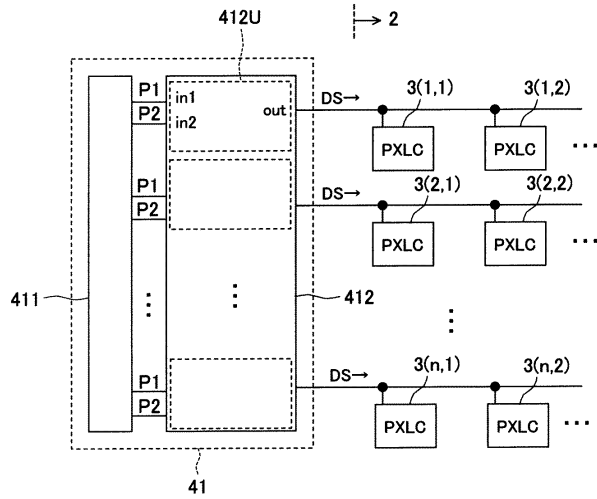


$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2$$

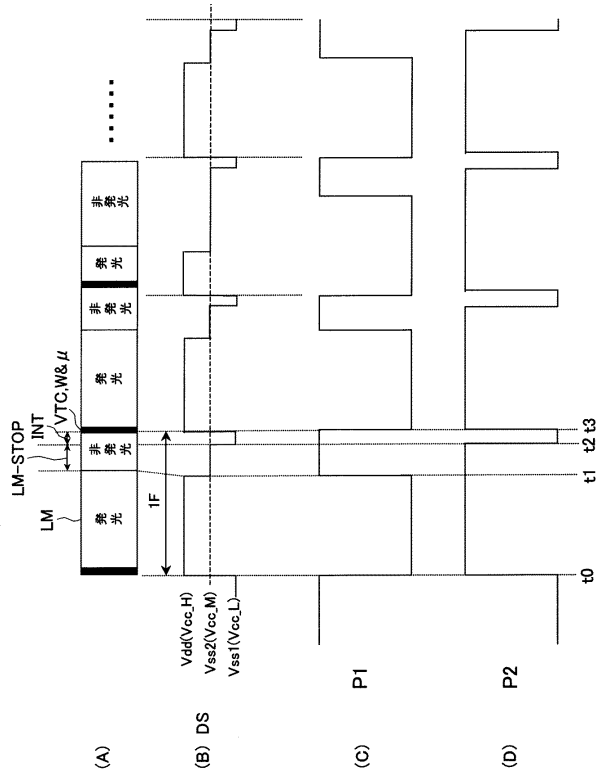
【図4】



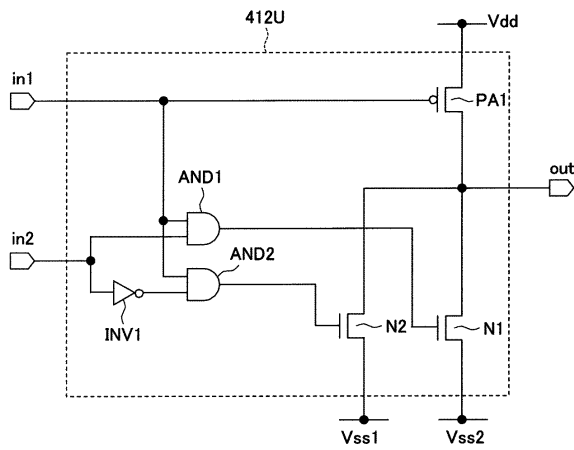
【図5】



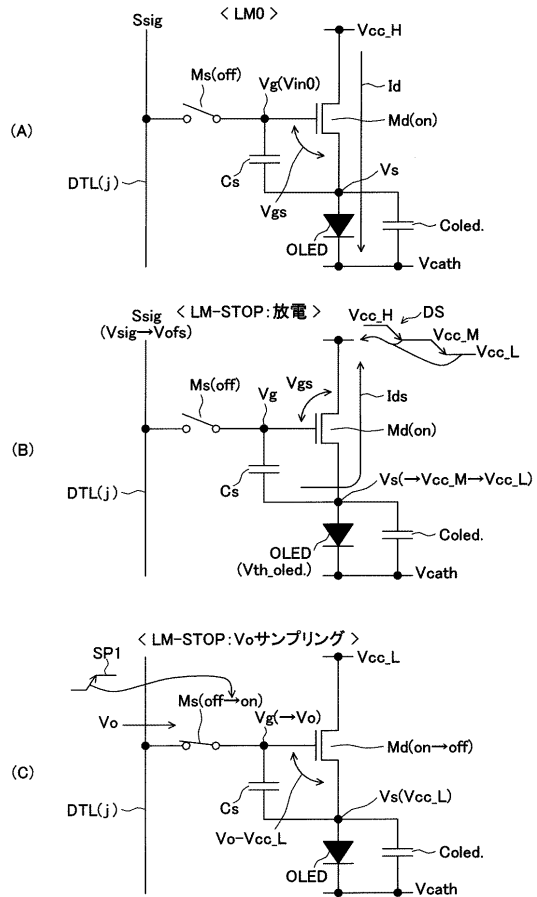
【図6】



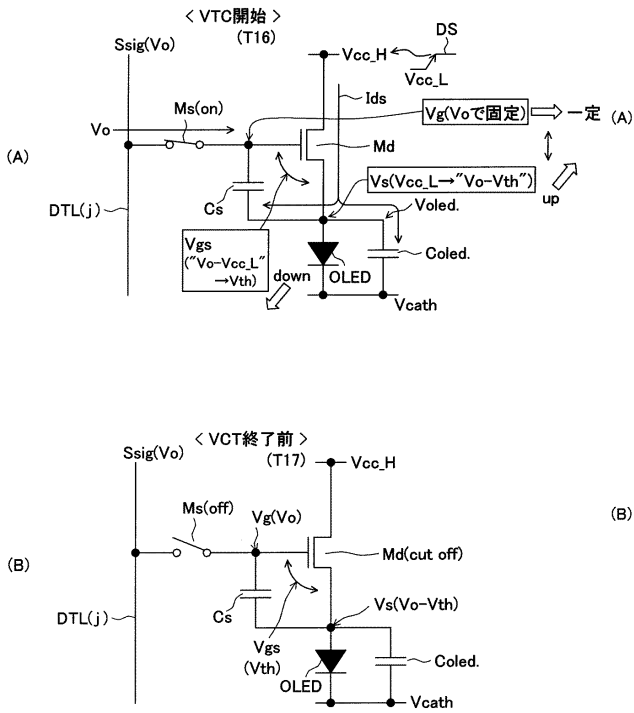
【図7】



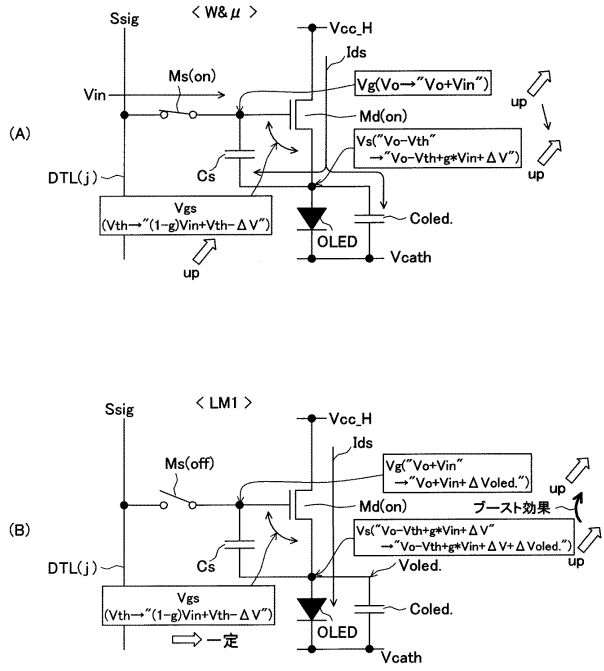
【図8】



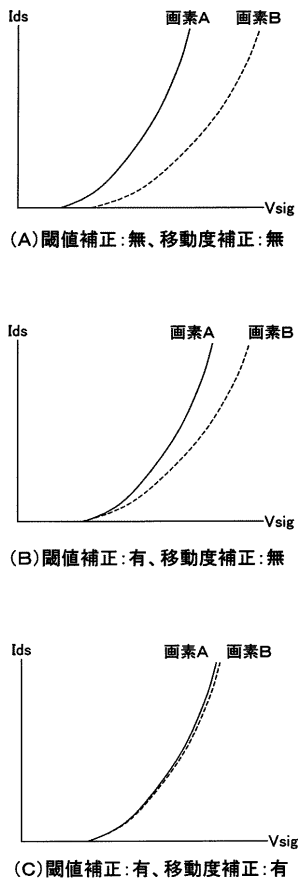
【図9】



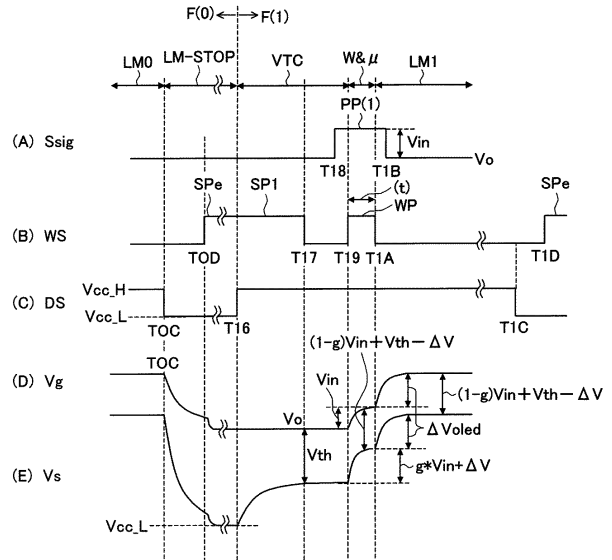
【図10】



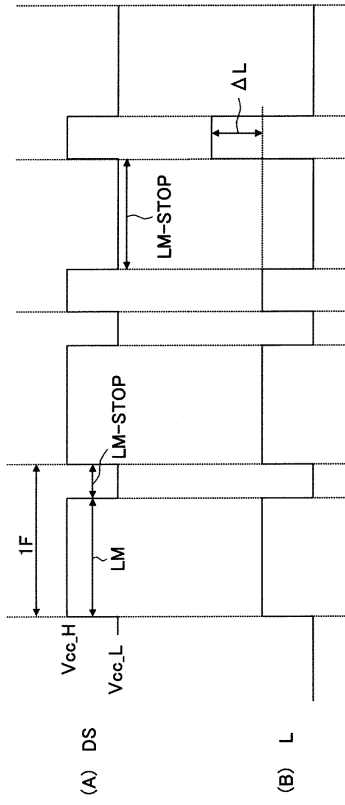
【図11】



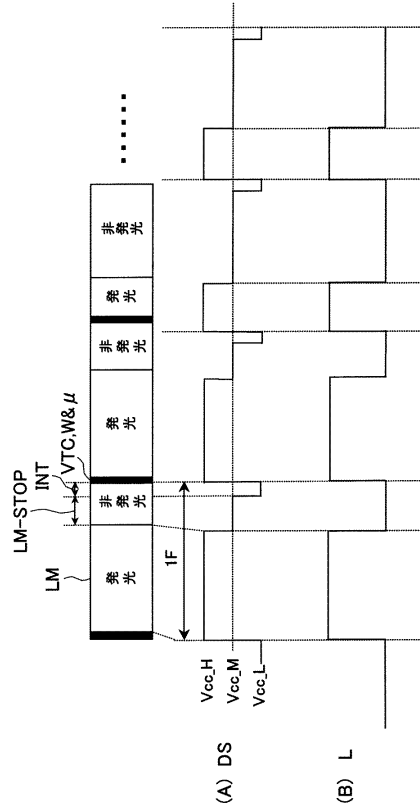
【図12】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(56)参考文献 特開2008-009198(JP,A)
特開2006-215213(JP,A)
特開2004-295131(JP,A)
特開2005-004173(JP,A)
国際公開第2005/114629(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	自发光显示装置及其驱动方法		
公开(公告)号	JP5157467B2	公开(公告)日	2013-03-06
申请号	JP2008009001	申请日	2008-01-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	富田昌嗣 浅野慎		
发明人	富田 昌嗣 浅野 慎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3208 G09G3/3233 G09G3/3275 G09G2300/0819		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.624.Z G09G3/20.641.D H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD06 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB22 5C380/AB23 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC18 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CB21 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CF32 5C380/DA06 5C380/DA35		
代理人(译)	佐藤隆久		
其他公开文献	JP2009169239A JP2009169239A5		
外部链接	Espacenet		

摘要(译)

本发明的目的是防止或抑制屏幕亮度瞬间改变(闪光)的现象。包括发光二极管(OLED),驱动晶体管Md和保持电容器Cs的像素电路3(i, j),以及用于驱动像素电路3(i, j)的控制信号(电源驱动脉冲DS)并且驱动信号生成电路(水平像素线驱动电路41)用于生成水平像素线驱动电路41具有第二电平(中间电位Vcc_M),其限定用于停止不反向偏置OLED的发光时段(发光停止处理时段(LM-STOP))和低于中间电位Vcc_M的电平。产生电源驱动脉冲DS,其具有限定用于反向偏置OLED的处理周期的第一电平(低电位Vcc_L)和限定高于中电位Vcc_M的发光允许周期的第三电平(高电位Vcc_H);像素电路3(i, j)提供像素电路。[选择图]图2

【图2】

