

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4983018号
(P4983018)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	611H
H01L	51/50	(2006.01)	G09G	3/20	621F
			G09G	3/20	624B
			G09G	3/20	622Q

請求項の数 5 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2005-372621 (P2005-372621)
 (22) 出願日 平成17年12月26日(2005.12.26)
 (65) 公開番号 特開2007-171828 (P2007-171828A)
 (43) 公開日 平成19年7月5日(2007.7.5)
 審査請求日 平成20年12月12日(2008.12.12)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部とスキャナ部と信号部とを含み、
 前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、
 前記信号部は、該信号線に映像信号を供給し、
 前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、
 各画素は、少なくともサンプリングトランジスタと、該サンプリングトランジスタを介して信号線に接続される画素容量と、該画素容量の保持電圧に応じた電位がゲートに印加されるドライプトランジスタと、該ドライプトランジスタから電流が供給される発光素子と、
 該ドライプトランジスタを電源に接続するスイッチングトランジスタとを含み、
 前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、
 前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライプトランジスタのゲートに入力電圧を印加し、
 前記ドライプトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライプトランジスタの閾電圧に対して依存性を有し、
 前記スイッチングトランジスタは、該スキャナ部から供給される別の制御信号に応じ導通して発光期間中該ドライプトランジスタを電源に接続し、非発光期間では非導通状態になって該ドライプトランジスタを電源から切り離し、

10

20

前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光する表示装置であって、

前記スキャナ部は、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御し、

前記信号部は、該水平走査期間に該映像信号を第1の固定電位と、第2の固定電位と、信号電位との間で切り替えることで、

該画素容量をリセットする準備動作と、リセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作と、該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作とを実行し、以って該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作を行い、

10

その際前記スキャナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、前記準備動作を時分割的に行い、

前記時分割的に行われる各準備動作の間の期間において前記スイッチングトランジスタがオフされ、該期間は前記発光素子がカットオフするまで放電するのに十分長く設定されてなる表示装置。

【請求項2】

前記スキャナ部は、該準備動作が完了したあと当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該補正動作も時分割的に行う請求項1記載の表示装置。

【請求項3】

前記信号部は、該準備動作に合わせて高レベルの第1固定電位を供給し、該補正動作に合わせて低レベルの第2固定電位を供給し、該サンプリング動作に合わせて該信号電位を供給する請求項1記載の表示装置。

20

【請求項4】

前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、

前記スキャナ部は、該出力電流のキャリア移動度に対する依存性を打ち消すために、水平走査期間に制御信号を出力して更に該スイッチングトランジスタを制御することによって、前記スイッチングトランジスタがオン状態であるときに前記信号電位がサンプリングされることで前記ドライブトランジスタに流れる出力電流を前記画素容量に負帰還して前記入力電圧を補正する動作を実行する請求項1記載の表示装置。

30

【請求項5】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、少なくともサンプリングトランジスタと、該サンプリングトランジスタを介して信号線に接続される画素容量と、該画素容量の保持電圧に応じた電位がゲートに印加されるドライブトランジスタと、該ドライブトランジスタから電流が供給される発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、

40

前記サンプリングトランジスタが、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記スイッチングトランジスタが、該スキャナ部から供給される別の制御信号に応じ導通して発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態に

50

なって該ドライブトランジスタを電源から切り離し、

前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スキャナ部が、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御し、

前記信号部が、該水平走査期間に該映像信号を第1の固定電位と、第2の固定電位と、信号電位との間で切り替えることで、

該画素容量をリセットする準備動作と、リセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作と、該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作とを実行し、以って該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作を行い、

その際前記スキャナ部が、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、前記準備動作を時分割的に行い、

前記時分割的に行われる各準備動作の間の期間において前記スイッチングトランジスタがオフされ、該期間は前記発光素子がカットオフするまで放電するのに十分長く設定されてなる表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子で画像を表示するフラットパネル型の表示装置に関する。より詳しくは、各画素内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部（画素容量

10

20

30

40

50

）とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

【 0 0 0 5 】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

10

【 0 0 0 6 】

ここでドライブトランジスタの動作特性は以下の式 1 で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots \text{式 1}$$

このトランジスタ特性式 1 において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャンネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャンネル幅を表わし、 L はチャンネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式 1 から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式 1 が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

20

【 0 0 0 7 】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献 3 に開示がある。

30

【 0 0 0 8 】

閾電圧のばらつきをキャンセルする機能（閾電圧補正機能）を組み込んだ画素回路は、一般に画素容量に映像信号をサンプリングする前に動作し、閾電圧 V_{th} に相当する電圧を画素容量に書き込んで、閾電圧 V_{th} をキャンセルするようにしている。このため閾電圧補正動作は、画素容量を閾電圧に相当する電圧に充電するために、ある程度時間を要する。しかしながら、画素の高精細化やその結果としての画素数の増加に伴い、更にはパネルの動作速度の高周波数化により、各画素に割り当てられる閾電圧補正時間が短くなってきており、必ずしも十分な閾電圧補正機能を果たすことが出来ない。

40

【課題を解決するための手段】

【 0 0 0 9 】

上述した従来の技術の課題に鑑み、本発明は画素数の増加や動作速度の高周波数化に対応可能な閾電圧補正機能を備えた表示装置及びその駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とスキ

50

ヤナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記スイッチングトランジスタは、該スキャナ部から供給される別の制御信号に応じ導通して発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって該ドライブトランジスタを電源から切り離し、前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光する表示装置であって、前記スキャナ部は、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作として、該画素容量をリセットする準備動作とリセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行し、その際前記スキャナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該準備動作を時分割的に行うとともに、時分割する間隔を該発光素子が放電するのに十分な程度に長く設定することを特徴とする。

【 0 0 1 0 】

好ましくは前記スキャナ部は、該準備動作が完了したあと当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該補正動作も時分割的に行う。又前記信号部は、各水平走査期間に該映像信号を第1の固定電位と、第2の固定電位と、信号電位との間で切り替え、以って該準備動作、該補正動作及び該サンプリング動作に必要な電位を各画素に信号線を介して供給する。具体的に前記信号部は、該準備動作に合わせて高レベルの第1固定電位を供給し、該補正動作に合わせて低レベルの第2固定電位を供給し、該サンプリング動作に合わせて該信号電位を供給する。又前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、前記スキャナ部は、水平走査期間に別の制御信号を出力して更に該スイッチングトランジスタを制御し、該出力電流のキャリア移動度に対する依存性を打ち消すために、該信号電位がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する動作を実行する。

【 0 0 1 1 】

本発明は又、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、前記サンプリングトランジスタが、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記スイッチングトランジスタが、該スキャナ部から供給される別の制御信号に応じ導通して発光期間中該ドライブトランジスタを電源に接

続し、非発光期間では非導通状態になって該ドライブトランジスタを電源から切り離し、前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、前記スキャナ部が、水平走査期間に制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するため該画素容量に補正をかける動作として、該画素容量をリセットする準備動作とリセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作とを行い、その後補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行し、その際前記スキャナ部が、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、該準備動作を時分割的に行うとともに、時分割する間隔を該発光素子が放電するのに十分な程度に長く設定することを特徴とする。

10

【発明の効果】**【0012】**

本発明によれば、表示装置のスキャナ部は、水平走査期間内で走査線に制御信号を出力して画素を制御し、出力電流の閾電圧に対する依存性を補正するため画素容量に補正をかける動作と、補正された画素容量に映像信号の信号電位をサンプリングする動作とを実行している。その際スキャナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、画素容量に補正をかける動作を時分割的に行っている。閾電圧補正動作を複数の水平走査期間に分割することで、トータルの補正時間を確保している。各水平走査期間で時分割的に行われた補正動作を蓄積して、最終的に当該水平走査期間で映像信号をサンプリングする際には、十分閾電圧に相当する電圧を画素容量に書き込んでおくことが出来る。このため、表示装置の駆動周波数が高周波数化して水平走査期間が短縮化されても、十分に閾電圧補正動作を行うことが可能になる。

20

【0013】

特に本発明によれば、水平走査期間内で、閾電圧キャンセルのための準備動作と実際の補正動作とを行い、さらに信号電位のサンプリング動作を行っている。この様に水平走査期間内で必要な動作を行うことで、信号線から画素に必要な制御電圧や信号電圧を供給することが出来るため、画素回路を構成する素子数は少なくすむ。ちなみに本発明の画素回路は、3個のトランジスタと1個の画素容量と1個の発光素子で構成でき、従来の閾電圧補正機能付の画素回路に比べ、大幅に素子数を削減可能である。但し水平走査期間内で補正動作とサンプリング動作を行うため、高駆動周波数化に伴い水平走査期間が短くなると、必要な動作時間を確保できない。そこで本発明では、補正準備動作を複数の水平走査期間で時分割的に行い、その結果を蓄積することで、実質的に十分な動作時間を確保するようにしている。

30

【0014】

本発明では、容量カップリングを用いてV_{t h}補正準備を行う。このカップリング動作は複数回に分割されるが、そのパルス間隔を発光素子が十分に放電する時間とする。これにより、1ライン当たりのマイナスカップリング動作数を削減することができる。本発明では、V_{t h}補正準備のためサンプリングトランジスタのゲートに印加する制御パルスの間隔を、発光素子が十分にカットオフするまで空けている。この動作を数回繰り返すことで、ゲート電位の変動は無くなり、必要なゲート・ソース電圧を得る事ができる。この様に、V_{t h}補正準備パルスの間隔を十分に取ることで、V_{t h}補正準備のパルス数を従来よりも大幅に削減することができる。本発明により、発光素子容量が大きな有機ELパネル等において、V_{t h}補正期間を分割し、その動作パルス間隔を発光素子が十分にカットオフする期間程長くすることで、V_{t h}補正準備動作パルス数を大幅に削減する事が可能となる。

40

【発明を実施するための最良の形態】**【0015】**

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照して表示装置の参考例を説明する。この参考例は本発明にか

50

かる表示装置を開発するにあたって、その元になったものであり本発明を理解する上で有用なため、ここに参考例として説明する。

【0016】

図示する様に、このアクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にする為、1個の画素回路2のみを拡大表示してある。信号線SLは水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DS、AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は第一補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72はスキャナ部を構成しており、1水平走査期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子ELを駆動する。加えて画素回路2は走査線AZ1、AZ2によって走査された時、予め決められた補正動作を行う。

【0017】

画素回路2は、5個の薄膜トランジスタTr1~Tr4及びTrdと1個の容量素子(画素容量)Csと1個の発光素子ELとで構成されている。トランジスタTr1~Tr3とTrdはNチャンネル型のポリシリコンTFTである。トランジスタTr4のみPチャンネル型のポリシリコンTFTである。1個の容量素子Csは本画素回路2の容量部(画素容量)を構成している。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機EL素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0018】

画素回路2の中心となるドライブトランジスタTrdはそのゲートGが画素容量Csの一端に接続され、そのソースSが同じく画素容量Csの他端に接続されている。またドライブトランジスタTrdのゲートGはスイッチングトランジスタTr2を介して基準電位Vss1に接続されている。ドライブトランジスタTrdのドレインはスイッチングトランジスタTr4を介して電源Vccに接続されている。スイッチングトランジスタTr2のゲートは走査線AZ1に接続されている。スイッチングトランジスタTr4のゲートは走査線DSに接続している。発光素子ELのアノードはドライブトランジスタTrdのソースSに接続し、カソードは接地されている。この接地電位はVcathで表される場合がある。また、ドライブトランジスタTrdのソースSと別の基準電位Vss2との間にスイッチングトランジスタTr3が介在している。このトランジスタTr3のゲートは走査線AZ2に接続している。一方サンプリングトランジスタTr1は信号線SLとドライブトランジスタTrdのゲートGとの間に接続されている。サンプリングトランジスタTr1のゲートは走査線WSに接続している。

【0019】

かかる構成において、サンプリングトランジスタTr1は、所定のサンプリング期間に走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号Sigを容量部Csにサンプリングする。容量部Csは、サンプリングされた映像信号Sigに応じてドライブトランジスタのゲートGとソースS間に入力電圧Vgsを印加する。ドライブトランジスタTrdは、所定の発光期間中入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。なおこの出力電流(ドレイン電流)IdsはドライブトランジスタTrdのチャンネル領域のキャリア移動度μ及び閾電圧Vthに対して依存性を有する。発光素子ELは、ドライブトランジスタTrdから供給された出力電流Ids

10

20

30

40

50

により映像信号 Sig に応じた輝度で発光する。

【0020】

本参考例の特徴として、画素回路2はスイッチングトランジスタ $Tr2 \sim Tr4$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部 C_s に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段 ($Tr2 \sim Tr4$) は、走査線 WS 及び DS から供給される制御信号 WS , DS に応じてサンプリング期間の一部で動作し、映像信号 Sig がサンプリングされている状態でドライブトランジスタ Trd から出力電流 I_{ds} を取り出し、これを容量部 C_s に負帰還して入力電圧 V_{gs} を補正する。さらにこの補正手段 ($Tr2 \sim Tr4$) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ Trd の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

10

【0021】

本参考例の場合、ドライブトランジスタ Trd は N チャネル型トランジスタでドレインが電源 V_{cc} 側に接続する一方、ソース S が発光素子 EL 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ Trd から出力電流 I_{ds} を取り出して、容量部 C_s 側に負帰還する。その際本補正手段は、発光期間の先頭部分でドライブトランジスタ Trd のソース S 側から取り出した出力電流 I_{ds} が、発光素子 EL の有する容量に流れ込むようにしている。具体的には、発光素子 EL はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ Trd のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段 ($Tr2 \sim Tr4$) は、予め発光素子 EL のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ Trd のソース S 側から取り出した出力電流 I_{ds} が発光素子 EL に流れ込む時、このダイオード型の発光素子 EL を容量性素子として機能させている。なお本補正手段は、サンプリング期間内でドライブトランジスタ Trd から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより容量部 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

20

【0022】

図2は、図1に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ $Tr1$ によってサンプリングされる映像信号 Sig や、ドライブトランジスタ Trd の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 EL が有する容量成分 Col_{ed} などを書き加えてある。以下図2に基づいて、参考例にかかる画素回路2の動作を説明する。

30

【0023】

図3は、図2に示した画素回路のタイミングチャートである。図3を参照して、図2に示した参考例にかかる画素回路の動作をより具体的に説明する。図3は、時間軸 T に沿って各走査線 WS , $AZ1$, $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ $Tr1$, $Tr2$, $Tr3$ は N チャネル型なので、走査線 WS , $AZ1$, $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ $Tr4$ は P チャネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS , $AZ1$, $AZ2$, DS の波形と共に、ドライブトランジスタ Trd のゲート G の電位変化及びソース S の電位変化も表してある。

40

【0024】

図3のタイミングチャートではタイミング $T1 \sim T8$ までを1フィールド ($1f$) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS , $AZ1$, $AZ2$, DS の波形を表してある。

【0025】

当該フィールドが始まる前のタイミング $T0$ で、全ての制御線号 WS , $AZ1$, $AZ2$

50

、DSがローレベルにある。したがってNチャネル型のトランジスタTr1、Tr2、Tr3はオフ状態にある一方、Pチャネル型のトランジスタTr4のみオン状態である。したがってドライブトランジスタTrdはオン状態のトランジスタTr4を介して電源Vccに接続しているため、所定の入力電圧Vgsに応じて出力電流Idsを発光素子ELに供給している。したがってタイミングT0で発光素子ELは発光している。この時ドライブトランジスタTrdに印加される入力電圧Vgsは、ゲート電位(G)とソース電位(S)の差で表される。

【0026】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切り替わる。これによりトランジスタTr4がオフし、ドライブトランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。タイミングT1に入ると、全てのトランジスタTr1～Tr4がオフ状態になる。

10

【0027】

続いてタイミングT2に進むと、制御信号AZ1及びAZ2がハイレベルになるので、スイッチングトランジスタTr2及びTr3がオンする。この結果、ドライブトランジスタTrdのゲートGが基準電位Vss1に接続し、ソースSが基準電位Vss2に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミングT3で行われる V_{th} 補正の準備を行う。換言すると期間T2～T3は、ドライブトランジスタTrdのリセット期間に相当する。また、発光素子ELの閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

20

【0028】

タイミングT3では制御信号AZ2をローレベルにし且つ直後制御信号DSもローレベルにしている。これによりトランジスタTr3がオフする一方トランジスタTr4がオンする。この結果ドレイン電流Idsが画素容量Csに流れ込み、 V_{th} 補正動作を開始する。この時ドライブトランジスタTrdのゲートGはVss1に保持されており、ドライブトランジスタTrdがカットオフするまで電流Idsが流れる。カットオフするとドライブトランジスタTrdのソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、画素容量Csに V_{th} が保持固定される。この様にタイミングT3～T4はドライブトランジスタTrdの閾電圧 V_{th} を検出する期間である。ここでは、この検出期間T3～T4を V_{th} 補正期間と呼んでいる。

30

【0029】

この様に V_{th} 補正を行った後タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr1をオンして映像信号Sigの信号電位Vsigを画素容量Csに書き込む。発光素子ELの等価容量Coledに比べて画素容量Csは十分に小さい。この結果、映像信号Sigのほとんど大部分が画素容量Csに書き込まれる。正確には、Vss1に対する信号電圧Vsigの差分 $V_{sig} - V_{ss1}$ が画素容量Csに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル($V_{sig} - V_{ss1} + V_{th}$)となる。以降説明簡易化の為に $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧Vgsは図3のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号Sigのサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。すなわちタイミングT5～T7がサンプリング期間に相当する。

40

【0030】

サンプリング期間の終了するタイミングT7より前のタイミングT6で制御信号DSが

50

ローレベルとなりスイッチングトランジスタTr4がオンする。これによりドライブトランジスタTrdが電源Vccに接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr1がまだオン状態で且つスイッチングトランジスタTr4がオン状態に入った期間T6 T7で、ドライブトランジスタTrdの移動度補正を行う。即ち本参考例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6 T7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T6 T7では、ドライブトランジスタTrdのゲートGが映像信号SigのレベルVsigに固定された状態で、ドライブトランジスタTrdにドレイン電流Idsが流れる。ここでVss1 - Vth < VthELと設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタTrdに流れる電流Idsは画素容量Csと発光素子ELの等価容量Coleの両者を結合した容量C = Cs + Coleに書き込まれていく。これによりドライブトランジスタTrdのソース電位(S)は上昇していく。図3のタイミングチャートではこの上昇分をVで表してある。この上昇分Vは結局画素容量Csに保持されたゲート/ソース間電圧Vgsから差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタTrdの出力電流Idsを同じくドライブトランジスタTrdの入力電圧Vgsに負帰還する事で、移動度μを補正する事が可能である。なお負帰還量Vは移動度補正期間T6 T7の時間幅tを調整する事で最適化可能である。

10

20

【0031】

タイミングT7では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号Sigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量Csに保持されたゲート/ソース間電圧Vgsは(Vsig - V + Vth)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、先のトランジスタ特性式1のVgsにVsig - V + Vthを代入する事で、以下の式2のように与えられる。

30

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \dots \text{式2}$$

上記式2において、k = (1/2)(W/L)Coxである。この特性式2からVthの項がキャンセルされており、発光素子ELに供給される出力電流IdsはドライブトランジスタTrdの閾電圧Vthに依存しない事が分かる。基本的にドレイン電流Idsは映像信号の信号電圧Vsigによって決まる。換言すると、発光素子ELは映像信号Sigの電位レベルVsigに応じた輝度で発光する事になる。その際Vsigは帰還量Vで補正されている。この補正量Vは丁度特性式2の係数部に位置する移動度μの効果を打ち消すように働く。したがって、ドレイン電流Idsは実質的に映像信号電位Vsigのみに依存する事になる。

40

【0032】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再びVth補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0033】

しかしながらこの参考例にかかる画素回路では、5種類のトランジスタTr1, Tr2, Tr3, Tr4, Trdと、3種類の電源ラインVss1, Vss2, Vcc、4種類のゲートライン(走査線)WS, DS, AZ1, AZ2を形成する必要があり、電源ラインや信号線ラインとのクロスオーバーが増加してしまう。これは歩留りを低下させる原因になる。さらにレイアウト的に高精細化が困難になる。高精細パネルにおいては、歩留り

50

を上げるために、素子数を削減する必要がある。

【0034】

図4は、本発明にかかる表示装置の全体構成を示しており、閾電圧(V_{th})補正機能を備えたアクティブマトリクス型である。図示する様に、このアクティブマトリクス型表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セクタ3、ライトスキャナ4、ドライブスキャナ5などを含んでいる。画素アレイ1は行状の走査線 W_S と列状の信号線 S_L と両者の交差する部分にマトリクス状に配列した画素 R, G, B とで構成されている。カラー表示を可能とするため、 R, G, B の三原色画素を用意しているが、本発明はこれに限られるものではない。各画素 R, G, B はそれぞれ画素回路2で構成されている。信号線 S_L は水平セクタ3によって駆動される。水平セクタ3は信号部を構成し、一般にドライバICが用いられ、信号線 S_L に映像信号を供給する。走査線 W_S はライトスキャナ4によって走査される。なお、第1の走査線 W_S と並行に第2の走査線 D_S も配線されている。走査線 D_S はドライブスキャナ5によって走査される。ライトスキャナ4とドライブスキャナ5はスキャナ部を構成しており、1水平走査期間ごと画素の行を順次走査する。各画素回路2は走査線 W_S によって選択されたとき信号線 S_L から映像信号をサンプリングする。さらに走査線 D_S によって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子を駆動する。加えて画素回路2は水平走査期間内で走査線 W_S 及び D_S によって制御されたとき、予め決められた補正動作を行う。

【0035】

上述した画素アレイ1は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路2はアモルファスシリコン薄膜トランジスタ(TFT)または低温ポリシリコンTFTで形成されている。アモルファスシリコンTFTの場合、スキャナ部はパネルとは別のTABなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。同様に信号部も外付けのドライバICで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコンTFTの場合、信号部及びスキャナ部も同じ低温ポリシリコンTFTで形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

【0036】

図5は、図4に示した表示装置に組み込まれる画素回路の実施形態を表している。この画素回路2は、サンプリングトランジスタ T_{r1} と、これに接続する画素容量 C_s と、これに接続するドライブトランジスタ T_{rd} と、これに接続する発光素子 E_L と、ドライブトランジスタ T_{rd} を電源 V_{cc} に接続するスイッチングトランジスタ T_{r4} とを含む。

【0037】

サンプリングトランジスタ T_{r1} は、第1走査線 W_S から供給される制御信号 W_S に応じ導通して信号線 S_L から供給された映像信号の信号電位 V_{sig} を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号の信号電位 V_{sig} に応じてドライブトランジスタ T_{rd} のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E_L に供給する。なおこの出力電流 I_{ds} は、ドライブトランジスタ T_{rd} の閾電圧 V_{th} に対して依存性を有する。発光素子 E_L は、発光期間中ドライブトランジスタ T_{rd} から供給された出力電流 I_{ds} により映像信号の信号電位 V_{sig} に応じた輝度で発光する。スイッチングトランジスタ T_{r4} は、第2走査線 D_S から供給される制御信号 D_S に応じ導通して発光期間中ドライブトランジスタ T_{rd} を電源 V_{cc} に接続し、非発光期間では非導通状態になってドライブトランジスタ T_{rd} を電源 V_{cc} から切り離す。

【0038】

特徴事項として、ライトスキャナ4及びドライブスキャナ5で構成されるスキャナ部は、水平走査期間(1H)に第1走査線 W_S 及び第2走査線 D_S にそれぞれ制御信号 W_S, D_S を出力し、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} を

10

20

30

40

50

オンオフ制御して、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するために画素容量 C_s をリセットする準備動作、リセットされた画素容量 C_s に閾電圧 V_{th} をキャンセルするための電圧を書き込む補正動作、及び補正された画素容量 C_s に映像信号 S_{ig} の信号電位 V_{sig} をサンプリングするサンプリング動作を実行する。一方水平セレクタ（ドライバIC）3で構成された信号部は、水平走査期間（1H）に映像信号を第1の固定電位 V_{ssH} と、第2の固定電位 V_{ssL} と、信号電位 V_{sig} との間で切換え、以って上述した準備動作、補正動作及びサンプリング動作に必要な電位を各画素に信号線 S_L を介して供給する。

【0039】

具体的には水平セレクタ3は、まず高レベルの第1固定電位 V_{ssH} を供給し続いて低レベルの第2固定電位 V_{ssL} に切換えて準備動作を可能とし、さらに低レベルの第2固定電位 V_{ssL} を維持した状態で補正動作を実行し、その後信号電位 V_{sig} に切換えてサンプリング動作を実行する。上述したように水平セレクタ3はドライバICで構成され、信号電位 V_{sig} を生成する信号生成回路と、信号生成回路から出力された信号電位 V_{sig} に第1固定電位 V_{ssH} 及び第2固定電位 V_{ssL} を挿入し、以って第1固定電位 V_{ssH} と第2固定電位 V_{ssL} と信号電位 V_{sig} とが切換る映像信号を合成して各信号線 S_L に出力する出力回路とを含む。好ましくは水平セレクタ3を構成するドライバICは、通常の定格を超えない信号電位 V_{sig} と定格を超える第1固定電位 V_{ssH} とを合成した映像信号を出力する。この場合ドライバICに含まれる信号生成回路は定格を超えない信号電位 V_{sig} を生成するため通常の耐圧を有する一方、出力回路は定格を超える第1固定電位 V_{ssH} に対処するため高耐圧化されている。

【0040】

ドライブトランジスタ T_{rd} は、その出力電流 I_{ds} が閾電圧 V_{th} に加えチャネル領域のキャリア移動度 μ に対しても依存性を有する。この場合ライトスキャナ4とドライブスキャナ5で構成されるスキャナ部は、水平走査期間（1H）に第2走査線 D_S に制御信号を出力してさらにスイッチングトランジスタ T_{r4} を制御し、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、信号電位 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する動作を実行する。

【0041】

図6は、図5に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 S_{ig} やドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} などを書き加えてある。また各トランジスタのゲートに接続される走査線 W_S 、 D_S も書き込んである。この画素回路2は水平走査期間（1H）内に V_{th} 補正準備動作と、実際の補正動作と、信号電位サンプリング動作を行う。これにより、画素回路2は3個のトランジスタ T_{r1} 、 T_{r4} 、 T_{rd} と1個の画素容量 C_s と1個の発光素子 E_L とで構成可能である。図1に示した参考例にかかる V_{th} 補正機能を組み込んだ画素回路に比べ、少なくともトランジスタを2個削減可能である。これにより電源ラインやゲートラインを削減することが出来、パネルの歩留りの改善につながる。また画素回路のレイアウトを簡素化することで高精細化も可能である。

【0042】

図7は、図5及び図6に示した画素回路のタイミングチャートである。図7を参照して、図5及び図6に示した画素回路の動作を具体的且つ詳細に説明する。図7は、時間軸 T に沿って各走査線 W_S 、 D_S に印加される制御信号の波形を表してある。表記を簡略するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号 S_{ig} の波形も時間軸 T に沿って示してある。図示する様に、この映像信号は各水平走査期間（1H）内で、高電位 V_{ssH} 、低電位 V_{ssL} 、信号電位 V_{sig} と順に切換る。トランジスタ T_{r1} はNチャンネル型なので、走査線 W_S がハイレベルのときオンし、ローレベルのときオフする。一方トランジスタ T_{r4} はPチャンネル型なので、

10

20

30

40

50

走査線 D S がハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号 W S , D S の波形や映像信号の波形と共に、ドライブトランジスタ T r d のゲート G の電位変化及びソース S の電位変化も表してある。

【 0 0 4 3 】

図 7 のタイミングチャートではタイミング T 1 ~ T 8 までを 1 フィールド (1 f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 W S , D S の波形を表してある。

【 0 0 4 4 】

初めにタイミング T 1 で、スイッチングトランジスタ T r 4 をオフして非発光とする。この時、ドライブトランジスタ T r d のソース電位は V c c からの電源供給が無いので、発光素子 E L のカットオフ電圧 V t h E L まで下げられる。

10

【 0 0 4 5 】

次にタイミング T 2 で、サンプリングトランジスタ T r 1 をオンする。ただしこの前に、信号線電圧を V s s H まで上げておく方が、書き込み時間を短くできるので好ましい。サンプリングトランジスタ T r 1 をオンする事でドライブトランジスタ T r d のゲート電位は V s s H が書き込まれる。この時、画素容量 C s を介してソース電位にカップリングが入り、ソース電位は上昇する。ソース S の電位は一度上昇するが、発光素子 E L を介して放電されるので、再度ソース電圧は V t h E L になる。この時、ゲート電圧は V s s H のままである。

【 0 0 4 6 】

20

次にタイミング T a で、サンプリングトランジスタ T r 1 をオンしたまま、信号電圧を V s s L に変化させる。この電位変化が画素容量 C s を介してソース電位にカップリングされる。この時のカップリング量は、 $C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ にて求められる。この時、ゲート電位は V s s L 、ソース電位は $V_{thEL} - C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ で表される。ここでマイナスバイアスを入れた為に、ソース電圧は V t h E L よりも小さくなり、発光素子 E L はカットオフする。ここでソース電位は、この後の V t h 補正や移動度補正終了後も発光素子 E L がカットオフし続ける電位に設定することが望ましい。また、この $V_{gs} > V_{th}$ となるようにカップリングを入れることで、V t h 補正の準備を行うことができる。以上により、トランジスタや電源ライン、ゲートラインを削減した回路においても V t h 補正準備を行うこと

30

【 0 0 4 7 】

この後、タイミング T 3 でゲート G を V s s L に保持した状態のままスイッチングトランジスタ T r 4 をオンすると、ドライブトランジスタ T r d に電流が流れて、参考例と同様に V t h 補正が行われる。ドライブトランジスタ T r d がカットオフするまで電流が流れ、カットオフするとドライブトランジスタ T r d のソース電位は $V_{ssL} - V_{th}$ となる。ここで、 $V_{ssL} - V_{th} < V_{thEL}$ とする必要がある。

【 0 0 4 8 】

この後タイミング T 4 で、スイッチングトランジスタ T r 4 をオフして V t h 補正は終了する。即ち、タイミング T 3 ~ T 4 は V t h 補正期間である。

40

【 0 0 4 9 】

この様にタイミング T 3 ~ T 4 で V t h 補正を行った後、タイミング T 5 に至って信号線の電位が V s s L から V s i g に変化する。これにより映像信号の信号電位 V s i g が画素容量 C s に書き込まれる。発光素子 E L の等価容量 C o l e d に比べて画素容量 C s は十分に小さい。この結果、信号電位 V s i g のほとんど大部分が画素容量 C s に書き込まれる。したがってドライブトランジスタ T r d のゲート G とソース S 間の電圧 V g s は、先に検出保持された V t h と今回サンプリングされた V s i g を加えたレベル ($V_{sig} + V_{th}$) となる。即ちドライブトランジスタ T r d に対する入力電圧 V g s は $V_{sig} + V_{th}$ となる。かかる信号電圧 V s i g のサンプリングは制御信号 W S がローレベルに戻るタイミング T 7 まで行われる。即ちタイミング T 5 ~ T 7 がサンプリング期間に相

50

当する。

【0050】

本発明にかかる画素回路は、上述した閾電圧 V_{th} の補正に加え、移動度 μ の補正も行っている。移動度 μ の補正はタイミング $T6 \sim T7$ で行われる。この点については後で詳細に説明する。結論としてタイミングチャートに示すように、補正量 V が入力電圧 V_{gs} から差し引かれる。

【0051】

タイミング $T7$ になると、制御信号 WS がローレベルとなりサンプリングトランジスタ $Tr1$ がオフする。この結果ドライブトランジスタ Trd のゲート G は信号線 SL から切り離される。映像信号 Sig の印加が解除されるので、ドライブトランジスタ Trd のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 Cs に保持されたゲート/ソース間電圧 V_{gs} は $(V_{sig} - V + V_{th})$ の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、前述した式2のように与えられる。この特性式2から V_{th} の項がキャンセルされており、発光素子 EL に供給される出力電流 I_{ds} はドライブトランジスタ Trd の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 EL は映像信号 Sig に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式2の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 Sig の信号電位 V_{sig} のみに依存する事になる。

【0052】

最後にタイミング $T8$ に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ $Tr4$ がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び補正準備動作、 V_{th} 補正動作、サンプリング動作、移動度補正動作及び発光動作が繰り返される事になる。

【0053】

図7のタイミングチャートに示した様に、1水平走査期間 ($1H$) 内で閾電圧キャンセルのための準備動作、補正動作及びサンプリング動作を続けて行うことで、図5に示したように画素回路2を3個のトランジスタと1個の画素容量とで構成することが出来る。これにより、画素回路の構成素子数を参考例に比べ大幅に削減している。しかしながら、パネルが高精細化するにつれて画素数が増えるため、各画素行に割り当てられる水平走査期間は短くなってしまふ。また高画質化のために高周波数駆動方式が提案されているが、この高周波数駆動においても同様に水平走査期間が短くなってしまふ。この様に水平走査期間が短縮化されると、 V_{th} 補正準備動作や実際の V_{th} 補正動作を1水平走査期間内で完了することが難しい場合がある。そのため、高精細パネルや高周波数駆動パネルに対応した表示装置駆動方式が求められており、以下に先行開発例として説明する。

【0054】

この先行開発例では、 V_{th} 補正機能付の画素回路で素子数を削減した上に、さらに高精細パネルや高周波数駆動パネルに対応可能な駆動方式を実現している。本先行開発例では、1水平走査期間内で行っていた V_{th} 補正準備や V_{th} 補正動作を、複数の水平走査期間にわたって時分割的に実行することで、トータルの動作時間を図7に示したタイミングチャートの駆動方式と同程度に確保することが出来る。この時分割方式では1水平走査期間内に占める準備動作期間や補正動作期間を短縮化できるので、その分信号電位のサンプリング時間を十分に確保することが可能である。

【0055】

図8は本先行開発例を示すタイミングチャートである。理解を容易にするため、図7に示した先の例のタイミングチャートと対応する部分には対応する参照番号を付してある。

【0056】

10

20

30

40

50

図示するようにタイミングT1で、スイッチングトランジスタTr4をオフして非発光とする。この時、ドライブトランジスタTrdのソース電位はVccからの電源供給が無いので、発光素子ELのカットオフ電圧VthELまで下げられる。

【0057】

次に、映像信号SigがVth補正準備に必要な高電圧VssHになる時間帯のタイミングT21~Tb1にサンプリングトランジスタTr1をオンする。サンプリングトランジスタTr1をオンする事でドライブトランジスタTrdのゲート電位にVssHが書き込まれる。この時、画素容量Csを介してソース電位にカップリングが入り、ソース電位は上昇する。ソースSは一度上昇するが、発光素子ELを介して放電されるので、再度ソース電位はVthELに近づいていく。サンプリングトランジスタTr1をオンする制御信号WSは分割パルスであり、そのパルス幅(T21~Tb1)は非常に短く、ゲート電位はVssHまで書き込まれない。そこで、それ以降のタイミングT22~Tb2において、再度映像信号Sigが高電圧VssHになる時にサンプリングトランジスタTr1をオンする。必要に応じ同様のオペレーションをゲート電位がVssHになるまで繰り返す。本例ではタイミングT23~Tb3及びT24~Tb4であと2回同様のオペレーションを繰り返し合計4回の準備動作を行っている。

10

【0058】

次に映像信号Sigが低電圧VssLに変化した状態で、サンプリングトランジスタTr1をオンする。この電位変化によりVgs>Vthとし、Vth補正の準備を完了することができる。サンプリングトランジスタTr1をオンした状態下、タイミングT31~T41でスイッチングトランジスタTr4を更にオンすることで、ドライブトランジスタTrdには電流が流れ、Vth補正動作が行われる。同様にこのVth補正期間も分割されており各パルスの時間幅(タイミングT31~T41)は短くなっている為、Vth補正が完了するまで、サンプリングトランジスタTr1やスイッチングトランジスタTr4を繰り返しオン駆動する必要がある(タイミングT32~T42)。

20

【0059】

最後に、サンプリングトランジスタTr1がオンしているタイミングT5~T7で、画素容量Csに信号電圧Vsigを書き込む。その間タイミングT6~T7で、移動度補正を行った後、発光状態に移行する。

【0060】

以上により、トランジスタや電源ライン、ゲートラインを削減した回路において、パネルの動作が高周波で且つ画素が高精細であっても、Vth補正準備とVth補正を行うことができる。なお、上記の先行開発例では、サンプリングトランジスタTr1をオンした状態でスイッチングトランジスタTr4をオンして移動度補正をかけているが、サンプリングトランジスタTr1とスイッチングトランジスタTr4をノンオーバーラップにして移動度補正を行わない単純なVth補正動作においても、同様に配線やトランジスタの削減は可能である。

30

【0061】

このようにスキャナ部は、水平走査期間内で走査線に制御信号を出力して画素回路2を制御し、ドライブトランジスタTrdの出力電流Idsの閾電圧Vthに対する依存性を補正するため画素容量Csに補正をかける動作と、補正された画素容量Csに映像信号Sigの信号電位Vsigをサンプリングする動作とを実行し、更にスキャナ部は、当該行の画素回路に先行する行に割り当てられた前の水平走査期間を利用して、画素容量Csに補正をかける動作を各水平走査期間で時分割的に行う。具体的には、このスキャナ部はライトスキャナ4とドライブスキャナ5とからなり、水平走査期間に第1走査線WS及び第2走査線DSに夫々制御信号を出力し、サンプリングトランジスタTr1及びスイッチングトランジスタTr4をオンオフ制御して、出力電流Idsの閾電圧Vthに対する依存性を補正するため画素容量Csに補正をかける動作として、画素容量Csをリセットする準備動作とリセットされた画素容量Csに閾電圧Vthをキャンセルするための電圧を書き込む補正動作とを行い、その後補正された画素容量Csに映像信号Sigの信号電位V

40

50

s i gをサンプリングするサンプリング動作を実行し、更にスキャナ部は、当該行の画素に先行する行に割り当てられた前の水平走査期間を利用して、準備動作と補正動作を各水平走査期間で時分割的に行う。

【0062】

パネルが高精細化する為に素子数を削減する必要がある、上記のようにV t h補正動作をマイナスカップリングを用いて行い、更にその準備期間を複数回に分割して動作させる駆動を行っている。しかしながら、発光素子の容量が大きくなると、ソース電位に入るカップリング電圧の放電時間が長くなってしまい、所望のゲート・ソース間電圧にする為には、多くのマイナスカップリング動作が必要になってしまう。その為、パネル動作が複雑になってしまうという問題点がある。

10

【0063】

本発明は先行開発例の上記問題点に対処したものであり、図9は本発明の最良の実施形態を示すタイミングチャートである。理解を容易にするため、図8に示した先行開発例のタイミングチャートと対応する部分には対応する参照番号を付してある。本実施形態でも、容量カップリングを用いてV t h補正準備を行う。このカップリング動作は複数回に分割されるが、そのパルス間隔を発光素子が十分に放電する時間とする。これにより、1ライン当たりのマイナスカップリング動作数を削減することができる。具体的には、映像信号S i gがV t h補正準備に必要な高電圧V s s Hになる時間帯のタイミングT 2 1 ~ T b 1にサンプリングトランジスタT r 1をオンする。サンプリングトランジスタT r 1をオンする事でドライブトランジスタT r dのゲート電位にV s s Hが書き込まれる。この時、画素容量C sを介してソース電位にカップリングが入り、ソース電位は上昇する。ソースSは一度上昇するが、発光素子E Lを介して放電されるので、再度ソース電圧はV t h E Lになる。そのあと発光素子が十分にカットオフするまで待った後（例えば5 H分）、タイミングT 2 2 ~ T b 2において、再度映像信号S i gが高電圧V s s Hになる時にサンプリングトランジスタT r 1をオンする。この2回の準備動作で、ゲート電位の変動は無くなり、必要なゲート・ソース電圧を得る事ができる。

20

【0064】

画素の発光素子容量が大きい場合の先行開発例の駆動（図8）では、ゲート電圧がV s s Hまで書き込まれたときにソース電位に入るカップリングの電圧が発光素子のカットオフまで減少するのに非常に時間がかかる。その為、サンプリングトランジスタT r 1がオフした後、ソース電位の減少に伴い、ゲート電位も減少する。この後、複数回サンプリングトランジスタT r 1をオンしても、ソースがカットオフするまでゲート電位も減少してしまうため、必要なゲート・ソース電圧を印加するには、多数の駆動パルスが必要となる。

30

【0065】

そこで本発明では、図9に示す様にV t h補正準備のためサンプリングトランジスタT r 1のゲートに印加する制御パルスの間隔を、発光素子が十分にカットオフするまで空けている。この動作を数回繰り返すことで、ゲート電位の変動は無くなり、必要なゲート・ソース電圧を得る事ができる。この様に、V t h補正準備パルスの間隔を十分に取ることで、V t h補正準備のパルス数を先行開発例よりも削減することができる。

40

【0066】

最後にタイミングT 6 ~ T 7で行われる移動度補正動作を詳細に説明する。図10は、移動度補正期間T 6 ~ T 7における画素回路2の状態を示す回路図である。図示するように、移動度補正期間T 6 ~ T 7では、サンプリングトランジスタT r 1及びスイッチングトランジスタT r 4がオンしている。この状態でドライブトランジスタT r 4のソース電位(S)はV s s L - V t hである。このソース電位Sは発光素子E Lのアノード電位でもある。前述したようにV s s L - V t h < V t h E Lと設定しておく事で、発光素子E Lは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタT r dに流れる電流I d sは画素容量C sと発光素子E Lの等価容量C o l e dとの合成容量C = C s + C o l e dに流れ込む事になる。換言すると

50

、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0067】

図11は前述したトランジスタ特性式2をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取っている。このグラフの下方に特性式2も合わせて示してある。図11のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号電位 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素1に流れる出力電流 I_{ds1}' は、移動度 μ の小さい画素2に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

10

【0068】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 V は移動度が大きいほど大きくなる。図11のグラフに示すように、移動度 μ の大きな画素1の負帰還量 V_1 は移動度の小さな画素2の負帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で V_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素2の補正量 V_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量 V_1 は移動度の小さい画素2の補正量 V_2 に対して小さくなる。つまり移動度が大きいほど V が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

20

【0069】

以下参考の為図12を参照して、上述した移動度補正の数値解析を行う。図12に示すように、トランジスタ Tr_1 及び Tr_4 がオンした状態で、ドライブトランジスタ Tr_d のソース電位を変数 V に取って解析を行う。ドライブトランジスタ Tr_d のソース電位 (S) を V とすると、ドライブトランジスタ Tr_d を流れるドレイン電流 I_{ds} は以下の式3に示す通りである。

30

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

40

【0070】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式4に示す様に $I_{ds} = dQ/dt = CdV/dt$ が成り立つ。

【数 2】

$$\begin{aligned}
 I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4} \\
 \Leftrightarrow \int_0^t \frac{1}{C} dt &= \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\
 \Leftrightarrow \frac{k\mu}{C} t &= \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\
 \Leftrightarrow V_{sig} - V_{th} - V &= \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}
 \end{aligned}$$

10

【0071】

式4に式3を代入して両辺積分する。ここで、ソース電圧V初期状態は - V_{th}であり、移動度ばらつき補正時間 (T₆ - T₇) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式5のように与えられる。

【数 3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

20

【0072】

図13は、式5をグラフ化した図であり、縦軸に出力電流 I_{ds} を取り、横軸に映像信号 S_{ig} の信号電位 V_{sig} を取っている。パラメータとして移動度補正期間 t = 0 μs、2.5 μs 及び 5 μs の場合を設定している。さらに、移動度 μ もパラメータとして比較的大きい場合 1.2 μ と比較的小さい場合 0.8 μ をパラメータにとってある。t = 0 μs として実質的に移動度補正をかけない場合に比べ、t = 2.5 μs では移動度ばらつきに対する補正が十分にかかっていることがわかる。移動度補正なしでは I_{ds} に 40% のばらつきがあったものが、移動度補正をかけると 10% 以下に抑えられる。但し t = 5 μs として補正期間を長くすると逆に移動度 μ の違いによる出力電流 I_{ds} のばらつきが大きくなってしまふ。この様に、適切な移動度補正を掛けるために、t は最適な値に設定する必要がある。図13に示したグラフの場合、最適値は t = 2.5 μs の近辺である。

30

【0073】

以上のようにして、本発明ではゲート電圧を高電圧から低電圧に可変する事による V_{th} 補正準備や、V_{th} 補正動作を 1 H 以内に行い、その後同一水平走査期間内にて映像信号を書き込む。この動作により、従来必要であった3種類の電源を信号線に共有化することで電源ラインやスイッチングトランジスタ、そのゲートラインを削減する事ができ、3トランジスタ1容量の画素回路を構成することができる。以上により、パネルの歩留まりを向上する事ができる。また、レイアウトを削減する事で高精細化も可能となる。なお本実施形態では、サンプリングトランジスタ Tr₁ をオンした状態でスイッチングトランジスタ Tr₄ をオンして移動度補正をかけているが、サンプリングトランジスタ Tr₁ とスイッチングトランジスタ Tr₄ をノンオーバーラップにして移動度補正を行わない単純な V_{th} 補正動作においても、同様に配線やトランジスタの削減は可能である。

40

【図面の簡単な説明】

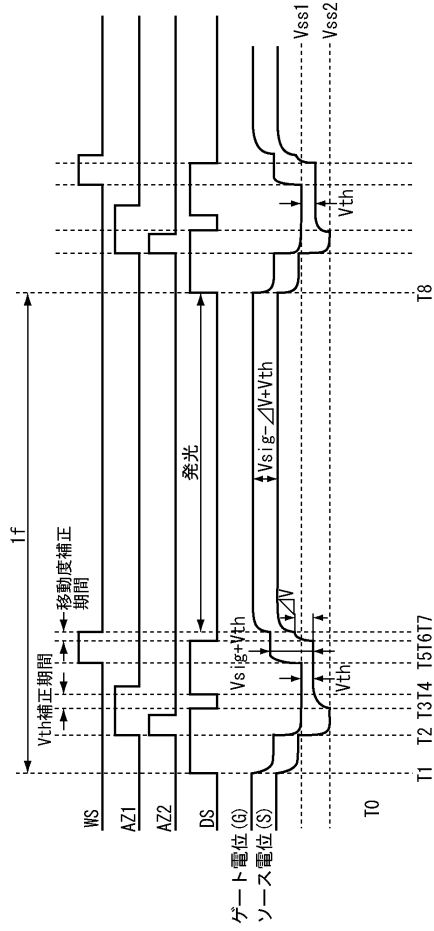
【0074】

【図1】表示装置の参考例を示すブロック図である。

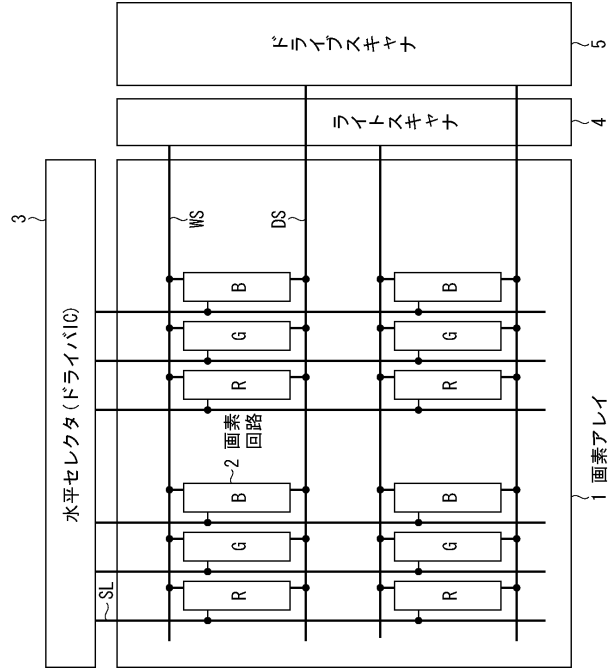
【図2】図1に示した参考例の表示装置から1つの画素回路を切り取った模式図である。

50

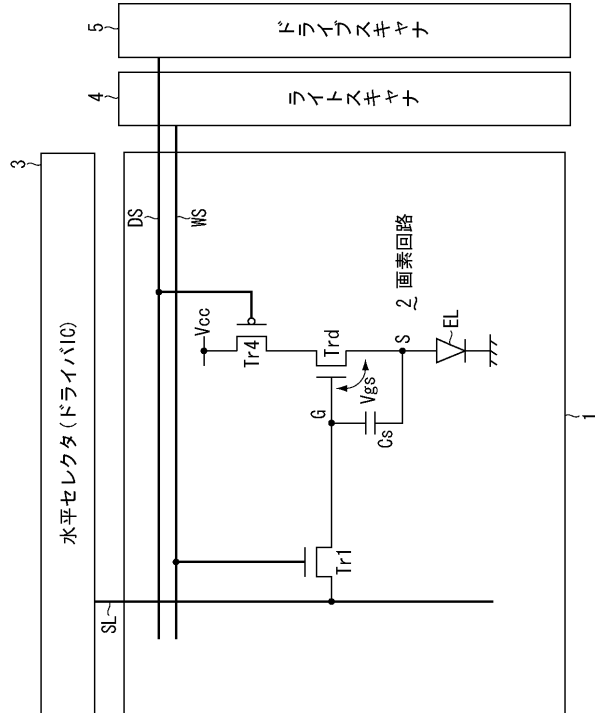
【図3】



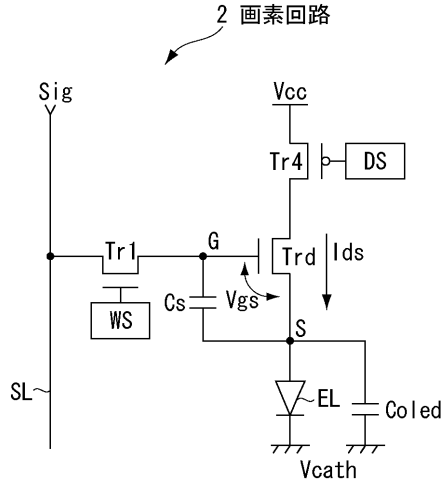
【図4】



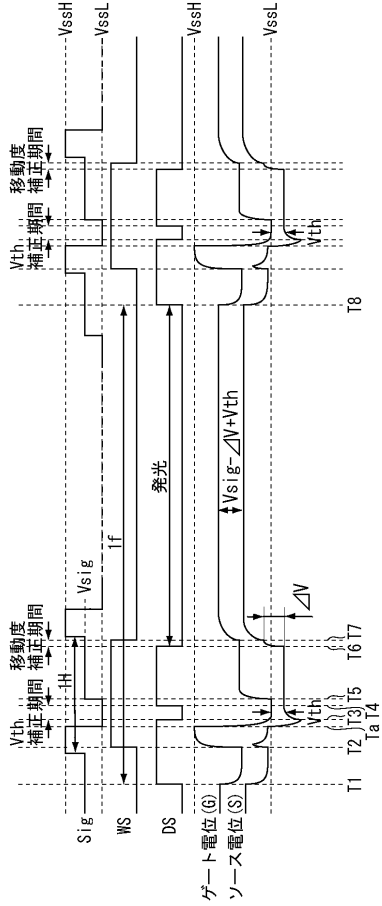
【図5】



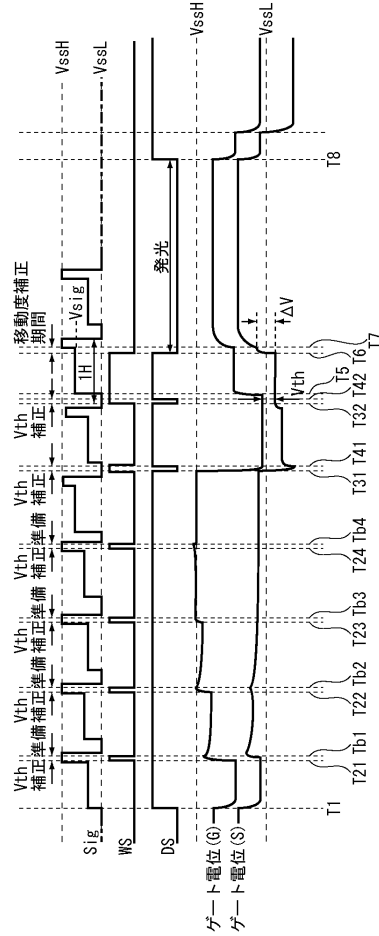
【図6】



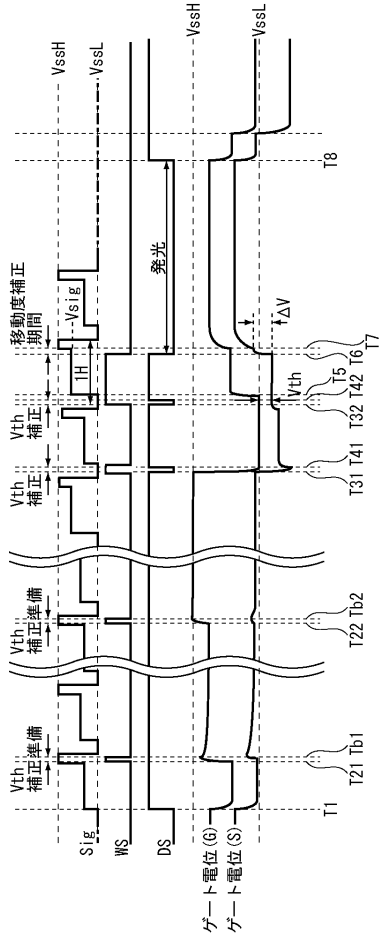
【図 7】



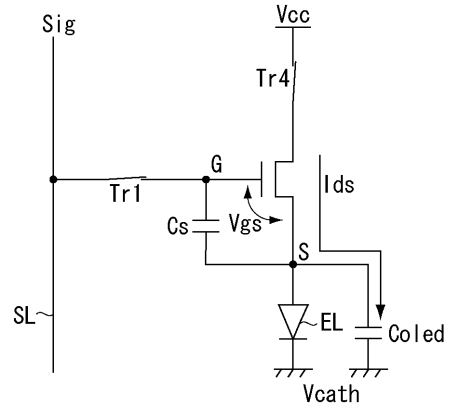
【図 8】



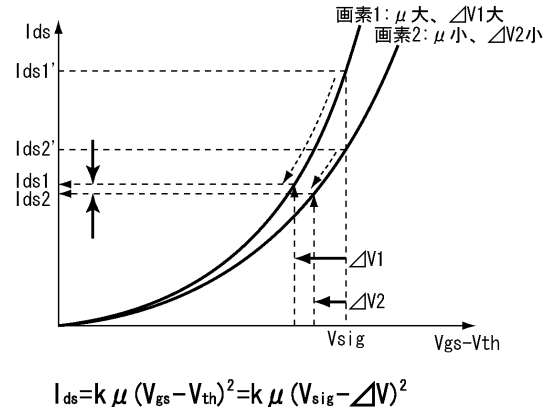
【図 9】



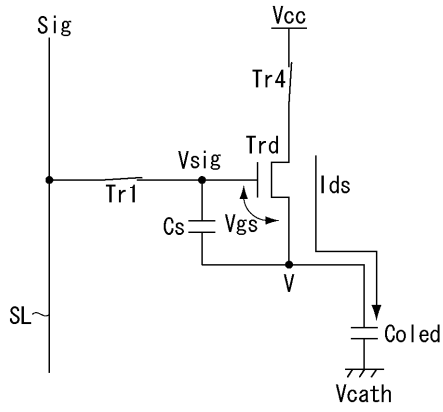
【図 10】



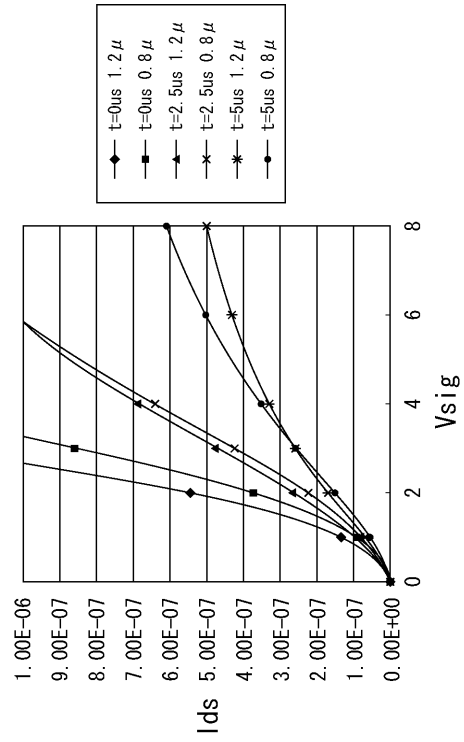
【図 11】



【 1 2 】



【 1 3 】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 2 2 G
G 0 9 G 3/20 6 4 1 D
H 0 5 B 33/14 A

審査官 堀部 修平

(56) 参考文献 特開 2 0 0 5 - 2 5 8 3 2 6 (J P , A)
特開 2 0 0 5 - 3 3 1 9 0 0 (J P , A)
特開 2 0 0 4 - 2 8 6 8 1 6 (J P , A)
特開 2 0 0 4 - 1 1 8 1 9 6 (J P , A)
特開 2 0 0 4 - 3 3 4 1 6 3 (J P , A)
特開 2 0 0 5 - 1 8 9 3 8 7 (J P , A)
特開 2 0 0 5 - 1 4 8 7 0 4 (J P , A)
特開 2 0 0 7 - 1 3 3 2 8 4 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4983018B2	公开(公告)日	2012-07-25
申请号	JP2005372621	申请日	2005-12-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.621.F G09G3/20.624.B G09G3/20.622.Q G09G3/20.622.G G09G3/20.641.D H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD08 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC63 5C380/CC65 5C380/CC71 5C380/CD013 5C380/CD015 5C380/CD023 5C380/CD025 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	吉井正明 山本隆久 森浩一		
其他公开文献	JP2007171828A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种配备有阈值电压校正功能的显示装置，该阈值电压校正功能适应于像素数量的增加和用于操作速度的更高频率。
 ŽSOLUTION：显示装置包括像素阵列单元1，扫描器单元4和5，以及信号单元3。每个像素2包括采样晶体管Tr1，像素电容器Cs，驱动晶体管Trd，连接的发光元件EL其中，开关晶体管Tr4连接驱动晶体管Trd和电源。驱动晶体管Trd将对应于输入电压Vgs的输出电流Ids提供给发光元件EL。输出电流Ids依赖于驱动晶体管Trd的阈值电压。扫描器单元4和5通过使用分配给当前行中的像素2之前的行的多个水平扫描周期以及时间间隔来执行用于以时分方式消除驱动晶体管Trd的阈值电压的准备操作。 - 分割操作设定得足够长，以使发光元件EL放电。 Ž

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2$$